

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年2月2日(02.02.2012)



(10) 国際公開番号
WO 2012/014859 A1

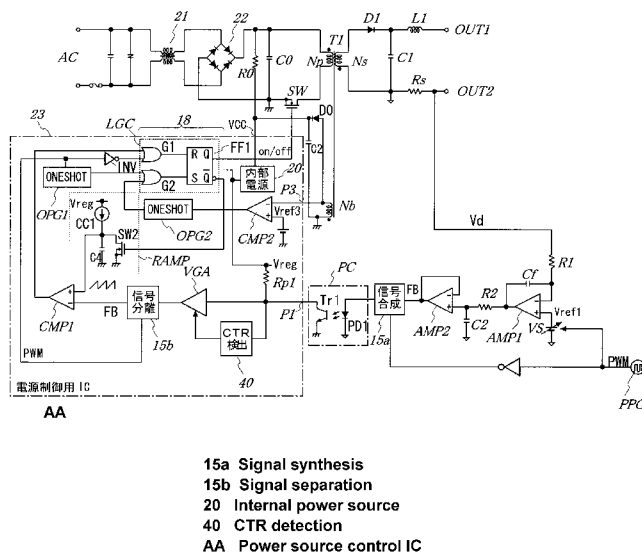
- (51) 国際特許分類:
H02M 3/28 (2006.01)
- (21) 国際出願番号: PCT/JP2011/066892
- (22) 国際出願日: 2011年7月26日(26.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-171981 2010年7月30日(30.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): ミツミ電機株式会社(MITSUMI ELECTRIC CO., LTD.) [JP/JP]; 〒2068567 東京都多摩市鶴牧2丁目11番地2 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 加戸 稔 (KADO, Minoru) [JP/JP]; 〒2068567 東京都多摩市鶴牧2丁目11番地2 ミツミ電機株式会社内 Tokyo (JP). 有馬 聡史 (ARIMA, Satoshi) [JP/JP]; 〒2068567 東京都多摩市鶴牧2丁目11番地2 ミツミ電機株式会社内 Tokyo (JP).
- (74) 代理人: 荒船 博司, 外 (ARAFUNE, Hiroshi et al.); 〒1620832 東京都新宿区岩戸町18番地
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 日交神楽坂ビル5階 光陽国際特許法律事務所内 Tokyo (JP).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: ISOLATED POWER SOURCE DEVICE AND ILLUMINATION DEVICE

(54) 発明の名称: 絶縁型電源装置および照明装置

[図3]

FIG. 3



(57) Abstract: Disclosed is an isolated power source device which does not require taking into account variations in the characteristics of the signal transmission means used, and which is subject to few limitations during manufacture. The disclosed isolated power source device is provided with a control circuit (23) which generates and outputs the control signal of a switching element for controlling the current flowing through the primary side of a power conversion means (transformer), a detection means for detecting the output current or the output voltage, and a signal transmission circuit (15: photocoupler) which transmits to the control circuit an output control signal and the detection signal originating from said detection means. The aforementioned control circuit is provided with a transmission signal correction circuit (VGA) for correcting the signal transmitted from the secondary side to the primary side by the signal transmission circuit, and a characteristic detection circuit (40) capable of detecting the signal transmission rate of the signal transmission circuit on the basis of the output control signal transmitted from the secondary side to the primary side by the signal transmission circuit. The transmitted signal correction circuit performs corrections depending on the signal transmission rate de-

ected by the characteristic detection circuit.

(57) 要約:

[続葉有]



本発明の課題は、使用する信号伝達手段の特性のばらつきを考慮する必要がなく、製造上の制約が少ない絶縁型電源装置を提供する。電力変換手段（トランス）の一次側に流す電流を制御するスイッチング素子の制御信号を生成し出力する制御回路（２３）と、出力電流もしくは出力電圧を検出する検出手段（２３）と、該検出手段による検出信号および出力制御信号を制御回路へ伝達する信号伝達回路（１５：フォトカプラ）とを有する絶縁型電源装置において、前記制御回路は、信号伝達回路により二次側から一次側へ伝達された信号を補正する伝達信号補正回路（ＶＧＡ）と、信号伝達回路により二次側から一次側へ伝達された出力制御信号に基づいて信号伝達回路の信号伝達率を検出可能な特性検出回路（４０）とを備え、伝達信号補正回路は特性検出回路により検出された信号伝達率に応じた補正を行うようにして課題を解決した。

明 細 書

発明の名称： 絶縁型電源装置および照明装置

技術分野

[0001] 本発明は、電圧変換用トランスを備えた絶縁型電源装置およびこれを用いた照明装置に利用して有効な技術に関する。

背景技術

[0002] 電源装置には、電圧変換用トランスを備え交流電力の電圧を変換し二次側に誘起された交流を整流し所望の電位の直流電圧に変換する絶縁型 A C - D C コンバータがある。絶縁型の A C - D C コンバータとしては、例えば電圧変換用トランスの一次側巻線に流れる電流をスイッチング制御することで二次側巻線に誘起される電圧を制御するようにしたスイッチング電源装置が知られている。

[0003] ところで、スイッチング電源装置においては、電力効率を高めるため P W M（パルス幅変調）制御が採用されることが多く、絶縁型 A C - D C コンバータにおいても、二次側の出力の検出信号をフォトカプラによって一次側制御回路へフィードバックして、一次側制御回路が P W M パルスでスイッチング素子をオン、オフ駆動して一次側コイルに流す電流を制御するような発明も提案されている（例えば特許文献 1 参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開平 7 - 3 1 1 4 2 号公報

特許文献2：特表 2 0 0 4 - 5 2 7 1 3 8 号公報

発明の開示

発明が解決しようとする課題

[0005] しかしながら、二次側の出力の検出信号を一次側へ伝達する信号伝達手段としてのフォトカプラは比較的ばらつきが大きく、特に発光ダイオードの電流と受光用トランジスタのコレクタ電流との比で定義される C T R（電流伝

達率) がばらついていると、制御ループの一巡伝達関数がばらつきを持つこととなり、ループの発振に対する安定性が低下したり、応答速度がばらつくなど、様々の特性の悪化を招く要因となる。しかも、CTRはロット間で数倍ほど違ったり、経時変化で数10%ほど低下したりすることが知られている。

[0006] 特許文献1に開示されている発明は、同一の製造ロットのフォトカプラすなわち特性の同じフォトカプラを使用することで、上記のような課題を解決することを提案している。しかしながら、短期間に大量の電源装置を出荷したい場合に同一の特性のフォトカプラを用意することは困難であり、特許文献1の発明は製造上の制約が多いという課題がある。

また、一次側制御回路と二次側の回路の両方に外部から出力制御信号を入れて出力電圧を変化させたい場合がある。このような場合、フィードバック信号以外に外部制御信号を二次側から一次側へ伝達する必要があるが、2つの信号を二次側から一次側へ伝達するには2つのフォトカプラが必要になり、コストアップを招くという課題が生じる。

[0007] さらに、特許文献2に開示されている電源装置のように、フォトカプラを構成する受光側のトランジスタの電源を、トランスに設けられた補助巻き線に誘起された交流をダイオードとコンデンサで直流に変換して生成するレギュレータから供給するように構成する場合には、2つのフォトカプラに対応してそれぞれ外付け部品からなるレギュレータを設けなくてはならず、コストアップを招いてしまう。しかも、外付け部品からなるレギュレータを設けてフォトカプラの受光側素子の電源を供給するように構成した場合には、内部電圧よりも高い電圧がフォトカプラの受光側素子を介して電源制御用ICに印加される可能性が生じるため、素子の耐圧についても考慮する必要があるという課題がある。

[0008] この発明の目的は、使用する信号伝達手段の特性のばらつきを考慮する必要がなく、製造上の制約が少ない絶縁型電源装置を提供することにある。

この発明の他の目的は、二次側の回路から一次側の回路へフィードバック

信号および出力制御用のパルス信号を供給して出力制御を行う絶縁型電源装置を、部品点数や一次側の電源制御用 IC に設ける外部端子を増加させることなく実現できるようにすることにある。

課題を解決するための手段

[0009] 上記目的を達成するため本発明は、一次側に入力された交流電力を変換して二次側へ出力する電力変換手段と、前記電力変換手段の二次側に設けられた整流手段と、前記整流手段により整流された電流・電圧のうち所定の周波数帯の電流・電圧を通過させるフィルタと、前記フィルタを介して負荷へ供給される出力電流もしくは出力電圧を検出する検出手段と、前記検出手段による検出信号に対応するフィードバック信号および前記出力制御信号に応じて前記電力変換手段の一次側に流す電流を制御するスイッチング素子の制御信号を生成し出力する制御回路と、前記検出手段による検出信号を前記制御回路へ伝達する信号伝達回路と、を有する絶縁型電源装置であって、

前記制御回路は、前記信号伝達回路により二次側から一次側へ伝達された信号を補正可能な伝達信号補正回路と、前記信号伝達回路により二次側から一次側へ伝達された前記出力制御信号に基づいて前記信号伝達回路の信号伝達率を検出可能な特性検出回路と、を備え、

前記伝達信号補正回路は、前記特性検出回路により検出された前記信号伝達率に応じた補正を行うように構成にした。

[0010] 上記のような手段によれば、一次側の回路と二次側の回路にそれぞれ出力制御信号を供給することで応答性に優れた電源装置を 1 つの絶縁型 AC-DC コンバータで実現することができる。また、伝達信号補正回路を備えるため、使用する信号伝達手段の特性のばらつきを考慮する必要がなく、製造上の制約が少ない絶縁型電源装置を実現することができる。

[0011] ここで、望ましくは、前記伝達信号補正回路は、二次側より伝達された信号を増幅可能な可変利得増幅回路を備え、該可変利得増幅回路の利得を前記特性検出回路により検出された前記信号伝達回路の信号伝達率に応じた利得に設定するように構成する。

これにより、信号伝達回路により二次側から一次側へ伝達された信号を補正する伝達信号補正回路を、比較的簡単な回路によって構成することができるようになる。

- [0012] また、望ましくは、前記信号伝達回路は、発光素子と受光素子とを有する信号伝達手段を備え、前記特性検出回路は、前記受光素子に流れる電流を電圧に変換する電流－電圧変換手段と、該電流－電圧変換手段により変換された電圧値をデジタル値に変換するA/D変換回路と、前記A/D変換回路の出力をラッチするラッチ手段と、を備え、所定のタイミングで前記ラッチ手段を動作させて前記A/D変換回路の出力をラッチするように構成する。

これによって、比較的簡単な回路によって、信号伝達回路の信号伝達率を検出可能な特性検出回路を構成することができるようになる。

- [0013] また、望ましくは、前記制御回路は、前記出力制御信号を監視する出力制御信号監視回路を備え、出力制御信号が入って来た際に前記ラッチ手段を動作させて前記A/D変換回路の出力をラッチさせるように構成する。

これにより、信号伝達手段（フォトカプラ）の特性（電流伝達率）が経時変化で劣化したとしても、二次側の制御回路に伝達される信号のレベルが低下するのを防止して安定した制御を長期間にわたって実行することができる。

- [0014] さらに、望ましくは、前記出力制御信号はデューティ比に制御情報を有する出力制御パルス信号であり、前記信号伝達回路は、前記検出信号に対応するフィードバック信号と外部から供給される前記出力制御パルス信号とを合成する信号合成回路と、該信号合成回路によって合成された信号を二次側へ伝達する信号伝達手段と、該信号伝達手段によって伝達された信号から前記フィードバック信号と前記出力制御パルス信号とを分離する信号分離回路と、を備えるように構成する。

これにより、二次側から一次側へ供給するフィードバック信号および出力制御パルス信号を、一つの信号伝達手段（フォトカプラ）によって伝達することができるため、部品点数の少ない絶縁型電源装置を実現することができる。

る。

[0015] さらに、望ましくは、前記制御回路および前記信号分離回路は１つの半導体チップ上に形成され、該半導体チップ上には外部から供給される電源電圧に基づいて内部で使用される電源電圧を生成する内部電源回路が設けられ、前記信号伝達手段を構成する前記受光素子には抵抗素子を介して前記内部電源回路により生成された電圧がバイアス電圧として供給されるように構成する。

これにより、フォトカプラの耐圧を考慮することなく電源装置を構築することができるとともに、制御回路および信号分離回路を含んだ半導体集積回路として形成する場合に外部端子数の少ない電源制御用半導体集積回路を実現することができ、コストアップを回避することができる。

[0016] また、上記のような構成を有する絶縁型電源装置と、該絶縁型電源装置の出力端子に接続され前記出力電流が流されることで点灯するＬＥＤランプと、前記出力制御パルス信号を生成する制御信号生成手段とにより照明装置を構成する。

これにより、ＰＷＭパルスでＬＥＤランプの明るさを制御できるとともに、部品点数が少なく安価なＬＥＤ照明装置を実現することができる。

発明の効果

[0017] 本発明によれば、使用する信号伝達手段の特性のばらつきを考慮する必要がなく、製造上の制約が少ない絶縁型電源装置を実現することができる。また、二次側の回路から一次側の回路へフィードバック信号および出力制御用のパルス信号を供給して出力制御を行う絶縁型電源装置を、部品点数や一次側の電源制御用ＩＣに設ける外部端子を増加させることなく実現することができるという効果がある。

図面の簡単な説明

[0018] [図１]本発明を適用して有効な電源装置としての絶縁型ＡＣ－ＤＣコンバータの一実施形態を示すブロック構成図である。

[図２]実施形態の絶縁型ＡＣ－ＤＣコンバータに使用される信号伝達回路を構

成する信号合成回路の具体例を示す回路図である。

[図3]図1の絶縁型AC-DCコンバータの具体的な構成例を示す回路構成図である。

[図4]実施形態の絶縁型AC-DCコンバータにおいて一次側に平滑コンデンサを設けた出力制御用のPWM制御信号の波形(a)と、二次側に補正手段を設けない場合の出力波形(b)および補正手段を設けた場合の出力波形(c)を示す波形図である。

[図5]図3の実施形態の絶縁型AC-DCコンバータにおいて一次側の平滑コンデンサの容量値を小さくした場合における入力波形(a)と出力波形(b)および出力制御用のPWM制御信号の波形(c)を示す波形図である。

[図6A]実施形態の絶縁型AC-DCコンバータにおける一次側制御回路へのフィードバック信号FBとスイッチング素子SWのオン時間との関係を示すグラフである。

[図6B]出力制御用のPWM制御信号のデューティと二次側の誤差アンプに入力される参照電圧との関係を示すグラフである。

[図7]CTR検出回路のより具体的な構成例を示すブロック構成図である。

[図8]信号分離回路のより具体的な構成例を示すブロック構成図である。

[図9]信号分離回路の入力信号とローパスフィルタを通過した信号および信号分離回路により分離された出力制御用のPWM制御信号の波形を示す波形図である。

[図10]フィードバック量補正回路の他の実施例を示す回路図である。

[図11]フォトカプラの受光用トランジスタへのバイアス電圧の印加の仕方の他の例を示す回路図である。

発明を実施するための最良の形態

[0019] 以下、本発明の好適な実施形態を図面に基づいて説明する。

図1は、絶縁型AC-DCコンバータなどにより構成される本発明に係る電源装置のブロック構成図である。なお、以下の実施形態では、負荷としてLEDを駆動する電源装置を示して説明するが、本発明を適用可能な電源装

置は、負荷がLEDである場合に限定されるものではない。

[0020] 本発明に係る電源装置は、交流入力電圧 V_{in} を電力変換するトランスなどからなる電力変換手段10と、変換された交流を整流する整流手段11と、整流された電圧・電流のうち所定の周波数帯の電圧・電流を通過させて負荷30へ供給するフィルタ回路12と、負荷30に流れる電流を検出する検出手段13と、検出された電流値に応じた帰還信号FBを生成する帰還電圧生成回路14と、入力側と出力側とが電氣的に絶縁されたフォトプラなどからなり帰還信号FBを一次側へ伝達する絶縁型の信号伝達手段15と、上記電力変換手段10の一次側に電流を流すMOSトランジスタなどの自己消弧素子からなるスイッチ手段16と、前記信号伝達手段15によって伝達された信号に応じてスイッチ手段16をオン・オフ制御するパルス信号を生成する制御回路17とを備える。

なお、上記整流手段11はダイオードにより構成され、フィルタ回路12は整流手段11と負荷が接続される出力端子との間に直列に設けられたコイルと、接地点との間に設けられた平滑コンデンサなどから構成される（図3参照）。

[0021] さらに、本発明に係る電源装置は、外部から供給される外部PWM制御信号PWMに応じて帰還電圧生成回路14により一次側へ送る帰還信号FBを補正するフィードバック量補正回路18と、制御回路17から出力されるオン・オフパルス信号をマスクしてパルスの間引きを行うマスク回路19とを備える。

なお、本発明に係る電源装置においては、帰還電圧生成回路14により生成された帰還信号FBと外部PWM制御信号PWMとを合成して例えばフォトプラのような絶縁型の信号伝達手段を有する信号伝達回路15により二次側へ伝達するように構成されており、信号伝達回路15は伝達前の信号を合成する信号合成機能と、伝達された信号に含まれているPWM制御信号を抽出する信号分離機能を有し、マスク回路19は分離されたPWM制御信号に応じて間引き量を変化させるように構成されている。負荷がLEDランプであ

るシステムにおいては、外部PWM制御信号は調光を制御するための信号とされる。

図1において、太枠で示されているブロック18と19は本発明において追加された回路ブロックで、破線で示されている信号経路は追加ブロック18と19がない電源装置における信号経路である。

[0022] 図3には、図1の電源装置の一実施形態の絶縁型AC-DCコンバータの具体的な回路構成が示されている。

この実施形態の電源装置は、コモンモードコイルなどからなるノイズ遮断用のフィルタ21と、交流電圧(AC)を整流し直流電圧に変換するダイオード・ブリッジ回路22と、平滑用コンデンサC0と、一次側巻線Npおよび補助巻線Nbと二次側巻線Nsとを有するトランスT1と、このトランスT1の一次側巻線Npと直列に接続されたスイッチ手段16としてのNチャネルMOSトランジスタからなるスイッチング素子SWと、該スイッチング素子SWを駆動する制御回路17やマスク回路19(ORゲートG1およびフリップフロップFF1)を有する電源制御用IC(半導体集積回路)23を備える。上記ダイオード・ブリッジ回路22とトランスT1とから前記電力変換手段10が構成される。電源制御用IC23内の回路のうちORゲートG1、G2およびフリップフロップFF1を除く部分が制御回路17として機能する。

[0023] 上記トランスT1の二次側には、二次側巻線Nsと出力端子OUT1との間に直列に接続された整流用ダイオードD1と、このダイオードD1のカソード端子と二次側巻線Nsの他方の端子との間に接続されたコンデンサC1および整流用ダイオードD1と直列に接続されたコイルL1を有するフィルタ回路12とが設けられ、一次側巻線Npに間歇的に電流を流すことで二次側巻線Nsに誘起される交流を整流し、フィルタ回路12が所定の周波数帯の電圧・電流を通過させて、出力端子OUT1より出力する。

[0024] また、出力端子OUT2と接地点との間には、出力端子OUT1-OUT2間に接続される負荷に流れる電流を検出するためのセンス抵抗Rsが接続

されている。また、この実施形態においては、コイル L_1 とコンデンサ C_1 とから構成されるフィルタ回路12のカットオフ周波数を、制御回路17によるスイッチング周波数よりも低くかつ外部PWM制御信号PWMの周波数よりも高く設定することによって、外部PWM制御信号PWMの周波数と同一の周波数のパルス電流を出力させるようになっている。これにより、PWM調光制御が可能となる。

また、フィルタ回路12のカットオフ周波数を、制御回路17によるスイッチング周波数よりも低く設定することによって、一次側のスイッチングノイズを遮断して出力に伝達させないようにすることができる。

なお、フィルタ回路12のカットオフ周波数を、外部PWM制御信号PWMの周波数よりも低く設定した場合には、外部PWM制御信号PWMのデューティ比に応じた絶対値の電流を出力し、DC調光制御が可能となる。DC調光制御の場合には平均出力電流に対するLEDの明るさのリニアリティが悪くなるが、本実施形態の電源装置のように、PWM制御されたパルス電流を出力させてPWM調光制御を行うことによって、平均出力電流に対するLEDの明るさのリニアリティを向上させることができる。また、DC調光制御では出力電流値が変わるとLEDランプの発光色も変わるが、PWM調光制御を行う上記実施形態を適用することで発光色の変化も少なくすることができる。

[0025] さらに、トランス T_1 の二次側には、センス抵抗 R_s により電流-電圧変換された電圧 V_d が抵抗 R_1 を介して反転入力端子に入力され、非反転入力端子に参照電圧 V_{ref1} が入力され、検出した電流値に応じた電圧を出力する誤差アンプAMP1や、該誤差アンプの出力を受けて帰還信号FBを生成するバッファアンプ（ボルテージフォロウ）AMP2、帰還信号FBとPWMパルス生成手段PPGより供給された外部PWM制御信号PWMとを合成する信号合成回路15aが設けられている。該信号合成回路15aによって合成された信号は狭義の信号伝達手段としてのフォトカップラPCによって一次側へ伝達される。

また、誤差アンプAMP1の出力端子と反転入力端子との間には位相補償

用の容量 C_f が設けられ、該容量 C_f と前記抵抗 R_1 とによりローパスフィルタが構成される。そして、容量 C_f が当該アンプのミラー効果によって入力側から見たときに本来の容量値のほぼゲイン倍の値 $(1+A)C_f$ を持つようにされ、カットオフ周波数の低いフィルタとして機能し、出力電流に応じて変化する電圧 V_d を平滑することができる。

これによって、誤差アンプAMP 1の反転入力端子には、電圧 V_d の平均電圧に相当する直流電圧が入力される。また、本実施例の回路においては、誤差アンプAMP 1と後段のバッファアンプAMP 2との間に抵抗 R_2 と容量 C_2 とが接続されて、誤差アンプAMP 1とともに伝達関数が2つのポールを有する2次のローパスフィルタとして機能することで、高い周波数帯のノイズをより効果的に遮断できるように構成されている。

[0026] 信号合成回路15aは、図2に示すように、互いにカソード端子が結合された一対のダイオードD2、D3のアノード端子に、それぞれ帰還信号FBと外部PWM制御信号PWMを入力し、共通カソード端子から2つの信号を合成した信号を取り出して、図3のフォトカップラPCを構成するフォトダイオードPD1へ供給するように構成すれば良い。このとき、外部PWM制御信号PWMは電流調整用の抵抗 R_t を介してダイオードD3のアノード端子に入力するようにするとよい。

また、本実施形態においては、誤差アンプAMP 1に入力される参照電圧 V_{ref1} を生成する可変電圧源VSを設け、 V_{ref1} を外部のPWMパルス生成手段PPGにより生成されたPWM制御信号PWMのデューティ比もしくはパルス幅に応じて変化させ（図6B）、後述のように一次側回路にPWM制御信号PWMを入れて出力をフィードフォワードで制御した場合に変化する上記電圧 V_d の変化を相殺するような働きをすることができるように構成されている。

[0027] 上記アンプAMP 1とAMP 2とによって帰還電圧生成回路14が構成され、フォトカップラPCにより信号伝達手段15が構成される。本実施形態においては、外部PWM制御信号PWMを一次側の電源制御用IC23へ供給して

出力電流を変化させ、負荷として接続されるLEDランプの明るさを調整するとともに、それに伴って生じる不所望な検出電圧 V_d の変化を相殺するように、外部PWM制御信号PWMにより可変電圧源 V_S により生成される参照電圧 V_{ref1} を変化させて、フィードバック信号FBを補正することで回避できるように構成されている。つまり、外部PWM制御信号PWMのデューティ比が変化しても、参照電圧 V_{ref1} に対する相対的な検出電圧 V_d の大きさを変化させないようにしている。

[0028] 次に、フォトカプラPCを介して二次側からフィードバック信号FBおよび外部PWM制御信号PWMを受けてスイッチング素子SWをオン、オフする電源制御用IC23について説明する。

電源制御用IC23には、フォトカプラPCを構成する受光用トランジスタ T_r1 のコレクタが接続される外部端子P1が設けられている。受光用トランジスタ T_r1 は、そのエミッタ端子が接地電位GNDに接続されているとともに、外部端子P1は、各々プルアップ抵抗 R_p1 を介して、電源制御用IC23内部に設けられている内部電源回路20により生成される内部電圧 V_{reg} が印加される端子に接続され、受光用トランジスタ T_r1 のコレクタにバイアスを与えるように構成されている。これにより、内部電圧 V_{reg} により T_r1 がバイアスされた状態で、フォトカプラPCのフォトダイオードPD1が点灯されると、 T_r1 にコレクタ電流が流れ、抵抗 R_p1 の電圧降下によって外部端子P1の電位が下がり、これを内部回路が増幅して制御動作を行う。

[0029] なお、従来、フォトカプラの電源は、例えば特許文献2に記載されているように、補助巻線に接続された整流用ダイオードと平滑コンデンサとからなるレギュレータをIC外部に設けて供給するのが一般的であった。しかし、その場合、FB信号の入力端子にフォトカプラを介して、制御用IC内部の素子の耐圧を越えるような比較的高い電圧が印加されてIC内部の素子が破壊されるおそれがある。従って、IC内部素子の耐圧のことを考慮すると、内部電圧 V_{reg} をフォトカプラに供給してバイアスするように構成するのが望

ましい。一方、受光用トランジスタ T_{r1} のバイアスの仕方としては、本実施形態のように、プルアップ抵抗 R_p を介して V_{reg} をコレクタに印加する形式の他、 V_{reg} を受光用トランジスタのコレクタに直接印加してエミッタと接地点との間に抵抗を接続してコレクタ接地とする形式が考えられる（特許文献2参照）。

[0030] しかし、受光用トランジスタをコレクタ接地としかつ IC 内部で生成した電圧 V_{reg} をコレクタに印加するように構成した場合には、図11に示すように、 V_{reg} を出力する端子と FB 信号の入力端子の2つの外部端子を IC に設ける必要がある。これに対し、本実施例のようにプルアップ抵抗 R_{p1} を介して V_{reg} を T_{r1} のコレクタに印加する構成とすることによって、 IC の外部端子を増やす必要がなく、コストアップを回避できるという利点がある。さらに、図示しないが、プルアップ抵抗 R_{p1} として抵抗値を調整可能な可変抵抗もしくは抵抗回路を使用することで、フォトカプラの特性ばらつきに起因する受信信号のレベルばらつきを補償し、使用するフォトカプラにかかわらず精度の高い信号 FB を伝達できるように構成することも可能である。

[0031] また、この実施形態の電源装置の一次側には、上記補助巻線 N_b と直列に接続された整流用ダイオード D_0 と、このダイオード D_0 のカソード端子と接地電位点との間に接続された平滑用コンデンサ C_2 とを有し、平滑された電圧が上記電源制御用 $IC13$ の電源電圧端子 V_{CC} に印加されている。これとともに、ダイオード・ブリッジ回路12で整流され一次側巻線 N_p の一方の端子に印加される電圧が、抵抗 R_0 を介して電源制御用 $IC13$ の電源電圧端子 V_{CC} に供給され、電源起動時の補助巻線 N_b に電圧が誘起される前に電源制御用 $IC13$ を動作させることができるように構成されている。そして、電源制御用 $IC13$ 内には、電源電圧端子 V_{CC} に供給された電圧に基づいて、例えば5Vのような内部電源電圧 V_{reg} を生成する内部電源回路20が設けられている。内部電源回路20は、例えばシリースレギュレータなどで構成される。

[0032] さらに、本実施例の電源制御用 $IC23$ には、抵抗 R_{p1} により電流－電

圧変換された電圧に基づいて、外部端子P 1に接続されているフォトカプラのCTR（電流伝達率）を検出する例えばDA変換回路などからなるCTR検出回路40と、外部端子P 1の電圧を増幅して出力する伝達信号補正回路としての可変利得アンプVGAと、可変利得アンプVGAの出力からフィードバック信号FBと外部PWM制御信号PWMを分離する信号分離回路15bとが設けられ、前記信号合成回路15aとフォトカプラPCと信号分離回路15bとにより信号伝達回路15が構成されている。可変利得アンプVGAはCTR検出回路40からの信号すなわち外部端子P 1に接続されているフォトカプラのCTRに応じて利得（ゲイン）が調整されるように構成されている。可変利得アンプVGAを含めたものを、信号伝達回路15とみなすこともできる。

[0033] また、上記電源制御用IC23には、定電流源CC1とコンデンサC4およびディスチャージ用MOSトランジスタSW2からなる波形生成回路RAMPと、上記誤差アンプAMP3の出力と波形生成回路RAMPで生成された波形信号とを比較するコンパレータ（電圧比較回路）CMP1とが設けられている。波形生成回路RAMPは定電流源CC1の電流によってコンデンサC4が充電することで出力が徐々に上昇し、スイッチング素子SW2がオンされることでコンデンサC4の電荷が一気に放出されて出力が急に立ち下がる動作を繰り返すことで、鋸波状の波形信号を生成する。コンパレータCMP1は、誤差アンプAMP3の出力に応じたパルス幅を有するローカルPWMパルスを生成するPWMコンパレータとして機能する。

[0034] さらに、上記電源制御用IC23には、信号分離回路15bにより分離された外部PWM制御信号PWMの立上がりを検出してパルス信号を生成するワンショットパルス生成回路OPG1と、トランスT1（10）に設けられた補助巻線Nbの一方の端子が接続される外部端子P3と、該外部端子P3に反転入力端子が接続され非反転入力端子に参照電圧Vref3が印加されたコンパレータCMP2と、該コンパレータCMP2の出力の立上がりを検出してパルス信号を生成するワンショットパルス生成回路OPG2と、これらの回路

からの信号に応じてスイッチング素子SWのオン、オフ制御信号on/offを生成するロジック回路LGCと、が設けられている。

[0035] ロジック回路LGCは、外部端子P2の電圧をインバータINVで反転した電位とコンパレータCMP1の出力とを入力とするORゲートG1と、ワンショットパルス生成回路OPG1とOPG2の出力を入力とするORゲートG2と、ORゲートG1の出力がリセット端子Rに入力され、ORゲートG2の出力がセット端子Sに入力されたRSフリップフロップFF1とから構成されている。

RSフリップフロップFF1はリセット優先のフリップフロップであり、FF1の出力Qはスイッチング素子SWのオン、オフ制御信号on/offとしてIC外部へ出力され、FF1の反転出力/Qは波形生成回路RAMPのディスチャージ用MOSトランジスタSW2をオン、オフ制御する信号としてSW2のゲート端子に供給される。

ORゲートG1とFF1は、外部端子P2から入力される外部PWM制御信号PWMのロウレベルの期間はRSフリップフロップFF1の出力Qを強制的にロウレベルにしてオン、オフ制御信号on/offの出力を禁止するマスク回路として機能する。また、外部PWM制御信号PWMがハイレベルに変化するタイミングで、OPG1によりワンショットパルスが生成されてRSフリップフロップFF1がセットされ、マスクが解除される。

[0036] 本実施形態のAC-DCコンバータは、補助巻線Nbに誘起される電圧が参照電圧Vref3以下になるタイミングすなわち補助巻線の電流がある程度減少したタイミングで、コンパレータCMP2の出力がハイレベルに変化して、OPG2によりワンショットパルスが生成され、フリップフロップFF1がセット状態にされる。すると、制御信号on/offがハイレベルに変化してスイッチング素子SWがオンされて一次側巻線Npに電流が流されるとともに、波形生成回路RAMP内のSW2がオフされてコンパレータCMP1の入力が次第に高くなりフィードバック信号FBよりも高くなった時点でフリップフロップFF1にリセットがかかる。そして、制御信号on/off

f がロウレベルに変化してスイッチング素子 SW がオフされるとともに、波形生成回路 RAMP 内の SW2 がオンされてコンデンサが放電され波形信号が立ち下がる。

[0037] 上記動作を繰り返すことでフィードバック信号 FB が一定になるように、一次側巻線 Np に電流が流れる期間が制御されて、出力電流パルスのパルス幅が制御される。図 6 A に、本実施形態の絶縁型 AC-DC コンバータにおける一次側制御回路へのフィードバック信号 FB とスイッチング素子 SW のオン時間との関係を示す。図 6 A に示すように、スイッチング素子 SW のオン時間は、フィードバック信号 FB にほぼ比例するように制御される。なお、スイッチング素子 SW による一次側巻線 Np の電流のオン、オフ制御は、入力電圧の周波数よりも十分に高い周波数にて行われる。

[0038] ここで、上記マスク回路 19 (G1, FF1) の機能について、図 4 を用いて説明する。図 4 において、(a) は外部 PWM 制御信号 PWM の波形、(b) は参照電圧 Vref1 の補正を行わない場合の出力電力波形、(c) は本実施形態を適用して参照電圧 Vref1 の補正を行った場合の出力電力波形を示してある。図 4 に示すように、本実施形態の AC-DC コンバータにおいては、外部 PWM 制御信号 PWM のロウレベルの期間は、フリップフロップ FF1 の出力をロウレベルに固定すなわち内部 PWM パルスの出力をマスクしスイッチング素子 SW をオンさせないようにして、外部 PWM 制御信号 PWM によって出力電流を制御することができるようになっている。

[0039] ところで、上記のように電源制御用 IC23 に外部 PWM 制御信号 PWM を入れて内部のローカル PWM パルスの出力をマスクし出力電流を制御するようにした場合、そのままでは、外部 PWM 制御信号 PWM のデューティが変化した分だけ検出電圧 Vd が変化しフィードバック信号 FB がずれてしまい、図 4 (b) に示すように、ピーク値が高くなってしまう。

そこで、本実施形態の AC-DC コンバータにおいては、二次側に設けられている誤差アンプ AMP1 の非反転入力端子に印加される参照電圧 Vref1 を可変電圧源 VS により生成し、図 8 (A) に示すように外部 PWM 制御信

号PWMのデューティ比もしくはパルス幅に比例して V_{ref1} を高くして検出電圧 V_d の変化を相殺するような補正を行う構成とした。このような補正を行うことによって、一次側の電源制御用IC23に外部PWM制御信号PWMを入れることにより検出電圧 V_d が変化してフィードバック信号FBがずれ、出力電流のピーク値が変化するのを防止することができる。すなわち、本実施形態に従うと、外部PWM制御信号PWMが変化してもフィードバック信号FBが変化しないようにすることができる。

[0040] 図4より、外部PWM制御信号PWMのデューティ比（パルス幅）を変化させた際に、参照電圧 V_{ref1} の補正を行わない場合には検出電圧 V_d が変化することで図4（b）に示すように出力電流のピークが高くなってしまい所望の制御が行えなくなるのに対し、参照電圧 V_{ref1} の補正を行った場合には図4（c）に示すように出力電力の波形の高さをほぼ一定に保つことができ、所望のPWM調光制御が行えることが分かる。

なお、参照電圧 V_{ref1} の制御による補正量は、一次側の電源制御用IC23のマスク回路で内部PWMパルスをマスクすることにより遮断される出力電流の平均値と、参照電圧 V_{ref1} の補正量を出力電流の変化量に換算した値とが同一となるように決定するとよい。

[0041] ところで、図4の波形は、ダイオード・ブリッジ22の出力を平滑するコンデンサC0として比較的容量値の大きなものを使用した場合のものである。図5には、ダイオード・ブリッジ22の出力を平滑するコンデンサC0を設けないあるいは容量値の小さなC0を使用した場合の波形が示されている。

図5において、（a）はトランスT1の一次側巻線Npに印加されるダイオード・ブリッジ22からの入力波形、（b）はトランスT1の二次側巻線Nsに誘起される出力波形、（c）は外部PWM制御信号PWMの波形を示す。容量値の小さなC0を使用した場合、スイッチング素子SWがオンした際にC0から電荷が引き抜かれて電圧が下がり、一次側巻線Npに印加される電圧VC0は脈流となる。すると、一次側巻線Npに流れる電流はVC0の波形を

追従し脈流となるので、AC-DCコンバータの力率を改善することができるという利点がある。

[0042] 図7には、CTR検出回路40のより具体的な回路構成例が示されている。

図7に示すように、この実施例のCTR検出回路40は、外部端子P1の電圧と電位が少しずつ異なる参照電圧 $V_{ref11} \dots V_{ref1n}$ とを比較する複数のコンパレータ $CMP11 \dots CMP1n$ と、これらのコンパレータの出力をイネーブル信号ENによってラッチするラッチ手段としてのD型フリップフロップ $FF11 \dots FF1n$ とにより構成されている。

また、CTR検出回路40に対応して、PWM信号監視回路41と電源電圧監視回路42とイネーブル信号ENを生成するEN信号生成回路43とが設けられている。PWM信号監視回路41は外部からPWM制御信号PWMが入って来たことを検出して制御回路17に制御を開始させる信号を出力するスタートアップ機能を有する。電源電圧監視回路42は、例えば外部電源端子VCCの電圧（あるいは内部電圧Vreg）を監視して電源電圧が立ち上がったことを検出する回路である。

[0043] EN信号生成回路43は、PWM信号監視回路41と電源電圧監視回路42からの信号に基づいて、電源電圧が立ち上がった状態でPWM制御信号PWMが入って来たのを検出してから適当な遅延時間後にパルス状のイネーブル信号ENを出力するように構成される。なお、EN信号生成回路43は、一旦イネーブル信号ENを出力すると、電源電圧が落ちるまでイネーブル信号ENを出力しないように構成しておくのが良い。

また、電源制御用ICにおいては、電源電圧が所定のレベル以下になった場合に制御動作を停止するために、電源電圧VCCが所定のレベル以上になっているか監視する低電圧監視回路（UVLO）を設けることがあるので、そのような回路を設けている場合には、その回路と本実施例における電源電圧監視回路41とを兼用するように構成することができ、それによって回路規模の増大を抑制することができる。CTR検出回路40は図7に示すよう

な回路に限定されず、例えば逐次比較型のDA変換回路等であっても良い。

[0044] ここで、CTR検出回路40の動作について説明する。本実施形態の電源装置においては、フィードバック信号FBがまだゼロの状態である電源立上り時に、PWMパルス生成回路PPGより所定の振幅の外部PWM制御信号PWMを入れてやる。すると、その信号はフォトカプラPCを介して二次側の電源制御用IC23の外部端子P1へ伝達される。このとき、コレクタフォトカプラPCの電流伝達率(CTR)およびPWM制御信号PWMの振幅値に応じた電流が受光用トランジスタTr1に流れるため、Tr1のコレクタ電流に応じて外部端子P1の電圧が異なることとなる。

[0045] CTR検出回路40は、外部端子P1の電圧と参照電圧Vref11……Vref1nとを比較して出力を生成するため、CTR検出回路40の出力はフォトカプラPCのCTRに対応した状態となる。そして、この出力はイネーブル信号ENによってフリップフロップFF11……FF1nに取り込まれ、その値によって例えば動作電流の大きさを替えることで可変利得アンプVGAの利得を決定し、その後電源が遮断されるまで、可変利得アンプVGAの利得はそのまま維持される。つまり、本実施形態の電源装置は、電源立上り時に、予め決められた所定の振幅の外部PWM制御信号PWMを入力してその振幅値に応じて二次側に流れる電流を検出することでフォトカプラPCのCTRを検出し、そのCTRに応じて可変利得アンプVGAの利得を決定するように構成されている。

[0046] そのため、電源装置ごとにフォトカプラPCのCTRが異なっていたとしても、二次側へ伝達された信号が可変利得アンプVGAによって所定の伝達関数に従った信号となるように補正され、VGAよりも後段の信号は同一レベルの信号として内部回路へ供給することができ、制御ループの安定性が向上する。また、本実施形態の電源装置においては、経時変化でフォトカプラPCのCTRが変化したとしても、可変利得アンプVGAよりも後段の信号はCTRが変化する前と同一レベルの信号を内部回路へ供給することができ、経時変化による制御ループの特性低下を防止することができる。

なお、電源電圧監視回路42を設けてイネーブル信号ENを生成する代わりに、外部からフォトカプラの特性検出モードが指示された場合にそれを検出してイネーブル信号ENを生成するようにしてもよい。特性検出モードの指示は、例えば外部から通常時とは明らかに異なる周波数等を有するPWM制御信号PWMを入力するとともに、制御用IC23内にそれを検出する回路を設けることで実現することができる。

[0047] 図8には、信号分離回路15bのより具体的な回路構成例が示されている。

図8に示すように、この実施例の信号分離回路15bは、受信した合成信号から高周波のノイズをカットするノイズフィルタFLTと、信号の立上りや立下りを緩やかにするローパスフィルタLPFと、ノイズフィルタFLTを通過した信号とローパスフィルタLPFを通過した信号を入力とする2つのオフセット・コンパレータCMP21, CMP22と、これらのコンパレータCMP21, CMP22の出力信号がセット端子とリセット端子にそれぞれ入力されたRSフリップフロップFF2と、FF2の出力Qがロウレベルからハイレベルへ変化あるいはその逆に変化した際にパルスを生成し出力するワンショットパルス生成回路OPG3と、該パルスによって信号分離回路15bの入力信号をサンプリングするサンプルホールド回路S&Hとにより構成されている。

[0048] オフセット・コンパレータは、意図的に入力にオフセットを持たせたコンパレータであり、例えば差動増幅回路の差動トランジスタの負荷となるカレントミラー接続された一対のトランジスタの素子サイズを変えることでオフセットを持たせることができる。この実施例では、非反転入力端子から反転入力端子に向かって負となるオフセット、すなわち非反転入力端子に反転入力端子よりもオフセット分だけ低い電圧が入力されたときに出力がゼロになるように設定される。このようなオフセットをコンパレータCMP21とCMP22に付与することで、同一レベルの電圧が非反転入力端子と反転入力端子に入力された状態でCMP21, CMP22の出力が確実にロウレベル

となるように動作させることができる。

- [0049] コンパレータCMP 2 1とCMP 2 2には、それぞれノイズフィルタFLTを通過した信号とローパスフィルタLPFを通過した信号が逆の関係、すなわちコンパレータCMP 2 1の非反転入力端子にノイズフィルタFLTを通過した信号が入力されローパスフィルタLPFを通過した信号はCMP 2 1の反転入力端子に入力される一方、コンパレータCMP 2 2の非反転入力端子にはローパスフィルタLPFを通過した信号が入力されノイズフィルタFLTを通過した信号CMP 2 2の反転入力端子に入力されるように構成されている。

このような信号をCMP 2 1, CMP 2 2へ入力させることで、CMP 2 1とCMP 2 2が信号分離回路15bの入力(FBとPWMが合成されたパルス状の信号)の変化点を見極めてパルス信号を出力することができる。ローパスフィルタLPFは、コンパレータCMP 2 1とCMP 2 2が2つの入力信号の過渡応答の差(立上がり速度の差)を検出できれば良いので、比較的小さな時定数を有するように構成しておくことができ、IC化する上で支障とならない。

- [0050] ここで、図8に示されている信号分離回路15bの動作を説明する。

信号分離回路15bの入力信号は、図9(A)のような矩形状の波形であり、ロウレベルの期間T1はフィードバック信号FBの電位、またはハイレベルの期間T2はフィードバック信号FBにPWM制御信号PWMの振幅を加算した電位である。ノイズフィルタFLTを通過した信号は、ほぼ同じ矩形波の信号である。一方、この矩形波がローパスフィルタLPFを通過すると図9(B)のようになまった波形となる。信号分離回路15bの入力信号が立ち上がる際、コンパレータCMP 2 1がこの2つの信号の過渡応答の差を検出して出力がハイレベルに変化する。そして、ローパスフィルタLPFを通過した信号がハイレベルに達すると、コンパレータCMP 2 1の2つの入力端子は同一電位となるため、出力がロウレベルに変化する。これによって、信号分離回路15bの入力信号が立ち上がる際に、コンパレータCMP 2 1

から図9 (C) のように短いパルスが出力され、それによって後段のフリップフロップFF2がセットされ、出力Qは電源電圧 V_{reg} に変化する。

[0051] また、信号分離回路15bの入力信号が立ち下がる際には、コンパレータCMP22がロウレベルに向かって変化する2つの信号の過渡応答の差を検出して出力がハイレベルに変化する。そして、ローパスフィルタLPFを通過した信号がロウレベルに達すると、コンパレータCMP22の2つの入力端子は同一電位となるため、出力がロウレベルに変化する。これによって、信号分離回路15bの入力信号が立ち下がる際には、コンパレータCMP22から図9 (D) のように短いパルスが出力され、それによって後段のフリップフロップFF2がリセットされ、出力Qは接地電位に変化する。その結果、図9 (E) のように、フリップフロップFF2の出力Qに、PWM制御信号PWMが再生される。

[0052] さらに、フリップフロップFF2の出力Qがロウレベルからハイレベルに変化すると、適当な遅延時間をおいてワンショットパルス生成回路OPG3により図9 (F) のようなパルスが生成され、このパルスをサンプリングクロック ϕ_s としてサンプルホールド回路S&Hが動作して、信号分離回路15bの入力信号をサンプリングする。これにより、サンプルホールド回路S&Hにフィードバック信号FBの情報を含むハイレベルの期間T2の電圧が取り込まれることとなる。このとき、サンプリングされる電位は、フィードバック信号FBにPWM制御信号PWMの振幅を加算した電位つまり下駄を履かせた電位であるが、下駄を履かせた分のオフセットは、出力に対してエラーアンプの利得分の1の誤差として現れるので、精度上で支障にはならない。

[0053] また、サンプリングする電圧をロウレベルの期間T2で取り込む方法が考えられる。しかし、信号分離回路15bで分離されたフィードバック信号FBは、PWM制御パルスを生成する後段のPWMコンパレータCMP1に供給され、鋸波状の波形信号と比較される。この際、PWMコンパレータCMP1の反転入力端子に入力される電圧は、フォトカプラのフォトダイオードPD1に流れる電流値と1:1の対応関係にある。従って、例えばあるFB

量に対してPWMコンパレータCMP1の入力電圧を例えば2Vにしたい場合に、PWM制御信号PWMのロウレベルの期間にサンプリングしたときにも2Vの電圧を入力させるように設計、つまり動作点を高めに設定すると、CMP1にさらに高い電圧が入力されることとなるPWM制御信号PWMのハイレベル期間においては、フォトダイオードPD1に流れる電流値がずっと大きな値になってしまう。

[0054] そこで、本実施例の信号分離回路15bでは、上記のようにフィードバック信号FBのハイレベル期間T2において、サンプルホールド回路S&Hにフィードバック信号FBの情報を含む電圧をサンプリングするようにしている。これにより、PWMコンパレータCMP1の入力側において、(FB+PWM)のときにCMP1の入力電圧が2Vになるようにすればよく、それによってPWM制御信号PWMのハイレベル期間においてフォトダイオードPD1に流す電流値を少なくすることで、フォトカプラの寿命を長くする観点および低省電力化を図る観点から好ましい結果が得られる。

[0055] 前述したように、本実施形態のAC-DCコンバータによれば、1つのフォトカプラによって、アナログ信号である帰還信号FBとデジタル信号である外部PWM制御信号PWMの2つの信号を一次側の回路から二次側の回路へ合成して伝達し二次側で分離することができ、部品点数を減らし装置の小型化が可能となる。

また、本実施形態のAC-DCコンバータによれば、フォトカプラを構成する受光側のトランジスタのコレクタ端子に、プルアップ抵抗Rp1を介して内部電圧Vregを印加するようにしているため、前述したように、制御用ICの内部素子に耐圧以上の電圧が印加されて破壊されるのを防止できるとともに、ICの外部端子を増やす必要がなくコストアップを回避できるという利点がある。

[0056] 図10には、フィードバック量補正回路18の他の実施例を示す。

図3の実施形態においては、出力電流を検出する誤差アンプAMP1に供給される参照電圧Vref1を可変電圧源VSによって発生させ、該可変電圧源

V_Sにより発生する参照電圧V_{ref1}を外部PWM制御信号PWMのデューティ比に応じて変化させるように構成されている。

これに対し、図10の実施例では、参照電圧V_{ref1}を定電圧源によって発生させて固定しておくとともに、基準電圧V_{ref2}と誤差アンプAMP1の反転入力端子との間に、直列形態に接続された抵抗R5とNチャネルMOSトランジスタQ5とを設け、Q5のゲート端子に外部PWM制御信号PWMを入力してオン／オフ動作させるようにしたものである。

なお、抵抗R5とトランジスタQ5の接続順序は逆であっても良い。

[0057] この実施例（図10）のフィードバック量補正回路18は、外部PWM制御信号PWMのデューティ比に応じて誤差アンプAMP1の反転入力端子へ入力される電圧の平均電位を引き上げるあるいは引き下げるように作用する。すなわち、外部PWM制御信号PWMによってオン／オフされるトランジスタQ5と直列の抵抗R5と、誤差アンプAMP1の反転入力端子と出力端子との間に接続されている容量C_fとでフィルタ回路が構成され、このフィルタ回路によって外部PWM制御信号PWMのパルスを平均化してデューティに比例した電位を発生し、それをセンス抵抗R_sにより電流－電圧変換された電圧V_dを平滑した電圧に加算して誤差アンプAMP1へ入力するように構成されている。

これにより、図10のフィードバック量補正回路18は、外部PWM制御信号PWMのデューティ比が変化しても誤差アンプAMP1の（－）入力端子の電圧が変化しないように動作することとなる。

[0058] 図3の実施形態における外部PWM制御信号PWMによる可変電圧源V_Sの制御回路も図10と同様な構成、すなわちMOSトランジスタとフィルタ回路でPWM信号を平均化し、その電圧で可変電圧源V_Sを制御して参照電圧V_{ref1}を変化させるようにすることができる。

なお、フィードバック量補正回路18を可変電圧源V_Sによって構成し、誤差アンプAMP1の非反転入力端子へ入力される参照電圧V_{ref1}を外部PWM制御信号PWMのデューティに比例して変化させる図3の実施形態と同じ方

向の補正を、他の構成が図3と同一である図10の実施例で行わせるには、トランジスタQ5のゲート端子に図3の場合とは逆相の関係になる外部PWM制御信号PWMを入力させればよい。

[0059] 以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではない。例えば、図3の実施形態では、出力端子OUT2と接地点との間にセンス抵抗 R_s を設けて出力電流を検出するようにしているが、出力端子OUT1と接地点との間に直列形態の抵抗等からなる分圧回路を設けて出力電圧を検出するようにしてもよい。

また、前記実施形態では、二次側にフィードバック信号と外部PWM制御信号とを合成する信号合成回路15aを設け、一次側にフィードバック信号と外部PWM制御信号とを分離する信号分離回路15bを設けたものについて説明したが、本発明は2つのフォトカプラを設けて信号を別々に伝達するように構成した電源回路にも適用することができる。

さらに、前記実施形態では、フォトカプラを構成する受光用トランジスタ T_{r1} のコレクタを、プルアップ抵抗 R_{p1} を介して内部電圧 V_{reg} が印加された端子に接続するようにしているが、プルアップ抵抗 R_{p1} の代わりに定電流源でプルアップするように構成しても良いし、受光用トランジスタ T_{r1} のコレクタを直接内部基準電圧端子に接続するとともにエミッタ抵抗を設けてエミッタ端子からフィードバック信号を取り出すように構成しても良い。

[0060] さらに、前記実施形態では、トランスの一次側巻線に間歇的に電流を流すスイッチング素子SWを、電源制御用IC23とは別個の素子(MOSトランジスタ)としているが、このスイッチング素子SWを電源制御用IC23に取り込んで、1つの半導体集積回路として構成してもよい。また、スイッチングトランジスタSWはMOSトランジスタに限定されずバイポーラトランジスタであってもよい。

産業上の利用可能性

[0061] 前記実施形態では、本発明を、負荷としてＬＥＤランプを駆動する電源装置に適用した場合について説明したが、本発明は負荷がＬＥＤランプである場合に限定されず、絶縁型電源装置一般に広く適用することができる。

符号の説明

- [0062] 10 電力変換手段
11 整流手段
12 フィルタ回路
13 検出手段
14 帰還電圧生成回路
15 信号伝達回路
15b 信号分離回路
15a 信号合成回路
16 スイッチ手段（スイッチング素子）
17 制御回路
18 フィードバック量補正回路
19 マスク回路
20 内部電源回路
21 フィルタ
22 ダイオード・ブリッジ回路（整流回路）
23 電源制御回路（電源制御用ＩＣ）
30 負荷
40 CTR検出回路（特性検出回路）
AMP1 誤差アンプ
AMP2 バッファアンプ
VGA 可変利得アンプ（伝達信号補正回路）
PC フォトカプラ（信号伝達手段）
CMP1, CMP2 コンパレータ
OPG1, OPG2 ワンショットパルス生成回路

RAMP 波形信号生成回路

LGC ロジック回路

請求の範囲

[請求項1]

一次側に入力された交流電力を変換して二次側へ出力する電力変換手段と、前記電力変換手段の二次側に設けられた整流手段と、前記整流手段により整流された電流・電圧のうち所定の周波数帯の電流・電圧を通過させるフィルタと、前記フィルタを介して負荷へ供給される出力電流もしくは出力電圧を検出する検出手段と、前記検出手段による検出信号に対応するフィードバック信号および前記出力制御信号に応じて前記電力変換手段の一次側に流す電流を制御するスイッチング素子の制御信号を生成し出力する制御回路と、前記検出手段による検出信号を前記制御回路へ伝達する信号伝達回路と、を有する絶縁型電源装置であって、

前記制御回路は、前記信号伝達回路により二次側から一次側へ伝達された信号を補正可能な伝達信号補正回路と、前記信号伝達回路により二次側から一次側へ伝達された前記出力制御信号に基づいて前記信号伝達回路の信号伝達率を検出可能な特性検出回路と、を備え、

前記伝達信号補正回路は、前記特性検出回路により検出された前記信号伝達率に応じた補正を行うように構成されていることを特徴とする絶縁型電源装置。

[請求項2]

前記伝達信号補正回路は、二次側より伝達された信号を増幅可能な可変利得増幅回路を備え、該可変利得増幅回路の利得を前記特性検出回路により検出された前記信号伝達回路の信号伝達率に応じた利得に設定するように構成されていることを特徴とする請求項1に記載の絶縁型電源装置。

[請求項3]

前記信号伝達回路は、発光素子と受光素子とを有する信号伝達手段を備え、

前記特性検出回路は、前記受光素子に流れる電流を電圧に変換する電流－電圧変換手段と、該電流－電圧変換手段により変換された電圧値をデジタル値に変換するA/D変換回路と、前記A/D変換回路の出力

をラッチするラッチ手段と、を備え、所定のタイミングで前記ラッチ手段を動作させて前記A/D変換回路の出力をラッチするように構成されていることを特徴とする請求項1または2に記載の絶縁型電源装置。

[請求項4] 前記制御回路は、前記出力制御信号を監視する出力制御信号監視回路を備え、出力制御信号が入って来た際に前記ラッチ手段を動作させて前記A/D変換回路の出力をラッチさせるように構成されていることを特徴とする請求項3に記載の絶縁型電源装置。

[請求項5] 前記出力制御信号はデューティ比に制御情報を有する出力制御パルス信号であり、

前記信号伝達回路は、

前記検出信号に対応するフィードバック信号と外部から供給される前記出力制御パルス信号とを合成する信号合成回路と、該信号合成回路によって合成された信号を二次側へ伝達する信号伝達手段と、該信号伝達手段によって伝達された信号から前記フィードバック信号と前記出力制御パルス信号とを分離する信号分離回路と、を備えることを特徴とする請求項1～4のいずれかに記載の絶縁型電源装置。

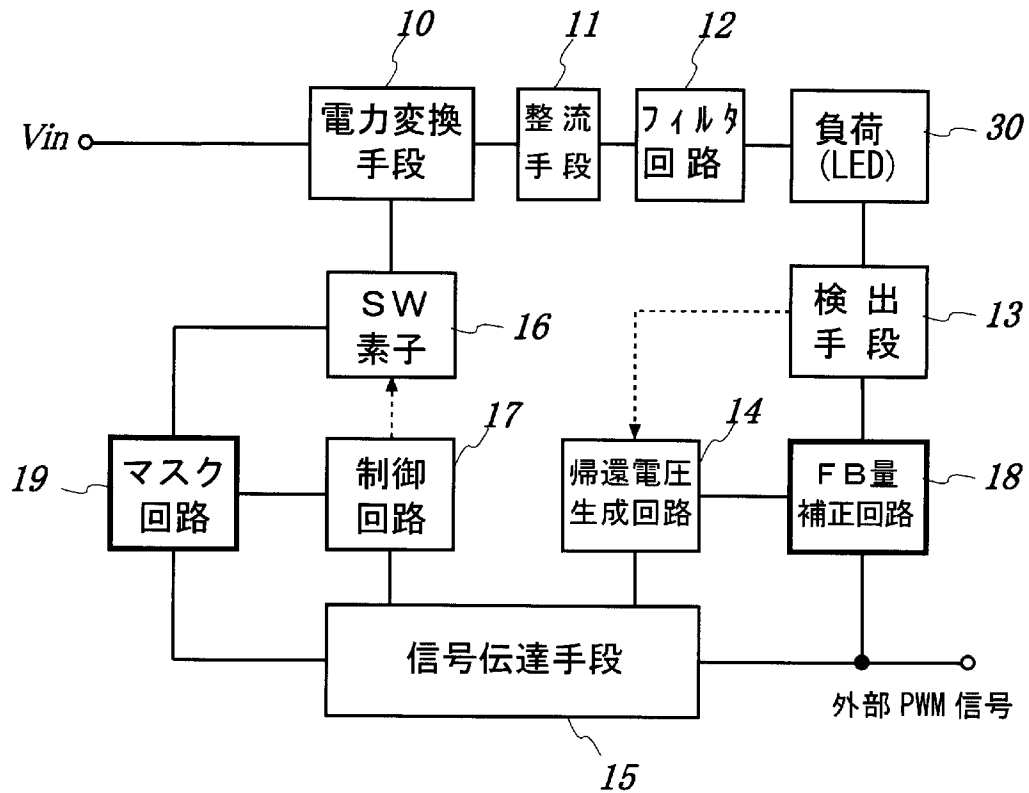
[請求項6] 前記制御回路および前記信号分離回路は1つの半導体チップ上に形成され、該半導体チップ上には外部から供給される電源電圧に基づいて内部で使用される電源電圧を生成する内部電源回路が設けられ、

前記信号伝達手段を構成する前記受光素子には抵抗素子を介して前記内部電源回路により生成された電圧がバイアス電圧として供給されていることを特徴とする請求項5に記載の絶縁型電源装置。

[請求項7] 請求項5～6のいずれかに記載の絶縁型電源装置と、該絶縁型電源装置の出力端子に接続され前記出力電流が流されることで点灯するLEDランプと、前記出力制御パルス信号を生成する制御信号生成手段とを備えた照明装置であって、前記出力制御パルス信号は前記LEDランプの明るさを制御するための調光制御パルスであることを特徴と

する照明装置。

[図1]

FIG.1

[図2]

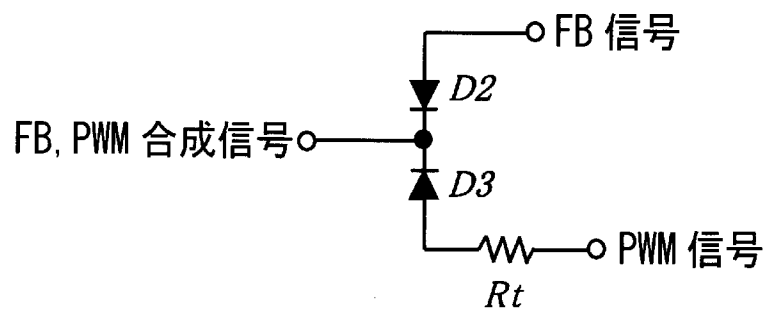
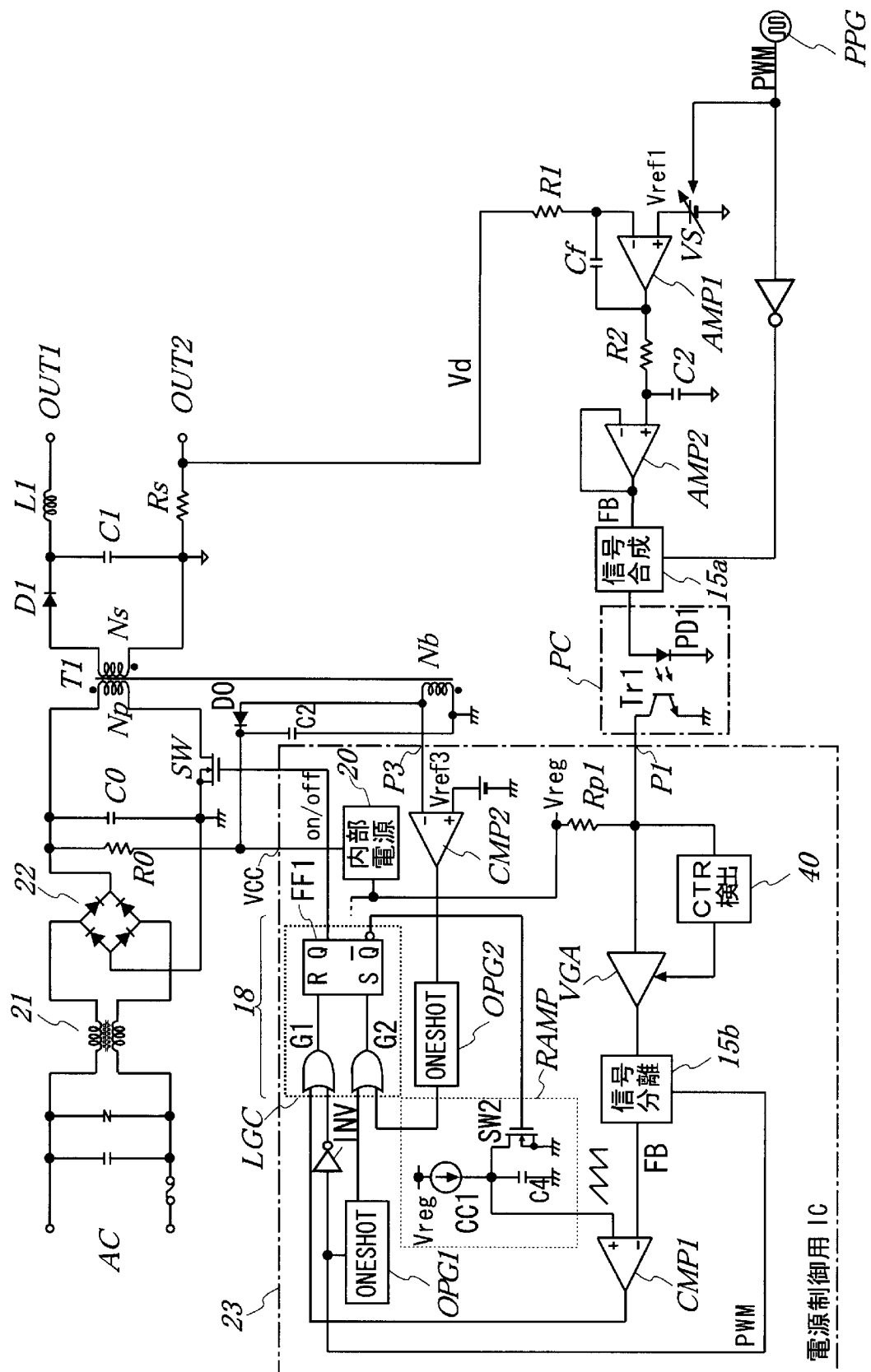
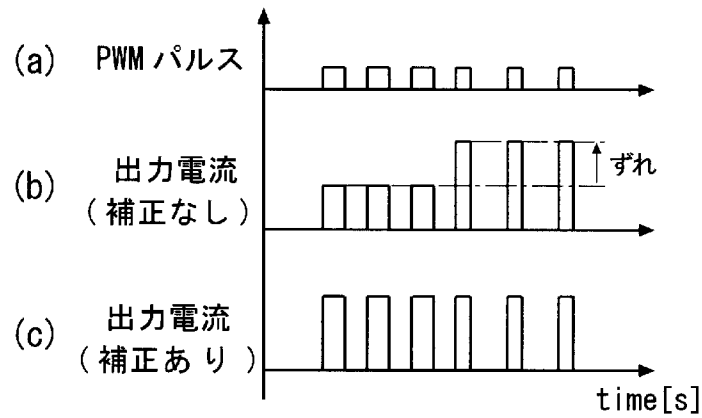
FIG.2

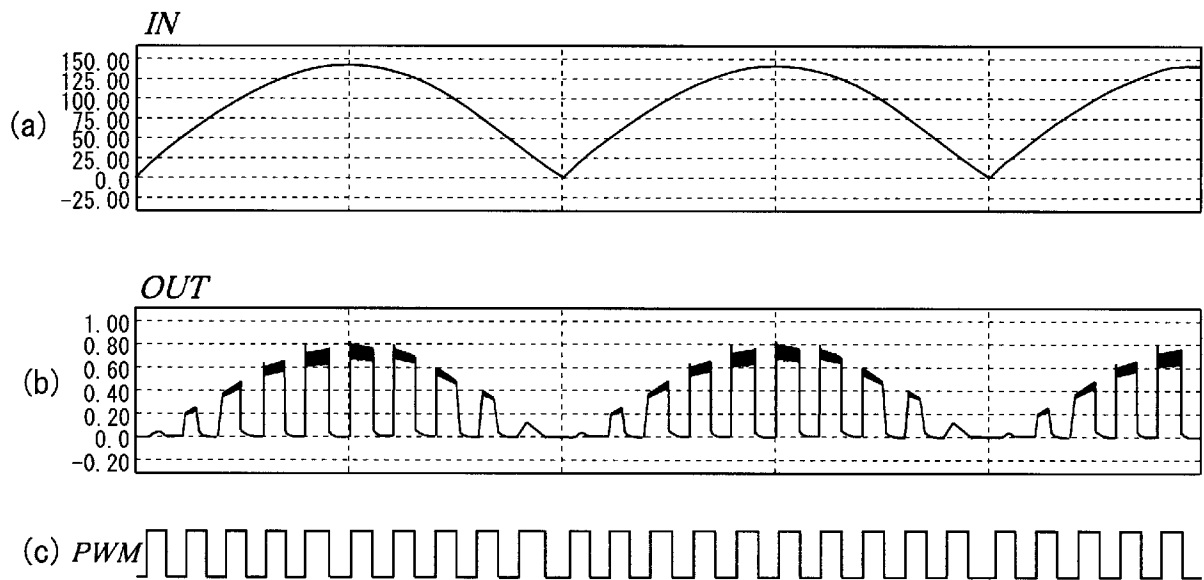
FIG. 3



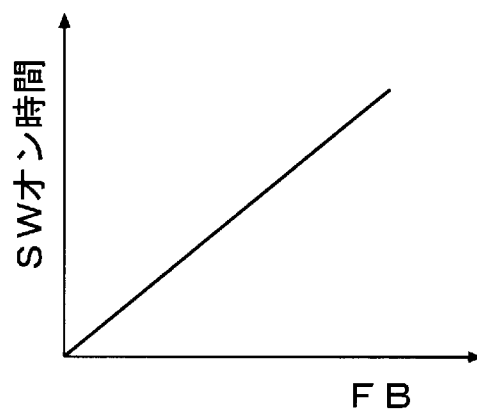
[図4]

FIG.4

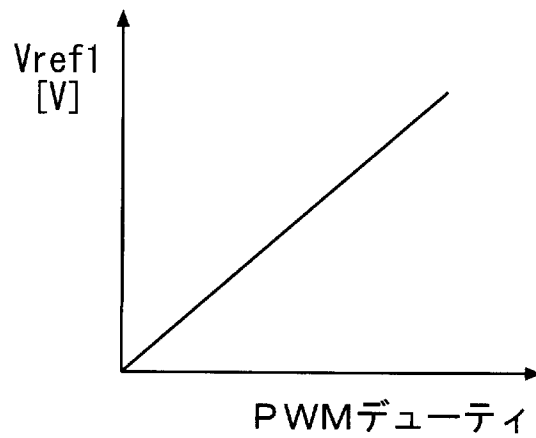
[図5]

FIG.5

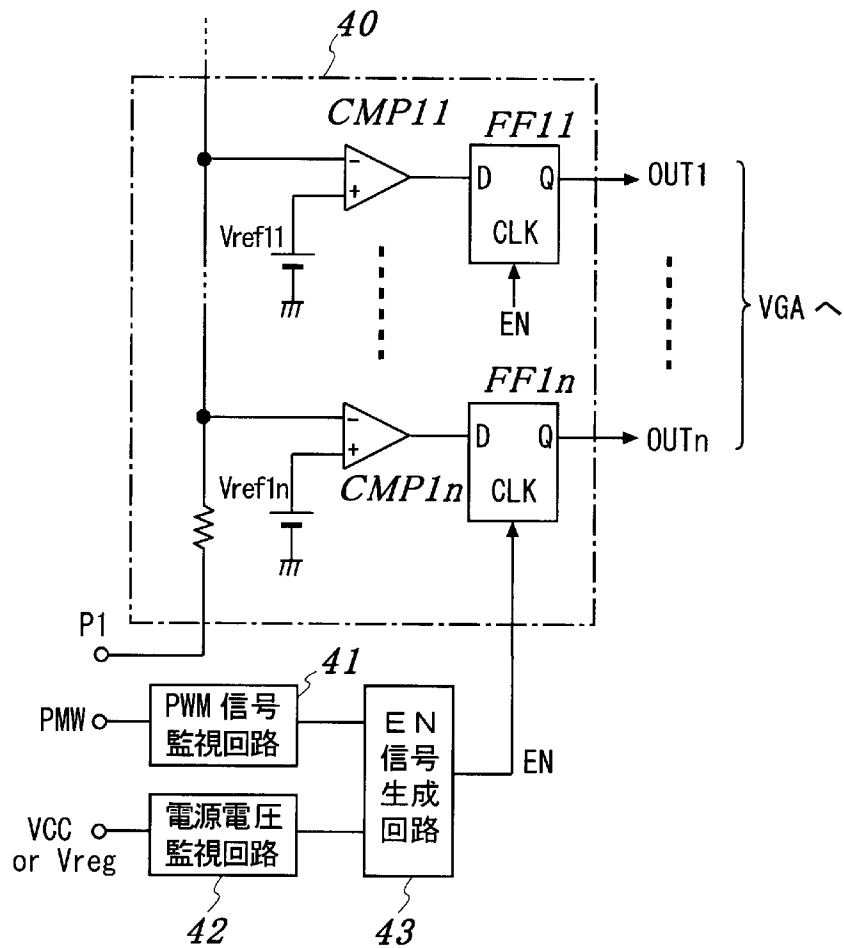
[図6A]

FIG.6A

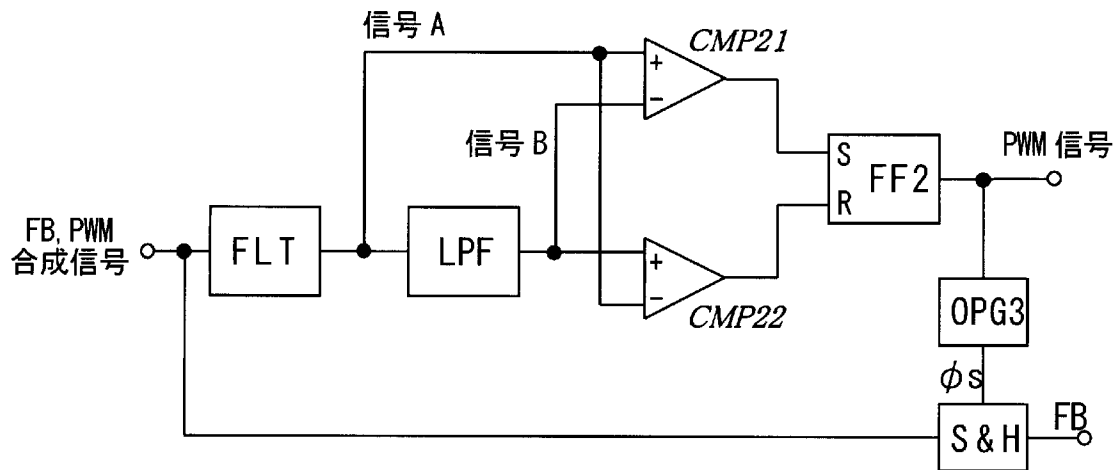
[図6B]

FIG.6B

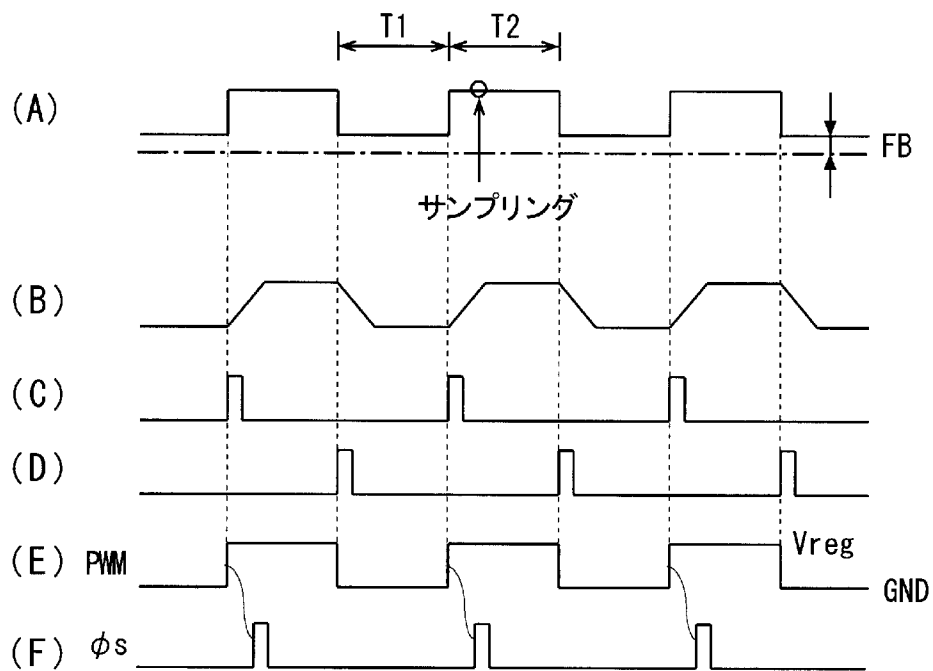
[図7]

FIG.7

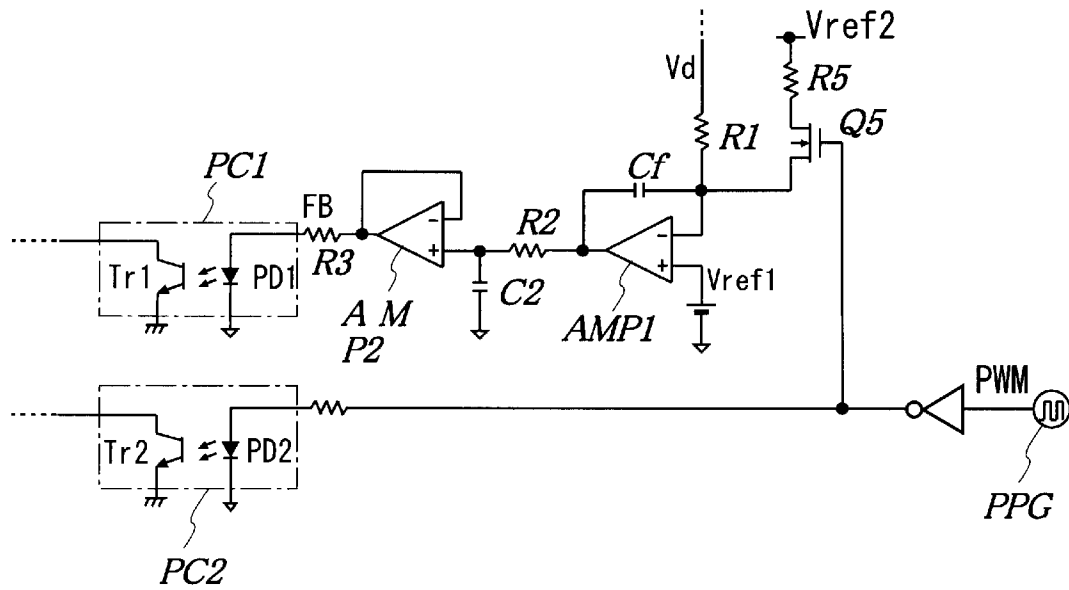
[図8]

FIG.8

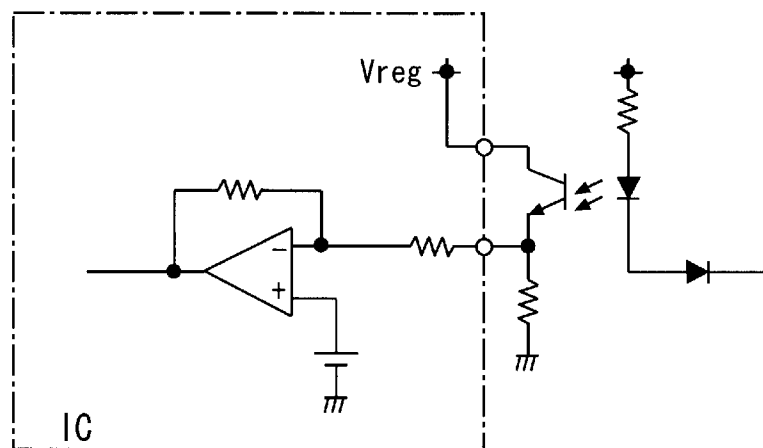
[図9]

FIG.9

[図10]

FIG.10

[図11]

FIG.11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/066892

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-352754 A (Sony Corp.), 21 December 2001 (21.12.2001), all pages & US 2002/0008979 A1 & EP 1160964 A2 & CN 1327289 A	1-2, 5 3-4, 6-7
Y A	JP 2007-312556 A (Hanshin Electric Co., Ltd.), 29 November 2007 (29.11.2007), all pages (Family: none)	1-2, 5 3-4, 6-7
Y A	WO 2009/119619 A1 (Toshiba Lighting & Technology Corp.), 01 October 2009 (01.10.2009), all pages & US 2011/0057577 A1 & EP 2257129 A1 & CN 101971703 A	1-2, 5 3-4, 6-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
11 October, 2011 (11.10.11)

Date of mailing of the international search report
25 October, 2011 (25.10.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02M3/28(2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02M3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2001-352754 A (ソニー株式会社) 2001. 12. 21, 全頁 & US 2002/0008979 A1 & EP 1160964 A2 & CN 1327289 A	1-2, 5 3-4, 6-7
Y A	JP 2007-312556 A (阪神エレクトリック株式会社) 2007. 11. 29, 全頁 (ファミリーなし)	1-2, 5 3-4, 6-7
Y A	WO 2009/119619 A1 (東芝ライテック株式会社) 2009. 10. 01, 全頁 & US 2011/0057577 A1 & EP 2257129 A1 & CN 101971703 A	1-2, 5 3-4, 6-7

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 1 0 . 2 0 1 1

国際調査報告の発送日

2 5 . 1 0 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

三島木 英宏

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

3 V

3 0 1 8