



(12)发明专利

(10)授权公告号 CN 105589273 B

(45)授权公告日 2019.06.18

(21)申请号 201610129930.6

H01L 27/12(2006.01)

(22)申请日 2016.03.07

H01L 21/77(2017.01)

(65)同一申请的已公布的文献号

申请公布号 CN 105589273 A

(43)申请公布日 2016.05.18

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 合肥鑫晟光电科技有限公司

(56)对比文件

CN 104880871 A, 2015.09.02,

CN 103901684 A, 2014.07.02,

CN 104916650 A, 2015.09.16,

CN 105159001 A, 2015.12.16,

CN 104714345 A, 2015.06.17,

审查员 黄亚明

(72)发明人 木素真

(74)专利代理机构 北京鼎佳达知识产权代理事

务所(普通合伙) 11348

代理人 王伟锋 刘铁生

(51)Int.Cl.

G02F 1/1362(2006.01)

G02F 1/1368(2006.01)

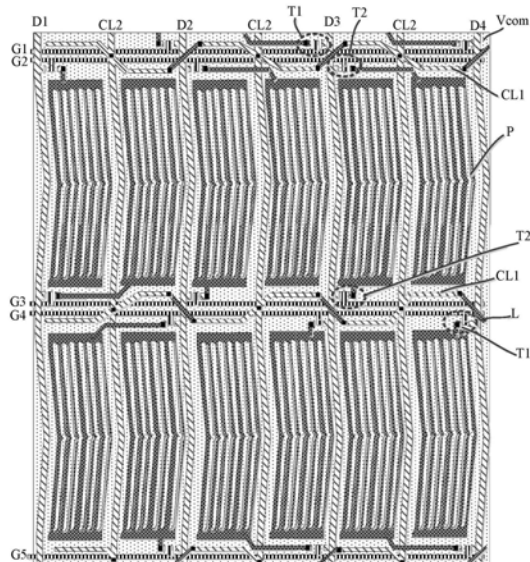
权利要求书2页 说明书7页 附图2页

(54)发明名称

阵列基板及其制作方法、显示装置

(57)摘要

本发明涉及一种阵列基板及其制作方法、显示装置,该阵列基板包括:基底以及设置在所述基底上的公共电极走线图形和连接部图形;所述公共电极走线图形与数据线图形同层设置,包含多组行方向公共电极走线;每一组行方向公共电极走线设置在相邻两行的像素之间并通过连接部图形中的连接部相连;其中的每一条行方向公共电极走线位于相邻两列数据线之间的闲置区域,所述闲置区域在列方向上与各个薄膜晶体管对齐。本发明提供的阵列基板与现有技术中在两条栅线之间专门设置一条公共电极走线的方式相比,能够减少非开口区域的面积,从而提高像素的开口率。



1. 一种阵列基板,其特征在于,包括:

基底以及设置在所述基底上的公共电极层、薄膜晶体管阵列、像素电极图形、数据线图形、栅线图形、公共电极走线图形和连接部图形;

其中,相邻两行像素之间设置有一个栅线组,每一栅线组包含两条栅线,相邻两列数据线之间间隔有两列像素;

每一条数据线在每一个栅线组的位置处连接两个薄膜晶体管,每一个薄膜晶体管对应连接一条栅线;

所述公共电极走线图形与所述数据线图形同层设置,包含多组行方向公共电极走线;每一组行方向公共电极走线设置在相邻两行的像素之间;其中的每一条行方向公共电极走线位于相邻两列数据线之间的闲置区域,所述闲置区域在列方向上与各个薄膜晶体管对齐;

所述连接部图形包含多个连接部,每一个连接部设置在数据线与栅线组交叠的位置处;在每一条行方向公共电极走线的端部与连接部之间的层结构中设置有过孔,所述连接部通过该过孔将相邻两条行方向公共电极走线连接;

各条行方向公共电极走线与公共电极层之间的层结构在多条行方向公共电极走线的位置处还设置有过孔,行方向公共电极走线与公共电极层通过该过孔相连。

2. 如权利要求1所述的阵列基板,其特征在于,所述公共电极走线图形还包括多条列方向公共电极走线;每一条列方向公共电极走线对应设置在相邻两列数据线之间的相邻两列像素之间;行方向公共电极走线和列方向公共电极走线相连。

3. 如权利要求1所述的阵列基板,其特征在于,还包括:所述公共电极走线图形还包括多组行方向的辅助公共电极走线;

每一组辅助公共电极走线在列方向上位于一行像素电极的弯折处,其中的每一条辅助公共电极走线位于相邻两条数据线之间;并与列方向公共电极走线相连。

4. 如权利要求1所述的阵列基板,其特征在于,

每一条数据线在每一个栅线组的位置处所连接的两个薄膜晶体管中,每一个薄膜晶体管对应连接一条栅线,位于所连接的栅线远离另一条栅线的一侧,且该薄膜晶体管还连接位于该栅线远离另一条栅线的一侧的像素行中的一个像素电极;

各条数据线中在同一栅线组的位置处所连接的各个薄膜晶体管中,第一薄膜晶体管位于该栅线组的同一侧,第二薄膜晶体管也位于该栅线组的同一侧;其中第一薄膜晶体管为位于对应数据线的左侧的薄膜晶体管,第二薄膜晶体管为位于对应数据线的右侧的薄膜晶体管;

同一条数据线在相邻两个栅线组的位置处所连接的四个薄膜晶体管中;其中一个第一薄膜晶体管位于对应栅线组的第一侧,另一个第一薄膜晶体管位于对应栅线组的第二侧;一个第二薄膜晶体管位于对应栅线组的第一侧,另一个第二薄膜晶体管位于对应栅线组的第二侧;

每一条行方向公共电极走线的左端在列方向上的位置与左侧数据线所连接的第一薄膜晶体管相对,右端在列方向上的位置与右侧数据线所连接的第二薄膜晶体管相对。

5. 如权利要求1的阵列基板,其特征在于,所述连接部图形与所述像素电极图形同层设置。

6. 如权利要求1所述的阵列基板,其特征在于,还包括:所述公共电极层设置在所述基底上,薄膜晶体管阵列、数据线图形、栅线图形、公共电极走线图形和连接部图形设置在所述公共电极层的上方。

7. 一种阵列基板的制作方法,其特征在于,包括:在基底上形成公共电极层、薄膜晶体管阵列、像素电极图形、数据线图形、栅线图形、公共电极走线图形和连接部图形;

其中,相邻两行像素之间设置有一个栅线组,每一栅线组包含两条栅线,相邻两列数据线之间间隔有两列像素;

每一条数据线在每一个栅线组的位置处连接两个薄膜晶体管,每一个薄膜晶体管对应连接一条栅线;

所述公共电极走线图形适于与所述数据线图形同一工艺形成,包含多组行方向公共电极走线;每一组行方向公共电极走线设置在相邻两行的像素之间;其中的每一条行方向公共电极走线位于相邻两列数据线之间的闲置区域,所述闲置区域在列方向上与各个薄膜晶体管对齐;

所述连接部图形包含多个连接部,每一个连接部设置在数据线与所述栅线组交叠的位置处;在每一条行方向公共电极走线的端部与连接部之间的层结构中设置有过孔,所述连接部通过该过孔将相邻两条行方向公共电极走线连接;

各条行方向公共电极走线于公共电极层之间的层结构在多条行方向公共电极走线的位置处还设置有过孔,公共电极走线与公共电极层通过该过孔相连。

8. 如权利要求7所述的方法,其特征在于,在形成所述数据线图形的同一工艺中形成所述公共电极走线图形。

9. 如权利要求7所述的方法,其特征在于,在形成所述像素电极图形的同一工艺中形成所述连接部图形。

10. 一种显示装置,其特征在于,包括如权利要求1-6任一项所述的阵列基板。

阵列基板及其制作方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其是涉及一种阵列基板及其制作方法、显示装置。

背景技术

[0002] 为了实现极性反转或者降低使用数据驱动电路的使用个数,现有技术中提出了一种双栅 (Dual Gate) 结构设计,这种结构的阵列基板中,在两行像素之间设置两条栅线,两条栅线中的上一条栅线两行像素中的上一行的像素,下一条栅线连接两行像素中的下一行栅线。

[0003] 另一方面,为了提高公共电极上的公共电压的均一性,现有技术中在两行像素之间的非开口区域制作一条与栅线平行的公共电极走线,该公共电极走线的材料一般为电阻率较低的金属,通过多个过孔与公共电极相连,为公共电极提供公共电压,从而保证公共电极上的电压的均一性。

[0004] 在双栅 (Dual Gate) 结构设计的基础上,如果再设置一条公共电极走线,则需要两行像素之间制作三条相互独立的金属线,且为了避免作为公共电极走线的金属线影响栅线与薄膜晶体管的连接,一般需要将公共电极走线设置在两条作为栅线的金属线之间。这样势必会大幅降低像素的开口率。

发明内容

[0005] 本发明的一个目的在于提高像素的开口率。

[0006] 本发明的第一个方面提供了一种阵列基板,包括:

[0007] 基底以及设置在所述基底上的公共电极层、薄膜晶体管阵列、像素电极图形、数据线图形、栅线图形、公共电极走线图形和连接部图形;

[0008] 其中,相邻两行像素之间设置有一个栅线组,每一栅线组包含两条栅线,相邻两列数据线之间间隔有两列像素;

[0009] 每一条数据线在每一个栅线组的位置处连接两个薄膜晶体管,每一个薄膜晶体管对应连接一条栅线;

[0010] 所述公共电极走线图形与所述数据线图形同层设置,包含多组行方向公共电极走线;每一组行方向公共电极走线设置在相邻两行的像素之间;其中的每一条行方向公共电极走线位于相邻两列数据线之间的闲置区域,所述闲置区域在列方向上与各个薄膜晶体管对齐;

[0011] 所述连接部图形包含多个连接部,每一个连接部设置在数据线与栅线组交叠的位置处;在每一条行方向公共电极走线的端部与连接部之间的层结构中设置有过孔,所述连接部通过该过孔将相邻两条行方向公共电极走线连接;

[0012] 各条行方向公共电极走线与公共电极层之间的层结构在多条行方向公共电极走线的位置处还设置有过孔,行方向公共电极走线与公共电极层通过该过孔相连。

[0013] 进一步的,所述公共电极走线图形还包括多条列方向公共电极走线;每一条列方

向公共电极走线对应设置在相邻两列数据线之间的相邻两行像素之间;行方向公共电极走线和列方向公共电极走线相连。

[0014] 进一步的,还包括:所述公共电极走线图形还包括多组行方向的辅助公共电极走线;

[0015] 每一组辅助公共电极走线在列方向上位于一行像素电极的弯折处,其中的每一条辅助公共电极走线位于相邻两条数据线之间;并与列方向公共电极走线相连。

[0016] 进一步的,每一条数据线在每一个栅线组的位置处所连接的两个薄膜晶体管中,每一个薄膜晶体管对应连接一条栅线,位于所连接的栅线远离另一条栅线的一侧,且该薄膜晶体管还连接位于该栅线远离另一条栅线的一侧的像素行中的一个像素电极;

[0017] 各条数据线中在同一栅线组的位置处所连接的各个薄膜晶体管中,第一薄膜晶体管位于该栅线组的同一侧,第二薄膜晶体管也位于该栅线组的同一侧;其中第一薄膜晶体管为位于对应数据线的左侧的薄膜晶体管,第二薄膜晶体管为位于对应数据线的右侧的薄膜晶体管;

[0018] 同一条数据线在相邻两个栅线组的位置处所连接的四个薄膜晶体管中;其中一个第一薄膜晶体管位于对应栅线组的第一侧,另一个第一薄膜晶体管位于对应栅线组的第二侧;一个第二薄膜晶体管位于对应栅线组的第一侧,另一个第二薄膜晶体管位于对应栅线组的第二侧;

[0019] 每一条行方向公共电极走线的左端在列方向上的位置与左侧数据线所连接的第一薄膜晶体管相对,右端在列方向上的位置与右侧数据线所连接的第二薄膜晶体管相对。

[0020] 进一步的,所述连接部图形与所述像素电极图形同层设置。

[0021] 进一步的,还包括:所述公共电极层设置在所述基底上,薄膜晶体管阵列、数据线图形、栅线图形、公共电极走线图形和连接部图形设置在所述公共电极层的上方。

[0022] 第二方面,本发明提供了一种阵列基板的制作方法,包括:在基底上形成公共电极层、薄膜晶体管阵列、像素电极图形、数据线图形、栅线图形、公共电极走线图形和连接部图形;

[0023] 其中,相邻两行像素之间设置有一个栅线组,每一栅线组包含两条栅线,相邻两列数据线之间间隔有两列像素;

[0024] 每一条数据线在每一个栅线组的位置处连接两个薄膜晶体管,每一个薄膜晶体管对应连接一条栅线;

[0025] 所述公共电极走线图形适于与所述数据线图形同一工艺形成,包含多组行方向公共电极走线;每一组行方向公共电极走线设置在相邻两行的像素之间;其中的每一条行方向公共电极走线位于相邻两列数据线之间的闲置区域,所述闲置区域在列方向上与各个薄膜晶体管对齐;

[0026] 所述连接部图形包含多个连接部,每一个连接部设置在数据线与栅线组交叠的位置处;在每一条行方向公共电极走线的端部与连接部之间的层结构中设置有过孔,所述连接部通过该过孔将相邻两条行方向公共电极走线连接;

[0027] 各条行方向公共电极走线于公共电极层之间的层结构在多条行方向公共电极走线的位置处还设置有过孔,公共电极走线与公共电极层通过该过孔相连。

[0028] 进一步的,在形成所述数据线图形的同一工艺中形成所述公共电极走线图形。

[0029] 进一步的,在形成所述像素电极图形的同一工艺中形成所述连接部图形。

[0030] 第三方面,本发明提供了一种显示装置,包括上述任一项所述的阵列基板。

[0031] 本发明提供的阵列基板中,设置与数据线图形同层的公共电极走线图形,并将一行的公共电极走线分为多条公共电极走线,各条公共电极走线设置在数据线中的数据线之间在数据线位置处通过连接图形跨接;且设置在列方向上与各个薄膜晶体管对齐的闲置区域。本发明提供的阵列基板与现有技术中在两条栅线之间专门设置一条公共电极走线的方式相比,能够减少非开口区域的面积,从而提高像素的开口率。

附图说明

[0032] 通过参考附图会更加清楚的理解本发明的特征信息和优点,附图是示意性的而不应理解为对本发明进行任何限制,在附图中:

[0033] 图1为本发明一实施例提供的一种阵列基板的结构示意图;

[0034] 图2为本发明另一实施例提供的一种阵列基板的结构示意图;

具体实施方式

[0035] 为了能够更清楚地理解本发明的上述目的、特征和优点,下面结合附图和具体实施方式对本发明进行进一步的详细描述。需要说明的是,在不冲突的情况下,本申请的实施例及实施例中的特征可以相互组合。

[0036] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是,本发明还可以采用其他不同于在此描述的方式来实施,因此,本发明的保护范围并不受下面公开的具体实施例的限制。

[0037] 本发明的第一方面提供了一种阵列基板,该阵列基板包括:

[0038] 基底以及设置在所述基底上的公共电极层、薄膜晶体管阵列、像素电极图形、数据线图形、栅线图形、公共电极走线图形和连接部图形;

[0039] 其中,相邻两行像素之间设置有一个栅线组,每一栅线组包含两条栅线,相邻两列数据线之间间隔有两列像素;

[0040] 每一条数据线在每一个栅线组的位置处连接两个薄膜晶体管,每一个薄膜晶体管对应连接一条栅线;

[0041] 所述公共电极走线图形与所述数据线图形同层设置,包含多组行方向公共电极走线;每一组行方向公共电极走线设置在相邻两行的像素之间;其中的每一条行方向公共电极走线位于相邻两列数据线之间的闲置区域,所述闲置区域在列方向上与各个薄膜晶体管对齐;

[0042] 所述连接部图形包含多个连接部,每一个连接部设置在数据线与栅线组交叠的位置处;在每一条行方向公共电极走线的端部与连接部之间的层结构中设置有过孔,所述连接部通过该过孔将相邻两条行方向公共电极走线连接;

[0043] 各条行方向公共电极走线与公共电极层之间的层结构在多条行方向公共电极走线的位置处还设置有过孔,行方向公共电极走线与公共电极层通过该过孔相连。

[0044] 本发明提供的阵列基板中,设置与数据线图形同层的公共电极走线图形,并将一行的公共电极走线分为多条公共电极走线,各条公共电极走线设置在数据线中的数据线之

间在数据线位置处通过连接图形跨接;且设置在列方向上与各个薄膜晶体管对齐的闲置区域。

[0045] 下面结合具体附图对该阵列基板进行详细说明。

[0046] 实施例一

[0047] 本发明实施例一提供的阵列基板的结构的俯视图可以参见图1,包括基底以及设置在所述基底上的公共电极层;形成在公共电极层上方的薄膜晶体管阵列、像素电极图形、数据线图形、栅线图形、公共电极走线图形和连接部图形;其中,数据线图形包含多条数据线,为了方便描述,在图1中将数据线从左向右表示为D1、D2、D3和D4;栅线图形包含多条栅线,为了方便描述,从上向下依次表示为G1、G2、G3、G4和G5;薄膜晶体管阵列包含多个薄膜晶体管,为了描述方便,将位于所连接的数据线的左侧的统一表示为T1,将位于所连接的数据线的右侧的统一表示为T2;像素电极图形包含多个像素电极,为了方便表述,将各个像素电极均表示为P;上述的连接部图形与像素电极图形同层设置,并可以采用相同的材料制作,因此在图1中采用与像素电极采用的图案相同的图案进行表示,具体来说,该连接部图形包含多个连接部,各个连接部在图1中均表示为L;同时为了方便描述,将图1中的公共电极层表示为Vcom;公共电极走线图形可以采用相同的材料制作,因此在图1中也采用相同的图案进行表示,具体来说,该公共电极走线图形包含多条行方向上的公共电极走线和多条列方向上的公共电极走线,为了方便描述,将行方向的公共电极走线表示为CL1,将列方向的公共电极走线表示为CL2;

[0048] 参见图1,相邻两行像素之间设置有一个栅线组,每一栅线组包含两条栅线,比如在栅线G3和G4就构成一个栅线组,位于相邻的两行像素之间;相邻两列数据线(比如图1中示出的D1和D2)之间间隔有两列像素电极P;

[0049] 每一条数据线在每一个栅线组的位置处均连接两个薄膜晶体管T1和T2,两个薄膜晶体管T1和T2中的每一个薄膜晶体管对应连接一条栅线;

[0050] 公共电极走线图形与数据线图形同层设置,其中包含的多条公共电极走线CL1分为多组,每一组行方向公共电极走线设置在相邻两行的像素之间;其中的每一条行方向公共电极走线CL1均位于相邻两列数据线之间的闲置区域,该闲置区域是指在列方向上与各个薄膜晶体管对齐的区域;

[0051] 每一个连接部L设置在数据线与栅线组交叠的位置处;在每一条行方向公共电极走线的端部与连接部之间的层结构(通常包括栅绝缘层、刻蚀阻挡层等绝缘层,具体结构可以参考现有技术中的阵列基板的结构)中设置有过孔(图中的过孔均用黑色实心点表示),该连接部L通过该位置处的过孔将相邻两条行方向公共电极走线CL1连接;

[0052] 各条行方向公共电极走线CL1和CL2与公共电极层Vcom之间的层结构在多条行方向公共电极走线CL1的位置处还设置有过孔,行方向公共电极走线CL1与公共电极层Vcom通过该位置处的过孔相连;

[0053] 每一条列方向公共电极走线CL2对应设置在相邻两列数据线之间的相邻两列像素之间;行方向公共电极走线CL1和列方向公共电极走线CL2相连;

[0054] 每一条数据线在每一个栅线组的位置处所连接的两个薄膜晶体管中,每一个薄膜晶体管对应连接一条栅线,位于所连接的栅线远离另一条栅线的一侧,且该薄膜晶体管还连接位于该栅线远离另一条栅线的一侧的像素行中的一个像素电极;举例来说,数据线D3

在栅线G3和G4构成的栅线组的位置处,所连接的两个薄膜晶体管T1和T2中,左侧的薄膜晶体管T1位于其所连接的栅线G4远离栅线G3的一侧,相应的右侧的薄膜晶体管T2位于其所连接的栅线G3远离栅线G3的一侧。

[0055] 更为具体的:各条数据线中在同一栅线组的位置处所连接的各个薄膜晶体管中,第一薄膜晶体管T1均位于该栅线组的同一侧,第二薄膜晶体管T2位于该栅线组的另外一侧;比如数据线D1、D2、D3和D4中的每一条数据线在栅线G1和G2构成的栅线组的位置处所连接的两个薄膜晶体管中第一薄膜晶体管均T1位于该栅线组的上方,第二薄膜晶体管T2位于该栅线组的下方;

[0056] 而同一条数据线在相邻两个栅线组的位置处所连接的四个薄膜晶体管中;其中一个第一薄膜晶体管T1位于对应栅线组的上方,另一个第一薄膜晶体管T1位于对应栅线组的下方;一个第二薄膜晶体管T2位于对应栅线组的上方,另一个第二薄膜晶体管T2位于对应栅线组的下方;比如在数据线D3在栅线G1和G2所构成的栅线组处所连接的两个薄膜晶体管中,第一薄膜晶体管T1位于对应栅线组的上方,而在栅线G3和G4所构成的栅线组(该栅线组与栅线G1和G2所构成的栅线组相邻)处所连接的第一薄膜晶体管T1位于对应栅线组的下方;第二薄膜晶体管T2位于对应栅线组的上方;在栅线G1和G2所构成的栅线组处所连接的两个薄膜晶体管中,第二薄膜晶体管T2位于对应栅线组的下方,而在栅线G3和G4所构成的栅线组处所连接的第二薄膜晶体管T2位于对应栅线组的上方。

[0057] 每一条行方向公共电极走线CL1的形状为折线状,其左端在列方向上的位置与左侧数据线所连接的第一薄膜晶体管T1相对;右端在列方向上的位置与右侧数据线所连接的第二薄膜晶体管T2相对。比如对于位于数据线D2和D3之间的行方向的公共电极走线CL1,其左端靠近数据线D2,且左端在列方向上与连接数据线D2且位于数据线D2的左侧的薄膜晶体管T1的位置相对应,该公共电极走线CL1的右端靠近数据线D3,且其右端在列方向上的位置与连接数据线D3且位于数据线D3的右侧的薄膜晶体管T2位置相对应。

[0058] 本发明实施例提供的阵列基板中,将公共电极走线图形与数据线图形同层设置,且在行方向上公共电极走线CL1设置在各个薄膜晶体管对齐的闲置区域,与现有技术中在两条栅线之间专门设置一条公共电极走线的方式相比,能够减少非开口区域的面积,从而提高像素的开口率。

[0059] 不难理解的是,本发明实施例中所指的闲置区域是相对于现有技术而言,具体是指不用于设薄膜晶体管、栅线、数据线以及像素电极的区域。具体到图1中,可以是指对应于各条横向公共电极走线下方的区域。

[0060] 在具体实施时,这里的连接部图形可以与像素电极图形同层设置,可以在形成像素电极图形的同一工艺中形成,相应的,连接部图形的材料也可以为ITO等用于形成像素电极图形的材料。当然在具体实施时,上述的连接部图形也可以采用其他导电材料制作,在能够将相邻的行方向公共电极走线导电连接的前提下,具体采用何种材料制作连接部图形本发明不做限定。

[0061] 同时,本发明实施例中,通过将各条行方向的公共电极走线CL1设置为折线状,能够使得每一条公共电极走线CL1避开薄膜晶体管而尽可能的接近对应的数据线,这样能够增加公共电极走线CL1的长度而降低连接部L的长度,有助于降低行方向整体的电阻率(连接部L的电阻率一般高于公共电极走线CL1的电阻率)。当然在具体实施时,将每一段公共电

极走线CL1设置为直线形也能达到本发明的基本目的,相应的技术方案也应该落入本发明的保护范围。

[0062] 需要指出的是,虽然本发明实施例中,是以薄膜晶体管阵列、数据线图形、栅线图形、公共电极走线图形和连接部图形设置在所述公共电极层的上方进行的说明,但是在具体实施时,公共电极层与其他各个层结构的位置关系并不会影响本发明的实施。在一些其他类型的阵列基板中,公共电极层也可以设置在上述的其他各个层结构的上方。

[0063] 在本发明实施例中,在相邻的两条数据线之间的两列像素电极之间,还设置有列方向的公共电极走线CL2,且列方向的公共电极走线CL2与行方向的公共电极走线CL1连接为一整体结构,这样能够进一步降低公共电压在公共电极传输结构(该公共电极传输结构包含公共走线图形和连接部图形)上传输时的电阻。当然在实际应用中,就为了达到本发明的基本目的而言,列方向的公共电极走线CL2并不是必需设置的结构,且不难理解的是,不设置列方向的公共电极走线CL2也不会影响其他层结构的设置。

[0064] 实施例二

[0065] 参见图2,本发明实施例二提供的阵列基板与实施例一不同的是,公共电极走线图形还包括多组行方向的辅助公共电极走线;

[0066] 每一组辅助公共电极走线在列方向上位于一行像素电极的弯折处,其中的每一条辅助公共电极走线CL3位于相邻两条数据线之间;并与列方向公共电极走线CL2相连。

[0067] 该实施例中,由于还将辅助公共电极走线CL3连接到公共电极走线CL2上,能够进一步降低公共电压在相应的公共电极传输结构的传输电阻。另外,由于在实际应用中,像素电极P的弯折处由于液晶取向比较混乱,一般不参与发光显示,本发明实施例中,将每一条辅助公共电极走线CL3均设置在像素电极P的弯折处,不会对该像素电极P的开口率造成明显的影响。

[0068] 本发明的第二个方面提供了一种阵列基板的制作方法,可以用于制作第一方面所述的阵列基板,该方法可以包括如下步骤:

[0069] 在基底上形成公共电极层、薄膜晶体管阵列、像素电极图形、数据线图形、栅线图形、公共电极走线图形和连接部图形;

[0070] 其中,相邻两行像素之间设置有一个栅线组,每一栅线组包含两条栅线,相邻两列数据线之间间隔有两列像素;

[0071] 每一条数据线在每一个栅线组的位置处连接两个薄膜晶体管,每一个薄膜晶体管对应连接一条栅线;

[0072] 所述公共电极走线图形适于与所述数据线图形同一工艺形成,包含多组行方向公共电极走线;每一组行方向公共电极走线设置在相邻两行的像素之间;其中的每一条行方向公共电极走线位于相邻两列数据线之间的闲置区域,所述闲置区域在列方向上与各个薄膜晶体管对齐;

[0073] 所述连接部图形包含多个连接部,每一个连接部设置在数据线栅线组交叠的位置处;在每一条行方向公共电极走线的端部与连接部之间的层结构中设置有过孔,所述连接部通过该过孔将相邻两条行方向公共电极走线连接;

[0074] 各条行方向公共电极走线于公共电极层之间的层结构在多条行方向公共电极走线的位置处还设置有过孔,公共电极走线与公共电极层通过该过孔相连。

[0075] 在阵列基板上形成公共电极层、薄膜晶体管阵列、像素电极图形、数据线图形、栅线图形的步骤均可以参见现有技术中,本发明在此不再详细说明。

[0076] 形成公共电极走线图形的步骤可以在形成数据线图形的同一工艺中完成,通过这种方式能够降低阵列基板的制作难度。这样形成的公共电极走线图形整体与数据线图形设置在同一层。

[0077] 而制作连接部图形的步骤可以在形成像素电极图形的同一工艺中完成,通过这种方式能够降低阵列基板的制作难度。这样形成的公连接部图形整体与数据线图形设置在同一层。

[0078] 第三方面,本发明还提供了一种显示装置,该显示装置包括第四方面所述的阵列基板。

[0079] 这里的显示装置可以是指手机、平板电脑、导航仪等其他具有触控和显示功能的产品。

[0080] 虽然结合附图描述了本发明的实施方式,但是本领域技术人员可以在不脱离本发明的精神和范围的情况下做出各种修改和变型,这样的修改和变型均落入由所附权利要求所限定的范围之内。

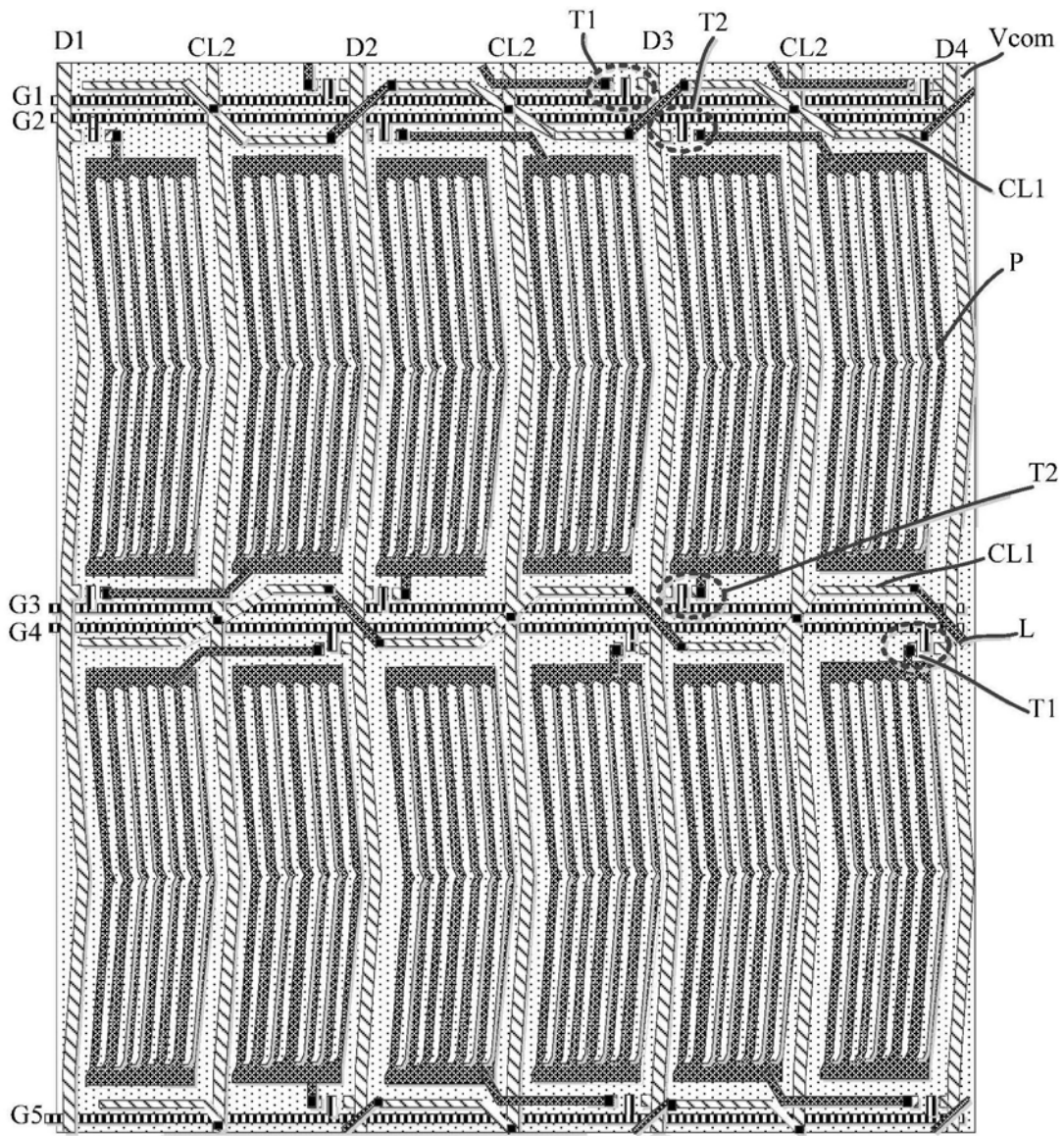


图1

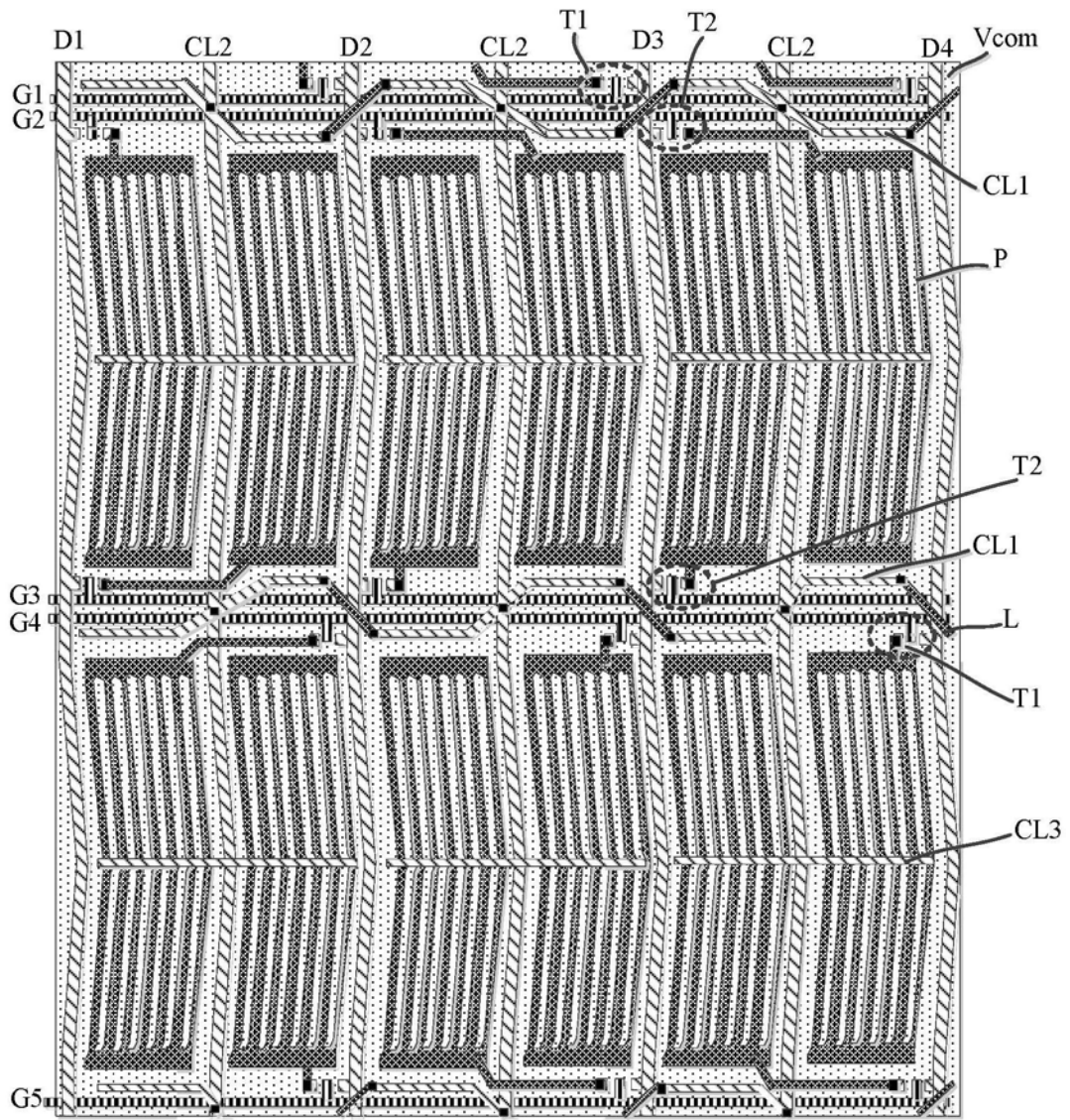


图2