



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I617920 B

(45)公告日：中華民國 107 (2018) 年 03 月 11 日

(21)申請案號：103117931

(22)申請日：中華民國 103 (2014) 年 05 月 22 日

(51)Int. Cl. : G06F13/36 (2006.01)

G06F9/46 (2006.01)

(30)優先權：2013/07/12 美國

13/940,915

(71)申請人：密西根大學董事會(美國) THE REGENTS OF THE UNIVERSITY OF MICHIGAN (US)

美國

(72)發明人：傑羅卡蘇佩特 JELOKA, SUPREET (IN)；艾貝瑞尼桑登美立尼米尼 ABEYRATNE, SUNDUNMALEE NILMINI (CA)；德瑞林斯基羅納德喬治二世 DRESLINSKI, RONALD GEORGE JR (US)；達斯立杜帕納 DAS, REETUPARNA (IN)；莫吉崔佛尼格 MUDGE, TREVOR NIGEL (US)；布洛烏大衛西歐朵爾 BLAAUW, DAVID THEODORE (US)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

CN 101127020A

US 20080186961A1

US 20090034517A1

審查人員：高嘉男

申請專利範圍項數：20 項 圖式數：5 共 30 頁

(54)名稱

單循環仲裁

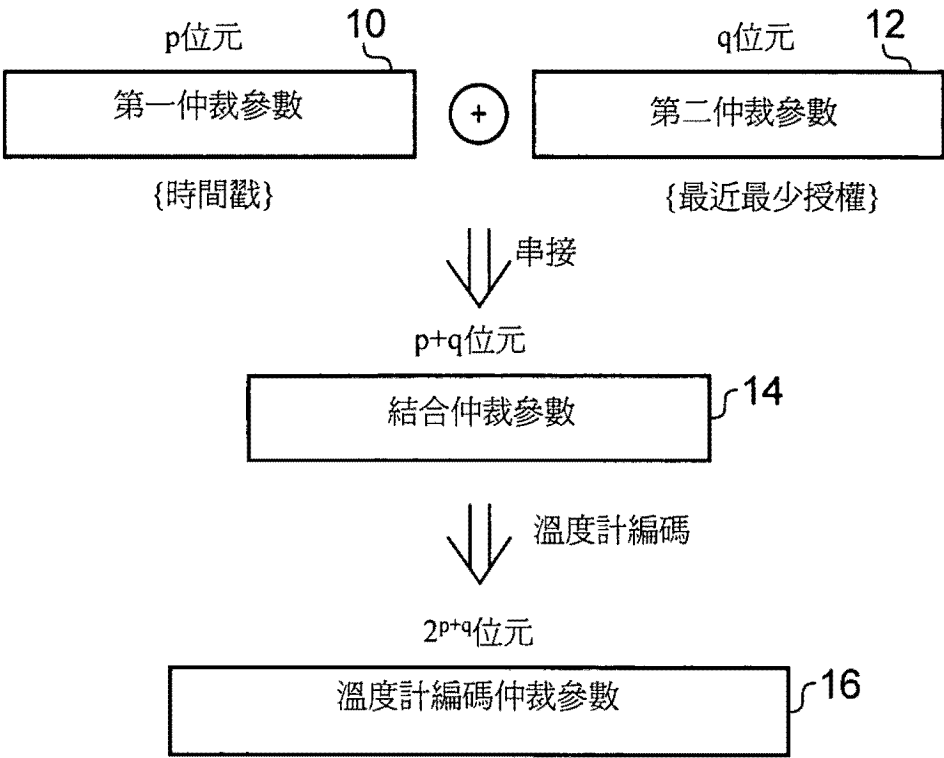
SINGLE CYCLE ARBITRATION

(57)摘要

本文介紹積體電路 2 內之互連 6，該互連提供仲裁以選擇複數個訊號輸入中之一者以用於連接至訊號輸出。所應用之仲裁使用時間戳值形式之第一仲裁參數值，及在兩個或兩個以上訊號輸入共享該種時間戳值之情況下，使用最近最少授權值形式之第二仲裁參數。當每一訊號輸入經授權存取訊號輸出時，選擇應用於與每一訊號輸入關聯之時間戳值之時間增量以反映將與該訊號輸入關聯之服務品質。當在時間戳值之間進行比較時，最低時間戳值被給予優先級。較大時間增量值對應於較低優先級(服務品質)。

An interconnect 6 within an integrated circuit 2 provides arbitration to select one of a plurality of signal inputs for connection to a signal output. The arbitration applied uses a first arbitration parameter value, in the form of a time stamp value, and, if two or more signal inputs share such a time stamp value, then uses a second arbitration parameter, in the form of a least recently granted value. The time increment applied to the time stamp value associated with each signal input when it is granted access to the signal output is selected to reflect the quality of service to be associated with that signal input. When a comparison is made between time stamp values, the lowest time stamp value is given priority. A large time increment value corresponds to a low priority (quality of service).

指定代表圖：



符號簡單說明：

10 . . . 第一仲裁參數

12 . . . 第二仲裁參數

14 . . . 結合仲裁參數

16 . . . 溫度計編碼
仲裁參數

第2圖

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

單循環仲裁

SINGLE CYCLE ARBITRATION

【技術領域】

【0001】 本發明係關於資料處理系統領域。更特定而言，本發明係關於互連電路系統之領域，該互連電路系統用於藉由應用仲裁策略而在複數個訊號輸入中所選擇之一者與輸出訊號之間提供通訊。

【先前技術】

【0002】 已知提供互連電路系統以用於在複數個訊號輸入中所選之一者與單個輸出之間提供通訊路徑。該種多工電路系統可應用仲裁策略以便在對訊號輸出之安全存取中向某些訊號輸入給予優先級。該種互連電路系統內之困難是在確保訊號輸入之間之公平性的同時減少用於仲裁之時間（從而減少用於仲裁之循環數目或允許較高時鐘頻率之使用），例如在一個以上參數控制仲裁之情況下。

【發明內容】

【0003】 自一個態樣可見，本發明提供互連電路系統以用於在 N 個訊號輸入中所選之一者與訊號輸出之間提供資料通訊路徑，其中，N 是二或二以上之整數，該互連電路系統包括：

【0004】 多工電路系統，經配置以依據選擇訊號而選擇該 N

個訊號輸入中之一者作為所選之訊號輸入，及將該所選訊號輸入連接至該訊號輸出以發送給定資料；及

【0005】 仲裁電路系統，經配置以產生該選擇訊號，以便在複數個該 N 個訊號輸入之間以單循環執行仲裁，該 N 個訊號輸入各自具有待發送之資料，其中

【0006】 該仲裁依據以下內容執行：

【0007】 (i)與該等複數個 N 個訊號輸入中之每一者關聯之第一仲裁參數之各個值；及

【0008】 (ii)當該等複數個 N 個訊號輸入中兩個或兩個以上者具有第一仲裁參數之共同值時，第二仲裁參數與該等複數個 N 個訊號輸入中之兩個或兩個以上者關聯，該第二仲裁參數對該等複數個 N 個訊號輸入中之兩個或兩個以上者中之每一者具有不同值。

【0009】 本技術基於第一仲裁參數及第二仲裁參數執行仲裁。當訊號輸入中之兩個或兩個以上者具有第一仲裁參數之共同值時，則第二仲裁參數用以在訊號輸入之間解析何者具有相同優先級，因為第二仲裁參數經配置以使得其對兩個或兩個以上訊號輸入中至少每一者具有不同值，該兩個或兩個以上訊號輸入與其第一仲裁參數有關聯。在一些實施例中，第二仲裁參數可經配置以對每一訊號輸入具有唯一值，無論是否與第一仲裁參數發生任何關聯。

【0010】 複數個訊號輸入可連接至各個資料來源電路，及訊號輸出可耦接至資料目的地電路。可利用互連電路系統在單個積體電路上共同形成資料來源電路及目的地電路。積體電

路內之內部電路通訊係一顯著處理瓶頸，因為積體電路之設計複雜性增大及在積體電路（諸如，晶片上系統積體電路）內提供之不同功能區塊之數目增大。

【0011】 儘管將瞭解，本技術可用於僅存在單個訊號輸出之情況，但本技術亦十分適合於存在複數個訊號輸出之實施例，其中依據每一訊號輸出自身之仲裁優先級（該仲裁優先級在不同訊號輸出之間可能相同或可能不相同）來分別仲裁對每一訊號輸出之存取。輸入之數目可與輸出之數目相同，以提供對稱配置，但輸入數目不同於輸出數目之其他配置亦有可能。

【0012】 第一仲裁參數可經配置以具有一表示服務品質等級之值，該值與自對應之輸入發送之資料相關聯。以此方式，使用第一仲裁參數之仲裁可經配置以藉由與所需之服務品質等級匹配之方式提供對訊號輸出之存取，該所需之服務品質等級與各個訊號輸入關聯。

【0013】 可能有多種不同形式之第一仲裁參數，例如可基於給定輸入在某一時段期間已能夠發送之資料封包之數目形成第一仲裁參數。可用以在不同訊號輸入之間公正地分配對訊號輸出之存取的同時提供表示服務品質等級之仲裁之一種形式之第一仲裁參數是如下所述之一種參數：在該參數中，第一仲裁參數是時間戳值，及當彼所選之訊號輸入發送資料時，更新所選之訊號輸入之時間戳值。當每一訊號輸入發送資料時，將時間戳與每一訊號輸入關聯可用作協助在複數個訊號輸入之間公正地分割對訊號輸出之存取之方式。時間戳

可根據時間戳對與訊號輸出關聯之頻寬的公正配置指示何時發送資料，或相關訊號輸入預期下一次何時能夠發送資料。

【0014】 藉由依據與所選之訊號輸入關聯之服務品質等級而變化之時間增量值更新時間戳值是在不同訊號輸入之間分割訊號輸出之可用頻寬的方式。增量之時間戳值可表示給定訊號輸入下一次何時可公正地預期對訊號輸出進行存取。高優先級訊號輸入將應用較小時間增量，使得該訊號輸入將相對較快地再次評定以能夠獲得對訊號輸出之存取。相反，低優先級訊號輸入將應用相對較大之時間增量，使得在該訊號輸入能夠存取訊號輸出之前將經過相對較長之時期。將瞭解，當對訊號輸出之存取不存在競爭時，則可授權訊號輸入中具有待發送資料之任一者對訊號輸出之存取，無論該訊號輸出之關聯時間戳值為何。

【0015】 仲裁電路系統可經配置以比較與訊號輸入關聯之時間戳值，該等訊號輸入具有待發送資料及正在競爭對訊號輸出之存取。仲裁電路可自選擇作為被選中之訊號輸入之可能性中消除複數個輸入中之任一具有待發送資料之輸入，該輸入具有比該等複數個訊號輸入中其他一或更多具有待發送資料之輸入更高之時間戳值。由此，若單個訊號輸入具有最低時間戳值，則其他全部訊號輸入將被消除。時間戳反映存取歷史。較低時間戳值指示關聯之訊號輸入尚未接收其相對於其他訊號輸入對訊號輸出之存取之公正的份額。若兩個或兩個以上訊號輸入共享最低時間戳值，則其他全部剩餘訊號輸入將被消除。

【0016】 為瞭解解決與時間戳值之儲存及操縱關聯之尺寸限制及時間戳值之最終溢出，仲裁電路系統可經配置以便當與該等訊號輸入中之一者關聯之時間戳值中之至少一者達到臨限值時，則使全部時間戳值除以二（右移一個位元位置）。儘管該種方法損失對所儲存之時間戳值之間差異的一些解析，但維持時間戳值之大體等級相對排序超過損失之解析等級。

【0017】 與訊號輸入中每一者關聯之第二仲裁參數可具有多種不同形式，前提是第二仲裁參數值對於可共享共同之第一仲裁參數值之至少彼等訊號輸入而言不同。提供公正及保證對決定應選擇哪一訊號輸入進行解析之一種此類形式之第二仲裁參數是以下所述之一種參數：在該參數中，第二仲裁表示先前被選擇之訊號輸入充當所選之訊號輸入的相對次序。例如，第二仲裁參數可利用由於先前被授權存取具有最高優先級第二仲裁參數之訊號輸出而具有最長歷時之訊號以最近最少授權(least recently granted; LRG)參數之形式來表示相對次序。亦可使用其他形式之第二仲裁參數，例如可基於靜態優先級、循環算法等等分配第二仲裁參數。

【0018】 第一仲裁參數及第二仲裁參數可經串接以形成至少在邏輯上結合之仲裁參數，第二仲裁參數控制該結合仲裁參數之最低有效位元部分。以此方式串接該兩個仲裁參數簡化及加快了該兩個仲裁參數之比較，同時維持了該兩者之相對有效值（亦即，該兩者作用以控制將特定訊號輸入選作所選之訊號輸入時所依據之階層）。

【0019】 當仲裁電路系統包括溫度計編碼電路系統時，結合仲裁參數之比較可加快，該溫度計編碼電路系統用以對邏輯上結合之仲裁參數進行溫度計編碼以產生溫度計編碼仲裁參數。溫度計編碼仲裁參數十分適合於以一種方式彼此平行比較，在該種方式中，可在單循環內辨識出該種溫度計編碼仲裁參數之最高優先級。結合仲裁參數之不同部分實際上可儲存在不同結構中，但共同作用以提供整體溫度計編碼。

【0020】 用以執行溫度計編碼仲裁參數之間之比較的比較電路系統可包括複數個訊號線，依據溫度計編碼仲裁參數，每一訊號線經預充電至經決定之訊號位準，且此等訊號線然後各自經選擇性地放電。

【0021】 經選定以放電之複數個訊號線可被分組，以便在存在 N 個訊號輸入及將在該等訊號輸入之間進行選擇之情況下，存在 2^X 個訊號線群組，每一訊號線群組與第一仲裁參數的不同值關聯，其中，當第一仲裁參數已經歷溫度計編碼時， X 是第一仲裁參數之位元長度。比較電路系統可經配置以在該 N 個訊號輸入中之任何一者所具有第一仲裁參數指示高於與給定群組關聯之第一仲裁參數之優先級之情況下，使給定訊號線群組內之全部訊號線放電。由此，較高優先級訊號輸入將以表示需要執行優先等級比較之方式使與較低優先級訊號輸入關聯之訊號線放電。

【0022】 訊號線群組中每一者可包含 N 個訊號線，其中每一訊號線群組內之不同訊號線對應於第二仲裁參數之各個不同的唯一值。比較電路系統可經配置以依據與 N 個訊號輸入關

聯之第二仲裁參數使臨限群組（亦即，與最高優先級第一仲裁參數關聯之群組）內之不同訊號線放電，以便臨限群組內之單個訊號線將保持帶電，從而辨識該 N 個訊號輸入中之何者將被選為所選之訊號輸出。由此，第一仲裁參數可被視作用以控制對應於第一仲裁參數之較低優先級值之群組之整體放電，臨限群組內之放電依據第二仲裁參數而執行，以便在兩個或兩個以上訊號共享第一仲裁參數值之情況下可根據該第二仲裁參數選定單個訊號輸入。

【0023】 一旦仲裁已經解決，用以提供上述仲裁之訊號線可被方便地再利用，以亦在訊號輸入與訊號輸出之間傳達資料。

【0024】 自另一態樣可見，本發明提供互連電路系統以用於在 N 個訊號輸入中所選之一者與訊號輸出之間提供資料通訊路徑，其中， N 是二或二以上之整數，該互連電路系統包括：

【0025】 多工手段，用於依據選擇訊號而選擇該 N 個訊號輸入中之一者作為所選之訊號輸入，及將該所選訊號輸入連接至該訊號輸出以發送給定資料；及

【0026】 仲裁手段，用於產生該選擇訊號，以便在複數個該 N 個訊號輸入之間以單循環執行仲裁，該 N 個訊號輸入各自具有待發送之資料，其中

【0027】 該仲裁依據以下內容執行：

【0028】 (i)與該等複數個 N 個訊號輸入中之每一者關聯之第一仲裁參數之各個值；及

【0029】 (ii)當該等複數個 N 個訊號輸入中兩個或兩個以上者具有第一仲裁參數之共同值時，第二仲裁參數與複數個 N

個訊號輸入中之兩個或兩個以上者關聯，該第二仲裁參數對該等複數個 N 個訊號輸入中之兩個或兩個以上者中之每一者具有不同值。

【0030】 自又一態樣可見，本發明提供在 N 個訊號輸入中所選之一者與訊號輸出之間提供資料通訊路徑之方法，其中， N 是二或二以上之整數，該方法包括以下步驟：

【0031】 依據選擇訊號選擇該 N 個訊號輸入中之一者作為所選之訊號輸入，及將該所選之訊號輸入連接至該訊號輸出以發送給定資料；及

【0032】 產生該選擇訊號，以便在複數個該 N 個訊號輸入之間以單循環執行仲裁，該 N 個訊號輸入各自具有待發送之資料，其中

【0033】 該仲裁依據以下內容執行：

【0034】 (i)與該等複數個 N 個訊號輸入中之每一者關聯之第一仲裁參數之各個值；及

【0035】 (ii)當該等複數個 N 個訊號輸入中兩個或兩個以上者具有第一仲裁參數之共同值時，第二仲裁參數與複數個 N 個訊號輸入中之兩個或兩個以上者關聯，該第二仲裁參數對該等複數個 N 個訊號輸入中之兩個或兩個以上者中之每一者具有不同值。

【0036】 本發明之上述及其他目標、特徵，及優勢將在說明性實施例之以下詳細描述中顯而易見，該詳細描述將結合附圖閱讀。

【圖式簡單說明】

【0037】 第 1 圖示意地圖示一積體電路，該積體電路包括將複數個資料來源電路連接至複數個資料目的地電路之拌和開關互連(swizzle switch interconnect)。

【0038】 第 2 圖示意地圖示經串接以形成結合仲裁參數之第一仲裁參數與第二仲裁參數，該結合仲裁參數隨後自身經受溫度計編碼以形成溫度計編碼仲裁參數；

【0039】 第 3 圖是一流程圖，該圖示意地圖示選擇哪一資料發送及更新仲裁值；

【0040】 第 4 圖是示意地圖示仲裁之流程圖；及

【0041】 第 5 圖示意地圖示以訊號線形式提供之仲裁電路系統，該等訊號線依據第一仲裁參數及第二仲裁參數而經預充電及隨後經選擇性地放電。

【實施方式】

【0042】 第 1 圖示意地圖示積體電路 2，該積體電路 2 包括複數個資料來源電路 4，該等資料來源電路 4 經由互連電路系統 6 連接至複數個資料目的地電路 8。互連電路系統 6 之形式可能是拌和開關互連之形式，如同在申請中之美國專利申請案第 13/438,920 號中所描述，該申請案之內容以引用方式全部併入本文。

【0043】 拌和開關互連 6 提供將資料來源電路 4 中任何者連接至資料目的地電路 8 中任何者之能力。在此實例中，存在四個資料來源電路 4 及相同數目之資料目的地電路 8。然而，此數目可不同。而且，將瞭解，資料來源電路 4 及資料目的地電路 8 經圖示為不同實體，但實際上該等實體中之一或更

多者可能是共同實體，例如，連接至互連電路系統 6 之通用處理器可充當資料來源及資料目的地兩者。

【0044】 如上文中所參考之同在申請中之申請案中所述，互連電路系統 6 配備有訊號線，該等訊號線可經預充電及之後選擇性地經放電以在來源與目的地之間及在隨後之循環中執行仲裁任務，從而在來源與目的地之間傳遞資料值。資料來源電路 4 中之任何者可連接至資料目的地電路 8 中之任何者，及由此在第 1 圖中圖示之交叉處提供有多工電路系統。第 2 圖中指示之多工電路系統之一柱用以選擇 N 個資料來源電路 4 中之一者以用於在柱腳處連接至資料目的地電路 8。存在於互連電路系統 6 內之仲裁電路系統設置於提供訊號線之層以下之層中，該等訊號線經預充電及隨後選擇性地經放電。由此，儘管本文中之圖式並排顯示仲裁電路系統及線路（訊號線），但實際上，仲裁電路系統將位於提供該等線路之金屬層以下之積體電路層中，及因此不會消耗任何額外電路面積。此仲裁電路系統將稍後進行描述。

【0045】 第 2 圖示意地圖示 p 位元之第一仲裁參數 10 及 q 位元之第二仲裁參數 12。第一仲裁參數 10 可採取根據虛擬時鐘值分配之時間戳值之形式，時間戳值針對為每一訊號輸出執行之仲裁而經維持及更新，及經取樣及與各個訊號輸入關聯，並由經允許將資料值發送至訊號輸出之彼等訊號輸入觸發。第二仲裁參數 12 可為值之形式，該值代表訊號輸入中何者最近最少經授權對訊號輸出之存取。由此，每當訊號輸入中之一者經授權存取時，則與其他訊號輸入關聯之全部最近

最少授權值經更新以反映新的相對排序。使用代表最近最少授權狀態之該種第二仲裁參數提供一第二仲裁參數，其中每一訊號輸入具有一不同的第二仲裁參數值。此舉在訊號輸入共享第一仲裁參數值之情況下確保第二仲裁參數值可用以解析彼等訊號輸入之間之仲裁。

【0046】 如第 2 圖所圖示，第一仲裁參數 10 及第二仲裁參數 12 可經串接以執行結合仲裁參數 14，第二仲裁參數形成此結合仲裁參數 14 中最低有效部分。以此方式結合第一仲裁參數 10 與第二仲裁參數 12 確保在對應於第一仲裁參數 10 之最高現值之較高階位元部分由兩個或兩個以上之不同訊號輸入共用之情況下，第二仲裁參數 12 將僅在優先等級之間進行鑑別時有效。

【0047】 爲了加速仲裁參數值之間的比較，結合仲裁參數值 14 經受溫度計編碼以產生具有 2^{p+q} 之溫度計編碼仲裁參數 16。該種溫度計編碼仲裁參數值更適合於以單循環進行平行比較，從而允許快速決定哪一訊號輸入將被獲準對訊號輸出之存取。

【0048】 第 3 圖是一流程圖，該圖示意地圖示應用於資料發送及仲裁值更新之控制。在步驟 18 中，處理等候直至訊號輸入中至少一者具有待傳達至訊號輸出之資料值及由拌和開關互連提供之資料通道空閒（可用）。步驟 20 決定是否存在具有準備就緒以待發送之資料的一個以上訊號輸入。若存在具有準備就緒以待發送之資料的一個以上訊號輸入，則步驟 22 在該等訊號輸入之間執行仲裁（如下所述）以選擇單個訊號

輸入作為所選之訊號輸入，該訊號輸入將經允許以發送其資料。在步驟 24 中，針對所選之訊號輸入產生選擇訊號，該選擇訊號控制第 1 圖中圖示之多工電路系統以選擇訊號輸入及允許該訊號輸入將其資料值（或資料值叢訊，若特定實施例允許此叢訊）傳遞至訊號資料輸出。此資料傳送在步驟 26 中執行。在步驟 28 中，所選之訊號輸入之時間戳藉由表示服務品質等級的時間增量而增加，該服務品質等級與所選之訊號輸入關聯。具有較高服務品質等級之訊號輸入（高頻寬位準將被分配至該訊號輸入）與相對較小時間戳增量關聯。相反，具有相對較低優先級及較低服務品質等級之訊號輸入（對應於相對較低頻寬分配）使相對較高之時間戳增量應用於該訊號輸入。當比較與訊號輸入關聯之時間戳值時，則最低時間戳值被給予優先級。在訊號輸入之間存在對訊號輸出存取之競爭的情況下，與單個輸入關聯之時間戳值可被視作表示該訊號在其優先等級及頻寬分配已給定之情況下可適當預期被獲準對訊號輸出之存取之時間。如若不存在競爭，則待發送資料之任何訊號輸入可發送該資料及更新其時間戳值。當兩個或兩個以上訊號輸入具有待發送資料時，則彼等訊號輸入之時間戳值充當第一仲裁參數及可經比較以決定應使彼等訊號輸入中之何者獲準對訊號輸出之存取。

【0049】 遵循應用於步驟 28 中之時間戳的增量，處理前進至步驟 30，在此步驟中，與每一訊號輸入關聯之最近最少授權值經更新以反映對訊號輸入存取訊號輸出之授權，該訊號輸入在步驟 24 中由選擇訊號所選擇。全部最近最少授權值將更

新以反映新的相對排序，該相對排序中之訊號輸入已經授權對訊號輸出之存取。最近最少授權值充當第二仲裁參數及全部為不同。

【0050】 第 4 圖係一流程圖，該圖示意地圖示在步驟 22 中執行之仲裁。步驟 32 等候直至需要進行仲裁。然後，步驟 34 比較時間戳值。步驟 36 決定是否存在一個以上含有最低時間戳值之訊號輸入。若步驟 36 中之決定為存在唯一一個具有最低時間戳值之訊號輸入，則此訊號輸入在步驟 38 中被選中，及處理返回步驟 32。如若步驟 36 中之決定是存在一個以上具有最低時間戳值之訊號輸入，則處理前進至步驟 40，在此步驟中，與彼等具有最低時間戳值之訊號輸入關聯之最近最少授權值經比較。由此，在訊號輸入共享第一仲裁參數之一共同值（最低時間戳值）時，第二仲裁參數生效。步驟 42 選擇具有最高優先級之最近最少授權值之訊號輸入以用於在此單循環評估期間與訊號輸出通訊。具有最高優先級之最近最少授權值是指示相關訊號輸入未經授權對訊號輸出之存取達最久時間之值。

【0051】 第 5 圖示意地圖示仲裁電路系統 44，該電路系統用於控制對第 1 圖中圖示之互連電路系統 6 之訊號輸出中之一者之存取。虛擬時鐘計數值之最有效位元充當第一仲裁參數及經溫度計編碼電路系統 46 進行溫度計編碼以產生溫度計編碼值，該編碼值具有與穿過互連 6 之各個訊號線群組 48 關聯之一個位元位置。感測放大器賦能閘鎖 50 由在第 5 圖中圖示之仲裁電路系統 44 之部分驅動，當與訊號輸入 0 關聯之第一

仲裁值及第二仲裁值由於具有最高優先級（與該兩者之服務品質關聯）而贏得仲裁時，該感測放大器賦能閘鎖 50 在有效時用以選擇訊號輸入 0 以存取訊號輸出。由溫度計編碼電路系統 46 產生之溫度計編碼仲裁值是在該時間點與訊號輸入 0 關聯之仲裁參數。此仲裁參數值之第一部分顯示為包括第 5 圖中之位元(0)至(15)，該等位元中之每一者控制多工器 52 之開關，該多工器 52 依據第二仲裁參數而使群組內訊號線 48 中無一者、群組內全部訊號線 48，或一些訊號線放電，該第二仲裁參數由經溫度計編碼之表示最近最少授權值之最低有效部分給定，及該第二仲裁參數儲存在暫存器 54 內。

【0052】 如第 5 圖中圖示，當時間戳值達到接近飽和之等級時，或時間戳值中至少一者接近飽和時，對溫度計編碼仲裁值應用此操作：使該時間戳值右移達其位元長度之一半，該等溫度計編碼仲裁值儲存在溫度計編碼電路系統 46、暫存器 60，及亦儲存在虛擬時鐘計數器中最低有效位元內。比較電路系統由閘 56 提供，該等閘依據溫度計編碼仲裁值而選擇性地使經預充電之訊號線放電。將瞭解，第 5 圖圖示訊號線 48 針對單個訊號輸入之選擇性放電，但實際上相同訊號線 48 之所選之放電亦針對將具有其自身之溫度計編碼仲裁值之其他訊號輸入而執行。整體效應是用於給定訊號輸入之比較電路系統 56 將使與優先級較低之仲裁值關聯之訊號線群組放電，及將不使與優先級較高之仲裁值關聯之訊號線 48 之群組放電。若兩個訊號輸入具有共享第一仲裁值參數之仲裁值，則經放電與未經放電之訊號線群組之間的邊界將對於彼等兩個

訊號輸入而言相同。由此，在訊號線群組內由多工器 52 在溫度計編碼仲裁值內「1」位元與「0」位元之間邊界處執行之訊號線之部分放電將根據彼等訊號線自身之單獨最近最少授權值（第二仲裁參數值）選擇性地使彼等訊號線放電，及由此，在該等最近最少授權值之間將進行比較，以便將辨識具有最高優先級之最近最少授權值之訊號輸入。由以二元形式儲存在暫存器 60 內之第一仲裁參數控制之多工器 58 用以選擇訊號線群組中之一者，該者將針對具有給定第二仲裁參數值之訊號輸入指示該訊號輸入是否被決定為贏得任何仲裁。所圖示之訊號輸入對多工器 58 之輸入連接至訊號線 0、4、8、.....60。下一訊號輸入（亦即訊號輸入 1）對多工器 58 之輸入將對應及將取自訊號線 1、5、9、.....61。

【0053】 在總體等級上，仲裁電路系統 44 利用對應於時間戳值（該時間戳值在依據關聯之服務品質等級而經授權之後經受時間增量）之第一仲裁參數值及經提供以在比較第一仲裁參數值之同一循環內用於聯絡斷路解析用途之第二仲裁參數值（最近最少授權(LRG)值）來提供單循環仲裁。訊號線 48 之預充電及選擇性放電提供一種在單循環內支援對多個該種仲裁參數值進行平行比較之機制。

【0054】 儘管本發明之說明性實施例已在本文中藉由參考附圖而進行詳細描述，但將理解，本發明並非限定於彼等精確實施例，及熟習該項技術者可在不脫離如所附之專利申請範圍所定義之本發明之範疇及精神的情況下對本文實施多種變更及潤飾。

【符號說明】

【0055】

- 2 積體電路
- 4 資料來源電路
- 6 互連電路系統
- 8 資料目的地電路
- 10 第一仲裁參數
- 12 第二仲裁參數
- 14 結合仲裁參數
- 16 溫度計編碼仲裁參數
- 18 步驟
- 20 步驟
- 22 步驟
- 24 步驟
- 26 步驟
- 28 步驟
- 30 步驟
- 32 步驟
- 34 步驟
- 36 步驟
- 38 步驟
- 40 步驟
- 42 步驟
- 44 仲裁電路系統

46 溫度計編碼電路系統

48 訊號線

50 感測放大器賦能門鎖

52 多工器

54 暫存器

56 閘

58 多工器

60 暫存器

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

發明摘要

※ 申請案號：103117931

※ 申請日：103 年 5 月 22 日

※IPC 分類：G06F 13/36 (2006.01)
G06F 9/46 (2006.01)

【發明名稱】（中文/英文）

單循環仲裁

SINGLE CYCLE ARBITRATION

【中文】

本文介紹積體電路 2 內之互連 6，該互連提供仲裁以選擇複數個訊號輸入中之一者以用於連接至訊號輸出。所應用之仲裁使用時間戳值形式之第一仲裁參數值，及在兩個或兩個以上訊號輸入共享該種時間戳值之情況下，使用最近最少授權值形式之第二仲裁參數。當每一訊號輸入經授權存取訊號輸出時，選擇應用於與每一訊號輸入關聯之時間戳值之時間增量以反映將與該訊號輸入關聯之服務品質。當在時間戳值之間進行比較時，最低時間戳值被給予優先級。較大時間增量值對應於較低優先級（服務品質）。

【英文】

An interconnect 6 within an integrated circuit 2 provides arbitration to select one of a plurality of signal inputs for connection to a signal output. The arbitration applied uses a first arbitration parameter value, in the form of a time stamp value, and, if two or more signal inputs share

such a time stamp value, then uses a second arbitration parameter, in the form of a least recently granted value. The time increment applied to the time stamp value associated with each signal input when it is granted access to the signal output is selected to reflect the quality of service to be associated with that signal input. When a comparison is made between time stamp values, the lowest time stamp value is given priority. A large time increment value corresponds to a low priority (quality of service).

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

10 第一仲裁參數

12 第二仲裁參數

14 結合仲裁參數

16 溫度計編碼仲裁參數

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種互連電路系統，用於在 N 個訊號輸入中所選之訊號輸入與一訊號輸出之間提供一資料通訊路徑，其中， N 是二或二以上之一整數，該互連電路系統包括：

多工電路系統，經配置以依據一選擇訊號而選擇該 N 個訊號輸入中之一個訊號輸入作為一所選之訊號輸入，及將該所選之訊號輸入連接至該訊號輸出以發送給定資料；及

仲裁電路系統，經配置以產生該選擇訊號，以便在複數個該 N 個訊號輸入之間以一單循環執行一仲裁，該 N 個訊號輸入各自具有待發送之資料，其中

該仲裁依據以下內容執行：

(i)與該等複數個 N 個訊號輸入中之每一者關聯之一第一仲裁參數之各個值；及

(ii)當該等複數個 N 個訊號輸入中兩個或兩個以上訊號輸入具有該第一仲裁參數之一共同值時，一第二仲裁參數與該等複數個 N 個訊號輸入中之該兩個或兩個以上訊號輸入關聯，該第二仲裁參數對該等複數個 N 個訊號輸入中之該兩個或兩個以上者中之每一者具有一不同值。

2. 如請求項 1 所主張之互連電路系統，其中該 N 個訊號輸入耦接至各個資料來源電路，及該訊號輸出耦接至一資料目的地電路，該互連電路系統、該等資料來源電路，及該資料目的地電路全部形成於一單個積體電路上。

3. 如請求項 1 所主張之互連電路系統，包括 M 個訊號輸出，其中， M 是一或一以上之一整數。
4. 如請求項 3 所主張之互連電路系統，其中 $M=N$ 。
5. 如請求項 1 所主張之互連電路系統，其中該第一仲裁參數具有一值，該值表示與自一對應訊號輸入發送之資料關聯之一服務品質等級。
6. 如請求項 5 所主張之互連電路系統，其中該第一仲裁參數是一時間戳值，及當該所選之訊號輸入發送資料時，該所選之訊號輸入之該時間戳值得以更新。
7. 如請求項 6 所主張之互連電路系統，其中該所選之輸入的該時間戳值藉由將一時間增量值增添至該所選之輸入的該時間戳值而得以更新，該時間增量值依據與該所選之訊號輸入關聯之一服務品質等級而變更。
8. 如請求項 7 所主張之互連電路系統，其中該仲裁電路系統經配置以比較具有待發送資料之複數個訊號輸入之時間戳值，及自對該被選中之訊號輸入之選擇中消除該等複數個輸入中之任一者，該者所具有之待發送資料之一時間戳值高於該等複數個訊號輸入中其他者中一或更多者所具有之待發送資料之一時間戳值。

9. 如請求項 8 所主張之互連電路系統，其中當與一給定訊號輸入關聯之該時間增量值增加時，用於由該 N 個訊號輸入中之該給定訊號輸入存取該訊號輸出之一相對優先級減小。

10. 如請求項 6 所主張之互連電路系統，其中該仲裁電路系統經配置，以便在與該 N 個訊號輸入關聯之該等時間戳值中至少一者達到一臨限位準時，全部該等時間戳值除以二。

11. 如請求項 1 所主張之互連電路系統，其中該第二仲裁參數經分配至該 N 個訊號輸入中之每一者以表示一相對排序，在該相對排序中，該 N 個訊號輸入先前被選作該所選之訊號輸入。

12. 如請求項 1 所主張之互連電路系統，其中該第一仲裁參數及該第二仲裁參數經串接以形成一結合仲裁參數，該第二仲裁參數控制該結合仲裁參數之一最低有效位元部分。

13. 如請求項 12 所主張之互連電路系統，其中該仲裁電路系統包括溫度計編碼電路系統，該溫度計編碼電路系統經配置以對該 N 個訊號輸入中之每一者之該結合仲裁參數進行溫度計編碼，以產生各個溫度計編碼仲裁參數。

14. 如請求項 13 所主張之互連電路系統，其中該仲裁電路系統包括比較電路系統，該比較電路系統經配置以比較該等溫度計編碼仲裁參數以辨識該 N 個訊號輸入中何者被選為該所選之訊號輸入。

15. 如請求項 14 所主張之互連電路系統，其中該比較電路系統包括複數個訊號線，每一訊號線依據該等溫度計編碼仲裁參數而經預充電至預先決定之訊號位準及經選擇性地放電。

16. 如請求項 15 所主張之互連電路系統，其中該等複數個訊號線被分為 2^X 個訊號線群組，每一訊號線群組與該第一仲裁參數之一不同值關聯，其中，X 是該第一仲裁參數之位元長度，該比較電路系統經配置以在 N 個訊號輸入中之任一者具有一第一仲裁參數及該第一仲裁參數所指示之一優先級高於一給定訊號線群組之一第一仲裁參數之優先級之情況下，使該給定群組內之全部訊號線放電。

17. 如請求項 16 所主張之互連電路系統，其中每一群組訊號線包含 N 個訊號線，該每一群組訊號線內之不同訊號線對應於該第二仲裁參數之不同值，該比較電路系統經配置以依據與該 N 個訊號輸入關聯之該第二仲裁參數之各個唯一值而使與一最高優先級第一仲裁參數關聯之一臨限群組內之不同訊號線放電，以便該臨限群組內之一單個訊號線保持帶電，從

而辨識該 N 個訊號輸入中之何者將被選為該所選之訊號輸入。

18. 如請求項 15 所主張之互連電路系統，其中該等訊號線亦用以傳達該資料。

19. 一種互連電路系統，用於在 N 個訊號輸入中所選之訊號輸入與一訊號輸出之間提供一資料通訊路徑，其中， N 是二或二以上之一整數，該互連電路系統包括：

多工手段，用於依據一選擇訊號而選擇該 N 個訊號輸入中之一個訊號輸入作為一所選之訊號輸入，及將該所選之訊號輸入連接至該訊號輸出以發送給定資料；及

仲裁手段，用於產生該選擇訊號，以便在複數個該 N 個訊號輸入之間以一單循環執行一仲裁，該 N 個訊號輸入各自具有待發送之資料，其中

該仲裁依據以下內容執行：

(i)與該等複數個 N 個訊號輸入中之每一者關聯之一第一仲裁參數之各個值；及

(ii)當該等複數個 N 個訊號輸入中兩個或兩個以上訊號輸入具有該第一仲裁參數之一共同值時，一第二仲裁參數與該等複數個 N 個訊號輸入中之該兩個或兩個以上訊號輸入關聯，該第二仲裁參數對該等複數個 N 個訊號輸入中之該兩個或兩個以上者中之每一者具有一不同值。

20. 一種方法，用於在 N 個訊號輸入中所選之訊號輸入與一訊號輸出之間提供一資料通訊路徑，其中， N 是二或二以上之一整數，該方法包括以下步驟：

依據一選擇訊號選擇該 N 個訊號輸入中之一者作為一所選之訊號輸入，及將該所選之訊號輸入連接至該訊號輸出以發送給定資料；及

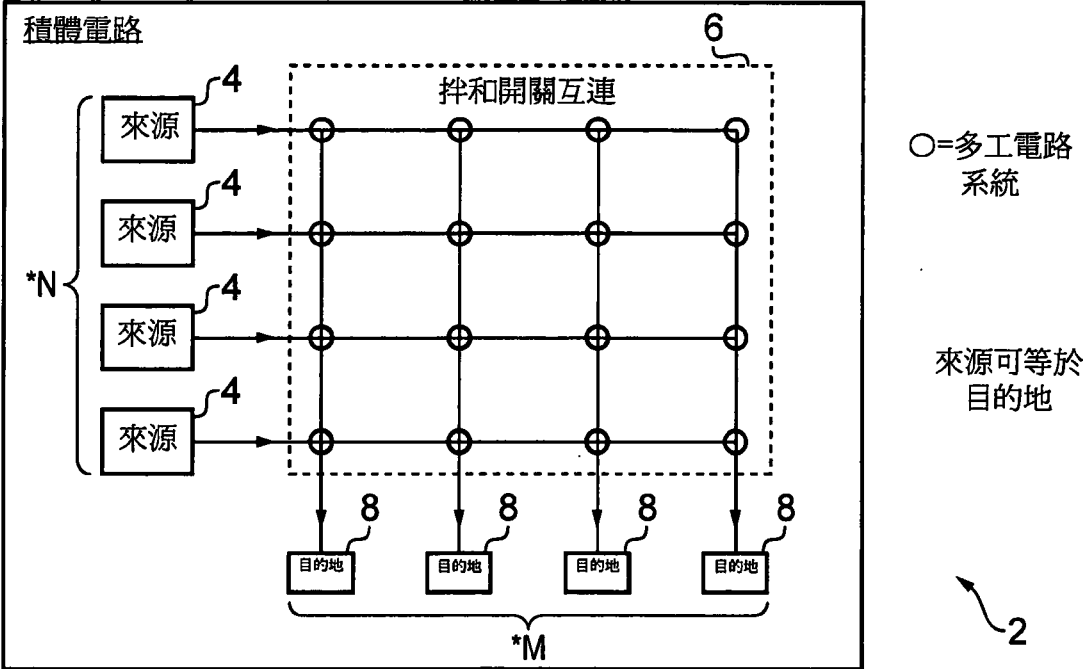
產生該選擇訊號，以便在複數個該 N 個訊號輸入之間以一單循環執行一仲裁，該 N 個訊號輸入各自具有待發送之資料，其中

該仲裁依據以下內容執行：

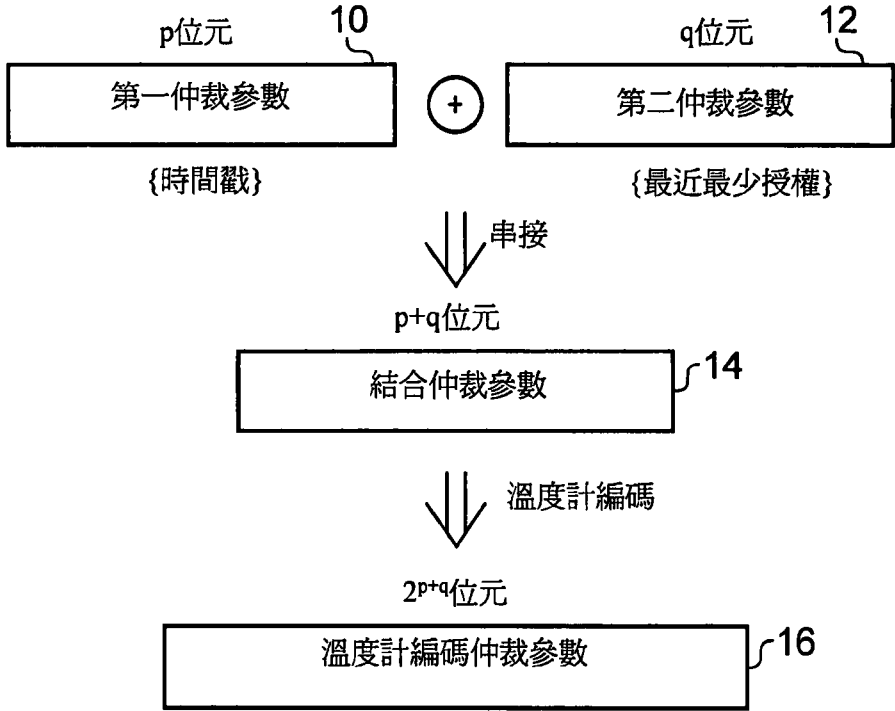
(i)與該等複數個 N 個訊號輸入中之每一者關聯之一第一仲裁參數之各個值；及

(ii)當該等複數個 N 個訊號輸入中兩個或兩個以上訊號輸入具有該第一仲裁參數之一共同值時，依據與該等複數個 N 個訊號輸入中之該兩個或兩個以上訊號輸入關聯之一第二仲裁參數，該第二仲裁參數對該等複數個 N 個訊號輸入中之該兩個或兩個以上者中之每一者具有一不同值。

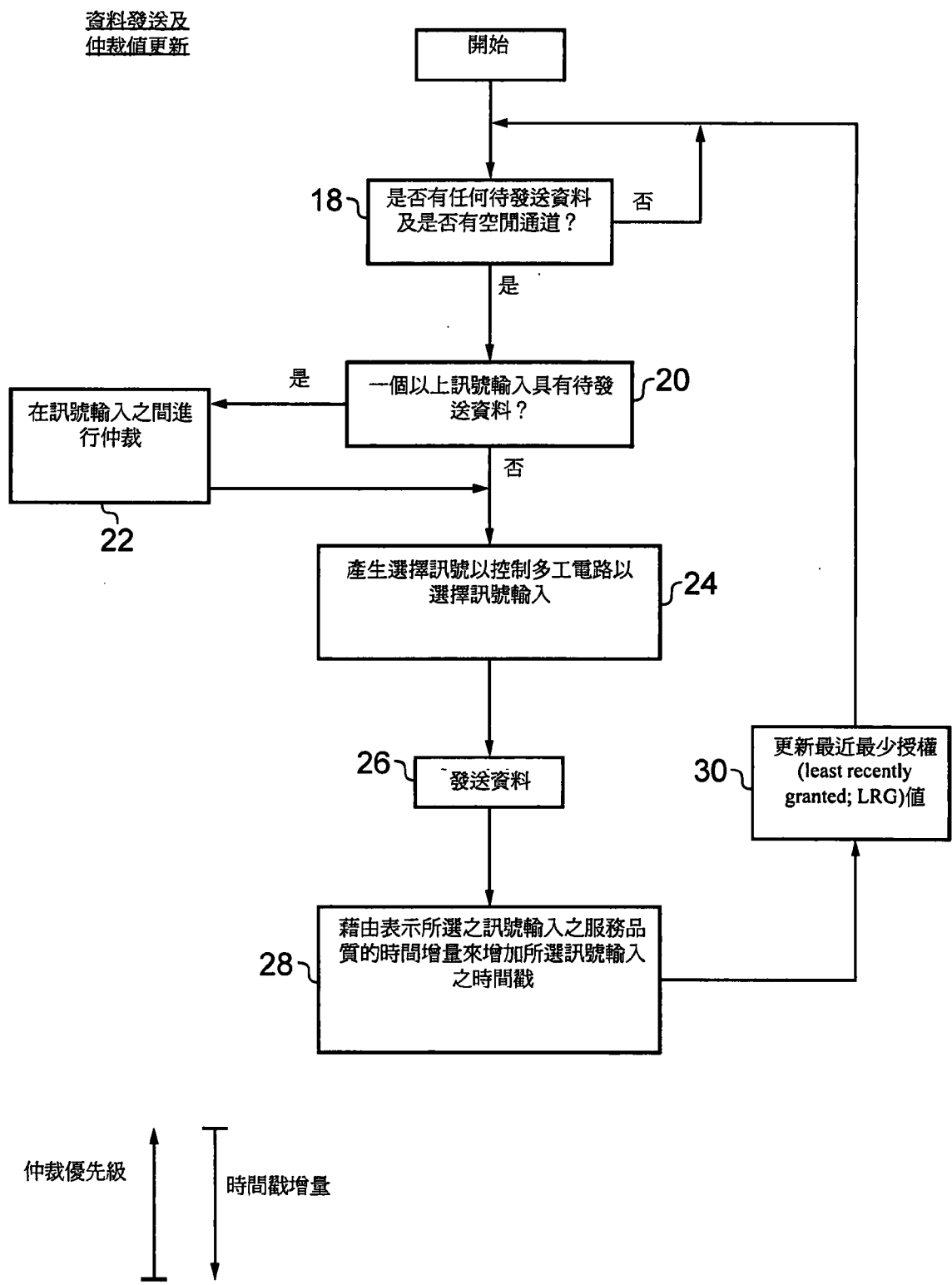
圖式



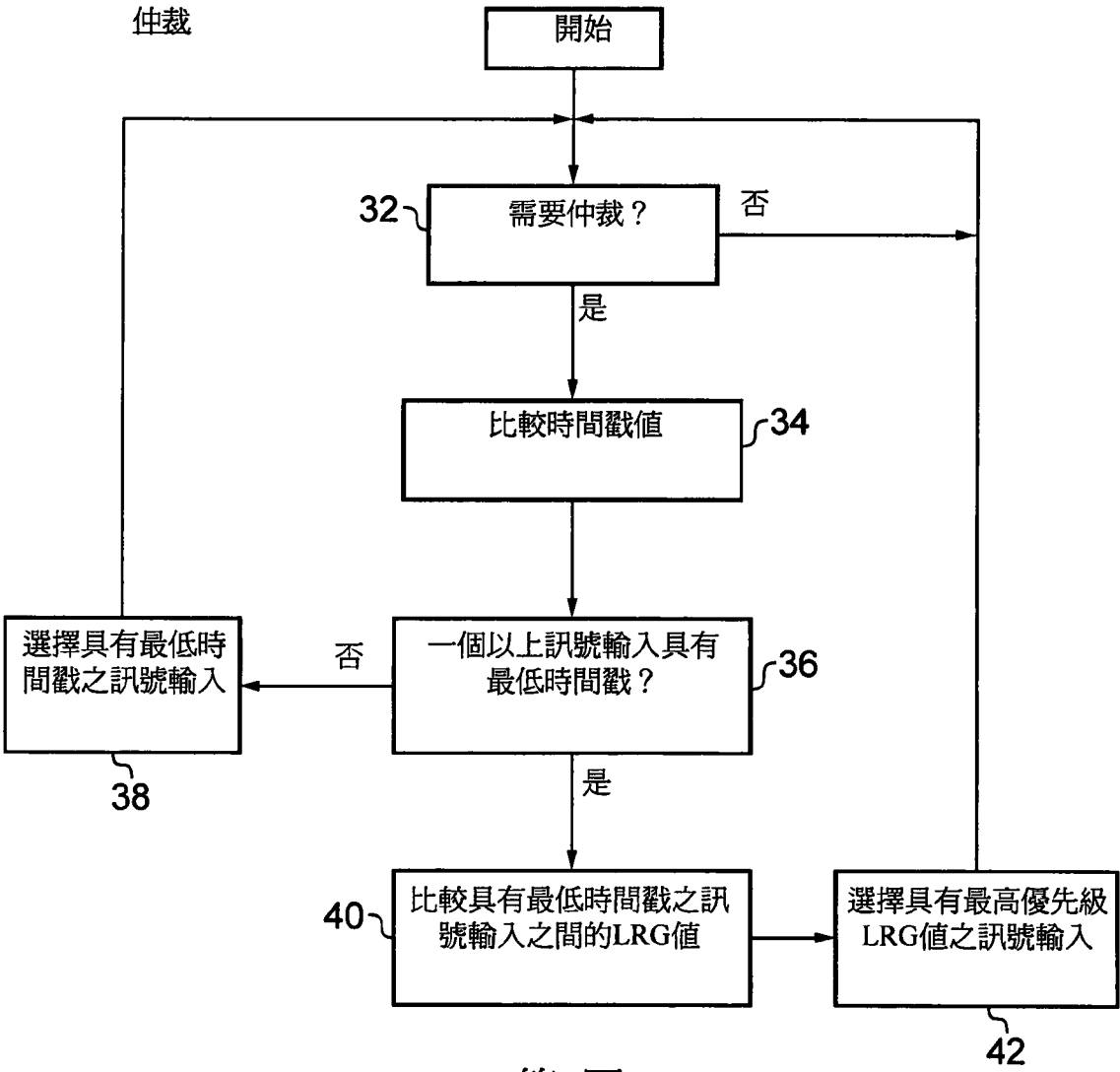
第1圖

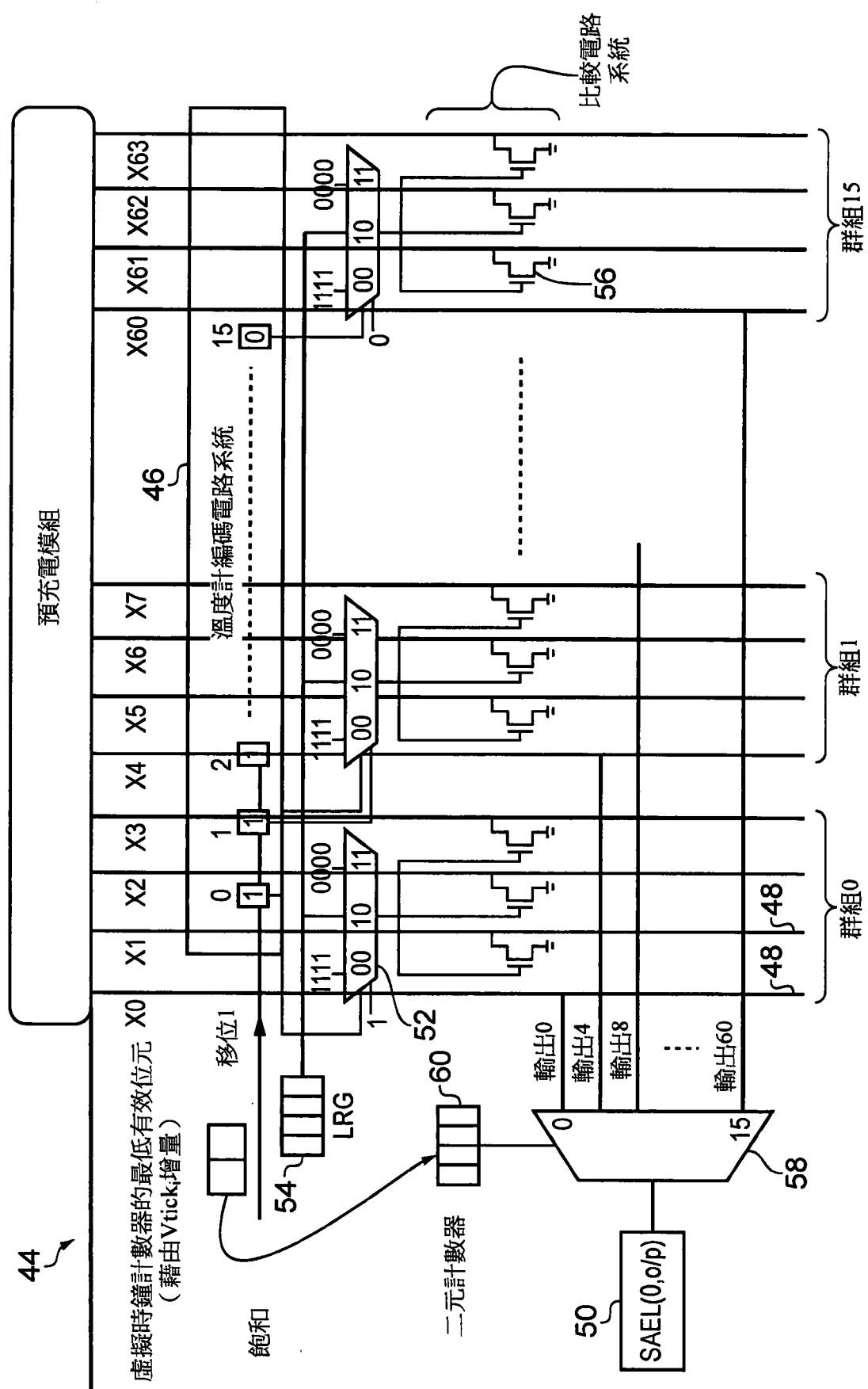


第2圖



第3圖





第5圖

such a time stamp value, then uses a second arbitration parameter, in the form of a least recently granted value. The time increment applied to the time stamp value associated with each signal input when it is granted access to the signal output is selected to reflect the quality of service to be associated with that signal input. When a comparison is made between time stamp values, the lowest time stamp value is given priority. A large time increment value corresponds to a low priority (quality of service).

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

10 第一仲裁參數

12 第二仲裁參數

14 結合仲裁參數

16 溫度計編碼仲裁參數

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無