

公告本

申請日期	89 年 4 月 19 日
案 號	89107381
類 別	H01L 2/00

A4
C4

451269

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	Semiconductor device and the fabricating method therefor
二、發明人 創作	姓 名	(1) 河崎律子 (2) 安達広樹 (3) 富安一秀
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
	住、居所	(2) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內 (3) 日本國大阪府大阪市阿倍野區長池町二二番二 二號 夏普股份有限公司內
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所 (2) 夏普股份有限公司 シャープ株式会社
	國 籍	(1) 日本 (2) 日本 (1) 日本國神奈川縣厚木市長谷三九八番地
	住、居所 (事務所)	(2) 日本國大阪府大阪市阿倍野區長池町二二-二 二
	代 表 人 姓 名	(1) 山崎舜平 (2) 町田勝彦

裝

訂

線

451269

申請日期	89 年 4 月 19 日
案 號	89107381
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 小川裕之
	國 籍	(4) 日本 (4) 日本國大阪府大阪市阿倍野區長池町二二番二 二號 夏普股份有限公司內
三、申請人	住、居所	
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

451269

(由本局填寫)

承辦人代碼：

大類：

IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 ☐ 無主張優先權
日本 1999 年 4 月 20 日 11-111605 ☒ 有主張優先權

有關微生物已寄存於：

寄存日期：

寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

技術領域

本發明有關具薄膜電晶體(TFT)之半導體裝置，TFT係形成於玻璃基片上並使用結晶半導體膜，並有關製造半導體裝置之方法。本發明半導體裝置包含液晶顯示器、EL顯示器、EC顯示器及影像感應器等，具有元件如薄膜電晶體(TFT)及MOS電晶體及包含絕緣閘電晶體之半導體電路(微處理器、訊號處理器或高頻電路)。本發明半導體裝置亦包含電子設備，如攝影機、數位照相機、目鏡顯示器、車輛導航裝置、個人電腦及其中裝有顯示裝置之行動資訊終端。

發明背景

目前薄膜電晶體(TFT)常作為使用半導體膜之半導體元件。TFT用於各式積體電路，如主動矩陣式液晶顯示器之圖素部開關元件。尤其近來已提高TFT移動性，故TFT可作為驅動圖素部之驅動電路元件。就驅動電路所用半導體層，須使用移動性高於非晶半導體膜之結晶半導體膜，亦稱為多晶半導體膜、多矽晶膜及微晶體半導體膜。

提高TFT特性首重減少其半導體層之雜質。

就作為主動矩陣式液晶顯示器之基片，習知使用透明絕緣基片，如石英及玻璃基片。石英基片具高玻璃扭曲溫度，可在結晶溫度增至1000℃，減少結晶時間。但石英基片甚玻璃基片甚貴。由大量之生產角度，不易作為大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

面積用途。故作為液晶顯示器之基片，廣泛使用如康寧 7059 玻璃基片，具 593℃ 玻璃扭曲溫度。

液晶顯示裝置所用玻璃基片之 Na 雜質含量較鹼石灰玻璃低。可能引起問題係於非晶半導體膜結晶過程加熱（回火）時，輕微 Na 雜質擴散而污染成為 TFT 主動層之半導體層，致 TFT 特性劣化。

為防止主動層受到玻璃基片滲出之 Na 而污染，可提供氮化矽膜或氧化矽膜為阻膜在玻璃基片與主動層之間，尤其氮化矽膜因阻絕 Na 擴散能力高，常作為阻膜。但玻璃基片上之氮化矽膜有些問題。因回火程序使接觸之氮化矽膜裂開，或玻璃基片變形、受損等，故嘗試使用氮化矽膜與氧化矽膜多層膜或氧化氮化矽膜。

發明概述

作為阻膜之上述多層膜或氧化氮化矽膜之阻絕性低於簡單氮化矽膜，不能確實防止基片之雜質污染。此因就多層膜、氮化矽膜厚度無法更厚來防止裂開；就氧化氮化矽膜，不能增加氮百分比以防止裂開。另玻璃基片包含大量 Na，因此需要高阻性之阻膜。

就底閘 TFT，以底膜接觸閘線底面而作為阻膜（本發明之閘線亦包含閘電極）。若以氮化矽膜為阻膜，引起氮化矽膜上閘線之薄膜產生剝離，產生氮化矽膜與閘線附著不良之問題。

鑒於以上問題，半導體之結晶半導體層在回火中結晶

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(3)

，本發明目的欲形成半導體裝置如主動矩陣式液晶顯示器，顯示面積大，成本低且性能高，所具阻膜可防止Na等擴散，提高TFT特性，並防止覆膜裂開而降低良率，尤其底閘TFT中，另一目的欲形成阻膜，可極佳附著於閘線。

鑒於，本發明特徵在於提供氧化鉬(TaO_x)膜在玻璃基片上作為阻膜。本發明中氧化鉬膜指鉬與氧構成之覆膜，使用厚度由100至500nm。就形成膜之方法，可用熱CVD法、電漿CVD法、沈積法、濺鍍法、低壓熱CVD法、熱氧化法及陽極氧化法。氧化鉬膜可有效阻止Na雜質。尤其濺鍍法或電漿CVD法可控制沈積條件形成氧化鉬法之應力，有效提高阻止性能並減少玻璃基片引起之應力。其中尤其濺鍍法利用鉬靶在含氧混合氣氛更有效。

再者，氧化鉬膜極佳附著於導電膜，由以下構成群選出一或以上元素構成，即鉬(Ta)、鎢(W)、鉬(Mo)、鈦(Ti)、鉻(Cr)及矽(Si)，通常作為閘線，或熔點等於或高於以上元素構成之導電膜。就底閘TFT，如此可防止因阻膜不良附著於閘線而降低良率。

就本發明結構，利用氧化鉬膜防止雜質引起玻璃基片對主動層污染。以二次離子質量頻譜儀(之後稱SIMS)提供閘絕緣膜之Na濃度可為 1×10^{16} 原子/cm³以下，考慮噪訊，目前等於或小於偵測下限。如此允許與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

閘絕緣膜接觸之主動層中 Na 濃度等於 1×10^{16} 原子 / cm^3 以下，增加 TFT 可靠性。以氧化鉬膜為阻膜可減少 TFT 特性變異，增加 TFT 可靠性。

就本發明架構，可在基片一或二側部均提供氧化鉬膜。氧化鉬膜在基片二側可於製造半導體裝置時完全阻止基片擴散出 Na 雜質。此外，液晶顯示器所用玻璃基片略受蝕刻，係利用氟素酸以允許基片中 Na 雜質混入酸液，造成作為 TFT 主動層之半導體層污染，致 TFT 特性劣化。因氧化鉬膜極耐氟素酸，可在基片二側提供氧化鉬膜防止蝕刻時 Na 污染。此外，因氧化鉬膜熱膨脹係數低，且極耐熱，基片背側提供氧化鉬膜可助基片耐熱。可用氧化鉬膜蓋住基片全部表面，包含其側面。可用低壓熱 CVD 法形成覆膜在基片側面。

本發明第一構造特徵包含：

- 一第一阻膜，與一玻璃基片接觸；
- 一閘線，與阻膜接觸；
- 一閘絕緣膜，與閘線接觸；及
- 一結晶半導體層，與閘絕緣膜接觸，具有一高濃度雜質，一通道形成區，及一低濃度雜質區在高濃度雜質區與通道形成區之間，

其中阻膜為氧化鉬膜構成。

此外，結構特徵為閘絕緣膜具 Na 濃度 1×10^{16} 原子 / cm^3 或以下。

本發明第二結構特包含以下步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

形成氧化鉬膜於一玻璃基片上；

形成閘線在氧化鉬膜上；

形成閘絕緣膜與半導體之多層膜於玻璃基片上，其上形成閘線；

結晶半導體膜成為結晶半導體膜；

對結晶半導體膜定圖案形成結晶半導體層；及

選擇地加入族X I I I及X V構成群選出之雜質元素至結晶半導體層而成低濃度雜質區。

本發明第三結構特徵包含以下步驟：

形成氧化鉬膜於一玻璃基片上；

形成閘線於氧化鉬膜上；

形成閘絕緣膜與半導體膜之多層膜於玻璃基片上，其上形成閘線；

加入元素至半導體膜以加速半導體膜結晶；

結晶半導體膜成為結晶半導體膜；

除去結晶半導體膜中加速結晶化之元素；

對結晶半導體膜定圖案形成結晶半導體層；

選擇地加入族X I I I及X V構成群選出之雜質元素至結晶半導體層而形成高濃度雜質區；及

選擇地加入族X I I I及X V構成群選出之雜質元素至結晶半導體層而形成低濃度雜質區。

此外，結構特徵中N i、C o、F e、P d、P t、C u、A u、G e、S n及P b構成群選出至少一元素作為加速結晶之元素。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

圖式簡要說明

圖 1 為實例 1 之 T F T 製造程序。

圖 2 為實例 1 之 T F T 製造程序。

圖 3 為實例 1 之 T F T 製造程序。

圖 4 為實例 2 之 T F T 製造程序。

圖 5 為實例 2 之 T F T 製造程序。

圖 6 為實例 2 之 T F T 製造程序。

圖 7 為實施例 3 之 C M O S 電路頂視、截面及電路圖

圖 8 為實施例 3 之圖素部頂視及截面圖。

圖 9 為實施例 4 之主動矩陣基片實例。

圖 10 為實例 5 之 E L 面板電路圖。

圖 11 為實例 7 之電子裝置例。

圖 12 為實例 7 之電子裝置例。

圖 13 為實例 7 之電子裝置例。

主要元件對照表

8 1	顯示區	8 2	X 向周邊驅動電路
8 3	Y 向周邊驅動電路	8 4	開關 T F T
8 5	電容	8 6	電流控制 T F T
8 7	有機冷光元件	8 8 a	X 向訊號線
8 8 b	X 向訊號線	8 0 a	Y 向訊號線
8 0 b	Y 向訊號線	8 0 c	Y 向訊號線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

8 9 a	電力線	8 9 b	電力線
1 0 1	基片	1 0 2	閘線
1.0 4	非晶半導體膜	1 0 5	結晶半導體膜
1 0 6	絕緣膜	1 0 7	光阻膜
1 0 8	通道保護膜	1 0 9	阻膜
1 1 0 a	第一雜質膜	1 1 2	第二雜質膜
1 1 3	第三雜質膜	1 1 4	阻罩
1 1 5	源區	1 1 6	汲區
1 1 7	低濃度雜質區	1 1 8	低濃度雜質區
1 1 9	通道形成區	1 2 0	通道形成區
1 2 1	源區	1 2 2	汲區
1 2 3	間層絕緣膜	1 2 4	源線
1 2 5	汲線	1 2 6	源線
1 2 7	汲線	2 0 1	基片
2 0 2	源線	2 0 3	閘絕緣膜
2 0 4	非晶半導體膜	2 0 3 a	氮化矽膜
2 0 3 b	氧化矽膜	2 0 4 a	非晶矽膜
2 0 4 b	結晶矽膜	2 0 4 c	結晶矽膜
2 0 5	含鎳層	2 0 6	絕緣膜
2 0 7	阻罩	2 0 8	通道保護膜
2 0 9	阻罩	2 1 0 b	第一雜質區
2 1 2	第二雜質區	2 1 3	第三雜質區
2 1 4	阻罩	2 1 5	源區
2 1 6	汲區	2 1 7	低濃度雜質區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

2 1 8	低濃度雜質區	2 1 9	通道形成區
2 2 0	通道形成區	2 2 1	源區
2 2 2	汲區	2 2 3	間層絕緣膜
2 2 4	源線	2 2 5	汲線
2 2 6	源線	2 2 7	汲線
3 0 1	玻璃基片	3 0 2	閘線
3 0 3	第一絕緣膜	3 0 4	第二絕緣膜
3 1 4	通道形成區	3 1 7	第一間層絕緣膜
3 1 8	線	3 1 9	被動膜
3 2 0	線	4 0 0	氧化鉬膜
4 0 1	玻璃基片	4 0 2	第一絕緣膜
4 0 3	閘線	4 0 4	第二絕緣膜
4 0 7	通道形成區	4 1 1	通道形成區
4 1 6	線	4 1 7	線
4 1 8	被動膜	4 1 9	第一間層絕緣膜
4 2 0	第二間層絕緣膜	4 2 1	圖素電極
4 2 2	第三間層絕緣膜	4 2 3	圖素電極
1 0 0 0	玻璃基片	1 0 0 1	圖素部
1 0 0 2	掃描線驅動電路	1 0 0 3	訊號線驅動電路
1 0 3 0	掃描線	1 0 4 0	訊號線
1 0 6 0	圖素電極	1 0 7 0	儲存電容
1 0 8 0	對立基片	1 0 3 2	晶片
1 0 3 3	晶片	2 0 0 1	本體
2 0 0 2	影像輸入部	2 0 0 3	顯示器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

2 0 0 4	鍵盤	2 1 0 1	本體
2 1 0 2	顯示器	2 1 0 3	聲音輸入部
2.1 0 4	控制開關	2 1 0 5	電池
2 1 0 6	影像接收部	2 2 0 1	本體
2 2 0 2	攝影部	2 2 0 3	影像接收部
2 2 0 4	控制開關	2 2 0 5	顯示器
2 3 0 1	本體	2 3 0 2	顯示器
2 3 0 3	臂部	2 4 0 1	本體
2 4 0 2	顯示器	2 4 0 3	發聲部
2 4 0 4	記錄媒體	2 4 0 5	控制開關
2 5 0 1	本體	2 5 0 2	顯示器
2 5 0 3	接目部	2 5 0 4	控制開關
2 6 0 1	光源光學系統及 顯示器	2 6 0 2	螢幕
2 7 0 1	本體	2 7 0 2	光源光學系統及 顯示器
2 7 0 3	鏡子	2 7 0 4	螢幕
2 9 0 1	本體	2 9 0 2	聲音輸出部
2 9 0 3	聲音輸入部	2 9 0 4	顯示部
2 9 0 5	控制開關	2 9 0 6	天線
3 0 0 1	本體	3 0 0 2	顯示部
3 0 0 3	顯示部	3 0 0 4	記錄媒體
3 0 0 5	控制開關	3 0 0 6	天線
3 1 0 1	本體	3 1 0 2	支座

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

3 1 0 3 顯示部

本發明較佳實施例

參考圖 1 至 3 說明實施例。以下說明製造反向交錯 T F T 。

首先準備基片 1 0 1。以玻璃基片為基片 1 0 1，主要含氧化矽及少量鹼金屬，如鈉。基片 1 0 1 上提供阻膜 1 5 0，為氧化鉬膜構成，可防止雜質由基片擴散，以提高 T F T 電氣特性。以熱 C V D 法、電漿 C V D 法、沈積法、濺鍍法、低壓熱 C V D 法、熱氧化法，或陽極氧化法形成厚 1 0 0 至 5 0 0 n m 之氧化鉬膜，尤宜 1 0 0 至 3 0 0 n m。尤適合使用濺鍍法或電漿 C V D 法。其中使用濺鍍法，以鉬為靶，在含氧混合氣氛熱法。（圖 1 A）

圖 1 A 中氧化鉬膜僅形成在基片一面，但氧化鉬膜可有效提供在基片二面。如此可完全阻止半導體膜裝置製造時 N a 雜質由基片擴散。尤其氧化鉬膜提供耐氟素酸特性，故基片二面上之氧化鉬膜可於蝕刻時防止 N a 污染。且氧化鉬膜熱膨脹係數低，極耐熱，可提供氧化鉬膜在基片表面提升耐熱性。且氧化鉬膜可有效蓋住基片全表面。

即使使用透明基片，如石英基片、陶瓷基片、不銹鋼基片、金屬（鉬、鎢或鉬）基片、半導體基片、塑膠基片（聚對苯二甲酸伸乙酯），本發明結構宜適用本例，以防止雜質由所用基片散出。

接著形成多層或單層閘線（包含閘電極）1 0 2（圖

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (11)

1 B)。可用熱 C V D 法、電漿 C V D 法、低壓熱 C V D 法、沈積法、濺鍍法等形成厚 10 至 1000 nm 之導電膜，宜為 30 至 300 nm，再對其定圖案形成閘線

102。閘線 102 之材料主要為導電金屬或半導體材料，如高熔點金屬材料、Ta、Mo、Ti、W 或 Cr，金屬與矽之化合物，具 N 或 P 式導電性之多矽晶材料，及低電阻金屬材料 Cu 或 Al。只要膜具一層主要為這些材料者，並不限於特定類。

就閘線，較佳使用主要含鉭材料為閘線下層，如單層鉭。可用氮化鉭層（下層）、鉭層（中層）及氮化鉭層（上層）之多層為閘線。若以鉭為閘線主材，不須露出下層氧化鉭膜及成為閘線之導電膜於大氣，執行沈積，增加底層附著於作為閘線之導電膜。連續沈積氧化鉭膜及導電膜時，宜使用濺鍍法。可形成絕緣膜，如陽極氧化膜或氧化膜，接觸閘線，以保護閘線並防止雜質由閘線散出。

接著，形成閘絕緣膜與閘線接觸。可用氧化矽膜、氮化矽膜、氮化氧化矽膜（ SiO_xN_y ），有機樹脂膜（BCB）或其多層膜，厚 100 至 400 nm，成為閘絕緣膜。可用熱 C V D 法、電漿 C V D 法、低壓熱 C V D 法、沈積法、濺鍍法或塗覆法形成閘絕緣膜。如圖 1 C，本處使用多層結構之閘絕緣膜 103 a 及 103 b。形成氮化矽膜構成下層閘絕緣膜 103 a，厚 10 nm 至 60 nm，可防止雜質由閘線擴散至主動層。就影響主動層之雜質，以氧化鉭膜構成阻膜可阻止雜質由基片擴散，使閘

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (12)

絕緣膜之 Na 濃度為 1×10^{16} 原子 / cm^3 以下，考慮雜質，為 SIMS 側測下限，故不須提供氮化矽膜為閘絕緣膜。

接著沈積非晶半導體膜 104 (圖 1 C)。可用含矽非晶半導體膜，如非晶矽膜、具微晶體之非晶半導體膜、微晶體矽膜、非晶銻膜、非晶矽銻膜表示為 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)，或其多層膜，厚 10 至 80 nm，宜 15 至 60 nm。可用熱 CVD 法、電漿 CVD 法、低壓熱 CVD 法、沈積法或濺鍍法形成非晶半導體膜 104。尤適用濺鍍法，因形成非晶半導體膜之 TFT 電氣特性極佳。

沈積閘絕緣膜 103 a 及 103 b 及非晶半導體膜 104 而不露於大氣，不會允許雜質混入閘絕緣膜與非晶半導體膜之間界面，界面性甚佳。連續沈積閘絕緣膜及非晶半導體膜時，宜使用濺鍍法。如上述，較佳以濺鍍法形成底氧化鉬膜及閘線，可形成所有氧化鉬膜，閘線，閘絕緣膜及非晶半導體膜為濺鍍法。可濺鍍形成更多膜在半導體膜上。

接著非晶半導體膜 104 接受結晶處理而成結晶半導體膜 105 (圖 1 D)。可用習知結晶處理，如熱結晶處理、紅外線或紫外線結晶處理 (之後稱雷射結晶)，以加速結晶元素熱結晶處理，或以加速結晶元素雷射結晶處理，或結合以上處理。圖 1 D 顯示以雷射光照射之結晶處理。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

絕緣膜 106 形成在結晶半導體膜 105 上 (見圖 1 E)。接著絕緣膜 106 定圖案以摻入雜質時保護通道形成區。可用氧化矽膜、氮化矽膜、氧氧化矽膜 (SiO_xN_y)、有機樹脂膜 (BCB 膜) 或其多層膜為絕緣膜, 厚 100 nm 至 400 nm。再以習知定圖案技術在絕緣膜 106 上形成通道保護膜之形成用罩, 如一般曝光或反面曝光等 (圖 1 E)。圖 1 E 顯示未用光罩之反面曝光形成光阻罩 107。

接著以光阻罩 107 藉濕或乾蝕刻選擇除去絕緣膜 106 而成絕緣膜 108 (之後稱通道保護膜), 再除去光阻罩 107 (圖 2 A)。通道保護膜由源區至汲區方向尺寸 (長度) 小於閘線 (閘電極) 者, 故閘線部分由上看不重疊通道保護膜。經此程序, 結晶半導體膜表面露出, 以臭氧水氧化形成薄氧化膜, 在氧化環境熱處理, 以 UV 光照射, 即除去光阻罩 107 之後, 以免表面污染。

以光罩為阻罩 109 而轉換部分 N 通道式 TFT 或 P 通道式 TFT, 並摻入 n 式雜質元素至結晶半導體膜而成第一雜質區 (n^+ 區) 110a (圖 2 B)。轉換部分 N 通道式 TFT 之阻罩 109 由源區至汲區之方向尺寸 (長度) 大於閘線 (閘電極尺寸 (長度)), 故由上看時, 第一雜質區 110a 未重疊閘線。可用族 XV 元素, 如 P、As、Sb、N、Bi 等為半導體材料之 n 式雜質元素。過程中 P 加入結晶半導體膜, 設定摻入條件 (如劑量及加速電壓) 利用電漿摻入法曝露結晶半導體膜表面。此外, 第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

雜質區 1 1 0 a 為高濃度雜質區，為源區或汲區，劑量定為片阻 5 0 0 Ω 以下（宜 3 0 0 Ω 以下），即完成 T F T 製造。

接著除去阻罩 1 0 9 後，以通道保護膜 1 0 8 為罩，執行加入 n 式雜質元素至結晶半導體膜之程序，形成第二雜質區（n⁻區）1 1 2（圖 2 C）。因以小於閘線之通道保護膜 1 0 8 為罩形成第二雜質區，由上看時，部分第二雜質區與閘線重疊。第二雜質區 1 1 2 作為低濃度雜質區（之後稱 L D D 區），而第二雜質區 1 1 2 之磷濃度宜介於 1×10^{18} 至 1×10^{19} 原子 / cm^3 ，以 S I M S 分析。過程中形成第一雜質區 1 1 0 b 係摻入雜質，故通道保護膜下方部分成為內生或實質內生結晶半導體區。

本說明書，內生意指包含之區中沒有可改變的費米位階之雜質，而實質內生指包含 n 式或 p 式雜質，以 S I M S 分析濃度由 1×10^{16} 至 1×10^{17} 原子 / cm^3 ，可允許門檻控制，或故意摻入相反導電雜質以取消導電性。

以光罩形成阻罩 1 1 4 轉換 N 通道式 T F T，摻入 p 式雜質元素至結晶半導體膜，形成第三雜質區（p⁺區）1 1 3（圖 2 D）。就 p 式雜質元素，可用族 X I I I 元素，如 B、A l、G a、I n、T l 等。

除去阻罩 1 1 4 後，利用爐回火、雷射回火或燈回火回復摻入離入時，雜質離子受到活化或損傷。之後，以習知定圖案技術形成一定形狀之主動層（圖 3 A）。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (15)

經由以上程序，形成 N 通道式 T F T 之源區 1 1 5、汲區 1 1 6、低濃度雜質區 1 1 7 及 1 1 8 及通道形成區 1.1 9。亦形成 P 通道式 T F T 之源區 1 2 1、源區 1 2 2 及通道形成區 1 2 0。

接著除去通道保護膜 1 0 8 而形成間層絕緣膜 1 2 3 在整個表面上。可用氧化矽膜、氮化矽膜、氮氧化矽膜、有機樹脂膜（如聚亞醯胺膜或 B C B 膜）之一或其多層膜為間層絕緣膜 1 2 3。

以習知技術形成接孔，並形成源線 1 2 4 及 1 2 6 及汲線 1 2 5 及 1 2 7，而取得圖 3 C 狀態。最後在氫氣氛熱處理氫化，完成 N 通道式 T F T 及 P 通道式 T F T。可用電漿氫化。

本例所示具 N 通道式 T F T 及 P 通道式 T F T 搭配之電路，稱為 C M O S 電路，係構成半導體電路之基本電路，可結合而構成基本邏輯電路，如 N A N D 電路或 N O R 電路，或更複雜邏輯電路。

根據本實施例，利用氧化鉬膜防止玻璃基片之雜質污染主動層。此允許間絕緣膜中 N a 濃度為 1×10^{16} 原子 / cm^3 以下，考慮雜訊，為 S I M S 偵測下限。故主動層之 N a 濃度為 1×10^{16} 原子 / cm^3 以下，提高 T F T 可靠性。以氧化鉬膜為阻膜可減少 T F T 特性變異，提高 T F T 可靠性。

上例可形成通道保護膜，在形成絕緣膜 1 0.8 且除去阻掉罩 1 0 9 後，經由絕緣膜加入雜質形成 L D D 區（圖

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (16)

2 A)。經絕緣膜加入雜質有利控制 L D D 區雜質濃度。此外，形成絕緣膜可防止大氣或製造設備之雜質污染。尤其，有效防止大氣中硼之表面污染。就上述絕緣膜，可用氧化矽膜、氮化矽膜、氮氧化矽膜 (SiO_xN_y)、有機樹脂膜 (B C B 膜) 或其多層膜，厚度介於 1 至 200 nm，宜 10 nm 至 150 nm。

以上例中，結晶步驟前可加入雜質至非晶半導體膜，以控制 T F T 門檻。如在非晶半導體膜上提供控制絕緣膜 (厚 100 至 200 nm)，再摻入硼，濃度介於 1×10^{16} 至 1×10^{17} 原子 / cm^3 ，為 S I M S 分析，乃可控制門檻，之後除去控制絕緣膜。

本例在活化程序後對主動層定圖案，但本發明不限於此。可在結晶程序前或摻入前定圖案。

本例使用反向交錯式為例，本發明阻膜可應用於其他 T F T 結構。

[實例]

茲說明本發明實例，但本發明不限於此。

實例 1

參考圖 1 A 至 3 C 說明本發明實例。

首先準備玻璃基片 (康寧 1737，玻璃扭曲溫度 667°C) 為基片 101。在基片 101 上提供氧化鋇膜以免雜質由基片擴散，提高 T F T 電氣特性。以鋇為靶，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

利用濺鍍法在含氧混合氣氛完成厚 100 nm 至 300 nm 之膜 (圖 1 A)。

圖 1 中僅基片一表面提供氧化鋇膜，但氧化鋇膜可有效提供於基片二面，如此完全阻止製造半導體裝置時 Na 雜質散出。氧化鋇膜耐氟素酸，熱膨脹係數小，故提供氧化鋇膜在基片背面可增加耐酸及耐熱性。尤其氧化鋇膜可有效蓋住基片全表面。

接著在氧化鋇膜 150 上形成多層式閘線 (含閘電極) 102。本例以濺鍍法形成氧化鋇膜 (厚 50 nm) 與鋇膜 (厚 250 nm) 之多層膜，再以光蝕刻習知技術形成多層式閘線。

接著不曝露於大氣，連續形成多層式閘絕緣膜 103 及非晶半導體膜 104。為免製造時雜質由閘線擴散至半導體膜及閘絕緣膜，以電漿 CVD 形成多層式氮化矽膜 103a (厚 50 nm) 及氧化矽膜 103b (厚 125 nm)，以令該層作為多層式閘絕緣膜。本例以二層絕緣膜為閘絕緣膜，但閘絕緣膜可為單層或三層以上之多層式。本例以電漿 CVD 法在閘絕緣膜上形成厚 54 nm 非晶矽膜作為非晶半導體膜 104。不接觸大氣連續形成多層結構，故各層界面沒有來自大氣的污染物。之後熱處理 (500 °C - 小時)，以減少非晶矽膜中氫濃度，因氫會防止半導體膜結晶。

圖 1 C 狀態完成後，以紅外線或紫外線 (雷射回火) 照射非晶半導體膜 104 而雷射結晶形成結晶半導體膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

105 (含晶體之半導體膜) (圖1D)。若使用紫外線為結晶技術，可用準分子雷射光或紫外線燈光，若使用紅外線，可用紅外線雷射光或紅外線燈光。本例以KrF準分子雷射直光照射。照射條件為脈波頻率30Hz，重疊比96%，雷射能量密度由100至500 mJ/cm²，本例為360 mJ/cm²。考慮非晶半導體膜104厚度及基片溫度等，可決定雷射結晶適當條件(如波長、重疊比、強度、脈寬、頻率、時間)。雷射結晶一些條件可使半導體膜通過熔化狀態後結晶，或未熔化或固液之間間歇狀態下結晶。如此非晶半導體膜104轉成結晶半導體膜105。本例為多結晶矽膜。

接著形成絕緣膜106(後來成通道保護膜)，可保護結晶半導體膜105上之通道形成區。本例形成氧化矽膜(厚200 nm)。由背面曝光定圖案(沈積、曝光及阻膜顯影)形成與絕緣膜106接觸之光阻罩107(圖1E)，如此不需罩，減少製造之罩數。圖中因光折射，光阻罩相較於開線寬度係縮小尺寸。

接著以光阻罩107蝕刻絕緣膜106，形成通道保護膜108，之後除去光阻罩107(圖2A)。經此過程，除通道保護膜108接觸之區外，結晶矽膜露出。通道保護膜108可免摻劑摻入以下摻入程序會成為通道形成區者。

接著以光罩定圖案形成阻罩109以蓋住N通道式TFT及P通道式TFT，再摻入n式雜質元素至結晶半

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

導體膜，露出其表面形成第一雜質區（ N^+ 區）110a（圖2B）。本例以磷雜質提供n式電性。摻入氣體為pH3，含1至10%（本例5%）之磷，劑量 5×10^{14} 原子/cm²。可設定適當阻罩圖案，以決定 n^+ 區寬度，得到適合寬度之 n^- 區及通道形成區。

接著在除去阻罩109後，以通道保護膜108為單，摻入n式雜質至結晶半導體膜而成第二雜質區（ n^- 區）112（圖2C）。本例摻入氣體為pH3，含1至10%（本例5%）磷，劑量為 3×10^{13} 原子/cm²，形成雜質區 1×10^{16} 至 1×10^{19} 原子/cm³，以SIMS分析。此外，第二雜質區112作為LDD區。此時，雜質再摻入形成第一雜質區110b，故通道保護膜底下區為內生或實質內生結晶半導體區。雖未顯示，可摻入雜質元素多少進入通道保護膜。

接著使用光罩形成阻罩114，以蓋住N通道式TFET，將p式雜質元素摻入結晶半導體膜而成第三雜質區（ p^+ 區）113（圖2D）。本例以B為p式雜質。以氫稀釋硼或B₂H₆，含1至10%之硼，劑量 4×10^{16} 原子/cm²。

接著除去阻罩114，以雷射回火或熱回火活化雜質，之後在氫氣氛熱處理（350℃一小時）而全部氫化。本例以熱處理氫化，亦可用電漿氫處理。之後以習知定圖案技術形成所欲形狀之主動層。（圖3A）

如此形成N通道式TFET之源區115、汲區116

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (20)

、低濃度雜質區 1 1 7 及 1 1 8 、及通道形成區 1 1 9 。亦形成 P 通道式 T F T 之源區 1 2 1 、汲區 1 2 2 及通道形成區 1 2 0 。

接著除去通道保護膜，為蓋住 N 通道式 T F T 及 P 通道式 T F T，以電漿 C V D 法形成間層絕緣膜 1 2 3，為 1 0 0 n m 厚氧化矽膜與 9 4 0 n m 厚氧化矽膜 2 多層膜，係使用 T E O S 及氧為原料氣體（圖 3 B）。

然後形成接孔，並形成源線 1 2 4 及 1 2 6 及汲線 1 2 5 及 1 2 6，並得圖 3 C 狀態。在氬氣氛中熱處理而氫化，以完成 N 通道式 T F T 及 P 通道式 T F T。可用電漿氬處理完成氫化。

本例可改變處理次序，在非晶半導體膜定圖案後進行結晶程序。

此外，可在結晶前將雜質摻入非晶半導體膜以控制 T F T 內檻。

可用氧化鉬膜防止因雜質產生污染由玻璃基片至主動層。S I M S 分析聞絕緣膜之 N a 濃度為 1×10^{16} 原子 / cm^3 以下，考慮雜訊，為偵測之下限以下。如此允許主動層之 N a 濃度為 1×10^{16} 原子 / cm^3 以下，提高 T F T 可靠性。以氧化鉬膜為阻膜可降低 T F T 特性變異，提高 T F T 可靠性。

實例 2

實例 1 以雷射光令非晶矽膜結晶。本例以不同方式令

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (21)

非晶半導體膜結晶。參考圖 4 至 6 D 說明之。

首先，準備玻璃基片為基片 201（康寧玻璃 1.737，玻璃扭曲溫度 667℃）。基片 201 上提供氧化鉬膜 250 以免雜質由基片擴散，提高 TFT 電氣特性。本例在氧氣氛下以鉬為靶濺鍍形成厚 10 nm 至 300 nm 之膜。

圖 4 A 顯示氧化鉬膜在基片一表面上，但氧化鉬膜可有效提供在基片二表面上。如此於製造半導體裝置時，完全阻止 Na 雜質由基片擴散。本例在含氧混合氣氛以鉬為靶濺鍍形成 100 nm 至 300 nm 厚之膜。

圖 4 A 顯示氧化鉬膜提供在基片一面上，但氧化鉬膜可有效提供在基片二面上。如此製造半導體裝置時，可完全阻止 Na 雜質由基片擴散。尤其氧化鉬膜極耐氟素酸，可提供氧化鉬膜在基片二面而防止蝕刻時 Na 污染。且氧化鉬膜熱膨脹係數低，極耐熱，可提供氧化鉬膜在基片背面而增加基片耐熱性。尤其氧化鉬膜可有效蓋住基片全表面。

接著在氧化鉬膜 250 上形成多層式閘線（含閘電極）202。本例以濺鍍法氮化鉬膜（厚 50 nm）與鉬膜（厚 250 nm）多層膜，再以習知光蝕定圖案技術形成多層式閘線（含閘電極）202。

不接觸大氣，連續形成多層式閘絕緣膜 203 及非晶半導體膜 204（圖 4 B）。本例以濺鍍法形成多層式氮化矽膜 203 a（厚 50 nm）及氧化矽膜 203 b（厚

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (22)

1 2 5 n m) , 致該層作為多層式閘絕緣膜。本例使用二層絕緣膜為閘絕緣膜, 但閘絕緣膜可為單層或三層以上。此外, 本例用電漿 C V D 法在閘絕緣膜上形成 5 4 n m 厚之非晶矽膜為非晶半導體膜 2 0 4。此外, 不接觸大氣而連續形成多層膜, 故各層界面無來自大氣之污染物。之後以熱處理 (溫度 5 0 0 °C 一小時) 以降低非晶矽膜中氫濃度, 氫會抑制半導體膜結晶。

接著非晶矽膜 2 0 4 a 在氧氣氛中以 U V 光照射, 在表面形成極薄氧化膜 (未示)。此膜可提高稍後欲覆上之合鎳溶液沾濕性。

接著含鎳溶液覆於非晶矽膜 2 0 4 a 表面。鎳含量為 0 . 1 至 5 0 p p m , 宜 1 p p m 至 3 0 p p m。故非晶矽膜 2 0 4 a 中鎳含量為 $1 0^{16}$ 至 $1 0^{19}$ 原子 / cm^3 水準。鎳少於 $1 0^{16}$ 原子 / cm^3 無法提供催化作用。鎳在 $1 0^{19}$ 原子 / cm^3 水準所製 T F T 即使未經吸氣亦可運作, 允許有效地進行吸氣程序。以上鎳濃度以 S I M S 測定。

本例覆上含 1 0 p p m 鎳之醋酸鎳。再以旋轉塗覆器旋轉基片 2 0 1, 讓過量醋酸鎳液脫離基片再除去, 故非晶矽膜 2 0 4 a 表面有極薄含鎳層 2 0 5 (圖 4 B)。

經圖 4 B 狀態後, 在氮氣氛中溫度 5 5 0 °C 加熱四小時, 令非晶矽膜 2 0 4 a 結晶, 得到結晶矽膜 2 0 4 b。因晶體生長方向依加鎳之非晶矽膜 2 0 4 a 表面至基片 2 0 1 (垂直方向), 此稱為垂直生長 (圖 4 C)。此例

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

形成含鎳層在全表面上。可用阻劑選擇地形成含鎳層，使結晶進行於基底表面平行方向（水平方向）。

此例以 Ni 加速結晶，亦可用 Co、Fe、Pd、Pt、Cu、Au、Ge、Sn 及 Pb。本例以塗覆法加速結晶之元素。但可用濺鍍法或 CVD 法，使包含加速結晶元素之粒子接觸非晶矽膜。亦可用離子植入法。

經由結晶程序形成含晶界之多晶矽膜，可用不同條件形成微晶狀態之矽膜。

可在電熱爐 500 至 700 °C 進行熱處理，宜 550 至 650 °C 此時加熱溫度上限考慮基片耐熱性，應低於玻璃基片 201 玻璃扭曲溫度。溫度過高引起玻璃基片彎縮。可加熱 1 至 12 小時，利用爐回火熱處理，亦可用雷射回火或燈回火。

接著，以雷射照射所得結晶矽膜 204b 而得結晶矽膜 204c，結晶性更好。本例使用脈波振盪 KrF 準分子雷射（248 nm 波長）（圖 4D）。照射雷射前，可除去先前形成欲提高沾濕性之極薄氧化膜。

脈波振盪雷射可為短波（紫外線）XeCl 準分子雷射或長波 YAG 雷射。本例以準分子紫外線雷射令照射區瞬間熔化且重複固化。故引起不平衡狀態，其中鎳可方便移動。

圖 4C 結晶程序所得結晶矽膜 204b 之非晶成分不規則。以雷射照射使非晶成分完全結晶，改進其結晶性。

雖可免除雷射照射，雷射照射提供結晶性效果及後續

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (24)

吸氣程序效率。照射雷射後，結晶矽膜 204 c 留下鎳濃度為 1×10^{19} 至 2×10^{19} 原子 / cm^3 。

以上結晶程序後，使用吸氣技術（日本公開專利案 10-270363 號及美國專利序號 09 / 050182），減除結晶矽膜中鎳。該技術在磷加入全表面或選擇地加入，進行熱處理（溫度 300 至 700 °C 1 至 12 小時）。此外，可使用含鹵素之氣相法（日本公開專利案 9-312260 號及美國專利申請序號 08 / 785,489）。

如圖 1 E 所式例 1，在結晶半導體 204 c 上形成保護通道形成區之 200 nm 厚絕緣膜 206（稍後為通道保護膜）。然後由背面曝光定圖案，形成阻膜 207 與絕緣膜 206 接觸（圖 4 E）。

接著以阻罩 207 蝕刻絕緣膜 206 形成通道保護膜 208，之後除去阻罩 207（圖 5 A）。

接著形成阻罩 209，利用光罩定圖案形成部分 N 通道式 T F T 及 P 通道式 T F T，然摻入 n 式雜質元素（磷）至結晶半導體膜，其表面曝露而形成第一雜質區（ N^+ 區）210 a（圖 5 N）。本例摻入氣體為 pH_3 ，含 1 至 10 %（本例 5 %）磷，劑量 5×10^{14} 原子 / cm^3 。

接著除去阻罩 209 後，使通道保護膜 208 為罩，加入 n 式雜質至結晶半導體膜而成第二雜質區（ n^- 區）212（圖 5 C）。本例以 pH_3 為摻入氣體，含 1 至 10 %（本例為 5 %）磷，劑量為 3×10^{13} 原子 /

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (25)

cm^2 ，形成雜質區，SIMS分析為 1×10^{18} 至 1×10^{19} 原子 / cm^3 。第二雜質區 212 作為 LDD 區。此時，再摻入雜質形成第一雜質區 210b，故通道保護膜下方留下內生或實質內生結晶半導體區。

接著使用光罩形成阻罩 214 以蓋住 N 通道式 TFT，加入 p 雜質至結晶半導體膜而形成第三雜質區 (p^+ 區) 213 (圖 5D)。摻入氣體為稀釋之 B_2H_6 ，含硼 1 至 10%，劑量 4×10^{16} 原子 / cm^3 。

接著除去阻罩 214，在 300 至 700℃ 溫度下熱處理 1 至 12 小時，本例應用降低鎳濃度之技術 (日本公開專利案 8-330602 號)。本例在 600℃ 熱處理 8 小時，使 LDD 區及通道形成區內餘鎳移向高濃度雜質區 (源區及汲區) (圖 6A)。所得通道形成品已降低鎳濃度 (1×10^{18} 原子 / cm^3 以下，宜 1×10^{16} 原子 / cm^3 ，以 SIMS 分析)。以熱處理降低催化元素同時，回復摻入時受損之結晶性，以熱回火活化雜質。可另外再爐回火、雷射回火或燈回火。之後在氫氣氛熱處理 (溫度 350℃ 一小時) 而完全氫化。可用電漿氫化處理。

之後以習知定圖案技術形成所欲形狀之主動層 (圖 6B)。

經過以上程序形成 N 通道式 TFT 之源區 215、汲區 216、低濃度雜質區 217 及 218 及通道形區 219。亦形成 P 通道式 TFT 之源區 221、汲極 222 及通道形成區 220。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

接著除去通道保護膜 208，為蓋住 N 通道式 T F T 及 P 通道式 T F T，以電漿 C V D 法形成多層式間層絕緣膜 223，為氧化矽膜 100 nm 厚與氧化矽膜 940 nm 之多層式，使用 T E O S 及 O_2 為原料氣體（圖 6 C）。

然後形成接孔，再形成源線 224 及 226 及汲線 225 及 226，得圖 6 D 狀態。最後在氫氣氛熱處理完全氫化，完成 N 通道式 T F T 及 P 通道式 T F T。可用電漿氫處理執行氫化。

本發明以氧化鉬膜防止雜質由玻璃基片至主動層污染。故 S I M S 分析聞絕緣膜之 N a 濃度為 1×10^{16} 原子 / cm^3 以下，考慮噪訊，為偵測下限以下。此令主動層 N a 濃度為 1×10^{16} 原子 / cm^3 以下，提高 T F T 可靠性。以氧化鉬膜為阻膜可降低 T F T 特性變異，提高 T F T 可靠性。本例應用實例 1 部分結構。

實例 3

茲參考圖 7 A - 8 B，說明以上述例 1 及 2 製造 N 通道式 T F T 及 P 通道式 T F T 所構成之半導體裝置。

本例半導體裝置包含周邊驅動電路及圖素部在同一基片。為要言之，本例構成周邊驅動電路之 C M O S 電路示於圖 7 A 至 7 C，而圖 8 A - 8 B 為構成圖素部部分之圖素 T F T（N 通道式 T F T）。例如實例 1 及 2 製造程序外，形成 0.2 至 0.4 μm 厚之被動膜 319，較佳以

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (27)

含氮膜作為被動膜，如氮化矽膜。

除實例 1 及 2，阻膜之氧化鉬膜提供於基片一面（上表面或形成 T F T 之面）外，亦形成在二表面（上面及背面）。提供氧化鉬膜在基片二表面，但非必須提供阻膜在基片二表面，可完全阻止製造半導體裝置時 N a 雜質由基片散出。且氧化鉬膜極耐氟素酸，可提供氧化鉬膜在基片二表面而防止蝕刻時 N a 污染。尤其氧化鉬膜熱膨脹係數低且耐熱，基片背面提供氧化鉬膜可增加耐熱性。尤其氧化鉬膜可有效蓋住基片全表面。

圖 7 C 所示 C M O S 電路稱為反向電路，係半導體電路之基本構成電路。可結合構成基本邏輯電路，如 N A N D 或 N O R 電路，或更複雜者。

圖 7 A 為圖 7 B 頂視圖。其中線 A - A ' 切開者為圖 7 B C M O S 截面圖。圖 7 C 為圖 7 A 及 7 B 對應之反向電路之電路圖。

參考圖 7 B，阻膜（氧化鉬膜）300 接觸形成 T F T 之平面（上面）與玻璃基片 301 未形成 T F T 之平面（背面）。此 T F T 位於上面之阻膜（氧化鉬膜）300 上。

然後，閘線（含閘電極）302 接觸底下氧化鉬膜，以含鉬材料之導電膜形成閘線，對底膜之氧化鉬膜附著良好。除鉬，閘線之導電膜主要材料可為 W、M o、T i、C r 及 S i 構成群選其一或以上元素。

然後提供氮化矽第一絕緣膜 303 與氧化矽第二絕緣

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (28)

膜 3 0 4 接觸閘線。以氧化鉬膜為阻膜可防止 N a 由玻璃基片散出，故作為閘絕緣膜之第一絕緣膜 3 0 3 及第二絕緣膜 3 0 4 中 N a 濃度為 1×10^{16} 原子 / cm^3 以下。為此，可提高 T F T 可靠性。以氧化鉬膜為阻膜可降低 T F T 特性變異，提高 T F T 可靠性。

作為第二絕緣膜之主動層，C M O S 電路之 P 通道式 T F T 具 p^+ 區 3 1 2 (汲區) 及 p^+ 區 3 1 5 (源區)，及通道形成區 3 1 4。上述實例 1 及 2 中，為降低製程數，P 通道 T F T 未具低濃度雜質區 (L D D 區) 在高濃度雜質區與通道形成區之間，但可形成。提供接孔在蓋住主動層之第一間層絕緣膜 3 1 7 中，然後線 3 1 8 及 3 2 0 接至 p^+ 區 3 1 2 及 3 1 5，其上形成被動層 3 1 9，雖未顯示，第二間層絕緣膜形成其上，引線接至線 3 2 0，再以第三絕緣膜蓋於其頂。

另者，N 通道式 T F T 具有 n^+ 區 3 0 5 (源區) 及 n^+ 區 3 1 1 (汲區)，通道形成區 3 0 9 及 n^- 區 3 0 6 及 3 1 0 在 n^+ 區與通道形成區之間，作為主動層。 n^- 區 3 1 0 靠邊汲區，寬度大於靠近源區之 n^- 區 3 0 6，可靠性更高。接孔形成在蓋住主動層頂之第一間層絕緣膜 3 1 7，然後 n^+ 區 3 0 5 及 3 1 1 其上提供線 3 1 6 及 3 1 8，其頂再形成被動膜 3 1 9。雖未顯示，其上再形成第二間層絕緣膜，引線接至線 3 2 0，形成第三間層絕緣膜蓋住其頂。主動層以外部分形狀與上述 P 通道式 T F T 大致相同。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

圖 8 A 爲圖 8 B 頂視圖。其中，線 A - A' 切開部爲圖 8 B 圖素部之截面。

形成在一圖素部上之 N 通道式 T F T 結構相同於 C M O S 電路之 N 通道式 T F T。形成氧化鉬膜 4 0 0 接觸一玻璃基片 4 0 1 二面，再形成閘線 4 0 3 鄰近接觸氧化鉬膜 4 0 0 之一，並提供氮化矽第一絕緣膜 4 0 2 與氧化矽第二絕緣膜 4 0 4 接觸閘線。以氧化鉬膜 4 0 0 爲阻膜阻止 N a 由玻璃基片 4 0 1 擴散，使作爲閘絕緣膜之第一絕緣膜 4 0 2 與第二絕緣膜 4 0 4 中 N a 濃度爲 1×10^{16} 原子 / cm^3 以下，考慮雜訊，爲 S I M S 偵測下限以下。接觸第二絕緣膜之主動層爲 n^+ 區 4 0 5、4 0 9、4 1 4 通道形成區 4 0 7 及 4 1 1，及 n^- 區 4 0 6 及 4 1 3 在 n^+ 區與通道形成區之間。第一絕緣膜 4 0 2 與第二絕緣膜 4 0 4 中 N a 濃度低，故主動層 N a 濃度爲 1×10^{16} 原子 / cm^3 以下，提高 T F T 可靠性。接孔形成蓋住主動層頂之第一間層絕緣膜 4 1 9，然後 n^+ 區 4 0 5 接上線 4 1 6， n^+ 區 4 1 4 接上線 4 1 7，其頂形成被動膜 4 1 8。其上再形成第三間層絕緣膜 4 2 2，再連接 I T O 或 SnO_2 透明電極構成之圖素電極 4 2 3，圖素電極 4 2 1 靠近圖素電極 4 2 3。

此外，利用電容線 4 1 5 及 n^+ 區 4 1 4 形成圖素部之電容器，以第一絕緣膜 4 0 2 及第二絕緣膜 4 0 4 爲介電體。

本例製造透射式 L C D，但本發明不限於此。如使用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(30)

反射性金屬材爲圖素電極材料，改變圖素電極圖案，及增加／免除一些程序，製成反射性LCD。

本例以雙閘結構形成圖素部之圖素TF T之閘線。亦可形成多閘結構，如三閘式，以降低切斷電流之變異。亦可用單閘式提高口徑比。

本例TF T電氣特性變異更小。可結合實例1及2而構成本例。

實例4

圖9爲本發明製作之液晶顯示器例。可用習知機構製造圖素TF T（圖素開關元件）並組合胞單元。

圖9爲本例主動矩陣式液晶面板。其中主動矩陣基片面對對立基片，其間包夾液晶。主動矩陣基片包含圖素部1001形成在玻璃基片1000上，掃描線驅動電路1002及訊號線驅動電路1003。

掃描線驅動電路1002及訊號線驅動電路1003分別以掃描線1030及訊號線1040接至圖素部1001。驅動電路1002及1003主要含CMOS電路。

掃描線1030對各列圖素部1001形成，而訊號線1040就各線形成。靠近掃描線1030與訊號線1040交叉形成圖素TF T 1010。圖素TF T 1010之閘電極接至掃描線1030，源接至訊號1040。汲接至圖素電極1060及貯存電容1070

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (31)

對立基片 1080 具透明導電膜，如 ITO，形成在玻璃基片全表面上，透明導電膜為相對圖素部 1001 圖素電極 1060 之對立電極。圖素電極與對立電極間建立電場操作液晶。在對立基片 1080 上視需要形成對齊膜、黑矩陣或濾色片。

在主動矩陣基片之玻璃基片上，利用允許 FPC 1031 聯接之面積製造 IC 晶片 1032 及 1033。這些 IC 晶片 1032 及 1033 包含電路形成在矽基片上，如視訊處理電路，時間脈波產生電路， γ 修正電路，記憶電路或運算電路。

根據本發明可製造透射式或反射式液晶顯示裝置。如上述，本發明可應用於任一種主動矩陣電光學裝置（半導體裝置）。

可使用實例 1 至 3 任一結構或彼此搭配而製成本例所示半導體裝置。

實例 5

本發明可應用於主動矩陣 EL（冷光）顯示裝置。圖 10 為裝置例。

圖 10 為主動矩陣 EL 顯示器電路圖。數字 81 為顯示區，及周界為 X 向周邊驅動電路 82 及 Y 向周邊電路 83。顯示區 81 各圖素包含開關 TFT 84、電容 85、電流控制 TFT 86，及有機 EL 元件 87，開

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (32)

關 T F T 8 4 接上 X 向訊號線 8 8 a (或 8 8 b) 及 Y 向訊號線 8 0 a (或 8 0 b 或 8 0 c) 。此外，電流控制 T.F T 8 6 接上電力線 8 9 a 及 8 9 b 。

實例 1 至 3 任一結構可結合用於本例主動矩陣 E L 顯示器。

實例 6

本發明可應用於習知 I C 技術，即應用於市場上所有半導體電路，如應用於 R I S C 微處理器，其電路集積在一晶片上或 A S I C 處理器，並應用於高頻電路，如液晶驅動電路所用訊號處理電路（如 D / A 轉換器， γ 修正電路或訊號分割電路）或行動裝置（如行動電路・P H S 或行動電腦）。

此外，半導體電路如微處理器裝至各至電子設備而作為中央電路。典型電子設備為個人電腦・行動資訊終端設備及他種電子設備。此外，亦可包含車輛（汽車或火車）用之控制電腦。本發明亦可應用於各式半導體裝置。

實例 7

本發明形成之 C M O S 電路或圖素部可應用於電光學裝置（如主動矩陣液晶顯示器、主動矩陣 E L 顯示器或主動矩陣 E C 顯示器）。即本發明可應用於任何可結合電光學裝置為顯示媒體之電子設備。

此電子設備包含攝影機、數位照相機、投影機（前或

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (33)

後投影式)、頭戴顯示器(目鏡式顯示器)、車輛導航系統、個人電腦、行動資訊終端(如行動電腦、行動電話或電子書)等。

圖 1 1 A 至 1 3 C 為這些設備例。

圖 1 1 A 個人電腦包含本體 2 0 0 1、影像輸入部 2 0 0 2、顯示器 2 0 0 3 及鍵盤 2 0 0 4。本發明可應用於影像輸入部 2 0 0 2、顯示器 2 0 0 3 及其他訊號控制電路。

圖 1 1 B 攝影機包含本體 2 1 0 1、顯示器 2 1 0 2、聲音輸入部 2 1 0 3、控制開關 2 1 0 4、電池 2 1 0 5 及影像接收部 2 1 0 6。

本發明可應用於顯示器 2 1 0 2、聲音輸入部 2 1 0 3 及其他訊號控制電路。

圖 1 1 C 行動電腦包含本體 2 2 0 1、攝影部 2 2 0 2、影像接收部 2 2 0 3、控制開關 2 2 0 4 及顯示器 2 2 0 5。本發明可應用於顯示器 2 2 0 5 及其他訊號控制電路。

圖 1 1 D 為目鏡式顯示器，包含本體 2 3 0 1、顯示器 2 3 0 2 及一臂部 2 3 0 3。本發明可應用至顯示器 2 3 0 2 及其他訊號控制電路。

圖 1 1 E 為播放器，使用可錄程式之記錄媒體(之後稱記錄媒體，包含本體 2 4 0 1、顯示器 2 4 0 2、發聲部 2 4 0 3、記錄媒體 2 4 0 4 及控制開關 2 4 0 5。本裝置使用記錄媒體如 DVD 或 CD，供音樂欣賞、電影欣賞

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

、遊戲或網際網路。本發明可應用於顯示器 2 4 0 2 或其他訊號控制電路。

圖 1 1 F 顯示數位照相機，包含本體 2 5 0 1、顯示器 2 5 0 2、接目部 2 5 0 3、控制開關 2 5 0 4 及影像接收部（未示）。本發明可應用於顯示器 2 5 0 2 及其他訊號控制電路。

圖 1 2 A 前投影式投影機包含光源光學系統及顯示器 2 6 0 1，及螢幕 2 6 0 2。本發明可應用於顯示器及其他訊號控制電路。

圖 1 2 B 顯示後投影式投影機，包含本體 2 7 0 1、光源光學系統及顯示器 2 7 0 2、鏡子 2 7 0 3 及螢幕 2 7 0 4。本發明可應用於顯示器及其他訊號控制電路。

圖 1 3 A 行動電話包含本體 2 9 0 1、聲音輸出部 2 9 0 2、聲音輸入部 2 9 0 3、顯示部 2 9 0 4、控制開關 2 9 0 5 及天線 2 9 0 6。本發明可應用於聲音輸出部 2 9 0 2、聲音輸入部 2 9 0 3、顯示部 2 9 0 4 及其他訊號控制電路。

圖 1 3 B 行動書（電子書）包含本體 3 0 0 1、顯示部 3 0 0 2 及 3 0 0 3、記錄媒體 3 0 0 4、控制開關 3 0 0 5、及天線 3 0 0 6。本發明可應用於顯示部 3 0 0 2 及 3 0 0 3 及其他訊號控制電路。

圖 1 3 C 顯示器包含 3 1 0 1、支座 3 1 0 2 及顯示部 3 1 0 3。本發明可應用於顯示部 3 1 0 3。本發明優點為大顯示幕，如顯示 1 0 吋以上（尤係 3 0 吋以上）。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (35)

如上本發明應用極廣，以實例 1 至 6 結構組合完成。

實例 8

實例 1 或 2 中，顯示以鉬靶濺鍍在含氧混合氣氛中形成氧化鉬膜。本例中以實例 1 或 2 以外方法形成氧化鉬膜。

首先準備鉬靶在氬氣中濺鍍至玻璃基片（康寧 1 7 3 7，玻扭曲溫度 6 6 7 °C），形成 5 0 n m 至 2 5 0 n m 厚之鉬膜，宜 5 0 至 1 5 0 n m。可在氬氣或其他稀有氣體中濺鍍。亦可使用氬氣、氬氣或其他稀有氣體混合。

接著電壓送至陽極氧化設備中鉬膜，乃形成氧化鉬膜。可用含酒石酸 3 % 之乙二醇溶液為電解液，電解溫度 1 0 °C，取得 4 0 至 8 0 電壓，電壓提供時間 3 0 分，供應電流為 1 0 m A / 每基片。

陽極氧化後，人眼觀察玻璃基片顯示鉬膜幾乎透明。此係因形成氧化鉬膜。

初始條件下鉬膜片阻為 1 0 0 . 1 Ω / 平方（陽極氧化之前），但陽極氧化後片阻在測量設備之濺量範圍，因測量設備最大測量值，陽極氧化後片阻不大於 5 0 0 0 k Ω / 平方。故片電阻值為 5 次測量之平均值。由片阻極大值可見鉬膜氧化形成氧化鉬膜。

以陽極氧化法形成氧化鉬膜之反射就 2 0 .. 4 %，適用 4 0 n m 厚之氧化鉬膜形成在玻璃基片（康寧 1 7 3 7

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (36)

)。根據本反射率決定之折射指數為 2 . 6 5 。

形成氧化鉬膜後，根據實例 1 或 2 製成 T F T，可自由結合實例 1 及 2。實例 3 至 7 中可用本例方法形成氧化鉬膜所具結構。

根據本發明，可提供阻膜確保如 N a 雜質不會由玻璃基片散至主動層，而提高 T F T 特性。此外可防止覆裂降低良率。故提供低成本且高性能大顯示面積之主動矩陣式液晶顯示器。尤其底閘 T F T 中，形成阻膜極佳附著至閘線。

根據本發明，以氧化鉬膜防止雜質由玻璃基片污染至主動層，降低 T F T 特性變異，提高 T F T 可靠性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

使用玻璃基片之半導體裝置中，本發明目的欲提供大螢幕低成本之高性能半導體裝置，可防止半導體裝置受玻璃基片之雜質污染。就半導體裝置包含一阻膜與玻璃基片接觸，而 TFT 在阻膜上，此阻膜之特徵係氧化鉭膜構成。

英文發明摘要 (發明之名稱： SEMICONDUCTOR DEVICE AND THE FABRICATING METHOD THEREFOR)

ABSTRACT OF THE DISCLOSURE

In a semiconductor device employing a glass substrate, the object of the present invention is to provide a high performance semiconductor device with a large screen at low cost, which prevents the semiconductor device from being contaminated by impurities from the glass substrate. In a semiconductor device comprising a blocking film provided in contact with a glass substrate and TFTs provided on the blocking film, the blocking film is characterized by being made of a tantalum oxide film.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體裝置，包含：

一阻膜，接觸一玻璃基片，

一閘線，接觸阻膜，

一閘絕緣膜，接觸閘線，及

一結晶半導體層，接觸閘絕緣膜，包含至少一高濃度雜質區、一通道形成區及至少一低濃度雜質區在高濃度雜質區與通道形成區之間，

其中玻璃基片包含氧化鉬膜。

2. 如申請專利範圍第1項之半導體裝置，其中閘絕緣膜包含 1×10^{16} 原子 / cm^3 以下之鈉濃度。

3. 一種製造半導體裝置之方法，包含以下步驟：

形成氧化鉬膜在一玻璃基片上，

形成閘線在氧化鉬膜上，

形成閘絕緣膜與半導體膜在玻璃基片上，其上形成閘線，

將半導體膜結晶成結晶半導體膜，

對結晶半導體膜定圖案而形成結晶半導體層，

選擇地加入族 X I I I 及 X V 構成群選出之雜質元素至結晶半導體層，而形成至少一高濃度雜質區，及

選擇地加入族 X I I I 及 X V 構成群選出之雜質元素至結晶半導體層，而形成一低濃度雜質區。

4. 一種製造半導體裝置之方法，包含以下步驟：

形成氧化鉬膜在一玻璃基片上，形成閘線在氧化鉬膜上，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

形成閘絕緣膜及半導體膜在玻璃基片上，其上形成閘線，

加入一元素至半導體膜以加速半導體膜結晶，
對半導體膜結晶而成結晶半導體膜，
將結晶半導體膜中加速結晶之元素除去，
對結晶半導體膜定圖案形成結晶半導體層，
選擇地加入族X I I I及X V構成群選出之雜質元素至結晶半導體層，而形成一高濃度雜質區，及
選擇地加入族X I I I及X V構成群選出之雜質元素至結晶半導體層，而形成一低濃度雜質區。

5. 如申請專利範圍第4項之方法，其中由Ni、Co、Fe、Pd、Pt、Cu、Au、Ge、Sn及Pb構成群選出至少一元素為該元素。

(請先閱讀背面之注意事項再填寫本頁)

裝

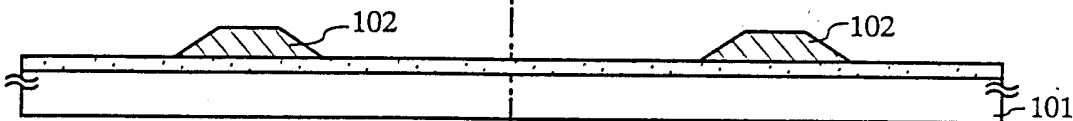
訂

線

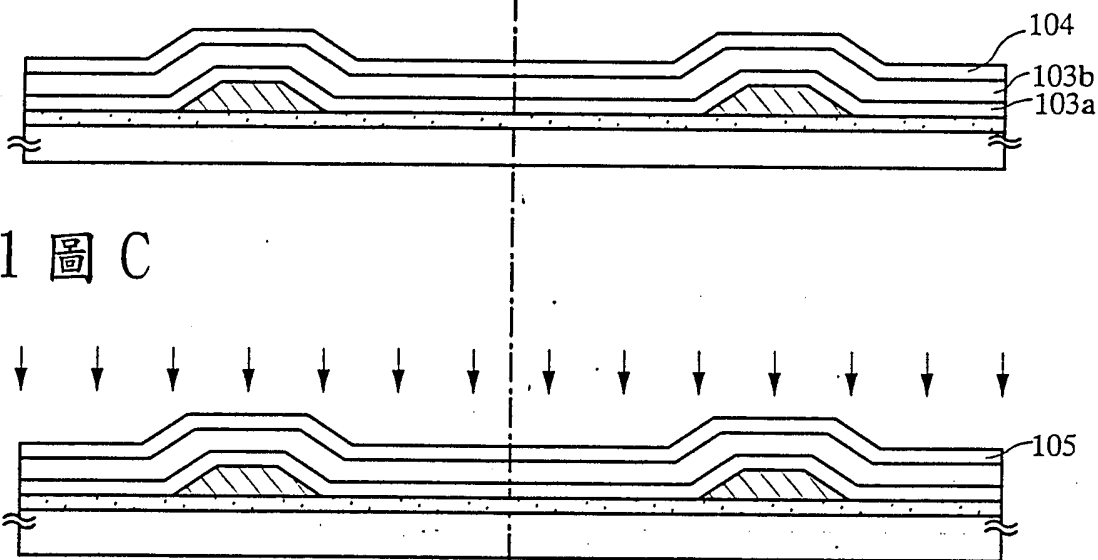
第 1 圖 A



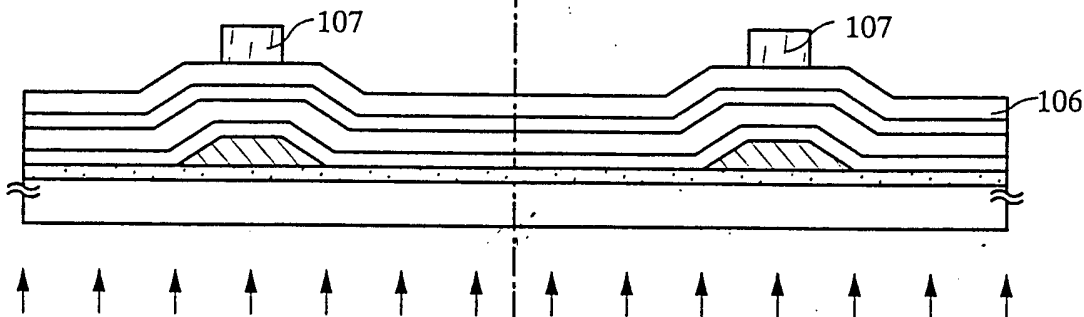
第 1 圖 B



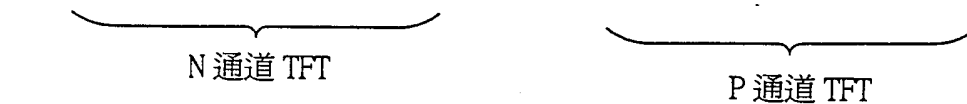
第 1 圖 C

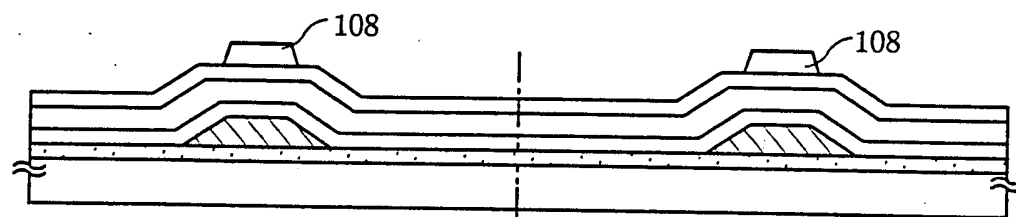


第 1 圖 D

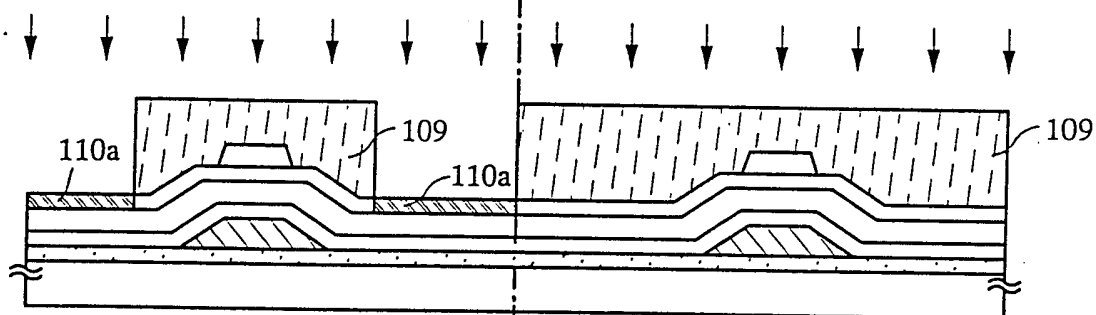


第 1 圖 E

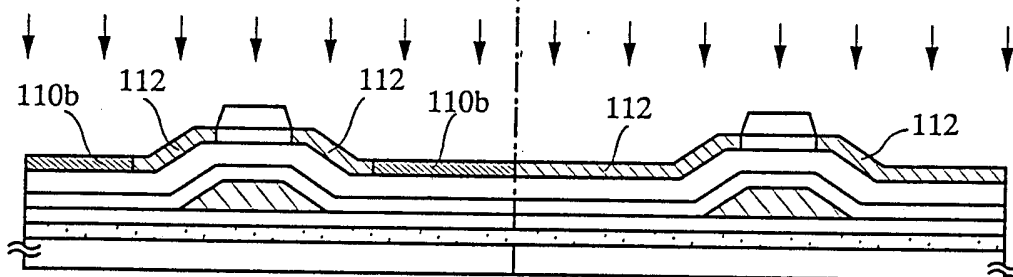




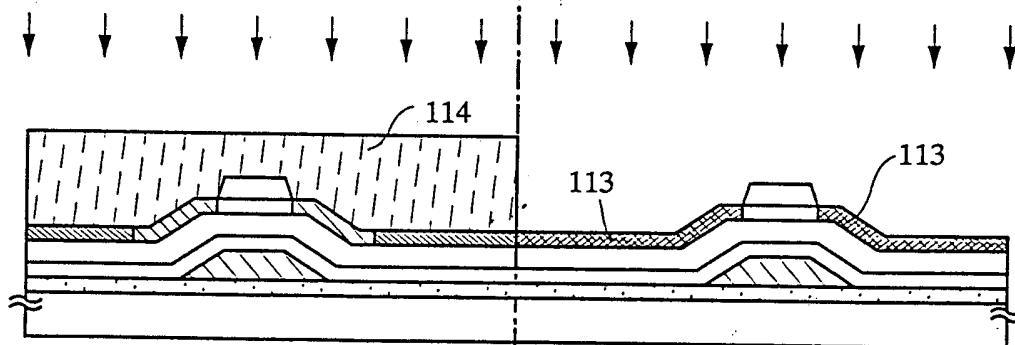
第 2 圖 A



第 2 圖 B



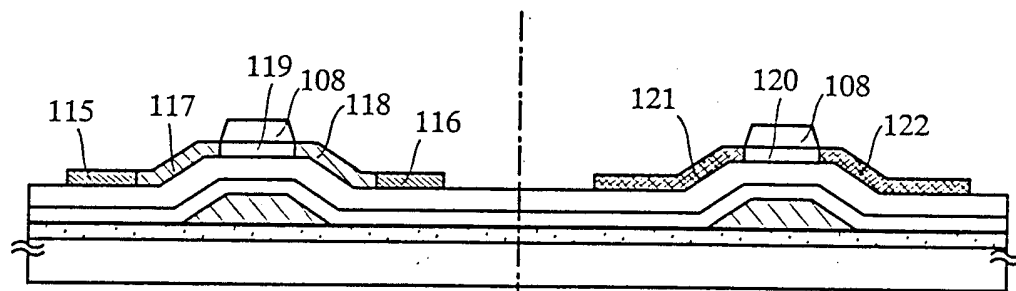
第 2 圖 C



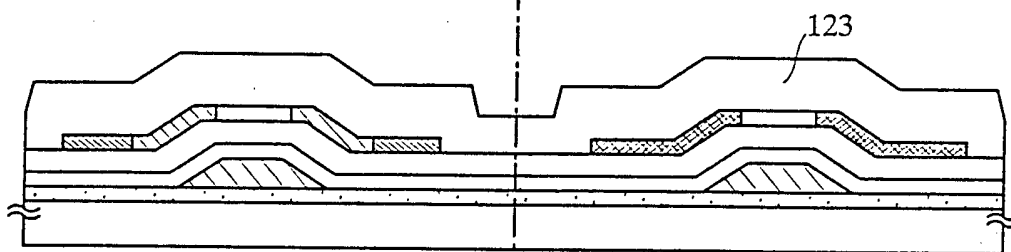
N 通道 TFT

P 通道 TFT

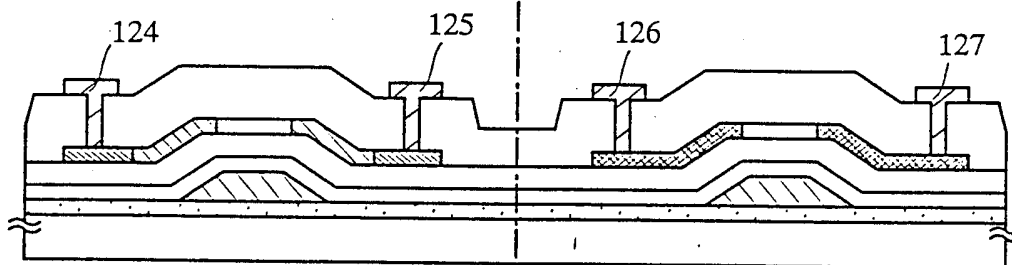
第 2 圖 D



第 3 圖 A



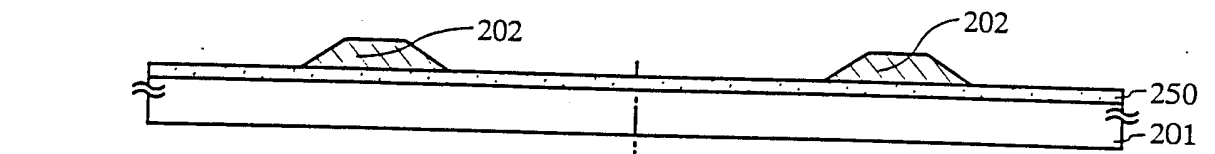
第 3 圖 B



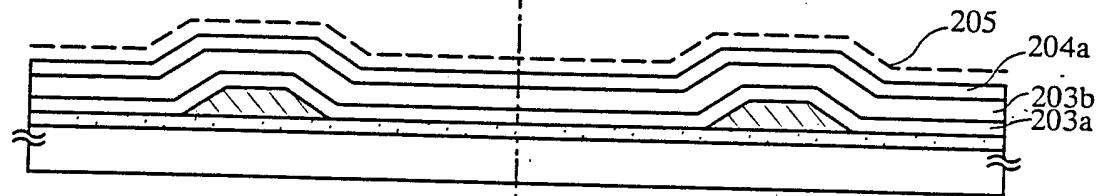
N 通道 TFT

P 通道 TFT

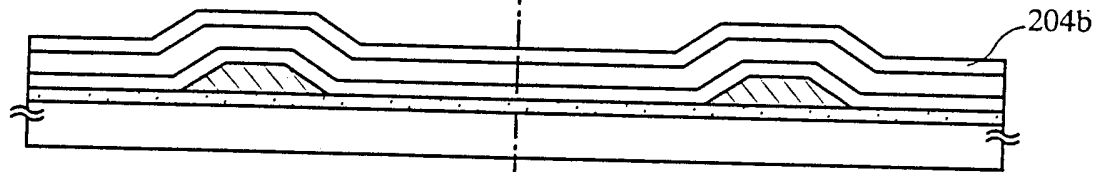
第 3 圖 C



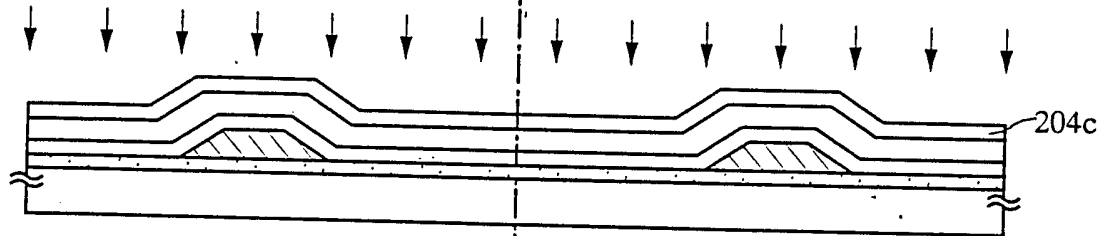
第 4 圖 A



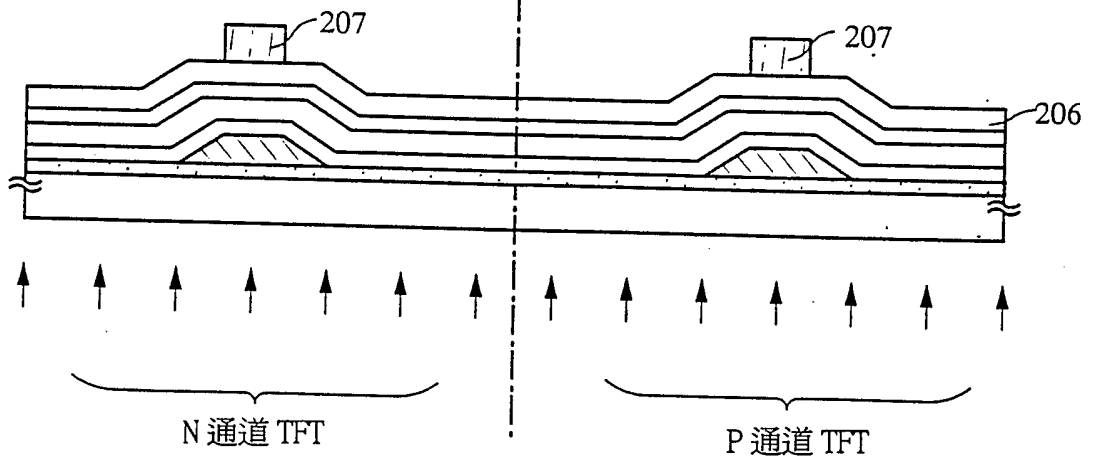
第 4 圖 B



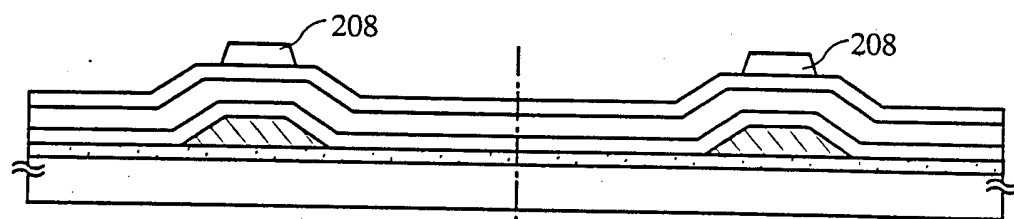
第 4 圖 C



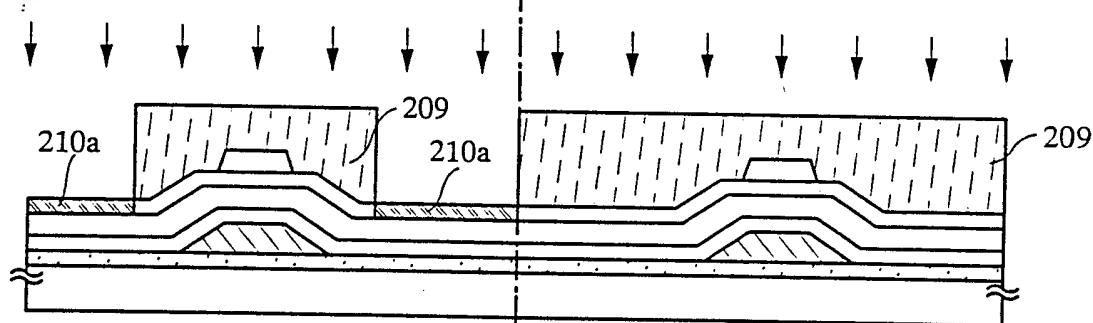
第 4 圖 D



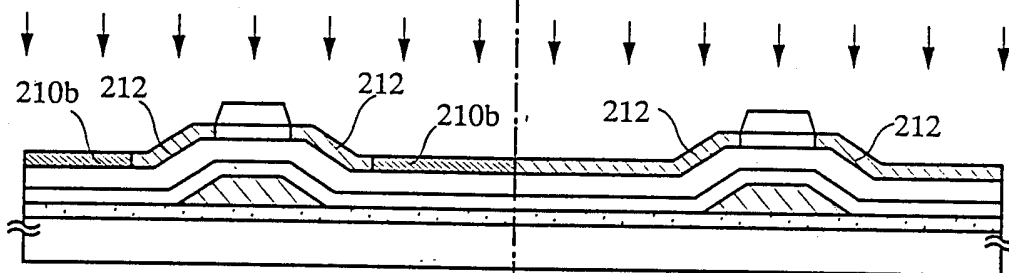
第 4 圖 E



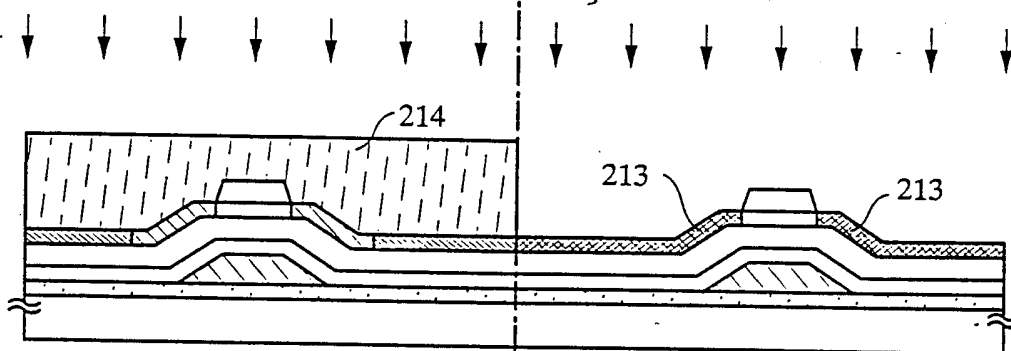
第 5 圖 A



第 5 圖 B



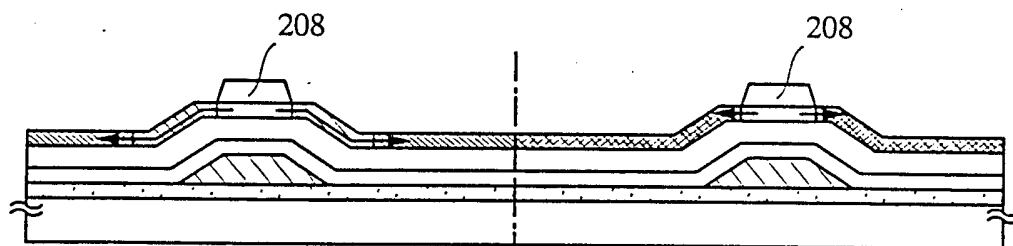
第 5 圖 C



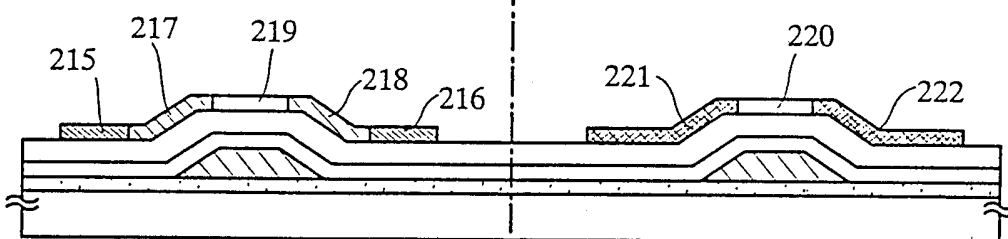
N 通道 TFT

P 通道 TFT

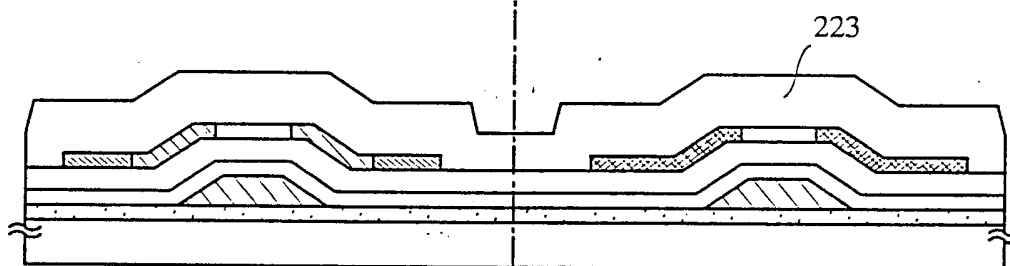
第 5 圖 D



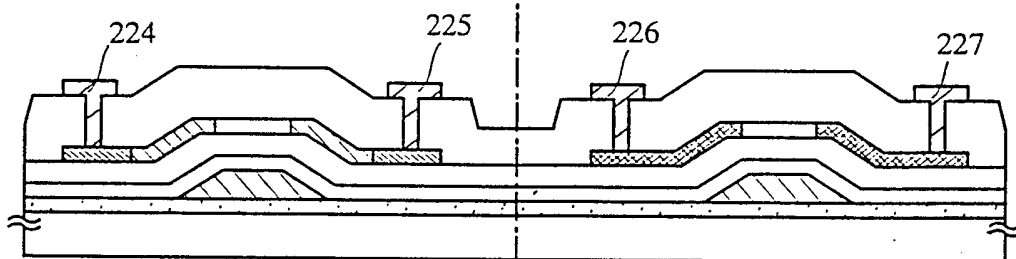
第 6 圖 A



第 6 圖 B



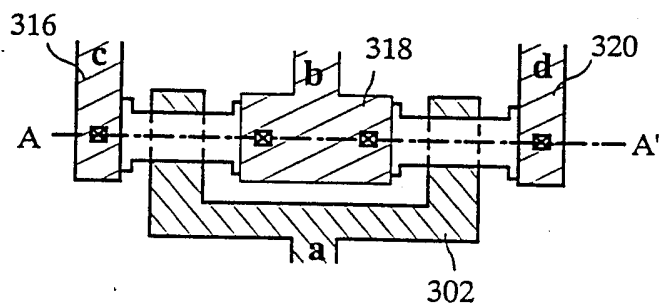
第 6 圖 C



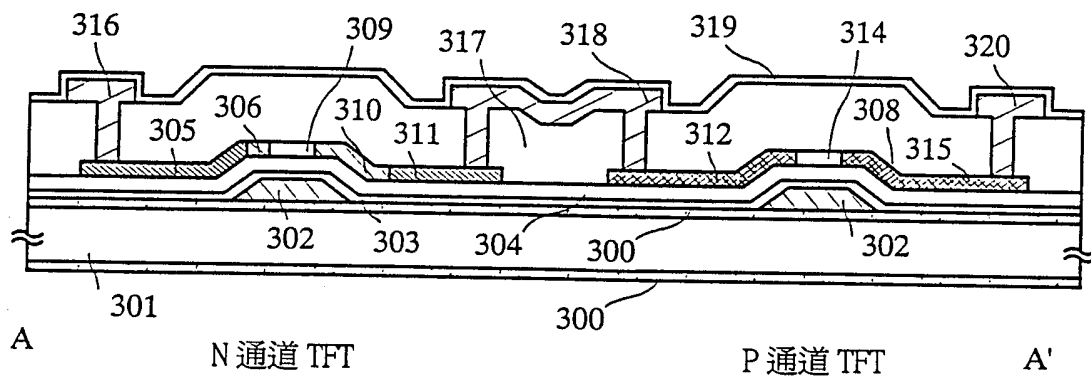
N 通道 TFT

P 通道 TFT

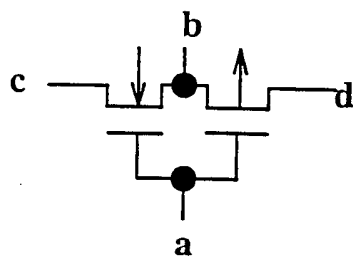
第 6 圖 D



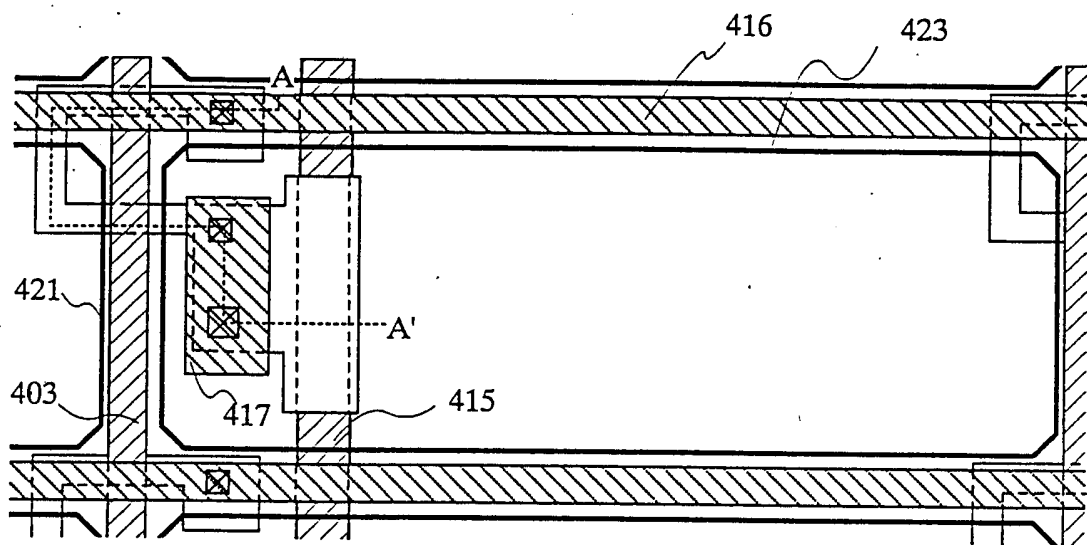
第 7 圖 A



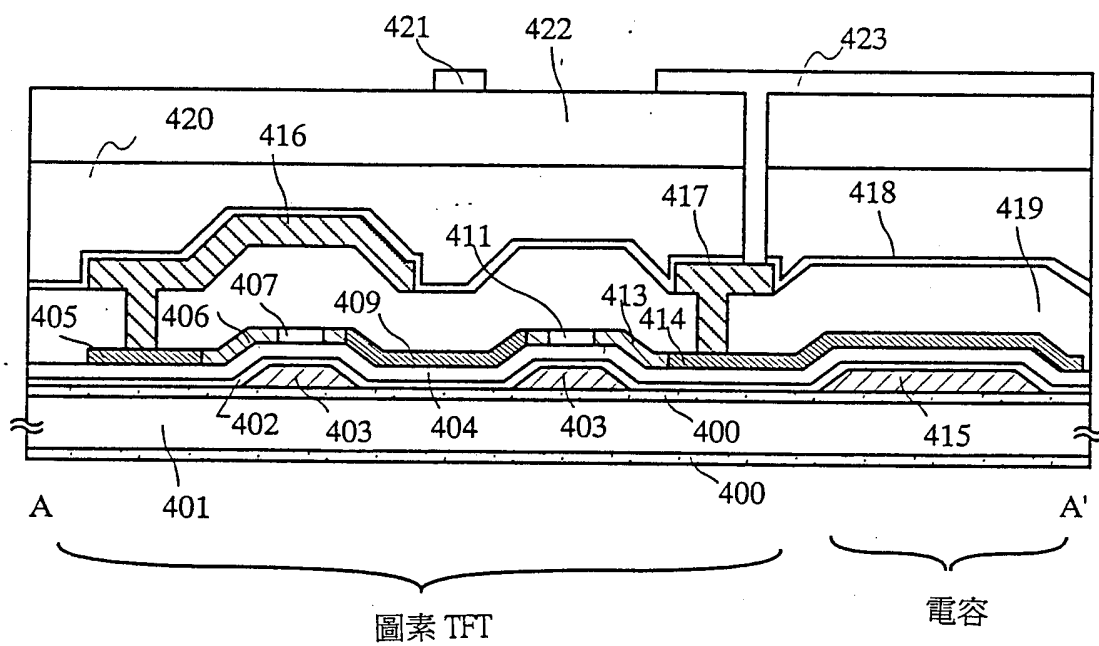
第 7 圖 B



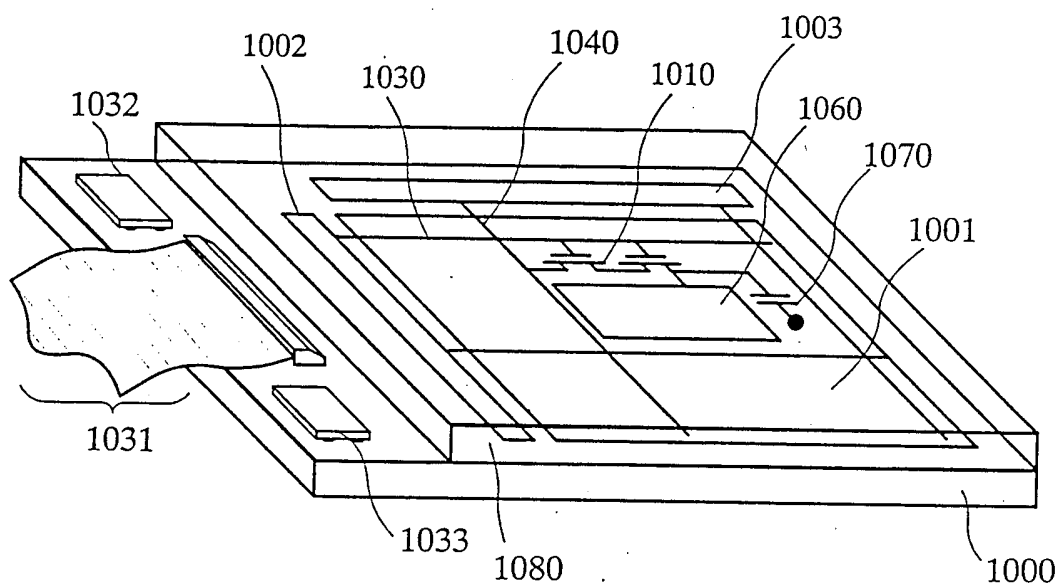
第 7 圖 C



第 8 圖 A

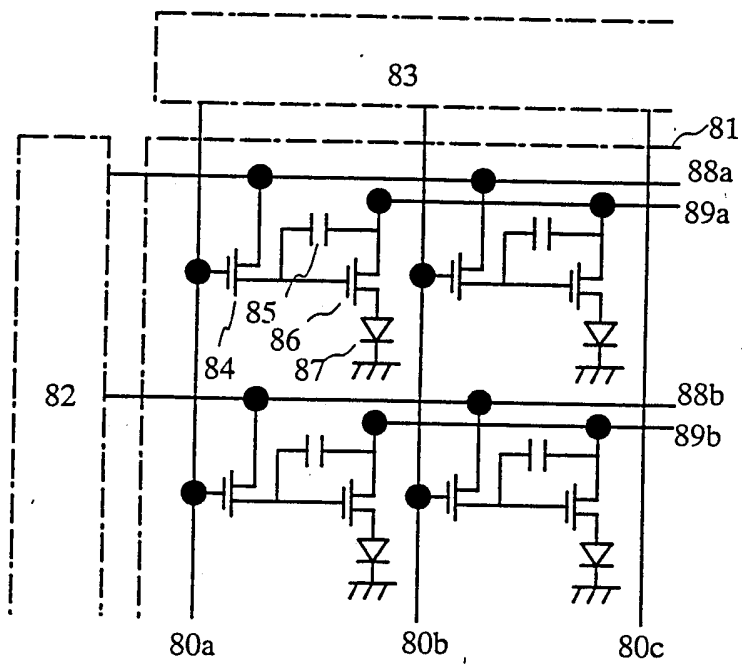


第 8 圖 B

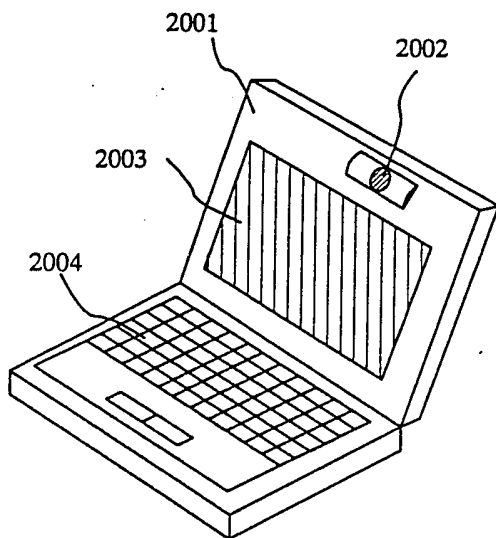


第 9 圖

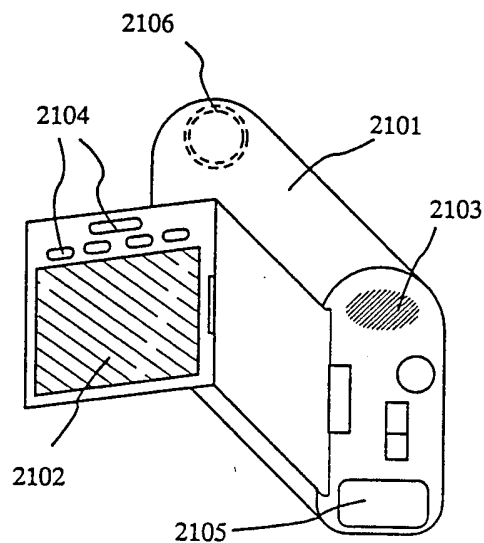
451269



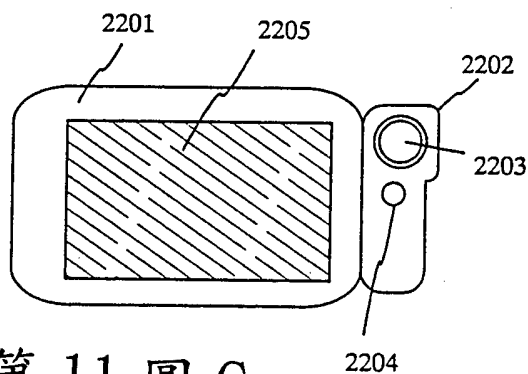
第 10 圖



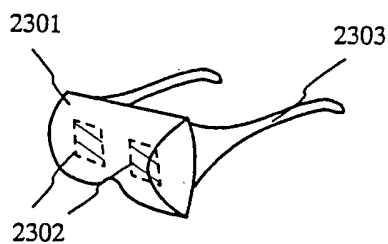
第 11 圖 A



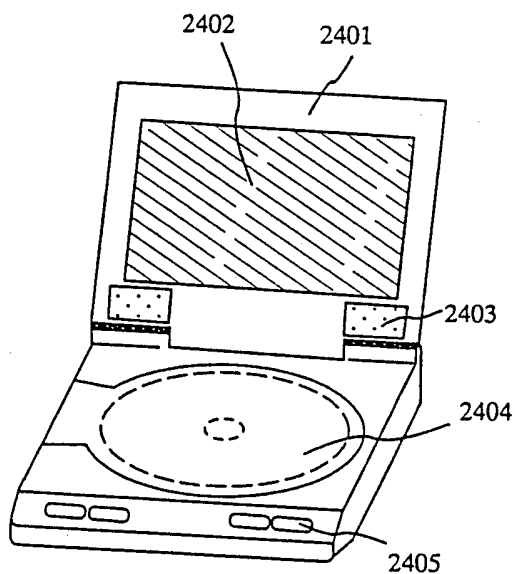
第 11 圖 B



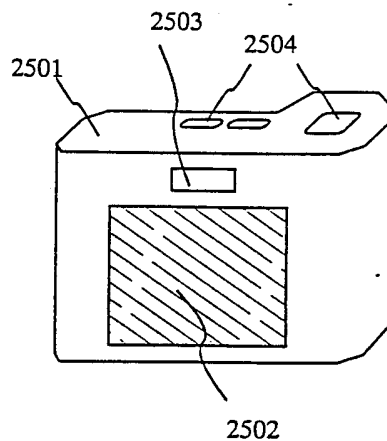
第 11 圖 C



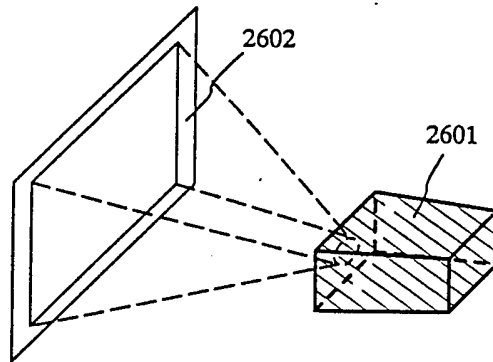
第 11 圖 D



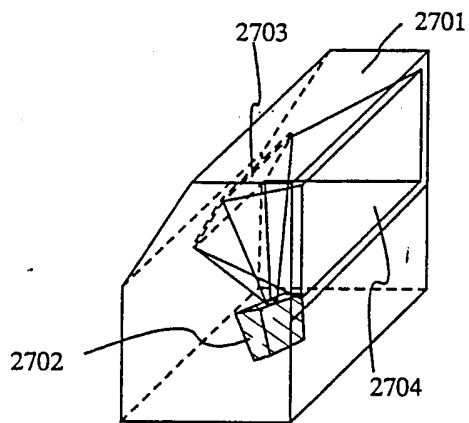
第 11 圖 E



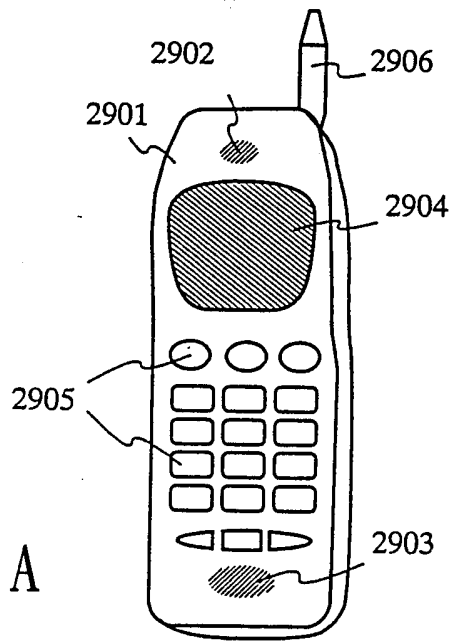
第 11 圖 F



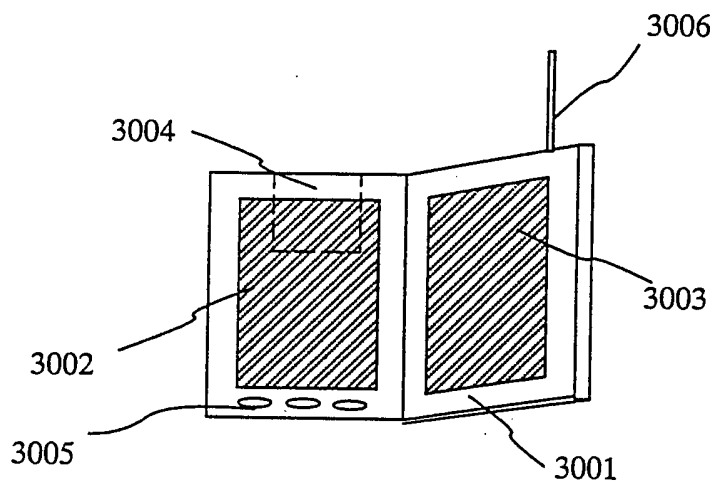
第 12 圖 A



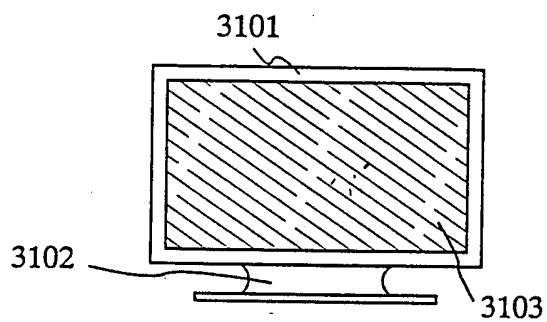
第 12 圖 B



第 13 圖 A



第 13 圖 B



第 13 圖 C