



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월01일  
(11) 등록번호 10-1313376  
(24) 등록일자 2013년09월24일

- (51) 국제특허분류(Int. C1.)  
*H03L 7/08* (2006.01) *H03L 7/089* (2006.01)
- (21) 출원번호 10-2007-7015938
- (22) 출원일자(국제) 2005년12월13일  
심사청구일자 2010년12월13일
- (85) 번역문제출일자 2007년07월12일
- (65) 공개번호 10-2007-0087045
- (43) 공개일자 2007년08월27일
- (86) 국제출원번호 PCT/US2005/045427
- (87) 국제공개번호 WO 2006/065999  
국제공개일자 2006년06월22일
- (30) 우선권주장  
11/264,283 2005년10월31일 미국(US)  
60/635,849 2004년12월13일 미국(US)
- (56) 선행기술조사문현  
US5508660 A  
US5473283 A  
US5404250 A  
US5362990 A
- 전체 청구항 수 : 총 25 항
- (73) 특허권자  
모사이드 테크놀로지스, 인코포레이티드  
캐나다, 온타리오주 케이2케이 2엑스1, 오타와,  
슈트 203, 하이네스 로드 11
- (72) 발명자  
캐플란, 랜디, 제이.  
미국, 30548 조지아, 호쉬톤, 트리로지 파크 드라  
이브 1537  
하디, 스티븐, 폴.  
미국, 91910 캘리포니아, 출라 비스타, 비스타 나  
시온 드라이브4433  
콜, 앤드류  
미국, 94086 캘리포니아, 써니베일, 릴리 애비뉴  
1109
- (74) 대리인  
청운특허법인

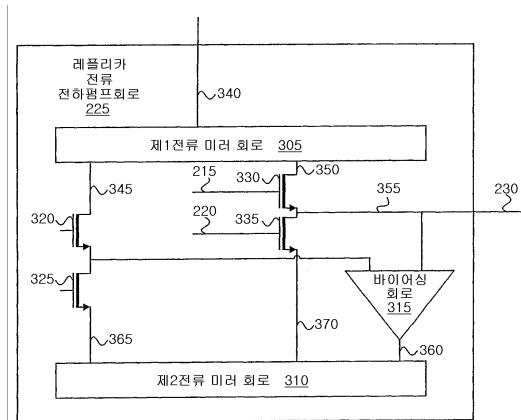
심사관 : 김기완

(54) 발명의 명칭 전류미러회로를 갖춘 전하펌프를 이용한 위상고정루프회로

### (57) 요약

본 발명은 위상고정루프를 수행하기 위한 시스템 및 방법이 개시된다. 상기 시스템은 위상주파수 검출회로, 제1전류미러회로(305) 및 제2전류미러회로(310)를 갖춘 전하펌프회로(225), 루프필터회로, 및 전압제어 발진회로를 포함한다. 상기 위상주파수 검출회로는 입력신호와 피드백신호의 위상차에 기초하여 업 신호와 다운 신호를 생성한다. 상기 제1 및 제2전류미러회로(305, 310)는 기준전류(340)를 복제한다. 바이어스 회로(315)는 저출력에서 기준전류(340)를 정확하게 복제함으로써 저전류에서 동일한 크기의 전류펄스를 제공하기 위해 상기 제1전류미러회로에 대한 전압에 기초한 제2전류미러회로(310)에 대한 전압 바이어스에 기초하여 상기 제1전류미러회로(310)에 대한 전압 및 상기 회로들의 전압을 생성하도록 구성된다.

### 대 표 도



## 특허청구의 범위

### 청구항 1

입력신호와 피드백신호간 위상차에 기초하여 업 신호 및 다운 신호를 생성하도록 구성된 위상주파수 검출회로;  
 상기 업 신호 및 다운 신호에 기초하여 전하펌프 출력신호를 생성하도록 구성되며, 제1전류미러회로와 제2전류미러회로를 포함하는 전하펌프회로;  
 기준전류 및 디지털 신호를 수신하고, 상기 기준전류 및 디지털 신호에 기초하여 상기 제1전류미러회로에 조절된 기준전류를 출력하도록 구성된 프로그램가능 전류미러회로;  
 상기 프로그램가능 전류미러회로에서의 누설전류를 미러(mirror)하고, 상기 프로그램가능 전류미러회로의 출력에 나타나는 상기 누설전류를 캠슬(cancel)하도록 구성된 누설 보상회로;  
 상기 전하펌프 출력신호에 기초하여 필터된 제어신호를 생성하도록 구성된 루프필터회로; 및  
 상기 필터된 제어신호에 기초하여 반복되는 과형을 갖는 상기 피드백신호를 생성하도록 구성된 전압제어 발진회로를 포함하는 것을 특징으로 하는 위상고정루프 시스템.

### 청구항 2

제1항에 있어서,

상기 제1전류미러회로는 기준전류를 미러하도록 구성되고, 상기 제2전류미러회로는 상기 제1전류미러회로의 상기 미러된 기준전류를 미러하도록 구성된 것을 특징으로 하는 위상고정루프 시스템.

### 청구항 3

제1항에 있어서,

상기 전하펌프 출력신호는 동일한 크기의 전류펄스로 이루어진 것을 특징으로 하는 위상고정루프 시스템.

### 청구항 4

제1항에 있어서,

상기 전하펌프회로는 상기 제2전류미러회로에 전압 바이어스를 생성하도록 구성된 바이어싱 회로 및 상기 전하펌프회로에 대한 전하 전송을 감소시키도록 구성된 전하 보상회로를 더 포함하는 것을 특징으로 하는 위상고정루프 시스템.

### 청구항 5

제4항에 있어서,

상기 바이어싱 회로는 상기 제1전류미러회로에 대한 전압과 상기 전하펌프 출력신호에 대한 전압에 기초하여 상기 전압 바이어스를 생성하도록 구성된 것을 특징으로 하는 위상고정루프 시스템.

### 청구항 6

제1항에 있어서,

상기 누설 보상회로는 상기 전하펌프 출력신호에 대한 오프-상태 누설을 감소시키도록 더 구성된 것을 특징으로 하는 위상고정루프 시스템.

### 청구항 7

제1항에 있어서,

상기 위상고정루프가 파워 온되면 상기 필터된 제어신호에 대한 턴-온 전압을 생성하고, 상기 전압제어 발진회로가 상기 피드백신호를 생성하면 턴-온 전압을 생성하지 않도록 구성된 파워-온 회로를 더 포함하는 것을 특징

으로 하는 위상고정루프 시스템.

#### 청구항 8

제1항에 있어서,

상기 제1전류미러회로는 누설 보상된 프로그램가능 전류미러 디지털/아날로그 컨버터를 포함하는 것을 특징으로 하는 위상고정루프 시스템.

#### 청구항 9

제1항에 있어서,

상기 제1전류미러회로로부터의 기준전류 및 디지털 신호를 수신하고, 상기 기준전류 및 디지털 신호에 기초하여 조절된 전류를 출력하도록 구성된 프로그램가능 전류미러회로를 더 포함하는 것을 특징으로 하는 위상고정루프 시스템.

#### 청구항 10

입력신호와 피드백신호간 위상차에 기초하여 업 신호 및 다운 신호를 생성하는 단계;

상기 업 신호 및 다운 신호에 기초하여 제1전류미러회로 및 제2전류미러회로를 포함하는 전하펌프회로에서 전하펌프 출력신호를 생성하는 단계;

기준전류 및 디지털 신호를 수신하고, 상기 기준전류 및 디지털 신호에 기초하여 상기 제1전류미러회로에 조절된 기준전류를 출력하는 단계;

프로그램가능 전류미러회로에서의 누설전류를 미러하고, 상기 프로그램가능 전류미러회로의 출력에 나타나는 누설전류를 캔슬하는 단계;

상기 전하펌프 출력신호에 기초하여 필터된 제어신호를 생성하는 단계; 및

상기 필터된 제어신호에 기초하여 반복되는 파형을 갖는 피드백신호를 생성하는 단계를 포함하는 것을 특징으로 하는 위상고정루프 제공방법.

#### 청구항 11

제10항에 있어서,

상기 제1전류미러회로에서 기준전류를 미러하고, 상기 제2전류미러회로에서 상기 제1전류미러회로의 그 미러된 기준전류를 미러하는 단계를 더 포함하는 것을 특징으로 하는 위상고정루프 제공방법.

#### 청구항 12

제10항에 있어서,

상기 전하펌프 출력신호는 동일한 크기의 전류펄스로 이루어진 것을 특징으로 하는 위상고정루프 제공방법.

#### 청구항 13

제10항에 있어서,

상기 제2전류미러회로에 전압 바이어스를 생성하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 위상고정루프 제공방법.

#### 청구항 14

제13항에 있어서,

상기 전압 바이어스 생성은 상기 제1전류미러회로에 대한 전압과 상기 전하펌프 출력신호에 대한 전압에 기초한 것을 특징으로 하는 위상고정루프 제공방법.

#### 청구항 15

제10항에 있어서,

상기 전하펌프 출력신호에 대한 오프-상태 누설을 감소시키는 단계를 더 포함하는 것을 특징으로 하는 위상고정루프 제공방법.

### 청구항 16

제15항에 있어서,

상기 오프-상태 누설을 감소시키는 단계는 상기 전하펌프 출력신호에 대한 제2전압과 동일한 제1전압을 생성하는 단계를 포함하는 것을 특징으로 하는 위상고정루프 제공방법.

### 청구항 17

제10항에 있어서,

상기 전하펌프 출력신호에 대한 전하 전송을 감소시키는 단계를 더 포함하는 것을 특징으로 하는 위상고정루프 제공방법.

### 청구항 18

제10항에 있어서,

상기 위상고정루프에 파워가 인가된 시점에 상기 필터된 제어신호에 대한 턴-온 전압을 생성하고, 전압제어 발진회로가 상기 피드백신호를 생성하면 턴-온 전압을 생성하지 않는 단계를 더 포함하는 것을 특징으로 하는 위상고정루프 제공방법.

### 청구항 19

제10항에 있어서,

상기 제1전류미러회로는 누설 보상된 프로그램가능 전류미러 디지털/아날로그 컨버터를 포함하는 것을 특징으로 하는 위상고정루프 제공방법.

### 청구항 20

입력신호와 피드백신호간 위상차에 기초하여 업 신호 및 다운 신호를 생성하도록 구성된 위상주파수 검출회로;

상기 업 신호 및 다운 신호에 기초하여 전하펌프 출력신호를 생성하도록 구성되며, 누설 보상된 제1전류미러회로, 및 제2전류미러회로를 포함하는 전하펌프회로;

상기 전하펌프 출력신호에 기초하여 필터된 제어신호를 생성하도록 구성된 루프필터회로;

상기 필터된 제어신호에 기초하여 상기 피드백신호를 생성하도록 구성된 전압제어 발진회로;

상기 제1전류미러회로로부터의 기준전류 및 디지털 신호를 수신하고, 상기 기준전류 및 디지털 신호에 기초하여 조절된 전류를 출력하도록 구성된 프로그램가능 전류미러회로; 및

상기 프로그램가능 전류미러회로에서의 누설전류를 미러하고, 상기 프로그램가능 전류미러회로의 출력에 나타나는 누설전류를 캠슬하도록 구성된 누설 보상회로를 포함하는 것을 특징으로 하는 위상고정루프 시스템.

### 청구항 21

제20항에 있어서,

상기 제2전류미러회로로부터의 기준전류, 업 신호, 다운 신호, 조절된 전류, 및 미러된 누설전류를 수신하고, 상기 전하펌프회로로부터 출력을 위한 전하펌프 출력신호를 생성하도록 구성된 출력회로를 더 포함하는 것을 특징으로 하는 위상고정루프 시스템.

### 청구항 22

전하펌프에 업 및 다운 신호를 제공하는 위상차 비교회로, 루프필터회로, 및 전압제어 발진회로를 포함하는 위상고정루프 시스템에 사용하기 위한 전하펌프로서, 상기 전하펌프는:

제1미러전류를 생성하도록 구성되며, 기준전류 및 디지털 신호를 수신하고 상기 기준전류 및 디지털 신호에 기초하여 조절된 전류를 출력하도록 구성된 프로그램가능 전류미러 디지털/아날로그 컨버터, 및 상기 프로그램가능 전류미러 디지털/아날로그 컨버터에서의 누설전류에 기초하여 미러된 누설전류를 생성하고, 상기 미러된 누설전류 및 디지털 신호에 기초하여 보상전류를 생성하며, 상기 제1미러전류로서 출력을 위해 상기 조절된 전류와 조합되도록 상기 보상전류를 피드백하도록 구성된 누설 보상회로를 구비한 제1전류미러회로;

제2미러전류를 생성하도록 구성된 제2전류미러회로; 및

입력신호로서 업 및 다운 신호를 수신하고, 상기 제1미러전류, 상기 제2미러전류, 및 상기 루프필터회로로 출력을 위해 상기 업 및 다운 신호에 기초하여 전하펌프 출력신호를 생성하도록 구성된 스위칭 회로를 포함하는 것을 특징으로 하는 전하펌프.

### 청구항 23

입력신호와 피드백신호간 위상차에 기초하여 업 신호 및 다운 신호를 생성하는 단계;

디지털 수(number)를 나타내는 2개 또는 그 이상의 비트를 포함하는 디지털 신호를 수신하는 단계;

기준전류 및 상기 디지털 신호에 기초하여 조절된 전류를 생성하는 단계;

상기 기준전류의 누설전류를 복제하는(replicating) 단계;

상기 복제된 누설전류 및 디지털 신호에 기초하여 누설 보상전류를 생성하는 단계;

제1전류를 생성하기 위해 상기 조절된 전류와 상기 누설 보상전류를 조합하는 단계;

제2전류를 생성하는 단계;

상기 제1전류, 상기 제2전류, 상기 업 신호 및 다운 신호에 기초하여 전하펌프 출력신호를 생성하는 단계;

상기 전하펌프 출력신호에 기초하여 필터된 제어신호를 생성하는 단계; 및

상기 필터된 제어신호에 기초하여 피드백신호를 생성하는 단계를 포함하는 것을 특징으로 하는 위상고정루프 제공방법.

### 청구항 24

제23항에 있어서,

상기 기준전류의 누설전류를 복제하는 단계는 다수의 전류 출력에 기초하여 다수의 복제된 누설전류 출력을 제공하는 단계를 더 포함하는 것을 특징으로 하는 위상고정루프 제공방법.

### 청구항 25

제24항에 있어서,

상기 복제된 누설전류 및 디지털 신호에 기초하여 누설 보상전류를 생성하는 단계는,

하나 또는 그 이상의 선택된 전류 출력에 대응하는 하나 또는 그 이상의 다수의 복제된 누설전류 출력을 선택하는 단계,

선택된 상기 복제된 누설전류 출력을 차단하는 단계,

선택되지 않은 상기 복제된 누설전류 출력을 차단하지 않는 단계, 및

상기 선택되지 않은 복제된 누설전류 출력의 출력을 미러하는 단계를 더 포함하는 것을 특징으로 하는 위상고정루프 제공방법.

### 청구항 26

삭제

### 청구항 27

삭제

**청구항 28**

삭제

**청구항 29**

삭제

**청구항 30**

삭제

**청구항 31**

삭제

**청구항 32**

삭제

**청구항 33**

삭제

**청구항 34**

삭제

**청구항 35**

삭제

**청구항 36**

삭제

## 명세서

### 기술분야

[0001] 본 발명은 위상고정루프회로에 관한 것으로, 특히 전류미리회로를 갖춘 전하펌프를 이용한 위상고정루프회로에 관한 것이다.

### 배경기술

[0002] 위상고정루프(PLL)는 입력신호의 주파수를 동위상으로 일치(및 고정)하도록 조절하는 전압 또는 전류 구동 발진기를 갖춘 전자회로이다. 또한, PLL은 신호를 생성하고, 신호를 변조하거나 복조하며, 저잡음의 신호를 복원하고, 주파수를 곱하거나 나누기 위해 사용된다. PLL은, 특히 신호가 진폭 변조(AM: Amplitude Modulation), 주파수 변조(FM: Frequency Modulation) 및 위상 변조(PM: Phase Modulation)를 이용하여 전송되는 무선통신에 자주 사용된다. PLL은 디지털 데이터 전송에 좀더 흔하게 사용되지만, 아날로그 정보를 위해서도 설계될 수 있다. PLL에 대한 응용예로서는 디지털 변조 무선 수신기 및 송신기를 위한 주파수 동기화기를 포함하고, 노이즈 락-인(noise lock-in) 증폭기에서 손실될 소신호의 회복을 포함하며, 디스크 드라이브, 클러 멀티플레이어 등의 데이터 스트림으로부터의 클러 타이밍 정보의 회복을 포함하고, 원격 제어 및 통신을 위한 이중-톤 다중-주파수(DTMF: Dual-Tone Multi-Frequency) 디코더, 모뎀, 및 또 다른 톤 디코더를 포함한다.

[0003] 도 1은 종래기술에 따른 위상고정루프(PLL)회로(100)를 나타낸다. 위상 주파수 검출(PFD: Phase-Frequency Detector)회로(110)는 피드백신호(160)에 대한 입력신호(105)의 위상차를 비교함으로써 "업(up)"신호(115)와 "다운(down)"신호(120)를 생성한다. 상기 PFD 회로(110)는 상기 피드백신호(160)의 위상이 상기 입력신호(105)의 위상과 비교될 때 지체(속도를 높일 필요가 있음)하는지 앞서(속도를 낮출 필요가 있음)는지에 따라 업 신호(115) 및 다운 신호(120)를 출력한다. 전하펌프회로(125)는 상기 업 신호(115)와 다운 신호(120)에 기초하

여 전하펌프 출력신호(130; 예컨대 루프필터회로(135) 내의 축전기(capacitor)를 축적시키기 위해)에서의 전류펄스(current pulse)를 생성한다. 상기 전하펌프회로(125)는 최소 펄스폭의 전류펄스를 생성한다. 예컨대, 입력신호(105)와 피드백신호(160)가 동일한 위상을 가질 경우, 전하펌프 출력신호(130)의 전류펄스는 동일한 폭을 갖는다. 위상이 동일하지 않을 경우, 그 위상을 정정하기 위해 상기 차지펌프 출력신호(130)의 전류펄스 중 어느 하나가 길어진다.

- [0004] 상기 루프필터회로(135)는 상기 전하펌프 출력신호(130)를 필터하여 필터된 제어신호(140)를 생성한다. 전압제어 발진(VCO: Voltage Controlled Oscillator)회로(145)는 상기 필터된 제어신호(140)의 전압에 의해 주파수가 결정되는 출력신호(150)를 생성한다. 상기 PLL 회로(100)는 상기 출력신호(150)를 피드백신호(160)로서 상기 PDF 회로(110)로 루프 백(loop back)한다. 선택적으로, 주파수 분할회로(155)는 피드백신호(160)를 생성하기 위해 루프의 피드백 경로에 위치되고, 그 출력신호(150)가 입력신호(105)의 배수가 될 수 있게 한다.
- [0005] 상기 PLL 회로(100)에서 발생하는 하나의 문제점은 상기 루프필터회로(135)를 축적하는 전류펄스(예컨대, 전하펌프 출력신호(130)의 전류펄스)의 크기가 다양한 전압원에 의존한다는 점이다. 전류펄스가 의존하는 몇 가지 예로는 전원전압 및 필터된 제어신호(140)의 전압이 있다. 또한, 상기 PLL 회로(100) 내의 회로가 상기 필터된 제어신호(140)의 전압과 동일하지 않은 전압으로 마무리 되면, 상기 전하펌프 출력신호(130)의 전류펄스는 동일하지 않은 크기를 가질 것이다. 동일하지 않은 전류펄스의 크기를 가질 경우, 전압 변동 또는 결과의 불일치에 의해 PLL의 출력에서의 정적 위상 오프셋을 야기한다.
- [0006] 또한, 각각의 전류펄스의 크기는 원하는 루프 대역폭을 설정하도록 조절될 것이다. 루프 대역폭은 입력신호(105)로 고정하고 지터(jitter)를 처리하기 위한 PLL 회로(100)의 성능의 지표를 나타낸다. 높은 루프 대역폭은 고속의 고정시간(lock time)을 제공하고 입력신호(105) 상의 지터를 탐지하여, 그 지터를 출력신호(150)를 통해 패싱한다. 낮은 루프 대역폭은 입력신호(105)의 지터를 필터하여 제거하지만, PLL 회로(100)의 고정시간을 증가시킨다. 통상, 상기 루프필터(140) 내의 주어진 축전기에 있어서, 전하펌프 출력신호(130)에 대한 보다 작은 전류는 보다 낮은 루프 대역폭을 생성하고, 상기 전하펌프 출력신호(130)에 대한 보다 큰 전류는 보다 높은 루프 대역폭을 생성한다.
- [0007] 이상적인 루프 대역폭을 결정할 경우, 노이즈 특성은 아주 중요한 고려사항이다. 대부분의 PLL에 있어서, 존재하는 2가지의 초기 노이즈 소스는 VCO 회로(145)로부터의 노이즈(VCO 노이즈)와 기준 노이즈가 있다. 각각의 노이즈 소스는 노이즈의 영향을 최소화시키기 위한 상반되는 루프 대역폭 필요조건을 갖고 있다. VCO 노이즈는 VCO 회로(145) 내의 열적 노이즈 및 산탄 노이즈(shot noise)에 기인하고 출력신호(150)에 영향을 준다. 보통 VCO 노이즈가 지배적이고, PLL 회로(100)가 저주파 노이즈(즉, 루프 대역폭 이하의 노이즈)를 탐지하여 출력신호(150) 상의 저주파 노이즈의 영향을 상쇄시키게 하는 루프 대역폭을 증가시킴으로써(즉, 전하펌프회로(125)로부터 출력된 전류를 증가시킴으로써) 상기 VCO 노이즈가 감소된다. 통상, VCO 노이즈는 보다 높은 주파수에서 빠르게 떨어지므로, 상기 루프 대역폭 상에 남아있는 노이즈는 보통 상기 출력신호(150)에 영향이 거의 없다.
- [0008] 기준 노이즈는 입력신호(105) 상의 지터, 전하펌프회로(125) 내의 열적 노이즈, 및 필터된 제어신호(140)의 전압과 관련된 전원 노이즈와 같은 다수의 인자를 갖는다. 클린(clean)의 입력신호(105; 즉, 지터가 없는)를 갖는 완전한 PLL에 있어서, 루프 대역폭이 증가하면 상기 전하펌프회로(125) 내의 열적 노이즈의 영향이 감소하고, 이는 기준 노이즈를 감소시킨다. 그러나, 입력신호(105)에 노이즈가 있으면, 높은 루프 대역폭은 더 많은 기준 노이즈가 출력신호(150)를 통해 통과하게 한다. 유사하게, 델타-시그마 PLL과 같은 공지의 소정 타입의 PLL에 있어서, 피드백 분할회로(155)의 값이 동적으로 변경되고, 이는 노이즈가 있는 입력신호(105) 상의 기준 노이즈와 유사한 노이즈를 생성한다. 기준 노이즈는 VCO 노이즈보다 우세하며, 따라서 루프 대역폭을 증가시키는 것 보다 오히려 최소의 가능한 루프 대역폭이 요구된다.
- [0009] 상기 루프 대역폭을 최소화시키기 위한 2가지 예시의 방식에는 루프필터회로(135)에 사용된 축전기의 크기를 증가시키고 전하펌프 출력신호(130)의 전류의 크기를 감소시키는 것이 있다. 영역은 많은 디자인에 있어서 주요한 관심사이고 큰 축전기는 그 영역 필요조건을 증대시키므로, 보통 전류 크기의 감소를 선택한다. 적당한 크기의 통합된 축전기를 이용하여 정상상태의 100kHz의 루프 대역폭을 달성하기 위해, 10s 나노암페어 이하 범위의 크기를 갖는 전류가 필요하다. 그러나, 전류의 크기를 감소시키는 것은, 초미세 기술에 있어서 아주 낮은 전류를 생성하려고 시도할 경우 많은 또 다른 도전이 야기된다.
- [0010] 특히, 델타-시그마 PLL에 사용된 것과 같은 나노암페어 전류의 경우, 초기의 영향으로 인한 전류의 불일치(즉, 증가하는 베이스-컬렉터 전압에 의한 베이스-컬렉터 접합의 확대로 인한 바이폴라 트랜지스터의 베이스 폭의 감

소)가 필터된 제어신호에 대한 전압치에 따라 현저해질 수 있다. 더욱이, 초미세 기술에 있어서의 장치 누설의 크기는 종종 생성되는 실제 신호보다 상당히 크다. 장치 누설에 의해 야기된 업 신호(115)에서의 전류와 다운 신호(120)에서의 전류간 불일치는 입력신호(105)와 출력신호(160)간 정적 위상 오프셋을 야기한다. 또한, 그와 같은 불일치는 보통 보다 많은 노이즈가 루프 내로 유입되게 하는 최소 요구된 시간 이상 동안 "온(on)"되는 업 신호(115)와 다운 신호(120) 중 어느 하나를 필요로 한다.

### 발명의 상세한 설명

[0011] 본 발명은 위상고정루프를 수행하기 위한 시스템 및 방법을 제공함으로써 상기와 같은 문제를 해소한다. 상기 시스템은 위상주파수 검출회로, 제1전류미러회로 및 제2전류미러회로를 갖춘 전하펌프회로, 루프필터회로, 및 전압제어 발진회로를 포함한다. 상기 위상주파수 검출회로는 입력신호와 피드백신호의 위상차에 기초하여 업 신호와 다운 신호를 생성한다. 상기 전하펌프회로는 제1전류미러회로와 제2전류미러회로를 포함함과 더불어 상기 업 신호 및 다운 신호에 기초하여 전하펌프 출력신호를 생성한다. 상기 루프필터회로는 상기 전하펌프 출력신호에 기초하여 필터된 제어신호를 생성한다. 상기 전압제어 발진회로는 상기 필터된 제어신호에 기초하여 반복되는 패형을 갖는 피드백신호를 생성한다. 상기 시스템 및 방법은, 정적 위상 오프셋을 감소시키기 위해 정확한 전류펄스를 제공하고, 피드백신호에서의 입력신호를 탐지하기 위한 양호한 분해능을 제공하는 장점을 갖는다. 또한, 상기 시스템 및 방법은 초미세 기술에서 저출력으로 입력신호를 탐지하기 위한 양호한 분해능을 제공하는 장점을 갖는다.

[0012] 정확한 전류펄스를 제공하기 위해, 상기 전하펌프회로의 제2전류미러회로는 제1전류미러회로의 기준전류를 미러(mirror)한다. 또한, 상기 전하펌프회로는 거의 동일한 크기의 전류펄스를 생성한다. 더욱이, 상기 시스템은 제2전류미러회로에 전압 바이어스를 생성하는 바이어싱 회로를 포함한다. 상기 바이어싱 회로는 연산 증폭기로 이루어진다. 상기 바이어싱 회로는 상기 제1전류미러회로에 대한 전압 및 상기 전하펌프 출력신호에 대한 전압에 기초하여 전압 바이어스를 생성한다. 상기 전압 바이어스의 생성은 저전류에서 거의 동일한 크기의 전류펄스를 제공할 수 있다.

[0013] 몇몇 실시에 있어서, 상기 제1전류미러회로 및 제2전류미러회로 중 어느 하나는 각기 다른 크기의 다수의 전류 출력을 갖는 전류미러 출력회로를 더 구비하여 구성된다. 상기 다수의 전류 출력은 다수의 루프 대역폭을 제공한다. 프로그램가능 루프 대역폭 회로는 상기 루프 대역폭을 결정하기 위해 상기 다수의 전류 출력 중 어느 하나를 선택한다. 더욱이, 누설 보상회로는 상기 전하펌프 출력신호에 대한 상기 전류미러 출력회로로부터의 오프-상태 누설을 감소시킨다. 또한, 상기 누설 보상회로는 오프-상태 누설을 수신하고 이 오프-상태 누설을 상기 전류미러 출력회로로 전송하도록 구성된 제3전류미러회로를 포함한다.

[0014] 또 다른 실시에 있어서, 전류펄스회로는 상기 각각의 제1전류미러회로 및 제2전류미러회로로부터 전하펌프 출력신호의 업 전류펄스 및 다운 전류펄스를 생성한다. 펄스 누설방지회로는 상기 전하펌프 출력신호에 대한 상기 펄스회로로부터의 오프-상태 누설을 감소시킨다. 어느 한 양상에 있어서, 상기 오프-상태 누설의 감소단계는 상기 전하펌프 출력신호에 대한 제2전압과 거의 동일한 상기 펄스회로에 걸친 제1전압을 생성하는 단계를 포함한다. 또한, 전하 보상회로는 상기 전하펌프 출력신호에 대한 상기 펄스회로로부터의 전하 전송을 감소시킨다.

[0015] 몇몇 실시에 있어서, 파워-온(power-on) 회로는 상기 필터된 제어신호에 대한 턴-온(turn-on) 전압을 생성한다. 파워-온 누설방지회로는 상기 필터된 제어신호에 대한 상기 파워-온 회로로부터의 오프-상태 누설을 감소시킨다. 상기 파워-온 회로는 통상동작 동안 누설이 적거나 없는 시스템을 개시하는데 충분히 크다는 장점을 갖는다.

### 실시 예

[0024] 여기에 기술된 실시예는 본 발명의 일예를 나타낸다. 본 발명의 실시예들이 도면 및 상세한 설명을 참조하여 기술하고 있는 바와 같이, 이들 기술된 방법 및/또는 특정 구조의 다양한 변경 또는 적용은 종래기술과 분리될 것이다. 그와 같은 모든 변경 또는 적용은 본 발명의 교시에 따르고, 이들 교시는 종래기술을 향상시키며, 본 발명의 범위 내에서 고려된다. 이를 설명 및 도면으로 한정되지 않으며, 따라서 본 발명은 기술된 실시예로 한정되지 않는다는 것을 이해할 수 있을 것이다.

[0025] 기술된 원리의 회로 수행은 단독의 PMOS 트랜지스터, 단독의 NMOS 트랜지스터, PMOS 트랜지스터와 NMOS 트랜지스터의 별별 조합, 또는 다른 타입의 트랜지스터를 이용하여 수행될 수 있다. 몇몇 실시에 있어서, 상기 별별

조합은 개선된 전하 보상을 제공하는데 바람직하다. 또한, 전류미러회로는 다중의 트랜지스터 수행을 가능하게 한다.

- [0026] 도 2는 본 발명의 실시예에 따른 레플리카 전류 전하펌프회로(225)를 갖춘 위상고정루프(PLL)회로(200)를 나타낸다. 상기 PLL 회로(200)는 위상주파수 검출(PFD)회로(210), 레플리카 전류 전하펌프회로(225), 루프필터회로(235), 전압제어 발진(VCO)회로(245), 및 주파수 분할회로(255)를 포함한다. 상기 PFD 회로(210)는 입력신호(205) 및 피드백신호(260)를 수신하여 "업" 신호(215) 및 "다운" 신호(220)를 생성한다. 상기 레플리카 전류 전하펌프회로(225)는 업 신호(215) 및 다운 신호(220)를 수신하여 전하펌프 출력신호(230)를 생성한다. 상기 루프필터회로(235)는 상기 전하펌프 출력신호(230)를 수신하여 필터된 제어신호(240)를 생성한다. 상기 VCO 회로(245)는 상기 필터된 제어신호(240)를 수신하여 출력신호(250)를 생성한다. 상기 주파수 분할회로(255)는 상기 출력신호(250)를 수신하여 상기 피드백신호(260)를 생성한다.
- [0027] 상기 PFD 회로(210)는 상기 입력신호(205)와 피드백신호(260)의 위상차에 기초하여 상기 업 신호(215) 및 다운 신호(220)를 생성하도록 구성된 소정의 장치, 구성요소, 또는 회로로 이루어진다. 상기 레플리카 전류 전하펌프회로(225)는 제1전류미러회로와 제2전류미러회로의 기준전류를 복제하고 상기 업 신호(215)와 다운 신호(220)를 기초하여 상기 전하펌프 출력신호(230)를 생성하도록 구성된 소정의 장치, 구성요소, 또는 회로로 이루어진다. 상기 레플리카 전류 전하펌프회로(225)의 일례가 이하의 도 3에 기술되어 있다.
- [0028] 상기 루프필터회로(235)는 상기 전하펌프 출력신호(230)를 필터하여 필터된 제어신호(240)를 생성하도록 구성된 소정의 장치, 구성요소, 또는 회로로 이루어진다. 상기 VCO 회로(245)는 상기 필터된 제어신호(240)의 전압에 기초하여 반복되는 패형을 갖는 상기 출력신호(250)를 생성하도록 구성된 소정의 장치, 구성요소, 또는 회로로 이루어진다. 상기 주파수 분할회로(255)는 상기 출력신호(250)의 주파수를 곱하거나 나누어 상기 피드백신호(260)를 생성하도록 구성된 소정의 장치, 구성요소, 또는 회로로 이루어진다.
- [0029] 도 3은 본 발명의 실시예에 따른 레플리카 전류 전하펌프회로(225)를 나타낸다. 상기 레플리카 전류 전하펌프회로(225)는 제1전류미러회로(305), 제2전류미러회로(310), 바이어싱 회로(315), 레플리카 스위치(320, 325), 업 신호 스위치(330), 및 다운 신호 스위치(335)를 포함한다.
- [0030] 상기 제1전류미러회로(305)는 기준전류(340)를 수신하며, 상기 레플리카 스위치(320)에 링크된 제1출력(345)을 갖는다. 또한, 상기 제1전류미러회로(305)는 상기 업 신호 스위치(330)에 링크된 제2출력(350)을 갖는다. 상기 제2전류미러회로(310)는 입력(360)을 통해 상기 바이어싱 회로(315)에 링크되며, 상기 레플리카 스위치(325)에 링크된 제1출력(365)을 갖는다. 또한, 상기 제2전류미러회로(310)는 상기 다운 신호 스위치(335)에 링크된 제2출력(370)을 갖는다. 상기 레플리카 스위치 320은 상기 레플리카 스위치 325에 링크된다. 상기 업 신호 스위치(330)는 상기 다운 신호 스위치(335)에 링크된다. 더욱이, 상기 바이어싱 회로(315)는 상기 레플리카 스위치 320과 325간 커넥션 및 라인(355)에 링크된다. 상기 레플리카 스위치(320, 325)의 게이트는 인에이블된다(즉, 스위치가 항상 폐쇄된다). 상기 업 신호(215; 도 2)는 상기 업 신호 스위치(330)의 게이트에 링크된다. 상기 다운 신호(220; 도 2)는 상기 다운 신호 스위치(335)의 게이트에 링크된다. 상기 업 신호 스위치(330) 및 다운 신호 스위치(335)는 라인(355) 상의 전하펌프 출력신호(230; 도 2)를 생성한다.
- [0031] 상기 제1전류미러회로(305)는 다수의 전류미러 출력 상의 기준전류를 복제하도록 구성된 소정의 장치, 구성요소, 또는 회로로 이루어진다. 예컨대, 상기 제1전류미러회로(305)는 상기 출력 345 및 출력 350 상의 기준전류(340)를 복제한다. 상기 제2전류미러회로(310)는 다수의 전류미러 출력 상의 기준전류를 복제하도록 구성된 소정의 장치, 구성요소, 또는 회로로 이루어진다. 예컨대, 상기 제2전류미러회로(310)는 상기 출력 365 및 출력 370 상의 바이어싱 회로(315)로부터 수신된 전류를 복제한다. 상기 바이어싱 회로(315)는 전류미러회로에 전압 바이어스를 생성하도록 구성된 소정의 장치, 구성요소, 또는 회로로 이루어진다. 상기 바이어싱 회로(315)의 일례로서는 연산 증폭기가 있다.
- [0032] 동작하는 동안, 상기 바이어싱 회로(315)는 상기 제1출력(365) 및 제2출력(370)을 상기 라인(355) 상의 전하펌프 출력신호(230)와 동일한 전압으로 한다. 또한, 상기 바이어싱 회로(315)에 의해 생성된 전압 바이어스는 상기 라인(355) 상의 전하펌프 출력신호(230)와 같은 동일 및/또는 유사한 전압 바이어스 조건을 제1전류미러회로(305)가 갖게 한다. 상기 업 신호 스위치(330) 및 다운 신호 스위치(335) 상의 로딩을 무시할 수 있기 때문에, 기준전류(340)로부터의 모든 전류는 제2전류미러회로(310)를 통해 흐른다. 제2출력(370)은, 다운 신호 스위치(335)에 의해 인에이블(enable)되면, 주어진 소정 전압에 대한 제1전류미러회로(305)의 제2출력(350)과 같은 동일한 전류를 가질 것이다.

- [0033] 따라서, 레플리카 전류 전하펌프회로(225)는 업 신호(215) 및 다운 신호(220)에 의해 인에이블될 때 전하펌프 출력신호(230)에 동일한 크기의 전류펄스를 제공한다. 바이어싱 회로(315)에 의해 제공된 전압 바이어스는 전류펄스를 생성하기 위해 제1전류미러회로(305)와 제2전류미러회로(310)의 정확도에 대한 전하펌프 출력신호(230)의 전압의 영향을 없앤다. 더욱이, 바이어싱 회로(315)에 의해 제공된 전압 바이어스는 제1전류미러회로(305)와 제2전류미러회로(310)가 저출력에서 기준전류(340)를 정확하게 복제할 수 있게 함으로써 저전류에서 동일한 크기의 전류펄스를 제공한다. 정확하게 생성한 동일한 크기의 전류펄스는 노이즈가 레플리카 전류 전하펌프회로(225)에서 루프필터(235)로, 결국 상기 노이즈가 출력신호(250)에서 오프셋을 야기하는 VCO(245)로 전파되는 것을 방지한다. 또한, 동일한 크기의 전류펄스를 복제하는 것은 불일치를 감소시킨다. 더욱이, 업 신호(215)와 다운 신호(220)에 대한 전류펄스간 불일치는, 본질적으로 동일한 전압 바이어스 조건 하에서 제1전류미러회로(305)와 제2전류미러회로(310)간 바이어스 불일치에 의해 결정된다.
- [0034] 몇몇 실시예 있어서, 전하펌프 출력신호(230)에서의 큰 전류는 기준전류(340)의 크기에 따라 요구된다. 예컨대, 피드백 분할회로(255: 도 2)에서의 큰 분할치는 비교적 큰 전류를 필요로 한다. 비교적 큰 전류를 포함하는 다수의 각기 다른 크기의 다수의 전류는 제1전류미러회로(305)와 제2전류미러회로(310) 중 어느 하나에 결합된 프로그램가능 전류미러 디지털/아날로그 컨버터를 통해 상기 기준전류(340)로부터 제공된다.
- [0035] 도 4는 본 발명의 실시예에 따른 프로그램가능 전류미러 디지털/아날로그 컨버터(400: PCMDAC)를 나타낸다. PCMDAC(400)는 입력 스위치(410), 컨버터 출력(420, 430, 440), 및 컨버터 선택기(450, 460, 470)를 포함한다. 기준전류(480)는 입력 스위치(410)에 링크된다. 더욱이, 기준전류(480)는 입력 스위치(410)의 게이트에도 링크된다. 상기 입력 스위치(410)는 컨버터 출력(420, 430, 440)에 링크된다. 또한, 상기 기준전류(480)는 컨버터 출력(420, 430, 440)의 게이트에도 링크된다. 상기 컨버터 출력(420)은 컨버터 선택기(450)에 링크된다. 상기 컨버터 출력(440)은 컨버터 선택기(470)에 링크된다. 상기 각각의 컨버터 선택기(450, 460, 470)는 컨버터 출력신호(490)를 형성하도록 링크된다.
- [0036] 상기 컨버터 출력(420, 430, 440)은 기준전류(480)로부터 각기 다른 크기의 전류를 제공하도록 소정의 장치, 구성을요소, 또는 회로로 이루어진다. 일예로서, 상기 PCMDAC(400)는 전류미러회로로부터(예컨대, 제1전류미러회로(305)의 제2출력(350)을 통해) 기준전류를 수신한다. 컨버터 선택기(450, 460, 470)에 대한 디지털 입력은 2진값(M)이며,  $M = [\text{컨버터 출력}(420)\text{의 크기} \times 2^0] + [\text{컨버터 출력}(430)\text{의 크기} \times 2^1] + [\text{컨버터 출력}(440)\text{의 크기} \times 2^2]$ 이다. 컨버터 출력(420, 430, 440)은 각각 컨버터 선택기(450, 460, 470)와 직렬의 기준전류(480)의 2진 가중된 배수이다. 따라서, 컨버터 출력신호(490)는 M배의 기준전류(480)의 배수이다. 이러한 원리는 유사한 바이어스 조건을 갖는 각각의 컨버터 출력과 컨버터 선택기의 매칭에 의해 제한된 PCMDAC(400)의 정밀도로 다수의 비트로 확대될 것이다.
- [0037] PCMDAC(400)의 입력 스위치(410)는 싱글 유닛(N=1)이 되며, 따라서 컨버터 출력신호(490)는 M배의 기준전류(480)와 동일하다. 상기 입력 스위치(410)는 좀더 큰 유닛을 제공하며, 따라서 컨버터 출력신호(490)는 M/N배의 기준전류(490)와 동일하다. 몇몇 실시예 있어서, 임의의 함수 생성은 컨버터 출력(420, 430, 440)이 2진 가중되지 않는 컨버터 출력신호(490)에서 가능하다.
- [0038] 레플리카 전류 전하펌프회로(225: 도 2)에서 사용한 경우, 상기 기준전류(480)는 전류 바이어스 기준 생성회로로부터(예컨대, 도 3의 기준전류(340)를 통해) 유도된다. PCMDAC(400)로 구성되거나 PCMDAC(400)에 결합된 제1전류미러회로(305: 도 3)는 PLL 회로(200)의 루프 대역폭을 결정하는 컨버터 출력신호(490)에 대한 전류를 생성하는데 이용된다. 상기 컨버터 출력신호(490)는 제2전류미러회로(310)에 대한 기준전류로서 이용된다. 또한, 제2전류미러회로(310)는 PCMDAC로 구성되거나 PCMDAC에 결합되며 이하 기술한 보다 큰 피드백 분할비의 보다 큰 크기의 전류를 생성하도록 프로그램된다.
- [0039] 다수의 VCO(필터된 제어신호(240)에 대한 각기 다른 전압을 갖는)를 갖춘 PLL 회로(200)의 다른 실시예에 있어서, 세번째 PCMDAC(400)가 사용될 것이다. 세번째 PCMDAC(400)의 컨버터 출력(490)은 사용에 있어 VCO를 선택하는 논리값에 의해 제어된다. 결과적으로, 세번째 PCMDAC(400)는 각각의 루프 파라메터(예컨대, 필터된 제어신호(230)의 전압)에 상관없이 일정한 루프 대역폭을 제공한다. 더욱이, 몇개의 PCMDAC들의 연결은 루프 대역폭이 독립적으로 프로그램가능한 프로그램가능 PLL 회로의 구성을 인에이블한다. 상기 프로그램가능 PLL 회로는 일정한 루프 대역폭을 필요로 하는 다른 회로에 사용하는데 용이하다.
- [0040] 더욱이, 프로그램가능 PLL 회로에 있어서, 넓은 범위의 루프 대역폭 설정은 큰 범위의 전류가 레플리카 전류 전하펌프회로(225)에 의해 제공될 필요가 있는 피드백 분할회로(255: 도 2)에 대한 넓은 범위의 설정과 연관되는

것이 바람직하다. 레플리카 전류 전하펌프회로(225) 내에 큰 범위의 전류를 제공하기 위해 다수의 PCMDAC를 수행할 때, 통상 노이즈는 각각 추가되는 PCMDAC에 따라 축적된다. 통상 노이즈의 크기는 증가되는 전류에 따라 감소한다. 따라서, 가장 큰 가능한 전류는 전류미러 헤드룸(headroom)의 억제와 제한된 출력 공급 내에서 사용될 수 있다.

- [0041] 노이즈 및 불일치 영향을 최소화하기 위해, 바람직하게 PCMDAC(400)는 요구된 최소 동작 전원전압에 의해 허용된 최대 트랜지스터 구동전압의 크기로 한다. 따라서, 최대 트랜지스터 구동전압은 큰 출력전류가 프로그램되었을 때 입력 스위치(410)에 저전압을 야기한다. 또한, PCMDAC(400)는 다른 루프 대역폭, VCO 전압 셋팅, 및 주파수 분할기 셋팅에 대해 나노암페어 범위로 다운된 전류로 처리한다. 몇몇 실시에 있어서, 컨버터 선택기(450, 460, 470)는 넓은 범위의 전류에 대한 충분한 전압 헤드룸을 허용하도록 매우 낮은 저항을 제공한다.
- [0042] 그러나, 초미세 기술에 있어서, 낮은 온-저항(on-resistance)은 오프-상태에서의 높은 누설에 대응된다. 보다 높은 크기의 전류를 갖는 컨버터 출력(420, 430, 440)에 대한 컨버터 선택기(450, 460, 470)에 걸친 누설은 컨버터 출력신호(490)에 대한 원하는 출력신호(예컨대, 7bit DAC의 경우, 누설은 그 신호보다 큰 크기의 1-2 정도 된다)를 초과한다. 누설전류는 또한 PCMDAC(400)에서의 각각의 추가 비트(및 이에 따른 각각의 보다 높은 크기의 컨버터 출력)로 증가한다.
- [0043] 도 5는 본 발명의 실시예에 따른 누설 보상된 PCMDAC(500)를 나타낸다. 상기 누설 보상된 PCMDAC(500)는 PCMDAC(400: 도 4), 전류미러회로(505), 컨버터 출력(510, 515, 520), 오프-상태 스위치(525, 530, 535), 및 컨버터 선택기(540, 545, 550)를 포함한다. 상기 컨버터 출력(510, 515, 520)은 PCMDAC(400)의 입력 스위치(410)에 링크된다. 기준전류(480)는 상기 컨버터 출력(510, 515, 520)의 게이트에 링크된다.
- [0044] 상기 컨버터 출력(510)은 컨버터 선택기(540)에 오프-상태 스위치(525)에 의해 링크된다. 상기 컨버터 출력(515)은 컨버터 선택기(545)에 오프-상태 스위치(530)에 의해 링크된다. 상기 컨버터 출력(520)은 컨버터 선택기(550)에 오프-상태 스위치(535)에 의해 링크된다. 상기 컨버터 선택기(540, 545, 550)는 라인(555)을 통해 전류미러회로(505)에 링크된다. 상기 전류미러회로(505)는 컨버터 출력(490)에서 PCMDAC(400)에 링크된다.
- [0045] 상기 PCMDAC(400)에서의 누설전류는 이 PCMDAC(400)와 거의 동일한 누설 보상된 PCMDAC(500)에서 복제된다. 그러나, 누설 보상된 PCMDAC(500)에 있어서, 컨버터 출력(510, 515, 520)은 항상 오프되거나 디스에이블(disable)된다. 상기 오프-상태 스위치(525, 530, 535; 즉, "저-누설" 스위치)는 각각의 컨버터 출력(510, 515, 520)과 직렬로 위치된다. 상기 컨버터 선택기((540, 545, 550)는 PCMDAC(400)에서 각각 대응하는 컨버터 선택기(450, 460, 470)가 디스에이블될 때만 인에이블된다. 예컨대, 컨버터 출력(420)이 컨버터 선택기(450)에 의해 디스에이블되면, 컨버터 선택기(540)는 인에이블된다. 상기 PCMDAC(400)에서의 모든 비활성 브랜치(컨버터 출력)는 누설 보상된 PCMDAC(500)에서의 활성 브랜치에 대응되고 동일한 누설전류가 그 모두를 통해 흐른다.
- [0046] 몇몇 실시에 있어서, 상기 컨버터 선택기(540, 545, 550)에 걸친 전류가 너무 작아(단지 누설만) 상기 컨버터 선택기(540, 545, 550)에 걸친 전압강하를 비교적 높은 저항에서 조차 무시할 수 있기 때문에, 상기 컨버터 선택기(540, 545, 550)에서의 높은 온-저항을 받아들일 수 있다. 또한, 누설 보상전류를 미리시키기 위해 사용된 전류미러회로(505)는 낮은 전원전압으로 동작할 수 있다. 누설전류는 미리된 후 컨버터 출력(490) 상에 예정된 신호만 남기고 PCMDAC(400)로 피드백한다. 상기 누설 보상된 PCMDAC(500)의 하나의 장점은 그 토폴로지(topology))가 다른 가능한 방식보다 충분한 레이아웃과 보다 작은 실리콘 영역을 가능하게 하는 간단한(낮은 온-저항) 스위치 소자의 사용을 가능하게 한다는 점이다.
- [0047] 레플리카 전류 전하펌프(225: 도 2)에서의 누설을 감소시키는 또 다른 양상에 있어서, 상기 PLL 회로(200: 도 2)가 파워-온되면, 상기 필터된 제어전압(240)은 종종 그라운드된다. 그 그라운드 전압에서, VCO(245)는 발진하지 못한다. 파워-온 그라운드 전압은 상기 PLL 회로(200)가 고정 상태에 이르는 것을 잠재적으로 방지한다.
- [0048] 도 6은 본 발명의 실시예에 따른 파워-온 누설방지회로(600)를 나타낸다. 상기 파워-온 누설방지회로(600)는 제1스위치(610), 제2스위치(620), 및 바이어싱 회로(630)를 포함한다. 상기 제1스위치(610) 및 제2스위치(620)의 게이트는 라인(640)을 통해 제어된다. 상기 제1스위치(610)는 라인(650)을 통해 턴-온 전압을 수신하며, 더욱이 상기 제2스위치(620)에 링크된다. 상기 제2스위치(620)는 턴-온 전압을 라인(660)을 통해 루프필터(235: 도 2)로 출력한다. 상기 바이어싱 회로(630)는 상기 제2스위치(620)의 출력(라인 660)에 링크되며, 상기 제1스위치(610)와 제2스위치(620)간 커넥션에 링크된다.
- [0049] 상기 바이어싱 회로(630)는 또 다른 장치, 구성요소, 또는 회로의 전위를 감소시키기 위해 전압 팔로워(voltage

follower)로 구성된 소정의 장치, 구성요소, 또는 회로로 이루어진다. 예컨대, 상기 바이어싱 회로(630)는 제2스위치(620)에 걸친 전위를 감소시킨다. 상기 바이어싱 회로(630)의 일예로는 연산 증폭기가 있다. 개시동안, 상기 제1스위치(610)와 제2스위치(620) 모두는 인에이블(예컨대, 폐쇄)된다. 일단 필터된 제어신호(240)의 전압이 상기 VCO(245)가 동작을 시작하는 레벨에 도달하면, 상기 제1스위치(610)와 제2스위치(620) 모두는 턴-오프(예컨대, 개방)된다. 상기 스위치(620)에 걸친 전위가 제로(zero)이기 때문에, 상기 누설전류는 상기 제2스위치(620)를 거쳐 라인(660)을 통해 상기 루프필터(235)로 흐르지 않을 것이다.

[0050] 몇몇 실시에 있어서, 상기 바이어싱 회로(630)는 상기 제2스위치(620)를 통한 전류가 우세하기 때문에 턴-오프될 필요가 없다. 다른 실시에 있어서, 상기 바이어싱 회로(630)는 통상동작 동안 오프되는 제2스위치(620)를 통해 상기 누설을 제공하도록 충분히 강해질 필요가 있을 뿐이다. 약한 버퍼를 갖춘 바이어싱 회로(630)를 이용하는 것에 대한 대안은 상기 제1스위치(610)와 제2스위치(620)가 폐쇄되면 바이어싱 회로(630)를 턴-오프하는 것이다.

[0051] 도 7은 본 발명의 실시예에 따른 전류펄스 누설방지회로(700)를 나타낸다. 상기 전류펄스 누설방지회로(700)는 바이어싱 회로(710), 업 신호 스위치(720), 반전된 업 신호 스위치(730), 다운 신호 스위치(740), 및 반전된 다운 신호 스위치(750)를 포함한다. 상기 업 신호 스위치(720, 730)는 라인(350)을 통해 파워 소스(예컨대, 도 3의 제1전류미러회로(305)의 제2출력(350))에 링크된다. 상기 업 신호 스위치(720)는 다운 신호 스위치(740)에 링크된다. 상기 반전된 업 신호 스위치(730)는 상기 반전된 다운 신호 스위치(750)에 링크된다. 상기 다운 신호 스위치(740, 750)는 라인(370)을 통해 파워 드레인(예컨대, 도 3의 제2전류미러(310)의 제2출력(370))에 링크된다. 상기 바이어싱 회로(710)는 상기 업 신호 스위치(720)와 다운 신호 스위치(740)간 커넥션에 링크되며, 더욱이 상기 반전된 업 신호 스위치(730)와 반전된 다운 신호 스위치(750)간 커넥션에 링크된다. 상기 업 신호 스위치(720) 및 다운 신호 스위치(740)는 상기 업 신호(215: 도 2) 및 다운 신호(220: 도 2)에 기초하여 라인(760)을 통해 전하펌프 출력신호(230)를 생성한다. 작은 전원전압에 의해 동작하는 상기 PLL 회로(200)에 대한 최대 전류 및 전압 레벨은 상기 업 및 다운 신호 스위치(720, 730, 740, 750)의 크기를 결정한다. 그러나, 작은 출력전류의 경우, 상기 업 및 다운 신호 스위치(720, 730, 740, 750)를 통한 누설은 상기 전하펌프 출력신호(230: 루프필터(235) 내로) 상기 업 및 다운 신호 스위치(720, 730, 740, 750)를 통해 흐르는 누설전류를 야기한다. 상기 누설전류를 감소시키기 위해, 상기 바이어싱 회로(710)는 필터된 제어신호(240)의 전압(예컨대, 상기 루프필터회로(235)를 가로지르는 전압)에 가깝거나 동일한 전압 바이어스를 생성한다. 상기 업 및 다운 신호 스위치(720, 730, 740, 750)가 오프되면, 상기 누설전류는 상기 바이어싱 회로(710)로 전환된다. 상기 바이어싱 회로(710)는 상기 업 및 다운 신호 스위치(720, 730, 740, 750)를 가로지르는 전압이 작아지는 것을 보장한다. 상기 작은 전압은 전하펌프 출력신호(230)에 대한 상기 업 및 다운 신호 스위치(720, 730, 740, 750)부터의 누설전류를 감소시킨다.

[0052] 도 8은 본 발명의 실시예에 따른 전하 보상된 전류펄스 누설방지회로(800)를 나타낸다. 상기 전하 보상된 전류펄스 누설방지회로(800)는 전류펄스 누설방지회로(700)와, 추가의 반전된 업 신호 스위치(810) 및 반전된 다운 신호 스위치(820)를 포함한다. 상기 반전된 업 신호 스위치(810)는 상기 업 신호 스위치(720) 및 상기 반전된 다운 신호 스위치(820)에 링크된다. 더욱이, 상기 반전된 다운 신호 스위치(820)는 상기 다운 신호 스위치(740)에 링크된다. 상기 반전된 업 신호 스위치(810)의 게이트-소스 및 게이트-드레인은 라인(830)을 통해 링크된다. 상기 반전된 다운 신호 스위치(820)의 게이트-소스 및 게이트-드레인은 라인(840)을 통해 링크된다.

[0053] 상기 전류펄스 누설방지회로(700)의 동작 동안, 상기 업 및 다운 신호 스위치(720, 730, 740, 750)가 스위치되면, 상기 업 및 다운 신호 스위치(720, 730, 740, 750)에 대한 게이트-소스 및 게이트-드레인 캐패시턴스는 상기 업 및 다운 신호 스위치(720, 730, 740, 750)에 대한 제어신호(예컨대, 업 신호(215) 및 다운 신호(220))에서 라인(760) 상의 전하펌프 출력신호(230)로 전송되는 소량의 전하를 야기한다. 상기 전하 보상된 전류펄스 누설방지회로(800)는 상기 라인(760) 상의 전하펌프 출력신호(230)에 가장 가깝게 위치한 상기 반전된 업 및 다운 신호 스위치(810, 820)의 게이트-드레인 및 게이트-소스를 쇼팅(shorting)함으로써 전하 전송을 감소시킨다. 몇몇 실시에 있어서, 상기 반전된 업 및 다운 신호 스위치(810, 820)는 상기 VCO(245: 도 2)의 동작전압에서 전하 전송을 보상하도록 조절된 크기를 갖는다.

[0054] 본 발명은 상기한 실시예로 한정하지 않으며, 본 발명의 목적 및 배경을 이탈하지 않는 범위 내에서 다양하게 변형하여 실시할 수 있다는 것은 본 발명의 당업자라면 쉽게 이해할 수 있을 것이다.

## 산업상 이용 가능성

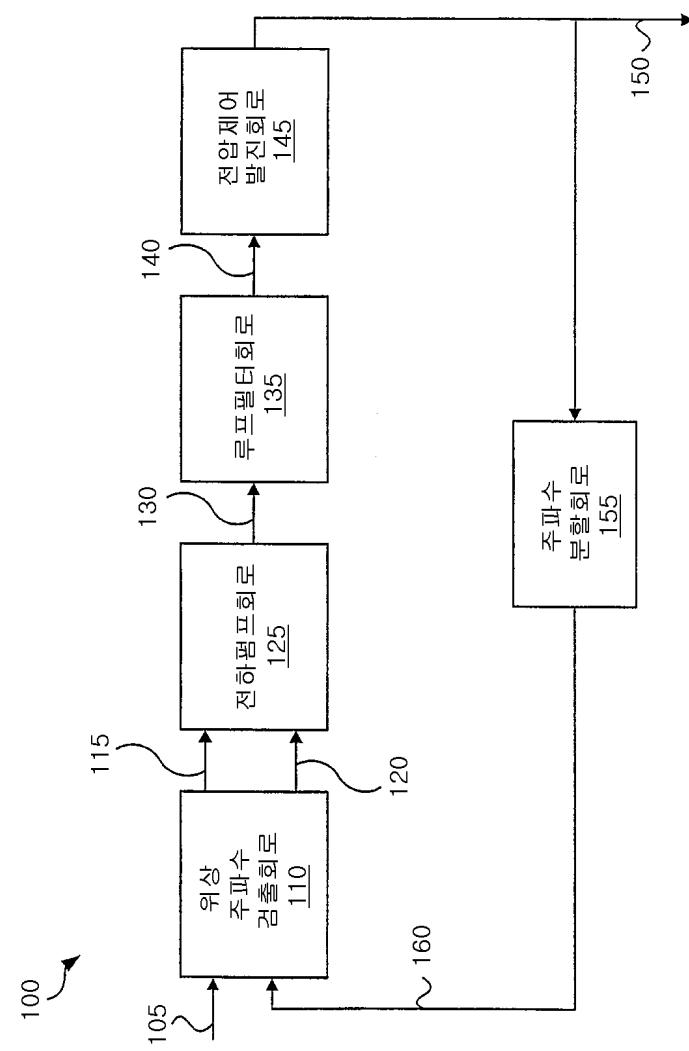
- [0055] 이상 기술한 바와 같이 본 발명에 의하면, 정적 위상 오프셋을 감소시키기 위해 정확한 전류펄스를 제공하고, 피드백신호에서의 입력신호를 탐지하기 위한 양호한 분해능을 제공할 수 있으며, 또한, 초미세 기술에서 저출력으로 입력신호를 탐지하기 위한 양호한 분해능을 제공할 수 있다.

### 도면의 간단한 설명

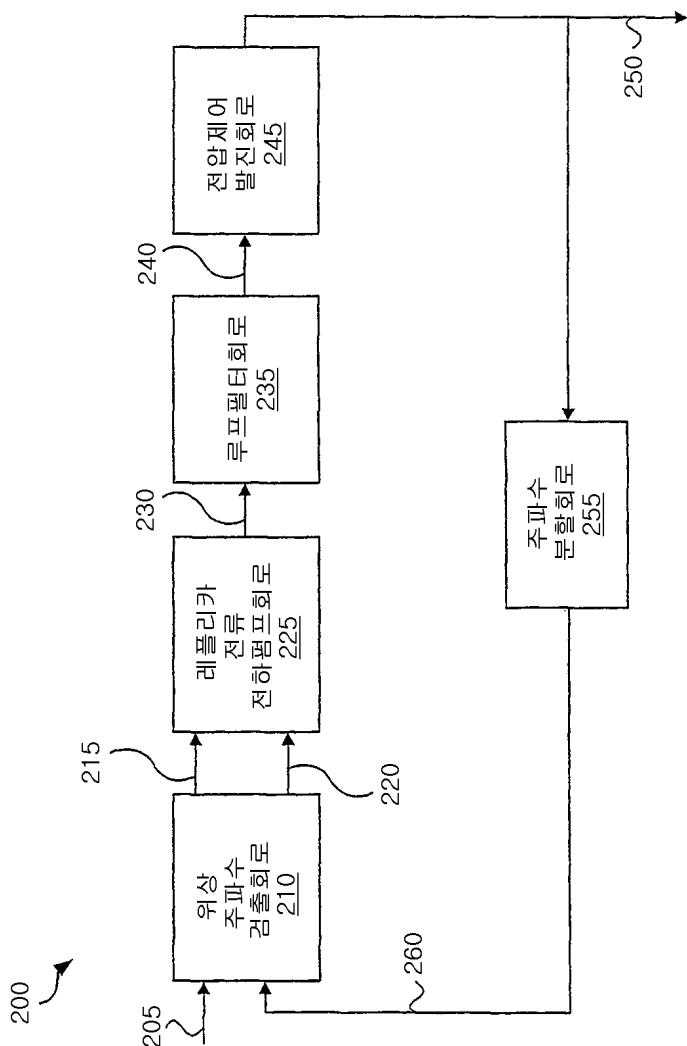
- [0016] 도 1은 종래의 위상고정루프회로를 나타낸 도면이다.
- [0017] 도 2는 본 발명의 실시예에 따른 전류 레플리카(replica) 전하펌프회로를 갖춘 위상고정루프회로를 나타낸 도면이다.
- [0018] 도 3은 본 발명의 실시예에 따른 전류 레플리카 전하펌프회로를 나타낸 도면이다.
- [0019] 도 4는 본 발명의 실시예에 따른 프로그램가능 전류미러 디지털/아날로그 컨버터(PCMDAC)를 나타낸 도면이다.
- [0020] 도 5는 본 발명의 실시예에 따른 누설 보상된 PCMDAC를 나타낸 도면이다.
- [0021] 도 6은 본 발명의 실시예에 따른 파워-온 누설방지회로를 나타낸 도면이다.
- [0022] 도 7은 본 발명의 실시예에 따른 전류펄스 누설방지회로를 나타낸 도면이다.
- [0023] 도 8은 본 발명의 실시예에 따른 전하 보상된 전류펄스 누설방지회로를 나타낸 도면이다.

### 도면

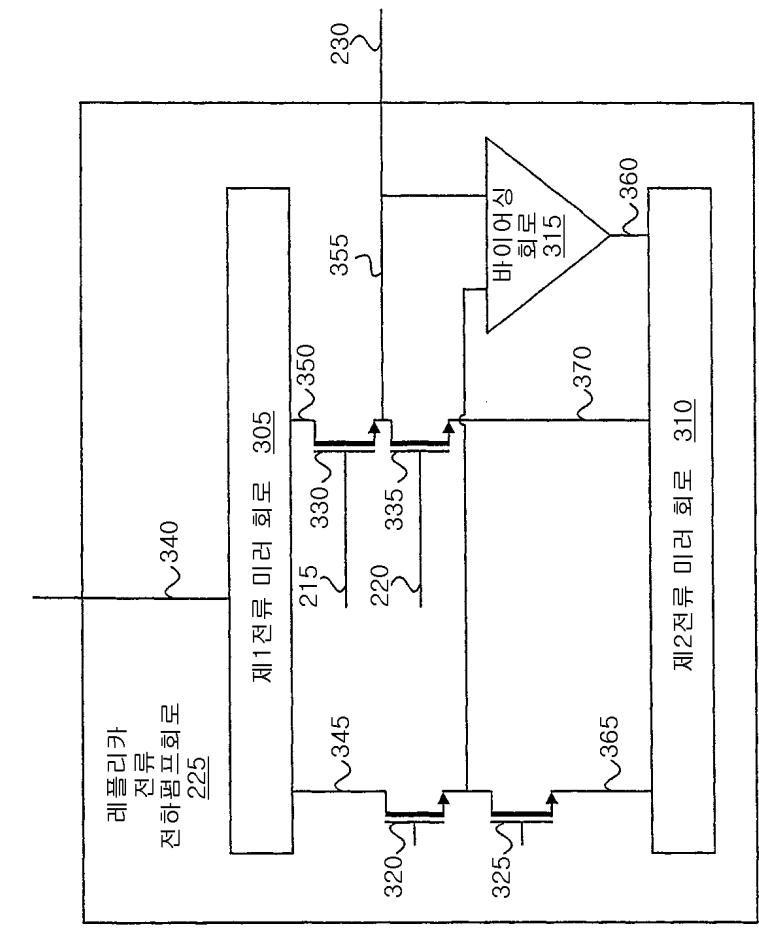
#### 도면1



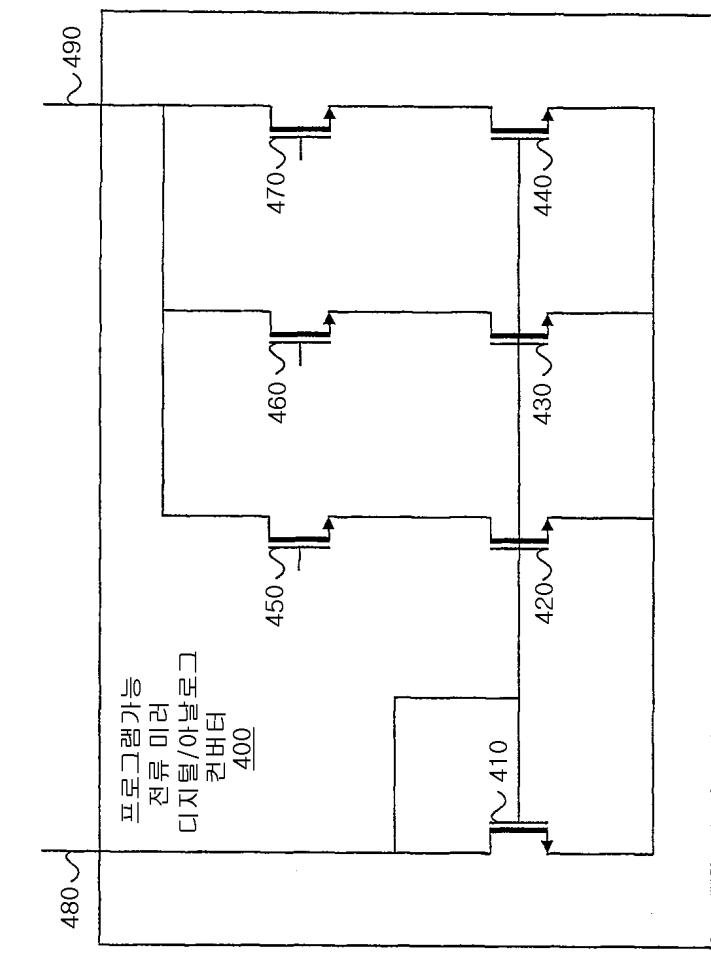
## 도면2



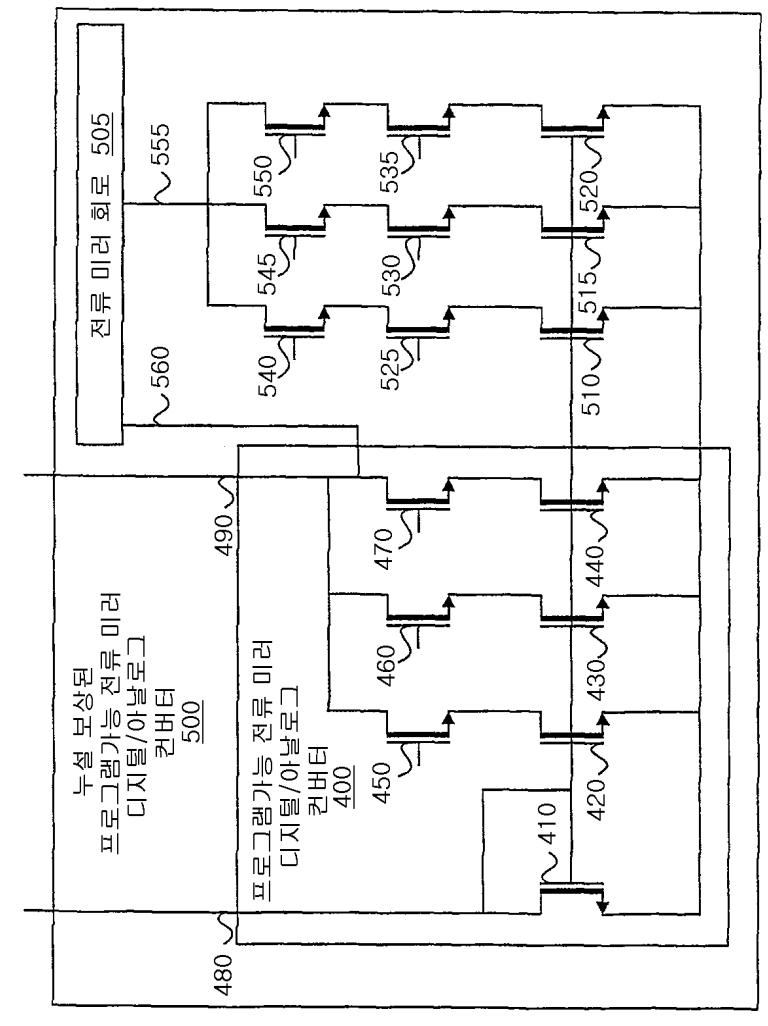
도면3



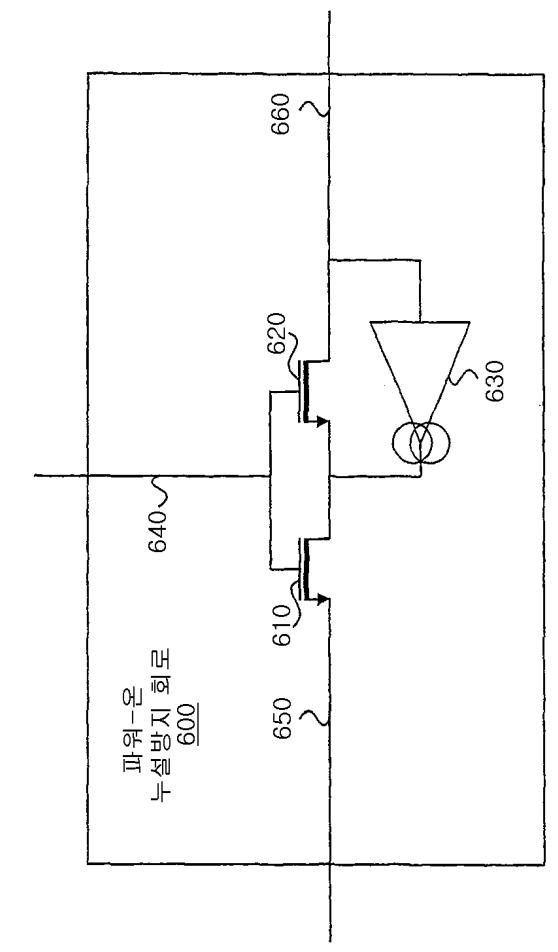
## 도면4



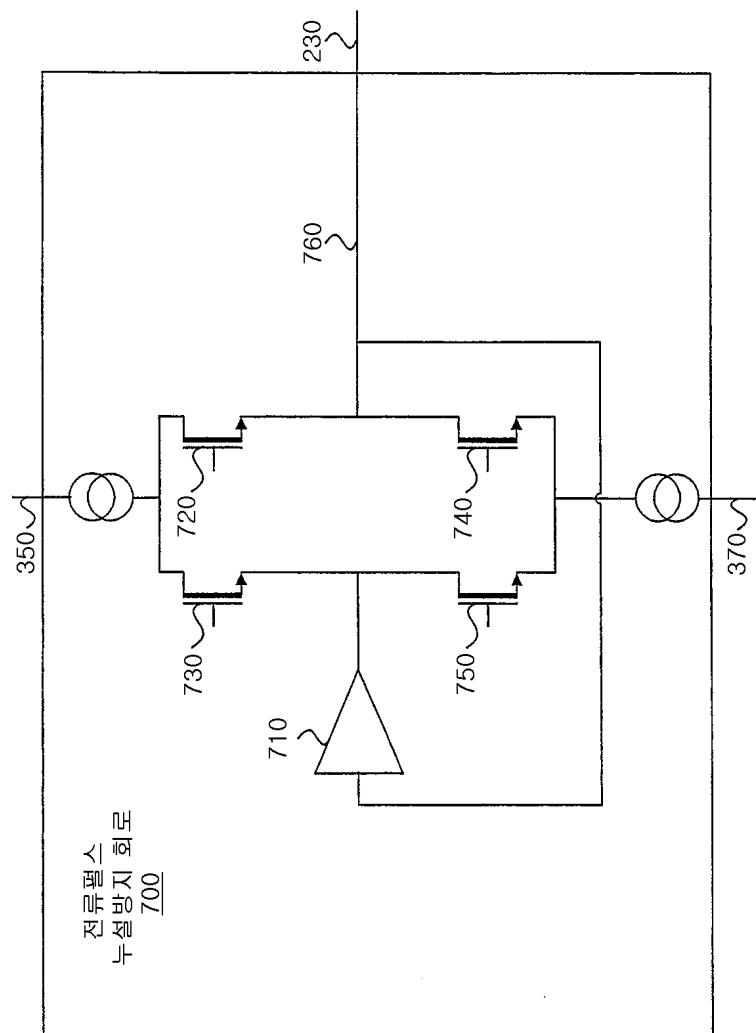
도면5



도면6



도면7



도면8

