

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第5185404号  
(P5185404)

(45) 発行日 平成25年4月17日(2013.4.17)

(24) 登録日 平成25年1月25日(2013.1.25)

(51) Int.Cl.

F 1

HO1L 21/336	(2006.01)	HO1L 29/78	618A
HO1L 29/786	(2006.01)	HO1L 29/78	618B
HO1L 21/8242	(2006.01)	HO1L 27/10	321
HO1L 27/108	(2006.01)	HO1L 27/10	434
HO1L 21/8247	(2006.01)	HO1L 29/78	371

請求項の数 8 (全 57 頁) 最終頁に続く

(21) 出願番号	特願2011-41618 (P2011-41618)
(22) 出願日	平成23年2月28日(2011.2.28)
(65) 公開番号	特開2011-205078 (P2011-205078A)
(43) 公開日	平成23年10月13日(2011.10.13)
審査請求日	平成24年9月11日(2012.9.11)
(31) 優先権主張番号	特願2010-49602 (P2010-49602)
(32) 優先日	平成22年3月5日(2010.3.5)
(33) 優先権主張国	日本国(JP)

早期審査対象出願

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	鈴木 邦彦 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

審査官 棚田 一也

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

ガス状のハロゲン元素を含む物質を含み、且つ水素濃度が10 ppm以下であるスパッタガスを用いて、スパッタ法により、電界効果型トランジスタの酸化物半導体層を形成する半導体装置の作製方法。

## 【請求項 2】

基板上にゲート電極を形成し、  
前記ゲート電極上にゲート絶縁層を形成し、  
ガス状のハロゲン元素を含む物質を含み、且つ水素濃度が10 ppm以下であるスパッタガスを用いて、スパッタ法により、前記ゲート絶縁層上に酸化物半導体層を形成し、  
前記酸化物半導体層上にソース電極及びドレイン電極を形成することを特徴とする半導体装置の作製方法。

## 【請求項 3】

基板上にソース電極及びドレイン電極を形成し、  
ガス状のハロゲン元素を含む物質を含み、且つ水素濃度が10 ppm以下であるスパッタガスを用いて、スパッタ法により、前記ソース電極及び前記ドレイン電極上に酸化物半導体層を形成し、

前記酸化物半導体層上にゲート絶縁層を形成し、

前記ゲート絶縁層上にゲート電極を形成することを特徴とする半導体装置の作製方法。

## 【請求項 4】

10

20

請求項 2 において、

前記酸化物半導体層のチャネル形成領域と重なり、且つ前記酸化物半導体層の表面と接する第 1 の絶縁層を形成することを特徴とする半導体装置の作製方法。

**【請求項 5】**

請求項 1 乃至請求項 4 のいずれか一において、

前記酸化物半導体層を形成した後に、前記酸化物半導体層に加熱処理を行うことを特徴とする半導体装置の作製方法。

**【請求項 6】**

請求項 1 乃至請求項 5 のいずれか一において、

前記酸化物半導体層に含有される水素の濃度は、 $5 \times 10^{19}$  atoms / cm<sup>3</sup> 以下であることを特徴とする半導体装置の作製方法。

10

**【請求項 7】**

請求項 1 乃至請求項 6 のいずれか一において、

前記スパッタガスの前記水素濃度は 1 ppm 以下であることを特徴とする半導体装置の作製方法。

**【請求項 8】**

請求項 1 乃至請求項 7 のいずれか一において、

前記ハロゲン元素はフッ素原子を含むことを特徴とする半導体装置の作製方法。

**【発明の詳細な説明】**

**【技術分野】**

20

**【0001】**

酸化物半導体を用いる半導体装置、及びその作成方法に関する。ここで、半導体装置とは、半導体特性を利用することで機能する素子および装置全般を指すものである。

**【背景技術】**

**【0002】**

絶縁表面を有する基板上に形成した半導体層を用いてトランジスタを構成する技術が知られている。例えば、シリコン系半導体材料を含む薄膜を用いてガラス基板上にトランジスタを形成し、液晶表示装置等に応用する技術が知られている。

**【0003】**

液晶表示装置に用いるトランジスタは、主にアモルファスシリコン、または多結晶シリコンなどの半導体材料を用いて作製される。アモルファスシリコンを用いたトランジスタは、電界効果移動度が低いもののガラス基板の大面積化に対応することができる。一方、多結晶シリコンを用いたトランジスタは、電界効果移動度が高いもののレーザアニールなどの結晶化工程が必要であり、ガラス基板の大面積化には必ずしも適応しないといった特性を有している。

30

**【0004】**

その他の材料として酸化物半導体が注目されている。酸化物半導体の材料としては、酸化亜鉛又は酸化亜鉛を成分とするものが知られている。そして、電子キャリア濃度が  $10^{18} / \text{cm}^3$  未満である非晶質酸化物（酸化物半導体）なるもので形成された薄膜トランジスタが開示されている（特許文献 1 乃至 3）。

40

**【先行技術文献】**

**【特許文献】**

**【0005】**

**【特許文献 1】** 特開 2006 - 165527 号公報

**【特許文献 2】** 特開 2006 - 165528 号公報

**【特許文献 3】** 特開 2006 - 165529 号公報

**【発明の概要】**

**【発明が解決しようとする課題】**

**【0006】**

半導体特性を利用するトランジスタは経時劣化による閾値電圧のバラツキが小さいことが

50

望まれる。経時劣化による閾値電圧のバラツキが大きいトランジスタは、それを用いた半導体装置の信頼性を損ねてしまうからである。また、半導体特性を利用するトランジスタはオフ電流が小さいことなどが望まれる。オフ電流が大きいトランジスタは、それを用いた半導体装置の消費電力を高めてしまうからである。

#### 【0007】

本発明は、信頼性の高い半導体装置の作製方法を提供することを課題の一とする。

#### 【0008】

また、消費電力が低い半導体装置の作製方法を提供することを課題の一とする。

#### 【課題を解決するための手段】

#### 【0009】

上記課題を解決するために本発明者等は、酸化物半導体を半導体層に用いる半導体装置において、酸化物半導体層に含まれる不純物の濃度が、閾値電圧の変動、並びにオフ電流の増大に影響を与えることに着目した。不純物としては、水素や、水など、水素原子を含む物質をその例にあげることができる。水素原子を含む不純物は、酸化物半導体層の金属原子に水素原子を与え、不純物準位を生じる。

10

#### 【0010】

酸化物半導体に含まれる水素原子を含む不純物は、当該酸化物半導体を成膜したあとに行う比較的高温（例えば、600）の第1の加熱処理によりおよそ除去できる。しかし、酸化物半導体を構成する金属と強く結合する不純物（例えば水素、及び水酸基）は、その強い結合力によって半導体層に残留してしまう。不純物が残留する酸化物半導体を半導体層に用いると、半導体装置の閾値電圧が長期間の使用や光照射により変動してしまう。またオフ電流が増大する等の不具合が生じてしまう。

20

#### 【0011】

従って上記課題を解決するためには、成膜室から水素原子を含む不純物を徹底的に排除して、高い純度の酸化物半導体層を成膜すればよい。具体的には、成膜中に水素原子を含む不純物と強く結合する物質を成膜室に導入して、成膜室に残留する水素原子を含む不純物と反応せしめ、水素原子を含む安定な物質に変性すればよい。水素原子を含む安定な物質は酸化物半導体層の金属原子に水素原子を与えることなく排気されるため、水素原子等が酸化物半導体層に取り込まれる現象を防止できる。水素原子を含む不純物と強く結合する物質としては、例えばハロゲン元素を含む物質が好ましい。ハロゲン元素を含む物質はプラズマ中でハロゲンラジカルを生じ、水素原子を含む不純物から水素原子を奪うからである。また、ハロゲン元素を含む物質の中でも、フッ素ラジカルを生じるフッ素原子を含む物質が特に好ましい。フッ素原子と水素原子の結合エネルギーは他のハロゲン元素と水素原子の結合エネルギーより高く、フッ素原子と水素原子の結合は他のハロゲン元素と水素原子の結合より安定だからである。

30

#### 【0012】

また、半導体層に含まれる酸化物半導体の末端の金属原子は酸素を介して他の金属原子と結合している状態が好ましい。しかし、作製工程中に金属原子と酸素の結合が失われると、金属原子に未結合手（ダングリングボンド）が生じる場合がある。また、水素原子を含む不純物の存在下で金属原子と酸素の結合が失われると、水素と金属原子の結合、水酸基と金属原子の結合が生じる場合がある。金属原子に生じた未結合手（ダングリングボンド）はキャリア密度を高め、水素と金属原子の結合、及び水酸基と金属原子の結合は不純物準位を形成する。高いキャリア密度を有する酸化物半導体層を用いた半導体装置は、閾値電圧がノーマリオンの傾向を示し、例えば長期間の使用や光照射により変動する恐れがある。また、不純物準位が形成された酸化物半導体層を用いた半導体装置は、オフ電流が増大する等の不具合を生じてしまう。

40

#### 【0013】

上記課題を解決するためには、作製工程中に金属原子に生じた未結合手（ダングリングボンド）を補う物質を添加すればよい。具体的には、ハロゲン元素の供給源を成膜室に導入すればよい。ハロゲン元素は酸化物半導体層に含まれる金属原子に生じた未結合手（ダン

50

グリーンボンド)に結合して終端を形成するため、キャリアの生成、または不純物準位の生成を抑制することができる。

**【0014】**

すなわち、本発明の一態様は、絶縁表面を有する基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁層を形成し、前記ゲート絶縁層に接して前記ゲート電極に重畳する酸化物半導体層を、ハロゲン元素を含む物質がガス状で導入された成膜室内で形成し、前記酸化物半導体層を加熱処理し、加熱処理された前記酸化物半導体層に接して、端部をゲート電極に重畳するソース電極、及びドレイン電極を形成し、前記酸化物半導体層のチャネル形成領域に重畳し、前記酸化物半導体層の表面に接して、第1の絶縁層を形成する半導体装置の作製方法である。

10

**【0015】**

また、本発明の一態様は、水素、または水の含有量が10 ppm以下である窒素、酸素、乃至窒素及び酸素の混合ガス中で、前記酸化物半導体層を250以上700以下の温度で加熱する上記半導体装置の作製方法である。

**【0016】**

また、本発明の一態様は、前記酸化物半導体層を加熱後200以下まで徐冷する上記半導体装置の作製方法である。

**【0017】**

また、本発明の一態様は、フッ素原子を含む物質をガス状で成膜室内に導入する上記半導体装置の作製方法である。

20

**【0018】**

また、本発明の一態様は、絶縁表面を有する基板上にソース電極、及びドレイン電極を形成し、前記ソース電極、及びドレイン電極の端部を覆う酸化物半導体層を、ハロゲン元素を含む物質がガス状で導入された成膜室内で形成し、前記酸化物半導体層を加熱処理し、加熱処理された前記酸化物半導体層に接して、前記ソース電極、及びドレイン電極の端部に重畳するゲート絶縁層を形成し、前記ゲート絶縁層に接し、前記ソース電極、及びドレイン電極の端部に重畳するゲート電極を形成する半導体装置の作製方法である。

**【0019】**

また、本発明の一態様は、水素、または水の含有量が10 ppm以下である窒素、酸素、乃至窒素及び酸素の混合ガス中で、前記酸化物半導体層を250以上700以下の温度で加熱する上記半導体装置の作製方法である。

30

**【0020】**

また、本発明の一態様は、前記酸化物半導体層を加熱後200以下まで徐冷する上記半導体装置の作製方法である。

**【0021】**

また、本発明の一態様は、フッ素原子を含む物質をガス状で成膜室内に導入する上記半導体装置の作製方法である。

**【0022】**

なお、本明細書において、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

40

**【発明の効果】**

**【0023】**

本発明の半導体装置の作製方法によれば、ハロゲン元素を含む物質を成膜室に導入し、成膜中に生じるハロゲンラジカルを成膜室内に残留する水素原子を含む不純物と反応させ、水素原子を含む安定なハロゲン化物に変性して排気することで、高純度な酸化物半導体膜を成膜できる。さらに、半導体層を加熱することで、当該半導体層に残留する不純物を低減できる。残留する不純物が低減された酸化物半導体層を有する半導体装置は閾値電圧の変動が抑止され信頼性が高い。

**【0024】**

50

よって、信頼性の高い半導体装置の作製方法を提供できる。

【0025】

本発明の半導体装置の作製方法によれば、酸化物半導体層に残留する不純物を低減できる。残留する不純物が低減された酸化物半導体層を有する半導体装置はオフ電流が低減され、消費電力が低い。

【0026】

よって、消費電力が低い半導体装置の作製方法を提供できる。

【0027】

本発明の半導体装置の作製方法によれば、酸化物半導体層に残留する不純物を低減できる。残留する不純物が低減された酸化物半導体層を有する半導体装置は半導体特性のバラツキが小さく量産性に優れる。

10

【0028】

よって、量産性の高い半導体装置の作製方法を提供できる。

【図面の簡単な説明】

【0029】

【図1】実施の形態に係る半導体装置の構成を説明する図。

【図2】実施の形態に係る半導体装置の作製方法を説明する図。

【図3】実施の形態に係る半導体装置の構成を説明する図。

【図4】実施の形態に係る半導体装置の作製方法を説明する図。

【図5】実施の形態に係る半導体装置の構成を説明する図。

20

【図6】実施の形態に係る半導体装置の作製方法を説明する図。

【図7】実施の形態に係る半導体装置の作製方法を説明する図。

【図8】実施の形態に係る半導体装置の作製方法を説明する図。

【図9】実施の形態に係る半導体装置の作製方法を説明する図。

【図10】実施の形態に係る半導体装置の回路図。

【図11】実施の形態に係る半導体装置の回路図。

【図12】実施の形態に係る半導体装置の回路図。

【図13】実施の形態に係る半導体装置を用いた電子機器を説明するための図。

【図14】実施の形態に係る反応経路とそれぞれの状態のエネルギーを説明するエネルギー・ダイアグラム。

30

【図15】実施の形態に係る反応経路とそれぞれの状態のエネルギーを説明するエネルギー・ダイアグラム。

【図16】実施の形態に係わる液晶表示装置の各構成を説明するブロック図。

【図17】実施の形態に係わる液晶表示装置の駆動回路と画素の構成を説明する図。

【図18】実施の形態に係わる液晶表示装置の動作を説明するタイミングチャート。

【図19】実施の形態に係わる液晶表示装置の表示制御回路の動作を説明するタイミングチャート。

【図20】実施の形態に係わる動画を表示する期間と静止画を表示する期間におけるフレーム期間毎の画像信号の書き込み頻度を模式的に示す図。

【発明を実施するための形態】

40

【0030】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0031】

(実施の形態1)

本実施の形態では、ハロゲン元素を含む物質をガス状で成膜室に導入しながら酸化物半導

50

体層を成膜し、後に加熱処理を施して、酸化物半導体層を高純度化する方法で作製するボトムゲート型のトランジスタ、及びその作製方法について図1、及び図2を用いて説明する。

#### 【0032】

本実施の形態で作製するボトムゲート型のトランジスタ550の構成を図1に示す。図1(A)にトランジスタ550の上面図を、図1(B)にトランジスタ550の断面図を示す。なお、図1(B)は図1(A)に示す切断線P1-P2における断面図に相当する。

#### 【0033】

トランジスタ550は、絶縁表面を有する基板500上に、ゲート電極511、及びゲート電極511を覆うゲート絶縁層502を有する。また、ゲート絶縁層502上にゲート電極511と重疊する高純度化された酸化物半導体層513b、及び酸化物半導体層513bに接し、端部をゲート電極511と重疊するソース電極またはドレイン電極として機能する第1の電極515a及び第2の電極515bを有する。また、酸化物半導体層513bに接してそのチャネル形成領域と重なる絶縁層507、及びトランジスタ550を覆う保護絶縁層508を有する。

#### 【0034】

本実施の形態の半導体層に用いる酸化物半導体は、n型不純物として働く水素が除去され、酸化物半導体の主成分以外の不純物を極力含まないように高純度化することによりI型(真性)の酸化物半導体、又はI型(真性)に限りなく近い酸化物半導体としたものである。

10

20

#### 【0035】

なお、高純度化された酸化物半導体中ではキャリアが極めて少なく、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満となる。また、このようにキャリアが少ないので、オフ状態における電流(オフ電流)は十分に小さくなる。

#### 【0036】

具体的には、上述の酸化物半導体層を具備するトランジスタでは、オフ状態でのソースとドレイン間のチャネル幅 $1 \mu\text{m}$ あたりのリーク電流密度(オフ電流密度)は、ソースとドレイン間の電圧が3.5V、使用時の温度条件下(例えば、25)において、 $100 \text{ zA} / \mu\text{m}$ ( $1 \times 10^{-19} \text{ A} / \mu\text{m}$ )以下、もしくは $10 \text{ zA} / \mu\text{m}$ ( $1 \times 10^{-20} \text{ A} / \mu\text{m}$ )以下、さらには $1 \text{ zA} / \mu\text{m}$ ( $1 \times 10^{-21} \text{ A} / \mu\text{m}$ )以下とすることができる。

30

#### 【0037】

また、高純度化された酸化物半導体層を具備するトランジスタは、オフ電流の温度依存性がほとんど見られず、高温状態においてもオフ電流は非常に小さいままである。

#### 【0038】

トランジスタ550が有する酸化物半導体層513bは、ハロゲン元素を含む物質がガス状で導入された成膜室内で成膜される。また、トランジスタ550が有する酸化物半導体層513bは、ハロゲン元素を含んでいる場合がある。酸化物半導体層513bに含まれるハロゲン元素の濃度は $10^{15} \text{ atoms} / \text{cm}^3$ 以上 $10^{18} \text{ atoms} / \text{cm}^3$ 以下である。酸化物半導体層513b中のハロゲン元素は、半導体装置の作成工程中に金属原子に生じた未結合手(ダングリングボンド)に結合して終端を形成するため、不純物準位、またはキャリアの生成を抑制する。

40

#### 【0039】

次に、トランジスタ550を基板500上に作製する方法について、図2(A)乃至(D)を用いて説明する。

#### 【0040】

まず、絶縁表面を有する基板500上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極511を含む配線層を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマス

50

クを使用しないため、製造コストを低減できる。

**【0041】**

本実施の形態では絶縁表面を有する基板500としてガラス基板を用いる。

**【0042】**

下地膜となる絶縁膜を基板500とゲート電極511との間に設けてもよい。下地膜は、基板500からの不純物元素（例えば、Li、Naなどのアルカリ金属、及びCaなどのアルカリ土類金属など）の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

**【0043】**

また、ゲート電極511は、モリブデン、チタン、タンタル、タングステン、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

**【0044】**

なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることもできる。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

**【0045】**

また、銅を用いる場合は、下地となる層にCu-Mg-Al合金を設け、その上に銅を形成する構成が好ましい。Cu-Mg-Al合金を設けることで、酸化膜などの下地と銅の密着性が高まる効果を奏する。

**【0046】**

次いで、ゲート電極511上にゲート絶縁層502を形成する。ゲート絶縁層502は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。

**【0047】**

本実施の形態の酸化物半導体としては、ハロゲン元素を含む物質をガス状で成膜室に導入しながら成膜し、後に加熱処理を施して不純物を除去した、I型化又は実質的にI型化された酸化物半導体を用いる。このような高純度化された酸化物半導体は界面準位密度、界面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。

**【0048】**

例えば、μ波（例えば周波数2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層とが密接することにより、界面準位密度を低減して界面特性を良好なものとすることができますからである。

**【0049】**

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、酸化物半導体との界面特性が改質される絶縁層であっても良い。いずれにしても、ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

**【0050】**

なお、ゲート絶縁層502は後に形成される酸化物半導体層と接する。酸化物半導体層に、水素が拡散すると半導体特性が損なわれる所以、ゲート絶縁層502は水素、水酸基お

10

20

30

40

50

より水分が含まれないことが望ましい。また、ゲート絶縁層 502、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体膜の前処理として、スパッタリング装置の予備加熱室でゲート電極 511 が形成された基板 500、又はゲート絶縁層 502 までが形成された基板 500 を予備加熱し、基板 500 に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層 507 の成膜前に、第 1 の電極 515a 及び第 2 の電極 515b まで形成した基板 500 にも同様に行ってもよい。

#### 【0051】

次いで、ゲート絶縁層 502 上に、膜厚 2 nm 以上 200 nm 以下、好ましくは 5 nm 以上 30 nm 以下の酸化物半導体膜を形成する。 10

#### 【0052】

酸化物半導体膜は、金属酸化物をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

#### 【0053】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 502 の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずにアルゴン雰囲気下で基板に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。 20

#### 【0054】

酸化物半導体膜に用いる酸化物半導体としては、四元系金属酸化物である In - Sn - Ga - Zn - O 系酸化物半導体や、三元系金属酸化物である In - Ga - Zn - O 系酸化物半導体、In - Sn - Zn - O 系酸化物半導体、In - Al - Zn - O 系酸化物半導体、Sn - Ga - Zn - O 系酸化物半導体、Al - Ga - Zn - O 系酸化物半導体、Sn - Al - Zn - O 系酸化物半導体や、二元系金属酸化物である In - Zn - O 系酸化物半導体、Sn - Zn - O 系酸化物半導体、Al - Zn - O 系酸化物半導体、Zn - Mg - O 系酸化物半導体、Sn - Mg - O 系酸化物半導体、In - Mg - O 系酸化物半導体、In - Ga - O 系酸化物半導体や、一元系金属酸化物である In - O 系酸化物半導体、Sn - O 系酸化物半導体、Zn - O 系酸化物半導体などを用いることができる。また、上記酸化物半導体は SiO<sub>2</sub> を含んでもよい。酸化物半導体膜に結晶化を阻害する酸化珪素 (SiO<sub>x</sub> (X > 0)) を含ませることで、製造プロセス中において酸化物半導体膜の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。ここで、例えば、In - Ga - Zn - O 系酸化物半導体とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物膜、という意味であり、その組成比はとくに問わない。また、In と Ga と Zn 以外の元素を含ませてもよい。 30

#### 【0055】

また、酸化物半導体膜には、化学式 InMO<sub>3</sub> (ZnO)<sub>m</sub> (m > 0、且つ m は自然数でない) で表記される薄膜を用いることができる。ここで、M は、Ga、Al、Mn および Co から選ばれた一または複数の金属元素を示す。例えば M として、Ga、Ga 及び Al、Ga 及び Mn、または Ga 及び Co などがある。 40

#### 【0056】

また、酸化物半導体として In - Zn - O 系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In : Zn = 50 : 1 ~ 1 : 2 (モル数比に換算すると In<sub>2</sub>O<sub>3</sub> : ZnO = 25 : 1 ~ 1 : 4)、好ましくは In : Zn = 20 : 1 ~ 1 : 1 (モル数比に換算すると In<sub>2</sub>O<sub>3</sub> : ZnO = 10 : 1 ~ 1 : 2)、さらに好ましくは In : Zn = 15 : 1 ~ 1.5 : 1 (モル数比に換算すると In<sub>2</sub>O<sub>3</sub> : ZnO = 15 : 2 ~ 3 : 4) と 50

する。例えば、In - Zn - O系酸化物半導体の形成に用いるターゲットは、原子数比が In : Zn : O = X : Y : Z のとき、Z > 1 . 5 X + Y とする。

#### 【0057】

酸化物半導体は、好ましくはInを含有する酸化物半導体、さらに好ましくは、In、及びGaを含有する酸化物半導体である。酸化物半導体層をI型（真性）とするため、脱水化または脱水素化は有効である。本実施の形態では、酸化物半導体膜を、In - Ga - Zn - O系酸化物ターゲットを用いてスパッタリング法により成膜する。

#### 【0058】

酸化物半導体膜をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$  [mol数比] の酸化物ターゲットを用い、In - Ga - Zn - O膜を成膜する。また、このターゲットの材料及び組成に限定されず、例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$  [mol数比] 、又は $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$  [mol数比] の組成比を有する酸化物ターゲットを用いてもよい。

10

#### 【0059】

また、酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができます。また、ターゲットの純度は99.99%以上が好ましく、特にNa、Li等のアルカリ金属及びCaなどのアルカリ土類金属などの不純物は低減されているものが好ましい。

20

#### 【0060】

また、酸化物半導体膜を成膜する際に用いるスパッタガス（ガス状で用いるハロゲン元素を含む物質も含め）は、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いる。例えば濃度10ppm程度以下、好ましくは1ppm以下まで除去された高純度ガスを用いることが好ましい。具体的には、露点-60 以下の高純度ガスが好ましい。

#### 【0061】

成膜室に導入するハロゲン元素を含む物質としては、フッ素原子を含むガス（フッ素系ガス、例えば四弗化炭素（CF<sub>4</sub>）、六弗化硫黄（SF<sub>6</sub>）、三弗化窒素（NF<sub>3</sub>）、トリフルオロメタン（CHF<sub>3</sub>）など）、塩素原子を含むガス（塩素系ガス、例えば塩素（Cl<sub>2</sub>）、三塩化硼素（BCl<sub>3</sub>）、四塩化珪素（SiCl<sub>4</sub>）、四塩化炭素（CCl<sub>4</sub>）など）などを適宜用いることができる。特にフッ素原子を含むガスは、プラズマ中でフッ素ラジカルを生じるため好ましい。フッ素原子と水素原子の結合エネルギーは他のハロゲン元素と水素原子の結合エネルギーより高く、フッ素原子と水素原子の結合は他のハロゲン元素と水素原子の結合より安定だからである。

30

#### 【0062】

また、ハロゲン元素の供給源を成膜室に導入する方法は、成膜ガスにハロゲン元素を含むガスを添加する方法が便宜であり好ましい。また、上記NF<sub>3</sub>のようなハロゲン元素を含むガスを、成膜を行う処理室のクリーニング処理に用い、成膜時に処理室内に残留するフッ素などのハロゲン元素を酸化物半導体膜に含ませるように成膜することができる。

40

#### 【0063】

減圧状態に保持された成膜室内に基板を保持し、基板温度を100 以上600 以下好ましくは200 以上400 以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、排気ポンプを用いて成膜室内の残留水分を除去しつつ、水素及び水分が除去され、ハロゲン元素を含む物質がガス状で添加されたスパッタガスを導入し、上記ターゲットを用いて基板500 上に酸化物半導体膜を成膜する。成膜室内の残留水分、及び成膜室の外部から侵入する水素や水分（リークに伴い浸入する水素や水分）を除去するには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、タ

50

一ボンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水( $H_2O$ )など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

#### 【0064】

なお、スパッタリング法を行う雰囲気は、ハロゲン元素を含む物質をガス状で添加した希ガス(代表的にはアルゴン)雰囲気、ハロゲン元素を含む物質をガス状で添加した酸素雰囲気、またはハロゲン元素を含む物質をガス状で添加した、希ガスと酸素の混合雰囲気とすればよい。

#### 【0065】

成膜室に導入したハロゲン元素を含む物質はプラズマによって分解しハロゲンラジカルを生成する。生じたハロゲンラジカルは成膜室内の残留水分、及びリークに伴い成膜室の外部から侵入する水分と反応し、水素原子を含む安定な物質(一例としては、ハロゲン化水素)を生成する。例えば、フッ素原子を含む物質(一例としては、 $NF_3$ )を含む雰囲気で酸化物半導体膜を成膜すると、フッ素ラジカルと成膜室の水分が反応してフッ化水素を生成する。なお、フッ化水素分子の水素原子とフッ素原子の解離エネルギーは、水分子の水素原子と酸素原子の解離エネルギーより大きいことから、フッ化水素分子は水分子より安定であると言える。

#### 【0066】

成膜室の水分はフッ化水素となって成膜室から排気されるため、酸化物半導体層は水分によって汚染され難くなる。

#### 【0067】

成膜条件の一例としては、基板とターゲットとの間の距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質(パーティクル、ごみともいう)が軽減でき、膜厚分布も均一となるために好ましい。

#### 【0068】

また、スパッタリング装置の処理室のリーカート率を $1 \times 10^{-10} Pa \cdot m^3 / 秒$ 以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカリ金属、水素化物等の不純物の混入を低減することができる。

#### 【0069】

また、排気系として吸着型の真空ポンプを用いることで、排気系からアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

#### 【0070】

なお、酸化物半導体層中に含まれる、Li、Naなどのアルカリ金属、及びCaなどのアルカリ土類金属などの不純物は低減されていることが好ましい。具体的には、酸化物半導体層中に含まれるこれらの不純物濃度は、SIMSを用いてLiが $5 \times 10^{15} cm^{-3}$ 以下、好ましくは $1 \times 10^{15} cm^{-3}$ 以下、Naが $5 \times 10^{15} cm^{-3}$ 以下、好ましくは $1 \times 10^{15} cm^{-3}$ 以下、Kは $5 \times 10^{15} cm^{-3}$ 以下、好ましくは $1 \times 10^{15} cm^{-3}$ 以下であることが好ましい。

#### 【0071】

アルカリ金属、及びアルカリ土類金属は酸化物半導体にとっては悪性の不純物であり、少ないほうがよい。特にアルカリ金属のうち、Naは酸化物半導体に接する絶縁膜が酸化物であった場合、その中に拡散し、 $Na^+$ となる。また、酸化物半導体内において、金属と酸素の結合を分断し、あるいは結合中に割り込む。その結果、トランジスタ特性の劣化(例えば、ノーマリーオン化(しきい値の負へのシフト)、移動度の低下等)をもたらす。加えて、特性のばらつきの原因となる。このような問題は、特に酸化物半導体中の水素の濃度が十分に低い場合において顕著となる。したがって、酸化物半導体中の水素の濃度が $5 \times 10^{19} cm^{-3}$ 以下、特に $5 \times 10^{18} cm^{-3}$ 以下である場合には、アルカリ

10

20

30

40

50

金属の濃度を上記の値にすることが強く求められる。

**【0072】**

次いで、酸化物半導体膜を第2のフォトリソグラフィ工程により島状の酸化物半導体層513aに加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

**【0073】**

また、ゲート絶縁層502にコンタクトホールを形成する場合、その工程は酸化物半導体膜の加工時に同時にを行うことができる。

**【0074】**

なお、ここでの酸化物半導体膜のエッティングは、ドライエッティングでもウェットエッティングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッティングに用いるエッティング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。なお、この段階の断面図を図2(A)に示す。

10

**【0075】**

また、ドライエッティングに用いるエッティングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl<sub>2</sub>)、三塩化硼素(BCl<sub>3</sub>)、四塩化珪素(SiCl<sub>4</sub>)、四塩化炭素(CC1<sub>4</sub>)など)が好ましい。また、フッ素原子を含む物質(フッ素系ガス、例えば四弗化炭素(CF<sub>4</sub>)、六弗化硫黄(SF<sub>6</sub>)、三弗化窒素(NF<sub>3</sub>)、トリフルオロメタン(CHF<sub>3</sub>)など)、臭化水素(HBr)、酸素(O<sub>2</sub>)、これらのガスにヘリウム(He)やアルゴン(Argon)などの希ガスを添加したガス、などを用いることができる。

20

**【0076】**

ドライエッティング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッティング法を用いることができる。所望の加工形状にエッティングできるように、エッティング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

**【0077】**

30

次いで、酸化物半導体層513aに第1の加熱処理を施す。この第1の加熱処理によって、酸化物半導体層から不純物を除去できる。例えば、酸化物半導体層に取り込まれたハロゲン化水素を除去できる。金属に強固に結合する水素または水酸基を直接取り除く方法に比べ、生成するハロゲン化水素を加熱によって除去する方法は容易である。

**【0078】**

第1の加熱処理の温度は、250以上750以下、好ましくは400以上基板の歪み点未満とする。例えば、500、3分間以上6分間以下で行ってもよい。加熱処理にRTA(Rapid Thermal Anneal)法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪み点を超える温度でも処理することができる。第4世代のガラス基板程度の大きさを有する基板については、250以上750以下の範囲で加熱処理を行うことができるが、第6世代から第10世代の程度の大きさを有する基板については、250以上450以下の範囲の加熱処理温度が好ましい。

40

**【0079】**

ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下600において加熱処理を行った後、大気に触れることなく200以下まで徐冷し、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層513bを得る(図2(B)参照)。200以下まで冷却することにより、高温の酸化物半導体層が大気中の水や水分と接する状況を避けることができる。高温の酸化物半導体層が大気中の水や水分と接すると、酸化物半導体は水素原子を含む不純物に汚染される場合がある。

**【0080】**

50

なお、加熱処理装置は電気炉に限らず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いててもよい。例えば、G R T A ( G a s R a p i d T h e r m a l A n n e a l ) 装置、L R T A ( L a m p R a p i d T h e r m a l A n n e a l ) 装置等のR T A ( R a p i d T h e r m a l A n n e a l ) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

10

#### 【 0 0 8 1 】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すG R T A を行ってもよい。

#### 【 0 0 8 2 】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、5 N ( 99.999 % ) 以上好ましくは6 N ( 99.9999 % ) 以上(即ち不純物濃度を10 ppm以下、好ましくは1 ppm以下)とすることが好ましい。

20

#### 【 0 0 8 3 】

また、第1の加熱処理で酸化物半導体層を加熱した後、同じ炉に高純度の酸素ガス、高純度のN<sub>2</sub>Oガス、又は超乾燥エア(C R D S(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20 ppm(露点換算で-55)以下、好ましくは1 ppm以下、好ましくは10 ppb以下の空気)を導入してもよい。酸素ガスまたはN<sub>2</sub>Oガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたはN<sub>2</sub>Oガスの純度を、5 N以上好ましくは6 N以上(即ち、酸素ガスまたはN<sub>2</sub>Oガス中の不純物濃度を10 ppm以下、好ましくは1 ppm以下)とすることが好ましい。酸素ガス又はN<sub>2</sub>Oガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層を高純度化及び電気的にI型(真性)化する。

30

#### 【 0 0 8 4 】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うことでもできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

#### 【 0 0 8 5 】

なお、第1の加熱処理は、上記以外にも、酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、あるいは、ソース電極及びドレイン電極上に絶縁層を形成した後、のいずれで行っても良い。

40

#### 【 0 0 8 6 】

また、ゲート絶縁層502にコンタクトホールを形成する場合、その工程は酸化物半導体膜に第1の加熱処理を行う前に行っても良いし、第1の加熱処理を行った後に行ってもよい。

#### 【 0 0 8 7 】

以上の工程により、島状の酸化物半導体層中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体層の安定化を図ることができる。また、ガラス基板の歪み点以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。また、当該水素濃度が低減され高純度化された

50

酸化物半導体膜を用いることで、耐圧性が高く、オフ電流の著しく低いトランジスタを作製することができる。上記加熱処理は、酸化物半導体層 513a の成膜以降であれば、いつでも行うことができる。

#### 【0088】

なお、酸化物半導体膜を加熱する場合、酸化物半導体膜の材料や加熱条件にもよるが、その表面に板状結晶が形成されることがある。板状結晶は、酸化物半導体膜の表面に対して略垂直に c 軸配向した板状結晶体であることが好ましい。

#### 【0089】

また、ハロゲン元素を含むガス中で酸化物半導体層を 2 回に分けて成膜し、2 回に分けて加熱処理を行うことで、はじめに成膜した酸化物半導体層 513a が接する下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域、即ち、膜表面に垂直に c 軸配向した結晶領域を有する酸化物半導体層を形成してもよい。例えば、3 nm 以上 15 nm 以下の第 1 の酸化物半導体膜を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で 450 以上 850 以下、好ましくは 550 以上 750 以下の結晶化のための第 1 の加熱処理を行うことにより、表面を含む領域に結晶領域（板状結晶を含む）を有する第 1 の酸化物半導体膜を形成する。そして、ハロゲン元素を含むガス中で第 1 の酸化物半導体膜よりも厚い第 2 の酸化物半導体膜を形成した後に、450 以上 850

以下、好ましくは 600 以上 700 以下の結晶化のための第 2 の加熱処理を行うことにより、第 1 の酸化物半導体膜を結晶成長の種として、上方に結晶成長させ、第 2 の酸化物半導体膜の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体層を形成することができる。なお、結晶化のための加熱処理は酸化物半導体層から不純物（例えば、ハロゲン化水素）を取り除く加熱処理を兼ねることになる。

#### 【0090】

また、酸化物半導体層を成膜する際に、酸化物半導体が c 軸に配向する温度に基板を加熱しながら成膜を行うことにより、膜表面に垂直に c 軸配向した結晶領域を有する酸化物半導体層を形成してもよい。このような成膜方法を用いることにより、プロセスを短縮することができる。基板を加熱する温度は、成膜装置によって他の成膜条件が異なるためこれに合わせて適宜設定すればよいが、例えば、スパッタリング装置で成膜する際の基板温度を 250 以上として成膜すればよい。

#### 【0091】

次いで、ゲート絶縁層 502、及び酸化物半導体層 513b 上に、ソース電極及びドレイン電極（これと同じ層で形成される配線を含む）となる導電膜を形成する。ソース電極、及びドレイン電極に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、Al、Cu などの金属膜は、耐熱性や腐食性の問題を回避するために下側又は上側の一方または双方に Ti、Mo、W、Cr、Ta、Nd、Sc、Y などの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。

#### 【0092】

また、導電膜は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を成膜する 3 層構造などが挙げられる。

#### 【0093】

また、導電膜は、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

#### 【0094】

10

20

30

40

50

なお、導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

#### 【0095】

次いで、第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極またはドレイン電極として機能する第1の電極515a、及び第2の電極515bを形成した後、レジストマスクを除去する(図2(C)参照)。

#### 【0096】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるとよい。酸化物半導体層513b上で隣り合う第1の電極の下端部と第2の電極の下端部との間隔幅によって後に形成されるトランジスタのチャネル長(L)が決定される。なお、チャネル長(L)=25nm未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化できる。

#### 【0097】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

#### 【0098】

なお、導電膜のエッチングの際に、酸化物半導体層513bがエッチングされ、分断することのないようエッチング条件を最適化することが望まれる。しかしながら、導電膜のみをエッチングし、酸化物半導体層513bを全くエッチングしないという条件を得ることは難しく、導電膜のエッチングの際に酸化物半導体層513bは一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層513bとなることもある。

#### 【0099】

本実施の形態では、導電膜としてTi膜を用い、酸化物半導体層513bにはIn-Ga-Zn-O系酸化物半導体を用いたので、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いることにより選択的に導電膜をエッチングすることができる。

#### 【0100】

次いで、N<sub>2</sub>O、N<sub>2</sub>、またはArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。プラズマ処理を行った場合、プラズマ処理の後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる絶縁層507を形成する。

#### 【0101】

絶縁層507は、水分や、水素、酸素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。

#### 【0102】

絶縁層507は、少なくとも1nm以上の膜厚とし、スパッタ法など、絶縁層507に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層507に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体

10

20

30

40

50

層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルが低抵抗化（N型化）してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁層507はできるだけ水素原子を含まない膜になるように、成膜方法に水素を用いないことが重要である。

#### 【0103】

たとえば、スパッタ法で形成された膜厚200nmの酸化ガリウム膜上に、スパッタ法で形成された膜厚100nmの酸化アルミニウム膜を積層させた構造を有する、絶縁膜を形成してもよい。成膜時の基板温度は、室温以上300以下とすればよい。また、絶縁膜は酸素を多く含有していることが好ましく、化学量論比を超える程度、好ましくは、化学量論比の1倍を超えて2倍まで（1倍より大きく2倍未満）酸素を含有していることが好ましい。このように絶縁膜が過剰な酸素を有することにより、島状の酸化物半導体層の界面に酸素を供給し、酸素の欠損を低減することができる。10

#### 【0104】

本実施の形態では、絶縁層507として膜厚200nmの酸化シリコン膜を、スパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化シリコン膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタ法により酸化シリコン膜を形成することができる。酸化物半導体層に接して形成する絶縁層507は、水分や、水素イオンや、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。20

#### 【0105】

酸化物半導体膜の成膜時と同様に、絶縁層507の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層507に含まれる不純物の濃度を低減できる。また、絶縁層507の成膜室内の残留水分を除去するための排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。

#### 【0106】

絶縁層507を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。30

#### 【0107】

なお、絶縁層507を形成した後に、第2の加熱処理（酸化物半導体層を2回に分けて成膜し、2回に分けて加熱処理を行う場合は、第3の加熱処理）を行ってもよい。当該加熱処理は窒素、超乾燥空気、または希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは200以上400以下、例えば250以上350以下で行う。上記ガスは、水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下であることが望ましい。第1の加熱処理と同様に、高温短時間のRTA処理を行っても良い。酸素を含む絶縁層507が設けられた後に加熱処理が施されることによって、第1の加熱処理により、島状の酸化物半導体層に酸素欠損が発生していたとしても、絶縁層507から島状の酸化物半導体層に酸素が供与される。そして、島状の酸化物半導体層に酸素が供与されることで、島状の酸化物半導体層において、ドナーとなる酸素欠損を低減し、化学量論比を満たすことが可能である。その結果、島状の酸化物半導体層をi型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この第2の加熱処理を行うタイミングは、絶縁層507の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透光性を有する導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、島状の酸化物半導体層をi型に近づけることができる。40

#### 【0108】

また、酸素雰囲気下で島状の酸化物半導体層に加熱処理を施すことで、酸化物半導体に酸素を添加し、島状の酸化物半導体層中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば100以上350未満、好ましくは150以上250未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち酸素中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

#### 【0109】

本実施の形態では、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下)を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャネル形成領域)が絶縁層507と接した状態で加熱される。10

#### 【0110】

第2の加熱処理は以下の効果を奏する。前述の第1の加熱処理により、酸化物半導体層から水素、水分、水酸基又は水素化物(水素化合物ともいう)等の不純物が意図的に排除される一方で、酸化物半導体を構成する主成分材料の一つである酸素が減少してしまう場合がある。第2の加熱処理は、第1加熱処理が施された酸化物半導体層に酸素を供給するため、酸化物半導体層は高純度化及び電気的にI型(真性)化する。

#### 【0111】

以上のように、ハロゲン元素を含む物質をガス状で成膜室に導入しながら酸化物半導体層を成膜し、後に加熱処理を施す工程を経ることによって、水素、水分、水酸基又は水素化物(水素化合物ともいう)などの不純物を酸化物半導体層より意図的に排除することができる。よって、酸化物半導体層は高純度化及び電気的にI型(真性)化または実質的にI型化する。以上の工程でトランジスタ550が形成される20

#### 【0112】

また、絶縁層507に欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化シリコン層に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

#### 【0113】

また、絶縁層507に酸素を過剰に含む酸化シリコン層を用いると、絶縁層507形成後の加熱処理によって絶縁層507中の酸素が酸化物半導体層513bに移動し、酸化物半導体層513bの酸素濃度を向上させ、高純度化する効果を奏する。30

#### 【0114】

絶縁層507上にさらに保護絶縁層508を形成してもよい。保護絶縁層508は、例えば、RFスパッタ法を用いて形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜などを用いる。本実施の形態では、窒化シリコン膜を用いて保護絶縁層508を形成する(図2(D)参照。)。40

#### 【0115】

本実施の形態では、保護絶縁層508として、絶縁層507まで形成された基板500を100~400の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、絶縁層507と同様に、処理室内の残留水分を除去しつつ保護絶縁層508を成膜することが好ましい。

#### 【0116】

保護絶縁層の形成後、さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温ま50

での降温を複数回くりかえして行ってもよい。

**【 0 1 1 7 】**

本実施の形態で例示した成膜中にハロゲン元素を含む物質をガス状で成膜室に導入して、成膜室に残留する水素原子を含む不純物と反応せしめ、水素原子を含む安定な物質に変性して排気する方法によれば、水素原子を含む安定な物質は酸化物半導体層の金属原子に水素原子を与えることがなく、水素原子等が酸化物半導体層に取り込まれる現象を防止できる。その結果、高純度化された酸化物半導体層を形成できる。

**【 0 1 1 8 】**

本実施の形態で例示したトランジスタは、高純度化された酸化物半導体層を有し、閾値電圧のバラツキが小さい。従って、本実施の形態で例示した半導体装置の作製方法を適用することで、信頼性の高い半導体装置を提供できる。また、量産性の高い半導体装置を提供できる。

10

**【 0 1 1 9 】**

また、オフ電流が低減できるため、消費電力が低い半導体装置を提供できる。

**【 0 1 2 0 】**

なお、酸化物半導体層を含むトランジスタは高い電界効果移動度が得られるため、高速駆動が可能である。よって、液晶表示装置の画素部に酸化物半導体層を含むトランジスタを用いることで、高画質な画像を提供することができる。また、酸化物半導体層を含むトランジスタによって、同一基板上に駆動回路部または画素部を作り分けて作製することができるため、液晶表示装置の部品点数を削減することができる。

20

**【 0 1 2 1 】**

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

**【 0 1 2 2 】**

( 実施の形態 2 )

本実施の形態では、ハロゲン元素を含む物質をガス状で成膜室に導入しながら酸化物半導体層を成膜し、後に加熱処理を施して、酸化物半導体層を高純度化する方法で作製するトップゲート型のトランジスタ、及びその作製方法について図3、及び図4を用いて説明する。

**【 0 1 2 3 】**

30

本実施の形態で作製するトップゲート型のトランジスタ650の構成を図3に示す。図3(A)にトランジスタ650の上面図を、図3(B)にトランジスタ650の断面図を示す。なお、図3(B)は図3(A)に示す切断線Q1-Q2における断面図に相当する。

**【 0 1 2 4 】**

トランジスタ650は、絶縁表面を有する基板600上に、ソース電極またはドレイン電極として機能する第1の電極615a及び第2の電極615bを有する。また、第1の電極615a及び第2の電極615bの端部を覆う高純度化された酸化物半導体層613b、及び酸化物半導体層613bを覆うゲート絶縁層602を有する。また、ゲート絶縁層602に接して第1の電極615a及び第2の電極615bの端部と重畠するゲート電極611と、ゲート電極611に接してトランジスタ650を覆う保護絶縁層608を有する。

40

**【 0 1 2 5 】**

トランジスタ650が有する酸化物半導体層613bは、ハロゲン元素を含む物質がガス状で導入された成膜室内で成膜される。また、トランジスタ650が有する酸化物半導体層613bは、ハロゲン元素を含んでいる場合がある。酸化物半導体層613bに含まれるハロゲン元素の濃度は $10^{15}$ atoms/cm<sup>3</sup>以上 $10^{18}$ atoms/cm<sup>3</sup>以下である。酸化物半導体層613b中のハロゲン元素は、半導体装置の作成工程中に金属原子に生じた未結合手(ダンギングボンド)に結合して終端を形成するため、不純物準位、またはキャリアの生成を抑制する。

**【 0 1 2 6 】**

50

次に、トランジスタ 650 を基板 600 上に作製する方法について、図 4 (A) 乃至 (D) を用いて説明する。

#### 【0127】

まず、絶縁表面を有する基板 600 上に、ソース電極及びドレイン電極（これと同じ層で形成される配線を含む）となる導電膜を形成する。ソース電極、及びドレイン電極に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）等を用いることができる。また、Al、Cu などの金属膜は、耐熱性や腐食性の問題を回避するために下側又は上側の一方または双方に Ti、Mo、W、Cr、Ta、Nd、Sc、Y などの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）を積層させた構成としても良い。特に、酸化物半導体層と接する側にチタンを含む導電膜を設けることが好ましい。  
10

#### 【0128】

第 1 のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極またはドレイン電極として機能する第 1 の電極 615a、及び第 2 の電極 615b を形成し、レジストマスクを除去する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

#### 【0129】

本実施の形態では絶縁表面を有する基板 600 としてガラス基板を用いる。  
20

#### 【0130】

下地膜となる絶縁膜を第 1 の電極 615a、及び第 2 の電極 615b と基板 600 の間に設けてもよい。下地膜は、基板 600 からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

#### 【0131】

次いで、ソース電極またはドレイン電極として機能する第 1 の電極 615a、及び第 2 の電極 615b 上に、膜厚 2 nm 以上 200 nm 以下、好ましくは 5 nm 以上 30 nm 以下の酸化物半導体膜を形成する。

#### 【0132】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、第 1 の電極 615a、第 2 の電極 615b の表面、および基板 600 の露出した絶縁表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。  
30

#### 【0133】

本実施の形態で例示する酸化物半導体膜は、実施の形態 1 で示した酸化物半導体膜と同様の材料、方法、及び条件を用いて形成することができる。具体的には、酸化物半導体膜に用いる酸化物半導体、成膜方法、ターゲット組成、ターゲット充填率、スパッタガスの純度、成膜室に導入するハロゲンガス、成膜時の基板温度、スパッタリング装置の排気手段、並びにスパッタガスの組成等を同様にすればよい。よって、詳細については、実施の形態 1 の記載を参照することができる。  
40

#### 【0134】

次いで、酸化物半導体膜を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層 613a に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

#### 【0135】

なお、ここでの酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッキン  
50

グでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO 07N（関東化学社製）を用いてもよい。なお、この段階の断面図を図4(A)に示す。

#### 【0136】

次いで、酸化物半導体層613aに第1の加熱処理を施す。この第1の加熱処理によって、酸化物半導体層から不純物を除去できる。例えば、酸化物半導体層に取り込まれたハロゲン化水素を除去できる。金属に強固に結合する水素または水酸基を直接取り除く方法に比べ、生成するハロゲン化水素を加熱によって除去する方法は容易である。

#### 【0137】

第1の加熱処理の温度は、250以上700以下、好ましくは250以上450以下、または250以上基板の歪み点未満とする。第4世代のガラス基板程度の大きさを有する基板については、250以上700以下の範囲で加熱処理を行うことができるが、第6世代から第10世代の程度の大きさを有する基板については、250以上450以下の範囲の加熱処理温度が好ましい。

10

#### 【0138】

ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下600において加熱処理を行った後、大気に触れることなく200以下まで徐冷し、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層613bを得る（図4(B)参照。）。200以下まで冷却することにより、高温の酸化物半導体層が大気中の水や水分と接する状況を避けることができる。高温の酸化物半導体層が大気中の水や水分と接すると、酸化物半導体は水素原子を含む不純物に汚染される場合がある。

20

#### 【0139】

なお、加熱処理装置は電気炉に限られず、実施の形態1で示した加熱手段、加熱方法、及び加熱条件を用いることができる。具体的には、加熱処理装置、加熱温度、並びに加熱に用いるガスの種類及び純度等を実施の形態1と同様にすればよい。よって、詳細については、実施の形態1の記載を参照することができる。

#### 【0140】

また、第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うことでもできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

30

#### 【0141】

なお、第1の加熱処理は、上記以外にも、酸化物半導体層成膜後であれば、酸化物半導体層上にゲート絶縁層を積層させた後、あるいは、ゲート絶縁層にゲート電極を形成した後、のいずれで行っても良い。

#### 【0142】

また、ハロゲン元素を含むガス中で酸化物半導体層を2回に分けて成膜し、2回に分けて加熱処理を行うことで、はじめに成膜した酸化物半導体層613aが接する下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域、即ち、膜表面に垂直にc軸配向した結晶領域を有する酸化物半導体層を形成してもよい。なお、結晶領域を有する酸化物半導体層は実施の形態1で示した成膜条件を用いることができる。よって、詳細については、実施の形態1の記載を参照することができる。

40

#### 【0143】

次いで、N<sub>2</sub>O、N<sub>2</sub>、またはArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、プラズマ処理を行った後、大気に触れることなく、酸化物半導体層に接するゲート絶縁層602を形成する。

#### 【0144】

本実施の形態の酸化物半導体としては、不純物を除去され、I型化又は実質的にI型化された酸化物半導体を用いる。このような高純度化された酸化物半導体は界面準位密度、界

50

面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体層に接するゲート絶縁層は、高品質化が要求される。

#### 【 0 1 4 5 】

ゲート絶縁層 602 は、少なくとも 1 nm 以上の膜厚とし、スパッタ法など、ゲート絶縁層 602 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。ゲート絶縁層 602 に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のチャネルが低抵抗化 (N型化) してしまい、寄生チャネルが形成されるおそれがある。よって、ゲート絶縁層 602 はできるだけ水素原子を含まない膜になるように、成膜方法に水素を用いないことが重要である。10

#### 【 0 1 4 6 】

本実施の形態では、ゲート絶縁層 602 として酸化シリコン膜を、スパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化シリコン膜のスパッタ法による成膜は、希ガス (代表的にはアルゴン) 霧囲気下、酸素霧囲気下、または希ガスと酸素の混合霧囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む霧囲気下でスパッタ法により酸化シリコン膜を形成することができる。酸化物半導体層に接して形成するゲート絶縁層 602 としては、水分や、水素イオンや、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。20

#### 【 0 1 4 7 】

酸化物半導体膜の成膜時と同様に、ゲート絶縁層 602 の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ (クライオポンプなど) を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜したゲート絶縁層 602 に含まれる不純物の濃度を低減できる。また、ゲート絶縁層 602 の成膜室内の残留水分を除去するための排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。

#### 【 0 1 4 8 】

ゲート絶縁層 602 を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。なお、この段階の断面図を図 4 (C) に示す。30

#### 【 0 1 4 9 】

次に、ゲート絶縁層 602 にコンタクトホールを形成する場合、第 3 のフォトリソグラフィ工程によりゲート絶縁層 602 にコンタクトホールを形成する。なお、図 4 (D) にはコンタクトホールは図示されていない。

#### 【 0 1 5 0 】

次に、ゲート絶縁層 602 上に導電膜を形成した後、第 4 のフォトリソグラフィ工程によりゲート電極 611 を含む配線層を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。40

#### 【 0 1 5 1 】

また、ゲート電極 611 は、モリブデン、チタン、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

#### 【 0 1 5 2 】

ゲート電極 611 上に保護絶縁層 608 を形成してもよい。保護絶縁層 608 は、例えば、RF スパッタ法を用いて形成する。RF スパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分などの不純物を含まず、これらが外部か50

ら侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜などを用いる。本実施の形態では、窒化シリコン膜を用いて保護絶縁層 608 を形成する。なお、この段階の断面図を図 4 (D) に示す。

#### 【0153】

本実施の形態では、保護絶縁層 608 として、ゲート電極 611 まで形成した基板 600 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入し、シリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、ゲート絶縁層 602 と同様に処理室内の残留水分を除去しつつ保護絶縁層 608 を成膜することが好ましい。

#### 【0154】

保護絶縁層の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下の加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。

#### 【0155】

本実施の形態で例示した成膜中にハロゲン元素を含む物質をガス状で成膜室に導入して、成膜室に残留する水素原子を含む不純物と反応せしめ、水素原子を含む安定な物質に変性して排気する方法によれば、水素原子を含む安定な物質は酸化物半導体層の金属原子に水素原子を与えることがなく、水素原子等が酸化物半導体層に取り込まれる現象を防止できる。その結果、高純度化された酸化物半導体層を形成できる。

10

20

#### 【0156】

本実施の形態で例示したトランジスタは、高純度化された酸化物半導体層を有し、閾値電圧のバラツキが小さい。従って、本実施の形態で例示した半導体装置の作製方法を適用することで、信頼性の高い半導体装置を提供できる。また、量産性の高い半導体装置を提供できる。

#### 【0157】

また、オフ電流が低減できるため、消費電力が低い半導体装置を提供できる。

#### 【0158】

なお、酸化物半導体層を含むトランジスタは高い電界効果移動度が得られるため、高速駆動が可能である。よって、液晶表示装置の画素部に酸化物半導体層を含むトランジスタを用いることで、高画質な画像を提供することができる。また、酸化物半導体層を含むトランジスタによって、同一基板上に駆動回路部または画素部を作り分けて作製することができるため、液晶表示装置の部品点数を削減することができる。

30

#### 【0159】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

#### 【0160】

##### (実施の形態 3)

本実施の形態では、本発明の一態様の半導体装置の構成およびその作製方法について、図 5 乃至図 9 を参照して説明する。なお、本実施の形態で例示する半導体装置は、記憶装置として用いることができる。

40

#### 【0161】

本実施の形態で例示する半導体装置の構成を図 5 に示す。半導体装置の断面図を図 5 (A) に示し、半導体装置の上面図を図 5 (B) に示す。なお、図 5 (A) は、図 5 (B) の切断線 A1 - A2 および B1 - B2 における断面図に相当する。

#### 【0162】

例示する半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 260 を有し、上部に第 2 の半導体材料を用いたトランジスタ 262、及び容量素子 264 を有する。トランジスタ 260 のゲート電極 210 は、トランジスタ 262 の第 1 の電極 242a と直接接続されている。

50

**【 0 1 6 3 】**

トランジスタ 262、及び容量素子 264 をトランジスタ 260 に重畠して設けることにより高集積化が可能である。例えば、配線や電極との接続関係を工夫することにより、最小加工寸法を F として、メモリセルの占める面積を  $15F^2 \sim 25F^2$  とすることも可能である。

**【 0 1 6 4 】**

トランジスタ 260 が有する第 1 の半導体材料とトランジスタ 262 が有する第 2 の半導体材料に異なる材料を適用できる。例えば、第 1 の半導体材料に単結晶半導体を適用してトランジスタ 260 を高速動作が容易な構成とし、第 2 の半導体材料に酸化物半導体を適用してトランジスタ 262 をオフ電流が十分に低減され、長時間の電荷保持が可能な構成とすることができる。10

**【 0 1 6 5 】**

第 1 の半導体材料、または第 2 の半導体材料としては、例えば、酸化物半導体や、酸化物半導体以外の半導体材料を用いればよい。酸化物半導体以外の半導体材料としては、例えばシリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができる。また、有機半導体材料などを用いることができる。

**【 0 1 6 6 】**

本実施の形態では、第 1 の半導体材料として単結晶シリコンを用いて高速動作が可能なトランジスタ 260 を構成し、第 2 の半導体材料として酸化物半導体を用いてオフ電流が低減されたトランジスタ 262 を構成する場合について説明する。20

**【 0 1 6 7 】**

なお、トランジスタ 260 のゲート電極 210 と、トランジスタ 262 の第 1 の電極 242a が接続される構成の半導体装置は記憶装置として好適である。トランジスタ 262 をオフ状態とすることで、トランジスタ 260 のゲート電極 210 の電位を極めて長時間にわたって保持することが可能である。また、容量素子 264 を備えることにより、トランジスタ 260 のゲート電極 210 に与えた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。また、高速動作が可能な半導体材料を用いたトランジスタ 260 を用いることで、高速に情報を読み出すことができる。

**【 0 1 6 8 】**

なお、本実施の形態で例示する半導体装置が備えるトランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、オフ電流が十分に低減された、酸化物半導体を用いたトランジスタと、十分な高速動作が可能な、酸化物半導体以外の材料を用いたトランジスタとを一体に備える点であるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。30

**【 0 1 6 9 】**

トランジスタ 260 は、第 1 の半導体材料を含む基板 200 に設けられたチャネル形成領域 216 と、チャネル形成領域 216 を挟む不純物領域 220 を有する。また、不純物領域 220 に接する金属化合物領域 224 と、チャネル形成領域 216 上に設けられたゲート絶縁層 208 と、ゲート絶縁層 208 上に設けられたゲート電極 210 を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極の記載には、ソース領域が含まれ、ドレイン電極の記載には、ドレイン領域が含まれうる。40

**【 0 1 7 0 】**

また基板 200 上には、素子分離絶縁層 206 がトランジスタ 260 を囲むように設けられ、トランジスタ 260 上に絶縁層 228 および絶縁層 230 が設けられている。また、図示しないがトランジスタ 260 の金属化合物領域 224 の一部は、ソース電極やドレイ  
50

ン電極として機能する電極を介して配線 256 または他の配線に接続されている。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような構成を含めてトランジスタと呼ぶ場合がある。

#### 【0171】

高集積化を実現するためには、図 5 に示すようにトランジスタ 260 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 260 の特性を重視する場合には、ゲート電極 210 の側面にサイドウォール絶縁層を設け、そのサイドウォール絶縁層と重畠する領域に形成された不純物濃度が不純物領域 220 と異なる領域を含めて不純物領域 220 を設けても良い。

#### 【0172】

なお、本実施の形態では第 1 の半導体材料を含む基板 200 として、シリコン単結晶基板を用いる。シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができる。

#### 【0173】

トランジスタ 262 は、第 2 の半導体材料として高純度化された酸化物半導体層を備える。トランジスタ 262 は、絶縁層 230 上にソース電極またはドレイン電極として機能する第 1 の電極 242a、及び第 2 の電極 242b と、第 1 の電極と第 2 の電極に電気的に接続する酸化物半導体層 244 を有する。また、酸化物半導体層 244 を覆うゲート絶縁層 246 と、ゲート絶縁層 246 上に酸化物半導体層 244 と重畠してゲート電極 248a を有する。また、第 1 の電極 242a と酸化物半導体層 244 の間にゲート電極 248a と重畠して絶縁層 243a と、第 2 の電極 242b と酸化物半導体層 244 の間にゲート電極 248a と重畠して絶縁層 243b を有する。

#### 【0174】

絶縁層 243a および絶縁層 243b は、ソース電極またはドレイン電極と、ゲート電極との間に生じる容量を低減する。しかし、絶縁層 243a および絶縁層 243b を設けない構成とすることも可能である。

#### 【0175】

ここで、酸化物半導体層 244 は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層 244 の水素濃度は  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 以下、望ましくは  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 以下、より望ましくは  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 以下とする。なお、上述の酸化物半導体層 244 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層 244 では、水素や酸素欠陥等に由来するキャリア濃度が  $1 \times 10^{12}$  / cm<sup>3</sup> 未満、望ましくは、 $1 \times 10^{11}$  / cm<sup>3</sup> 未満、より望ましくは  $1 \times 10^{10}$  / cm<sup>3</sup> 未満となる。

#### 【0176】

酸化物半導体層 244 を有するトランジスタでは、オフ電流を十分に小さくすることが可能である。例えば、酸化物半導体層 244 の膜厚が 30 nm で、チャネル長が 2 μm のトランジスタの、室温 (25°C) でのチャネル長 1 μmあたりのオフ電流 (ゲートバイアス -3 V) は 100 zA (1 zA (ゼプトアンペア) は  $1 \times 10^{-21}$  A) 以下、望ましくは 10 zA 以下となる。

#### 【0177】

本実施の形態では、ハロゲン元素を含む物質をガス状で成膜室に導入しながら酸化物半導体層を成膜し、後に加熱処理を施して、酸化物半導体層を高純度化する方法を適用して高純度化された酸化物半導体層を形成する。このように、高純度化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 262 を得ることができる。なお、酸化物半導体層 244 の詳細な構成および作製方法については、実施の形態 2 を参照す

10

20

30

40

50

ることができる。

**【0178】**

なお、図5のトランジスタ262では、微細化に起因して素子間に生じるリークを抑制するため、島状に加工された酸化物半導体層244を用いているが、島状に加工されていない構成を採用しても良い。酸化物半導体層を島状に加工しない場合には、加工の際のエッチングによる酸化物半導体層244の汚染を防止できる。

**【0179】**

図5に例示する半導体装置は、トランジスタ260のゲート電極210の上面が絶縁層230から露出し、トランジスタ262のソース電極またはドレイン電極として機能する第1の電極242aと直接接続する。ゲート電極210と第1の電極242aを、別途設けるコンタクトのための開口および電極を用いて接続することもできるが、直接接続する構成とすることで、コンタクト面積を縮小でき、半導体装置の高集積化を図ることができる。  
10

**【0180】**

例えば、本実施の形態の半導体装置を記憶装置として用いる場合、単位面積あたりの記憶容量を増加するために高集積化は重要である。また、コンタクトのために、別途形成する開口および電極に必要な工程を省くことができるので、半導体装置作製の工程を簡略化することができる。

**【0181】**

図5における容量素子264は、ソース電極またはドレイン電極として機能する第1の電極242a、酸化物半導体層244、ゲート絶縁層246、及び電極248bで構成される。すなわち、第1の電極242aは、容量素子264の一方の電極として機能し、電極248bは、容量素子264の他方の電極として機能する。  
20

**【0182】**

なお、図5で例示する容量素子264は、第1の電極242aと電極248bの間に酸化物半導体層244とゲート絶縁層246を挟んで設ける構成としたが、ゲート絶縁層246のみを挟んで設け、容量の大きい構成としてもよい。また、絶縁層243aと同様に形成される絶縁層を有する構成としてもよい。さらに、容量が不要であれば、容量素子264を設けない構成とすることも可能である。

**【0183】**

また、トランジスタ262および容量素子264上に絶縁層250が設けられ、絶縁層250上に絶縁層252が設けられている。また、ゲート絶縁層246、絶縁層250、絶縁層252などに形成された開口には、電極254が設けられている。また、絶縁層252上に配線256が設けられ、電極254を介して第2の電極242bと電気的に接続されている。なお、配線256を直接、第2の電極242bに接触させても良い。  
30

**【0184】**

金属化合物領域224と接続される電極(図示せず)と、第2の電極242bを接続しても良い。この場合、金属化合物領域224と接続される電極と、電極254を重畠して配置すると、半導体装置の高集積化を図ることができる。

**【0185】**

**半導体装置の作製方法**

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ260の作製方法について図6および図7を参照して説明し、その後、上部のトランジスタ262および容量素子264の作製方法について図8および図9を参照して説明する。  
40

**【0186】**

**下部のトランジスタの作製方法**

まず、半導体材料を含む基板200を用意する(図6(A)参照)。半導体材料を含む基板200としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用できる。ここで  
50

は、半導体材料を含む基板 200 として、単結晶シリコン基板を用いる場合の一例について示す。

#### 【0187】

なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含むものとする。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものも含まれるものとする。

#### 【0188】

半導体材料を含む基板 200 として、特に、シリコンなどの単結晶半導体基板を用いる場合には、トランジスタ 260 の動作を高速化することができるため好適である。10

#### 【0189】

基板 200 上には、素子分離絶縁層を形成するためのマスクとなる保護層 202 を形成する（図 6 (A) 参照）。保護層 202 としては、例えば、酸化シリコンや窒化シリコン、酸窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n 型の導電性を付与する不純物原子や p 型の導電性を付与する不純物原子を基板 200 に添加してもよい。半導体がシリコンの場合、n 型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p 型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。20

#### 【0190】

次に、上記の保護層 202 をマスクとしてエッティングを行い、保護層 202 に覆われていない領域（露出している領域）の、基板 200 の一部を除去する。これにより他の半導体領域と分離された半導体領域 204 が形成される（図 6 (B) 参照）。当該エッティングには、ドライエッティングを用いるのが好適であるが、ウェットエッティングを用いても良い。エッティングガスやエッティング液については被エッティング材料に応じて適宜選択することができる。

#### 【0191】

次に、半導体領域 204 を覆うように絶縁層を形成し、半導体領域 204 に重畠する領域の絶縁層を選択的に除去することで、素子分離絶縁層 206 を形成する（図 6 (C) 参照）。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、化学的機械的研磨（Chemical Mechanical Polishing : CMP）処理などの研磨処理やエッティング処理などがあるが、そのいずれを用いても良いし、それらを組み合わせて使用しても良い。なお、半導体領域 204 の形成後、または、素子分離絶縁層 206 の形成後には、保護層 202 を除去する。30

#### 【0192】

なお、素子分離絶縁層 206 の形成方法として、絶縁層を選択的に除去する方法の他、酸素を打ち込むことにより絶縁性の領域を形成する方法などを用いることもできる。

#### 【0193】

次に、半導体領域 204 の表面に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。40

#### 【0194】

絶縁層は後のゲート絶縁層となるものであり、例えば、半導体領域 204 表面に熱処理（熱酸化処理や熱窒化処理など）を行うことによって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xe などの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などのうちいずれかの混合ガスを用いて行うことができる。もちろん、CVD 法やスパッタリング法等を用いて絶縁層を形成しても良い。当該絶縁層は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウム等の導電性元素を含有する層を用いて構成する。50

ムシリケート ( $HfSi_xO_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート ( $HfSi_xO_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムアルミニート ( $HfAl_xO_y$  ( $x > 0$ ,  $y > 0$ )) 等を含む単層構造または積層構造とすることが望ましい。また、絶縁層の厚さは、例えば、1 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下とすることができる。

#### 【0195】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD 法、スパッタリング法、スピンドル法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。10

#### 【0196】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層 208、ゲート電極 210 を形成する (図 6 (C) 参照)。

#### 【0197】

次に、半導体領域 204 にリン (P) やヒ素 (As) などを添加して、チャネル形成領域 216 および不純物領域 220 を形成する (図 6 (D) 参照)。なお、ここでは n 型トランジスタを形成するためにリンやヒ素を添加しているが、p 型トランジスタを形成する場合には、硼素 (B) やアルミニウム (Al) などの不純物元素を添加すればよい。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。20

#### 【0198】

なお、ゲート電極 210 の周囲にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

#### 【0199】

次に、ゲート電極 210、不純物領域 220 等を覆うように金属層 222 を形成する (図 7 (A) 参照)。当該金属層 222 は、真空蒸着法やスパッタリング法、スピンドル法などの各種成膜方法を用いて形成することができる。金属層 222 は、半導体領域 204 を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。30

#### 【0200】

次に、熱処理を施して、金属層 222 と半導体材料とを反応させる。これにより、不純物領域 220 に接する金属化合物領域 224 が形成される (図 7 (A) 参照)。なお、ゲート電極 210 として多結晶シリコンなどを用いる場合には、ゲート電極 210 の金属層 222 と接触する部分にも、金属化合物領域が形成されることになる。

#### 【0201】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 224 を形成した後には、金属層 222 は除去する。40

#### 【0202】

次に、上述の工程により形成された各構成を覆うように、絶縁層 228、絶縁層 230 を形成する (図 7 (B) 参照)。絶縁層 228 や絶縁層 230 は、酸化シリコン、酸化窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層 228 や絶縁層 230 に誘電率の低い (low-k) 材料を用いることで50

、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層228や絶縁層230には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。

#### 【0203】

また、絶縁層228や絶縁層230中に、窒化酸化シリコン、窒化シリコン、等の窒素を多く含む無機絶縁材料からなる層を含んでも良い。これにより、下部のトランジスタ260を構成する材料が含む水や水素などの不純物が後に形成する上部のトランジスタ262の酸化物半導体層244に侵入するのを防ぐことができる。ただし、この場合、後の工程で行うCMP処理だけでは窒素を多く含む無機絶縁材料からなる層の除去が困難なので、エッチング処理などを併用するのが好ましい。10

#### 【0204】

また、絶縁層228として酸化窒化シリコンを、絶縁層230として酸化シリコンを形成することができる。このように、絶縁層228および絶縁層230を酸化窒化シリコンや酸化シリコンのような、酸素を多く含む無機絶縁材料だけを用いて形成することにより、後の工程で絶縁層228および絶縁層230に容易にCMP処理を施すことができる。

#### 【0205】

なお、ここでは、絶縁層228と絶縁層230の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。例えば、上記の絶縁層228として酸化窒化シリコンを、絶縁層230として酸化シリコンを形成する構成において、さらに絶縁層228と絶縁層230の間に窒化酸化シリコンを形成するような構成としても良い。20

#### 【0206】

その後、トランジスタ262の形成前の処理として、絶縁層228や絶縁層230にCMP処理を施して、絶縁層228および絶縁層230の表面を平坦化すると同時にゲート電極210の上面を露出させる（図7（C）参照）。

#### 【0207】

CMP処理は、1回行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁層228および絶縁層230の表面の平坦性をさらに向上できる。30

#### 【0208】

また、絶縁層228および絶縁層230の積層構造に、窒素を多く含む無機絶縁材料が含まれる場合、CMP処理だけでは除去が困難なため、エッチング処理などを併用するのが好ましい。窒素を多く含む無機絶縁材料のエッチング処理には、ドライエッチング、ウェットエッチングのいずれを用いても良いが、素子の微細化という観点からはドライエッチングが好適である。また、各絶縁層のエッチングレートが均一になり、且つゲート電極210とはエッチングの選択比が取れるように、エッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）を適宜設定するのが好ましい。また、ドライエッティングに用いるエッティングガスには、例えば、フッ素原子を含む物質（トリフルオロメタン（CHF<sub>3</sub>）など）や、ヘリウム（He）やアルゴン（Ar）などの希ガスを添加したフッ素原子を含む物質、などを用いることができる。40

#### 【0209】

また、ゲート電極210の上面を絶縁層230から露出させる場合、好ましくはゲート電極210の上面と絶縁層230を同一の面にする。

#### 【0210】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、金属化合物領域224の一部と接続される、トランジスタ260のソース電極またはドレイン電極として機能する電極を形成しても良い。また、配線の構造として、絶縁層および導電層の積層構造でなる多層配線構造を採用して、高度50

に集積化した半導体装置を実現することも可能である。

【0211】

上部のトランジスタの作製方法

次に、ゲート電極210、絶縁層228、絶縁層230などの上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極またはドレイン電極として機能する第1の電極242a、及び第2の電極242bを形成する(図8(A)参照)。第1の電極242a、及び第2の電極242bは、実施の形態2で示したソース電極またはドレイン電極として機能する電極と同様の材料、方法を用いて形成することができる。よって、詳細については、実施の形態2の記載を参照することができる。

【0212】

10

ここで、第1の電極242a、および第2の電極242bの端部は、テーパー形状となるようにエッチングする。第1の電極242a、第2の電極242bの端部をテーパー形状とすることにより、後に形成する酸化物半導体層が当該端部を被覆し易くなり、段切れを防止することができる。また、後に形成するゲート絶縁層の被覆性を向上し、段切れを防止することができる。

【0213】

ここで、テーパー角は、例えば、30°以上60°以下とする。なお、テーパー角とは、テーパー形状を有する層(例えば、第1の電極242a)を、その断面(基板の表面と直交する面)に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を指す。

【0214】

20

また、上部のトランジスタのチャネル長(L)は、第1の電極242a、及び第2の電極242bの下端部の間隔によって決定される。なお、チャネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm~数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を、10nm以上1000nm(1μm)以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

【0215】

ここで、トランジスタ262の第1の電極242aと、トランジスタ260のゲート電極210が直接接続される(図8(A)参照)。

30

【0216】

次に、第1の電極242aの上に絶縁層243aを、第2の電極242bの上に絶縁層243bを、それぞれ形成する(図8(B)参照)。絶縁層243aおよび絶縁層243bは、第1の電極242aや、第2の電極242bを覆う絶縁層を形成した後、当該絶縁層を選択的にエッチングして形成する。また、絶縁層243aおよび絶縁層243bは、後に形成されるゲート電極の一部と重畳するように形成する。このような絶縁層を設けることにより、ゲート電極とソース電極またはドレイン電極との間に生じる容量を低減することが可能である。

【0217】

40

絶縁層243aや絶縁層243bは、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層243aや絶縁層243bに誘電率の低い(low-k)材料を用いることで、ゲート電極と、ソース電極またはドレイン電極との間の容量を十分に低減することができるため好ましい。なお、絶縁層243aや絶縁層243bには、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、ゲート電極と、ソース電極またはドレイン電極との間の容量をさらに低減することが可能である。

【0218】

なお、ゲート電極と、ソース電極またはドレイン電極との間の容量を低減させるという点

50

では、絶縁層 243a および絶縁層 243b を形成するのが好適であるが、当該絶縁層を設けない構成とすることも可能である。

#### 【0219】

次に、第1の電極 242a、および第2の電極 242b を覆うように酸化物半導体層を形成した後、当該酸化物半導体層を選択的にエッティングして酸化物半導体層 244 を形成する（図8（C）参照）。酸化物半導体層 244 は、実施の形態2で示した酸化物半導体層と同様の材料、方法を用いて形成することができる。よって、詳細については、実施の形態2の記載を参照することができる。

#### 【0220】

なお、実施の形態2で示したように、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面（例えば絶縁層 230 の表面）の付着物を除去するのが好適である。10

#### 【0221】

形成した酸化物半導体層に対して、熱処理（第1の熱処理）を行う。熱処理（第1の熱処理）を行う方法については、実施の形態2で示した装置、方法を適用することができる。よって、詳細については、実施の形態2の記載を参照することができる。

#### 【0222】

成膜中にハロゲン元素を含む物質をガス状で成膜室に導入して、成膜室に残留する水素原子を含む不純物と反応せしめ、水素原子を含む安定な物質に変性して排気する方法によれば、水素原子を含む安定な物質は酸化物半導体層の金属原子に水素原子を与えることがなく、水素原子等が酸化物半導体層に取り込まれる現象を防止できる。その結果、高純度化された酸化物半導体層を形成できる。残留する不純物が低減され、i型（真性半導体）またはi型に限りなく近い酸化物半導体層を用いたトランジスタは閾値電圧の変動が抑制され、オフ電流が低減された極めて優れた特性を実現することができる。20

#### 【0223】

なお、酸化物半導体層のエッティングは、熱処理（第1の熱処理）の前、または上記熱処理（第1の熱処理）の後のいずれにおいて行っても良い。また、素子の微細化という観点からはドライエッティングを用いるのが好適であるが、ウェットエッティングを用いても良い。エッティングガスやエッティング液については被エッティング材料に応じて適宜選択することができる。なお、素子におけるリークなどが問題とならない場合には、酸化物半導体層を島状に加工しないで用いても良い。30

#### 【0224】

次に、酸化物半導体層 244 に接するゲート絶縁層 246 を形成し、その後、ゲート絶縁層 246 上において酸化物半導体層 244 と重畳する領域にゲート電極 248a を形成し、第1の電極 242a と重畳する領域に電極 248b を形成する（図8（D）参照）。ゲート絶縁層 246 は、実施の形態2で示したゲート絶縁層と同様の材料、方法を用いて形成することができる。

#### 【0225】

ゲート絶縁層 246 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。第2の熱処理については、実施の形態2で示したのと同様の方法で行うことができる。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層 246 が酸素を含む場合、酸化物半導体層 244 に酸素を供給し、該酸化物半導体層 244 の酸素欠損を補填して、i型（真性半導体）またはi型に限りなく近い酸化物半導体層を形成することもできる。40

#### 【0226】

なお、本実施の形態では、ゲート絶縁層 246 の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第2の熱処理に第1の熱処理を兼ねさせても良い。

#### 【0227】

ゲート電極 248a は、実施の形態2で示したゲート電極 611 と同様の材料、方法を用50

いて形成することができる。また、ゲート電極 248a を形成する際、導電層を選択的にエッティングすることによって、電極 248b を形成することができる。以上の詳細については、実施の形態 2 の記載を参照することができる。

#### 【0228】

次に、ゲート絶縁層 246、ゲート電極 248a、および電極 248b 上に、絶縁層 250 および絶縁層 252 を形成する（図 9（A）参照）。絶縁層 250 および絶縁層 252 は、実施の形態 1 で示した絶縁層 507 および保護絶縁層 508 と同様の材料、方法を用いて形成することができる。よって、詳細については、実施の形態 1 の記載を参照することができる。

#### 【0229】

次に、ゲート絶縁層 246、絶縁層 250、絶縁層 252 に、第 2 の電極 242b にまで達する開口を形成する（図 9（B）参照）。当該開口の形成は、マスクなどを用いた選択的なエッティングにより行われる。

#### 【0230】

その後、上記開口に電極 254 を形成し、絶縁層 252 上に電極 254 に接する配線 256 を形成する（図 9（C）参照）。

#### 【0231】

電極 254 は、例えば、開口を含む領域に PVD 法や CVD 法などを用いて導電層を形成した後、エッティング処理や CMP といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

#### 【0232】

より具体的には、例えば、開口を含む領域に PVD 法によりチタン膜を薄く形成し、CVD 法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタンクスチタン膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは第 2 の電極 242b）との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

#### 【0233】

なお、上記導電層の一部を除去して電極 254 を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタンクスチタン膜を形成する場合には、その後の CMP 処理によって、不要なタンクスチタン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、電極 254 を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

#### 【0234】

配線 256 は、実施の形態 2 で示したゲート電極 611 を含む配線と同様の材料、方法を用いて形成することができる。よって、詳細については、実施の形態 2 の記載を参照することができる。

#### 【0235】

以上により、高純度化された酸化物半導体層 244 を用いたトランジスタ 262、および容量素子 264 が完成する。

#### 【0236】

このように高純度化され、真性化された酸化物半導体層 244 を用いることで、トランジスタのオフ電流を十分に低減することができる。なお、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することができる半導体装置が得られる。

#### 【0237】

上記に例示する本実施の形態の方法によれば、下部に酸化物半導体以外の半導体材料を用いたトランジスタを有し、上部に酸化物半導体を用いたトランジスタを有する半導体装置

10

20

30

40

50

を作製できる。

【0238】

また、ゲート電極210と、第1の電極242aとを直接接続することで、コンタクト面積を縮小することができるので、半導体装置の高集積化を図ることができる。よって、記憶装置として用いることができる半導体装置の単位面積あたりの記憶容量を増加させることができる。

【0239】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0240】

10

(実施の形態4)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図10を参照して説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0241】

20

図10(A-1)に示す半導体装置において、第1の配線(1st Line)とトランジスタ700のソース電極とは、電気的に接続され、第2の配線(2nd Line)とトランジスタ700のドレイン電極とは、電気的に接続されている。また、第3の配線(3rd Line)とトランジスタ710のソース電極またはドレイン電極の一方とは、電気的に接続され、第4の配線(4th Line)と、トランジスタ710のゲート電極とは、電気的に接続されている。また、第5の配線(5th Line)と、容量素子720の電極の一方は電気的に接続されている。そして、トランジスタ700のゲート電極と、トランジスタ710のソース電極またはドレイン電極の他方は、容量素子720の電極の他方と電気的に接続される。

【0242】

30

ここで、トランジスタ710には、酸化物半導体を用いたトランジスタが適用される。ここで、酸化物半導体を用いたトランジスタとしては、例えば、先の実施の形態で示した、トランジスタ262を用いることができる。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ710をオフ状態とすることで、トランジスタ700のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子720を有することにより、トランジスタ700のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。ここで、容量素子720としては、例えば、先の実施の形態で示した、容量素子264を用いることができる。

【0243】

40

また、トランジスタ700には、酸化物半導体以外の半導体材料を用いたトランジスタが適用される。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。ここで、酸化物半導体以外の半導体材料を用いたトランジスタとしては、例えば、先の実施の形態で示した、トランジスタ260を用いることができる。

【0244】

また、図10(B)に示すように、容量素子720を設けない構成とすることも可能である。

【0245】

図10(A-1)に示す半導体装置では、トランジスタ700のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

50

## 【0246】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ710がオン状態となる電位にして、トランジスタ710をオン状態とする。これにより、第3の配線の電位が、トランジスタ700のゲート電極、および容量素子720に与えられる。すなわち、トランジスタ700のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位を与える電荷（以下、低電位を与える電荷を電荷 $Q_L$ 、高電位を与える電荷を電荷 $Q_H$ という）のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第4の配線の電位を、トランジスタ710がオフ状態となる電位にして、トランジスタ710をオフ状態とすることにより、トランジスタ700のゲート電極に与えられた電荷が保持される（保持）。 10

## 【0247】

トランジスタ710のオフ電流は極めて小さいから、トランジスタ700のゲート電極の電荷は長時間にわたって保持される。

## 【0248】

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ700のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ700をnチャネル型とすると、トランジスタ700のゲート電極に $Q_H$ が与えられている場合の見かけのしきい値 $V_{th\_H}$ は、トランジスタ700のゲート電極に $Q_L$ が与えられている場合の見かけのしきい値 $V_{th\_L}$ より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ700を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th\_H}$ と $V_{th\_L}$ の中間の電位 $V_0$ とすることにより、トランジスタ700のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、 $Q_H$ が与えられていた場合には、第5の配線の電位が $V_0$  ( $> V_{th\_H}$ ) となれば、トランジスタ700は「オン状態」となる。 $Q_L$ が与えられていた場合には、第5の配線の電位が $V_0$  ( $< V_{th\_L}$ ) となっても、トランジスタ700は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。 20

## 【0249】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さないようにするには、各メモリセル間でトランジスタ700がそれぞれ並列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ700が「オフ状態」となるような電位、つまり、 $V_{th\_H}$ より小さい電位を与えればよい。また、各メモリセル間でトランジスタ700がそれぞれ直列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ700が「オン状態」となるような電位、つまり、 $V_{th\_L}$ より大きい電位を第5の配線に与えればよい。 40

## 【0250】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ710がオン状態となる電位にして、トランジスタ710をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ700のゲート電極および容量素子720に与えられる。その後、第4の配線の電位を、トランジスタ710がオフ状態となる電位にして、トランジスタ710をオフ状態とすることにより、トランジスタ700のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

## 【0251】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に 50

情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

#### 【0252】

なお、トランジスタ710のソース電極またはドレイン電極は、トランジスタ700のゲート電極と電気的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ710のソース電極またはドレイン電極とトランジスタ700のゲート電極が電気的に接続される部位をフローティングゲート部FGと呼ぶ場合がある。トランジスタ710がオフの場合、当該フローティングゲート部FGは絶縁体中に埋設されたと見ることができ、フローティングゲート部FGには電荷が保持される。酸化物半導体を用いたトランジスタ710のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ710のリークによる、フローティングゲート部FGに蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ710により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

10

#### 【0253】

例えば、トランジスタ710の室温でのオフ電流が $10^{-12}$ A(1zA(ゼプトアンペア))は $1 \times 10^{-21}$ A以下であり、容量素子720の容量値が $10^{-15}$ F程度である場合には、少なくとも $10^4$ 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

20

#### 【0254】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜(トンネル絶縁膜)の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧も不要である。

30

#### 【0255】

図10(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図10(A-2)のように考えることが可能である。つまり、図10(A-2)では、トランジスタ700および容量素子720が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子720の抵抗値および容量値であり、抵抗値R1は、容量素子720を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ700の抵抗値および容量値であり、抵抗値R2はトランジスタ700がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量)の容量値に相当する。

40

#### 【0256】

トランジスタ710がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)をROSとすると、トランジスタ710のゲートリークが十分に小さい条件において、R1およびR2が、R1 ROS、R2 ROSを満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ710のオフ電流によって決定されることになる。

#### 【0257】

逆に、当該条件を満たさない場合には、トランジスタ710のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ710のオフ電流以外のリーク電流(例えば、ソース電極とゲート電極の間に生じるリーク電流等)が大き

50

いためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。

#### 【0258】

一方で、C1とC2は、C1 C2の関係を満たすことが望ましい。C1を大きくすることで、第5の配線によってフローティングゲート部FGの電位を制御する際に、第5の配線の電位を効率よくフローティングゲート部FGに与えることができるようになり、第5の配線に与える電位間（例えば、読み出しの電位と、非読み出しの電位）の電位差を低く抑えることができるためである。

#### 【0259】

上述の関係を満たすことにより好適な半導体装置を実現することが可能である。なお、R1およびR2は、トランジスタ700のゲート絶縁層や容量素子720の絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。10

#### 【0260】

本実施の形態で示す半導体装置においては、フローティングゲート部FGが、フラッシュメモリ等のフローティングゲート型のトランジスタのフローティングゲートと同等の作用をするが、本実施の形態のフローティングゲート部FGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有する。フラッシュメモリでは、コントロールゲートに印加される電圧が高いため、その電位の影響が、隣接するセルのフローティングゲートにおよぶことを防ぐために、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。20

#### 【0261】

また、フラッシュメモリの上記原理によって、絶縁膜の劣化が進行し、書き換え回数の限界（ $10^4 \sim 10^5$ 回程度）という別の問題も生じる。

#### 【0262】

開示する発明に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。30

#### 【0263】

また、トンネル電流による電荷の注入を用いないため、メモリセルの劣化の原因が存在しない。つまり、フラッシュメモリと比較して高い耐久性および信頼性を有することになる。

#### 【0264】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対するアドバンテージである。

#### 【0265】

なお、容量素子720を構成する絶縁層の比誘電率r1と、トランジスタ700を構成する絶縁層の比誘電率r2とを異ならせる場合には、容量素子720を構成する絶縁層の面積S1と、トランジスタ700においてゲート容量を構成する絶縁層の面積S2とが、 $2 \cdot S2 - S1$ （望ましくは $S2 - S1$ ）を満たしつつ、C1 C2を実現することが容易である。すなわち、容量素子720を構成する絶縁層の面積を小さくしつつ、C1 C2を実現することが容易である。具体的には、例えば、容量素子720を構成する絶縁層においては、酸化ハフニウムなどのhigh-k材料でなる膜、または酸化ハフニウムなどのhigh-k材料でなる膜と酸化物半導体でなる膜との積層構造を採用してr1を10以上、好ましくは15以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $r2 = 3 \sim 4$ とすることができる。4050

**【 0 2 6 6 】**

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

**【 0 2 6 7 】**

なお、上記説明は、電子を多数キャリアとするn型トランジスタ（nチャネル型トランジスタ）を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのではない。

**【 0 2 6 8 】**

以上示したように、開示する発明の一態様の半導体装置は、オフ状態でのソースとドレイン間のリーク電流（オフ電流）が少ない書き込み用トランジスタ、該書き込み用トランジスタと異なる半導体材料を用いた読み出し用トランジスタ及び容量素子を含む不揮発性のメモリセルを有している。10

**【 0 2 6 9 】**

書き込み用トランジスタのオフ電流は、使用時の温度（例えば、25℃）で $100\text{ zA}$  ( $1 \times 10^{-19}\text{ A}$ ) 以下、好ましくは $10\text{ zA}$  ( $1 \times 10^{-20}\text{ A}$ ) 以下、さらに好ましくは、 $1\text{ zA}$  ( $1 \times 10^{-21}\text{ A}$ ) 以下である。通常のシリコン半導体では、上述のように低いオフ電流を得ることは困難であるが、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては達成しうる。このため、書き込み用トランジスタとして、酸化物半導体を含むトランジスタを用いることが好ましい。

**【 0 2 7 0 】**

さらに酸化物半導体を用いたトランジスタはサブスレッショルドスイッチング値（S値）が小さいため、比較的移動度が低くてもスイッチング速度を十分大きくすることが可能である。よって、該トランジスタを書き込み用トランジスタとして用いることで、フローティングゲート部FGに与えられる書き込みパルスの立ち上がりを極めて急峻にすることができる。また、オフ電流が小さいため、フローティングゲート部FGに保持させる電荷量を少なくすることが可能である。つまり、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用いることで、情報の書き換えを高速に行うことができる。20

**【 0 2 7 1 】**

読み出し用トランジスタとしては、オフ電流についての制限はないが、読み出しの速度を高くするために、高速で動作するトランジスタを用いるのが望ましい。例えば、読み出し用トランジスタとしてスイッチング速度が1ナノ秒以下のトランジスタを用いるのが好ましい。30

**【 0 2 7 2 】**

このように、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用い、酸化物半導体以外の半導体材料を用いたトランジスタを読み出し用トランジスタとして用いることにより、長時間に渡っての情報の保持が可能で、且つ情報の読み出しを高速で行うことが可能な、記憶装置として用いることができる半導体装置を実現することができる。

**【 0 2 7 3 】**

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。40

**【 0 2 7 4 】****( 実施の形態 5 )**

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図11および図12を用いて説明する。

**【 0 2 7 5 】**

図11(A)および図11(B)は、図10(A-1)に示す半導体装置（以下、メモリセル750とも記載する。）を複数用いて形成される半導体装置の回路図である。図11(A)は、メモリセル750が直列に接続された、いわゆるNAND型の半導体装置の回路図であり、図11(B)は、メモリセル750が並列に接続された、いわゆるNOR型50

の半導体装置の回路図である。

**【0276】**

図11(A)に示す半導体装置は、ソース線SL、ピット線BL、第1信号線S1、複数本の第2信号線S2、複数本のワード線WL、複数のメモリセル750を有する。図11(A)では、ソース線SLおよびピット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SLおよびピット線BLを複数本有する構成としてもよい。

**【0277】**

各メモリセル750において、トランジスタ700のゲート電極と、トランジスタ710のソース電極またはドレイン電極の他方と、容量素子720の電極の他方とは、電気的に接続されている。また、第1信号線S1とトランジスタ710のソース電極またはドレイン電極の一方とは、電気的に接続され、第2信号線S2と、トランジスタ710のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子720の電極の一方は電気的に接続されている。

10

**【0278】**

また、メモリセル750が有するトランジスタ700のソース電極は、隣接するメモリセル750のトランジスタ700のドレイン電極と電気的に接続され、メモリセル750が有するトランジスタ700のドレイン電極は、隣接するメモリセル750のトランジスタ700のソース電極と電気的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル750が有するトランジスタ700のドレイン電極は、ピット線と電気的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル750が有するトランジスタ700のソース電極は、ソース線と電気的に接続される。

20

**【0279】**

図11(A)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第2の信号線S2にトランジスタ710がオン状態となる電位を与え、書き込みを行う行のトランジスタ710をオン状態にする。これにより、指定した行のトランジスタ700のゲート電極に第1の信号線S1の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

30

**【0280】**

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ700のゲート電極に与えられた電荷によらず、トランジスタ700がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ700をオン状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ700のゲート電極が有する電荷によって、トランジスタ700のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ピット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL - ピット線BL間の複数のトランジスタ700は、読み出しを行う行を除いてオン状態となっているため、ソース線SL - ピット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ700の状態(オン状態またはオフ状態)によって決定される。読み出しを行う行のトランジスタ700のゲート電極が有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ピット線BLの電位は異なる値をとることになる。ピット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

40

**【0281】**

図11(B)に示す半導体装置は、ソース線SL、ピット線BL、第1信号線S1、第2信号線S2、およびワード線WLをそれぞれ複数本有し、複数のメモリセル750を有する。各トランジスタ700のゲート電極と、トランジスタ710のソース電極またはドレイン電極の他方と、容量素子720の電極の他方とは、電気的に接続されている。また、

50

ソース線 S L とトランジスタ 700 のソース電極とは、電気的に接続され、ビット線 B L とトランジスタ 700 のドレイン電極とは、電気的に接続されている。また、第 1 信号線 S 1 とトランジスタ 710 のソース電極またはドレイン電極の一方とは、電気的に接続され、第 2 信号線 S 2 と、トランジスタ 710 のゲート電極とは、電気的に接続されている。そして、ワード線 W L と、容量素子 720 の電極の一方は電気的に接続されている。

#### 【0282】

図 11 (B) に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は、上述の図 11 (A) に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線 W L に、トランジスタ 700 のゲート電極に与えられた電荷によらず、トランジスタ 700 がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ 700 をオフ状態とする。それから、読み出しを行う行のワード線 W L に、トランジスタ 700 のゲート電極が有する電荷によって、トランジスタ 700 のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線 S L に定電位を与え、ビット線 B L に接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線 S L - ビット線 B L 間のコンダクタンスは、読み出しを行う行のトランジスタ 700 の状態(オン状態またはオフ状態)によって決定される。つまり、読み出しを行う行のトランジスタ 700 のゲート電極が有する電荷によって、ビット線 B L の電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

10

20

#### 【0283】

なお、上記においては、各メモリセル 750 に保持させる情報量を 1 ビットとしたが、本実施の形態に示す記憶装置の構成はこれに限られない。トランジスタ 700 のゲート電極に与える電位を 3 種類以上用意して、各メモリセル 750 が保持する情報量を増加させても良い。例えば、トランジスタ 700 のゲート電極にあたえる電位を 4 種類とする場合には、各メモリセルに 2 ビットの情報を保持させることができる。

#### 【0284】

次に、図 11 に示す半導体装置などに用いることができる読み出し回路の一例について図 12 を用いて説明する。

30

#### 【0285】

図 12 (A) には、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

#### 【0286】

読み出し時には、端子 A は読み出しを行うメモリセルが接続されたビット線に接続される。また、トランジスタのゲート電極にはバイアス電位 V<sub>bias</sub> が印加され、端子 A の電位が制御される。

#### 【0287】

メモリセル 750 は、格納されるデータに応じて、異なる抵抗値を示す。具体的には、選択したメモリセル 750 のトランジスタ 700 がオン状態の場合には低抵抗状態となり、選択したメモリセル 750 のトランジスタ 700 がオフ状態の場合には高抵抗状態となる。

40

#### 【0288】

メモリセルが高抵抗状態の場合、端子 A の電位が参照電位 V<sub>ref</sub> より高くなり、センスアンプ回路は端子 A の電位に対応する電位を出力する。一方、メモリセルが低抵抗状態の場合、端子 A の電位が参照電位 V<sub>ref</sub> より低くなり、センスアンプ回路は端子 A の電位に対応する電位を出力する。

#### 【0289】

このように、読み出し回路を用いることで、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の回路を用いても良い。また、読み出し回路は、プリチャージ回路を有しても良い。参照電位 V<sub>ref</sub> の代わりに参照用

50

のビット線が接続される構成としても良い。

**【0290】**

図12(B)に、センスアンプ回路の一例である差動型センスアンプを示す。差動型センスアンプは、入力端子 $V_{in}(+)$ と $V_{in}(-)$ と出力端子 $V_{out}$ を有し、 $V_{in}(+)$ と $V_{in}(-)$ の差を増幅する。 $V_{in}(+) > V_{in}(-)$ であれば $V_{out}$ は、概ねHigh出力、 $V_{in}(+) < V_{in}(-)$ であれば $V_{out}$ は、概ねLow出力となる。当該差動型センスアンプを読み出し回路に用いる場合、 $V_{in}(+)$ と $V_{in}(-)$ の一方は入力端子Aと接続し、 $V_{in}(+)$ と $V_{in}(-)$ の他方には参照電位 $V_{ref}$ を与える。

**【0291】**

図12(C)に、センスアンプ回路の一例であるラッチ型センスアンプを示す。ラッチ型センスアンプは、入出力端子 $V_1$ および $V_2$ と、制御用信号 $S_p$ 、 $S_n$ の入力端子を有する。まず、信号 $S_p$ をHigh、信号 $S_n$ をLowとして、電源電位( $V_{dd}$ )を遮断する。そして、比較を行う電位を $V_1$ と $V_2$ に与える。その後、信号 $S_p$ をLow、信号 $S_n$ をHighとして、電源電位( $V_{dd}$ )を供給すると、比較を行う電位 $V_{1in}$ と $V_{2in}$ が $V_{1in} > V_{2in}$ の関係にあれば、 $V_1$ の出力はHigh、 $V_2$ の出力はLowとなり、 $V_{1in} < V_{2in}$ の関係にあれば、 $V_1$ の出力はLow、 $V_2$ の出力はHighとなる。このような関係を利用して、 $V_{1in}$ と $V_{2in}$ の差を増幅することができる。当該ラッチ型センスアンプを読み出し回路に用いる場合、 $V_1$ と $V_2$ の一方は、スイッチを介して端子Aおよび出力端子と接続し、 $V_1$ と $V_2$ の他方には参照電位 $V_{ref}$ を与える。

**【0292】**

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

**【0293】**

(実施の形態6)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図13を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ等のカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

**【0294】**

図13(A)は、ノート型のパーソナルコンピュータであり、筐体601、筐体605、表示部603、キーボード604などによって構成されている。筐体601と筐体605内には、先の実施の形態に示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の半導体材料を用いたトランジスタと、を一体に備えた半導体装置が設けられている。そのため、長時間に渡っての情報の保持および情報の高速読み出しが可能、といった特徴を備えたノート型のパーソナルコンピュータが実現される。

**【0295】**

図13(B)は、携帯情報端末(PDA)であり、本体610には、表示部613と、外部インターフェイス615と、操作ボタン614等が設けられている。また、携帯情報端末を操作するスライス612などを備えている。本体610内には、先の実施の形態に示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の半導体材料を用いたトランジスタと、を一体に備えた半導体装置が設けられている。そのため、長時間に渡っての情報の保持および情報の高速読み出しが可能、といった特徴を備えた携帯情報端末が実現される。

**【0296】**

図13(C)は、電子ペーパーを実装した電子書籍620であり、筐体621と筐体623の2つの筐体で構成されている。筐体621及び筐体623には、それぞれ表示部62

10

20

30

40

50

5 及び表示部 627 が設けられている。筐体 621 と筐体 623 は、軸部 637 により接続されており、該軸部 637 を軸として開閉動作を行うことができる。また、筐体 621 は、電源 631、操作キー 633、スピーカー 635などを備えている。筐体 621、筐体 623 の少なくとも一には、先の実施の形態に示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の半導体材料を用いたトランジスタと、を一体に備えた半導体装置が設けられている。そのため、長時間に渡っての情報の保持および情報の高速読み出しが可能、といった特徴を備えた電子書籍が実現される。

#### 【0297】

図 13 (D) は、携帯電話機であり、筐体 640 と筐体 641 の 2 つの筐体で構成されている。さらに、筐体 640 と筐体 641 は、スライドし、図 13 (D) のように展開している状態から重なり合った状態とすることが可能である。また、筐体 641 は、表示パネル 642、スピーカー 643、マイクロフォン 644、ポイントティングデバイス 646、カメラ用レンズ 647、外部接続端子 648などを備えている。また、筐体 640 は、携帯電話機の充電を行う太陽電池セル 649、外部メモリスロット 651などを備えている。また、表示パネル 642 はタッチパネル機能を備えており、図 13 (D) には映像表示されている複数の操作キー 645 を点線で示している。また、アンテナは、筐体 641 に内蔵されている。筐体 640 と筐体 641 の少なくとも一には、先の実施の形態に示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の半導体材料を用いたトランジスタと、を一体に備えた半導体装置が設けられている。そのため、長時間に渡っての情報の保持および情報の高速読み出しが可能、といった特徴を備えた携帯電話機が実現される。

#### 【0298】

図 13 (E) は、デジタルカメラであり、本体 661、表示部 667、接眼部 663、操作スイッチ 664、表示部 665、バッテリー 666 などによって構成されている。本体 661 内には、先の実施の形態に示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の半導体材料を用いたトランジスタと、を一体に備えた半導体装置が設けられている。そのため、長時間に渡っての情報の保持および情報の高速読み出しが可能、といった特徴を備えたデジタルカメラが実現される。

#### 【0299】

図 13 (F) は、テレビジョン装置 670 であり、筐体 671、表示部 673、スタンド 675 などで構成されている。テレビジョン装置 670 の操作は、筐体 671 が備えるスイッチや、リモコン操作機 680 により行うことができる。筐体 671 及びリモコン操作機 680 には、先の実施の形態に示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の半導体材料を用いたトランジスタと、を一体に備えた半導体装置が設けられている。そのため、長時間に渡っての情報の保持および情報の高速読み出しが可能、といった特徴を備えたテレビジョン装置が実現される。

#### 【0300】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、小型、高速動作、低消費電力、といった特徴を備えた電子機器が実現される。

#### 【0301】

##### (実施の形態 7)

本実施の形態では、成膜室にフッ素原子を含む物質をガス状で導入して、成膜室に残留する水分と反応せしめ、水素原子を含む安定な物質に変性する過程について、その起こり易さを量子化学計算により検証する。

#### 【0302】

本実施の形態では、成膜室でプラズマに曝されたフッ素原子を含む物質から発生するフッ素ラジカルと、水分子の気相反応に着目した。具体的には、フッ素ラジカルと水分子が反応してフッ化水素を生成する過程を解析した。なお、本実施の形態では量子化学計算を用いて活性化エネルギーを求め、活性化エネルギーを用いて反応の起こり易さを評価した。

10

20

30

40

50

フッ素ラジカル ( $\text{F}^{\cdot}$ ) と水分子 ( $\text{H}_2\text{O}$ ) の反応として、以下の第 1 の反応乃至第 3 の反応を想定した。

【0303】

第 1 の反応を反応式 1 に示す。第 1 の反応はフッ素ラジカルと水分子が反応して、水酸基ラジカル ( $\cdot\text{OH}$ ) とフッ化水素分子 ( $\text{HF}$ ) を生成する反応である。

【0304】

【化 1】



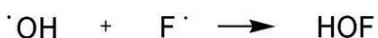
10

【0305】

第 2 の反応を反応式 2 に示す。第 2 の反応はフッ素ラジカルと水酸基ラジカル ( $\cdot\text{OH}$ ) が反応して、水素原子が結合した酸素原子にフッ素原子が結合する反応である。

【0306】

【化 2】



【0307】

第 3 の反応を反応式 3 に示す。第 3 の反応はフッ素ラジカルと酸素原子に水素原子とフッ素原子が結合した物質 ( $\text{HO}\text{F}$ ) が反応して、フッ素原子と酸素原子が結合したラジカル ( $\text{FO}^{\cdot}$ ) とフッ化水素分子 ( $\text{HF}$ ) を生成する反応である。

20

【0308】

【化 3】



【0309】

なお計算には、Gauss 基底を用いた密度汎関数法 (DFT) を用いた。DFT では、交換相関相互作用を電子密度で表現された一電子ポテンシャルの汎関数 (関数の関数の意) で近似しているため、計算は高速かつ高精度である。ここでは、混合汎関数である B3LYP を用いて、交換と相関エネルギーに係る各パラメータの重みを規定した。また、基底関数として、6-311G (それぞれの原子価軌道に三つの短縮関数を用いた triple split valence 基底系の基底関数) を全ての原子に適用した。上述の基底関数により、例えば、水素原子であれば、1s ~ 3s の軌道が考慮され、また、酸素原子であれば、1s ~ 4s、2p ~ 4p の軌道が考慮される。さらに、計算精度向上のため、分極基底系として、水素原子には p 関数を、水素原子以外には d 関数を加えた。

30

【0310】

なお、量子化学計算プログラムとしては、Gaussian 09 を使用した。計算は、ハイパフォーマンスコンピュータ (SGI 社製、Altix 4700) を用いて行った。

【0311】

第 1 の反応について、第 1 の状態 1 から第 5 の状態 5 に至る反応経路と、それぞれの状態のエネルギーを計算した結果をエネルギーダイアグラムとして図 1-4 に示す。

40

【0312】

第 1 の状態 1 では、水分子 ( $\text{H}_2\text{O}$ ) とフッ素ラジカル ( $\text{F}^{\cdot}$ ) が無限遠に離れている。また、エネルギーダイアグラムは第 1 の状態 1 のエネルギーを基準とする。

【0313】

第 2 の状態 2 では、水分子 ( $\text{H}_2\text{O}$ ) とフッ素ラジカル ( $\text{F}^{\cdot}$ ) が接近して中間体を形成し、相互作用によってポテンシャルエネルギーが 0.63 eV ほど低下する。

【0314】

第 3 の状態 3 は、水分子 ( $\text{H}_2\text{O}$ ) の水素原子をフッ素ラジカル ( $\text{F}^{\cdot}$ ) が引き抜く遷移状態であり、この水素引き抜き反応の活性化エネルギーは 0.15 eV と算出された。

50

**【0315】**

第4の状態4では、生成した水酸基ラジカル( $\cdot\text{OH}$ )とフッ化水素分子(HF)が相互作用して、中間体を形成している。

**【0316】**

第5の状態5では、水酸基ラジカル( $\cdot\text{OH}$ )とフッ化水素分子(HF)が無限遠に離れている。

**【0317】**

第1の反応において、第3の状態3の活性化工エネルギーは0.15eVと低く、フッ素ラジカル(F $\cdot$ )による水素引き抜き反応は起こり易いことが示唆された。また、第1の反応は全体に発熱反応であり、自発的に進行し易い傾向を有している。

10

**【0318】**

第2の反応では、フッ素ラジカル(F $\cdot$ )と水酸基ラジカル( $\cdot\text{OH}$ )が活性障壁なく結合する。フッ素原子と酸素原子の結合エネルギーは2.11eVと算出された。

**【0319】**

第3の反応について、第6の状態6から第10の状態10に至る反応経路とエネルギーダイアグラムを解析した結果を図15に示す。

**【0320】**

第3の反応において第6の状態6では、酸素原子に水素原子とフッ素原子が結合した物質(HOF)とフッ素ラジカル(F $\cdot$ )が無限遠に離れている。また、エネルギーダイアグラムは第6の状態6のエネルギーを基準とする。

20

**【0321】**

第7の状態7では、酸素原子に水素原子とフッ素原子が結合した物質(HOF)とフッ素ラジカル(F $\cdot$ )が接近して中間体を形成し、相互作用によってポテンシャルエネルギーが0.21eVほど低下する。

**【0322】**

第8の状態8は、酸素原子に水素原子とフッ素原子が結合した物質(HOF)の水素原子をフッ素ラジカル(F $\cdot$ )が引き抜く遷移状態であり、この水素引き抜き反応の活性化工エネルギーは0.16eVと算出された。

**【0323】**

第9の状態9では、生成した酸素原子とフッ素原子が結合したラジカル(FO $\cdot$ )とフッ化水素分子(HF)が相互作用して、中間体を形成する。

30

**【0324】**

第10の状態10では、酸素原子とフッ素原子が結合したラジカル(FO $\cdot$ )とフッ化水素分子(HF)が無限遠に離れている。

**【0325】**

第3の反応において、第8の状態8の活性化工エネルギーは0.16eVと低く、フッ素ラジカル(F $\cdot$ )による水素引き抜き反応は起こり易いことが示唆された。また、第3の反応は全体に発熱反応であり、自発的に進行し易い傾向を有している。

**【0326】**

なお、上記の反応で生成したフッ化水素分子(HF)における水素原子とフッ素原子の結合エネルギーは5.82eVであり、フッ化水素分子(HF)は分解し難い。

40

**【0327】**

上述の通り、フッ素ラジカル(F $\cdot$ )は水分子(H<sub>2</sub>O)から容易に水素原子を引き抜き、フッ化水素分子(HF)を形成する。生成したフッ化水素分子(HF)は分解し難く、水素原子を坦持するため、酸化物半導体膜中への水素混入を抑制する効果がある。

**【0328】**

従って、ハロゲン元素を含む物質をガス状で成膜室に導入しながら酸化物半導体膜を成膜することにより、水素や水分に由来する水素原子が膜中へ混入することを抑制できる。

**【0329】**

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる

50

。

### 【0330】

(実施の形態8)

本実施の形態では、ハロゲン元素を含む物質をガス状で成膜室に導入しながら酸化物半導体層を成膜し、後に加熱処理を施して、酸化物半導体層を高純度化する方法で作製するトランジスタを適用し、さらに低消費電力化を図れる液晶表示装置、及びその駆動方法の一形態を、図16、乃至図20を用いて説明する。

### 【0331】

本実施の形態で例示する液晶表示装置100の各構成を、図16のブロック図に示す。液晶表示装置100は、画像処理回路110、電源116、表示制御回路113、表示パネル120を有する。透過型液晶表示装置、又は半透過型液晶表示装置の場合、さらに光源としてバックライト部130を設ける。10

### 【0332】

液晶表示装置100は、接続された外部機器から画像信号(画像信号Data)が供給されている。電源電位(高電源電位Vdd、低電源電位Vss、及び共通電位Vcom)は電源116をオン状態とすることで、表示制御回路113に供給が開始される。制御信号(スタートパルスSP、及びクロック信号CK)は表示制御回路113によって供給される。

### 【0333】

なお高電源電位Vddとは、基準電位より高い電位のことであり、低電源電位Vssとは基準電位以下の電位のことをいう。なお高電源電位Vdd及び低電源電位Vssともに、トランジスタが動作できる程度の電位であることが望ましい。なお高電源電位Vdd及び低電源電位Vssを併せて、電源電圧と呼ぶこともある。20

### 【0334】

共通電位Vcomは、画素電極に供給される画像信号の電位に対して基準となる固定電位であればよく、一例としてはグラウンド電位であってもよい。

### 【0335】

画像信号Dataは、ドット反転駆動、ソースライン反転駆動、ゲートライン反転駆動、フレーム反転駆動等に応じて適宜反転させて液晶表示装置100に入力される構成とすればよい。また、画像信号がアナログの信号の場合には、A/Dコンバータ等を介してデジタルの信号に変換して、液晶表示装置100に供給する構成とすればよい。30

### 【0336】

本実施の形態では、共通電極128及び容量素子211の一方の電極に、固定電位である共通電位Vcomが電源116から表示制御回路113を介して与えられている。

### 【0337】

表示制御回路113は、表示パネル120に画像処理回路110で処理された画像信号、制御信号(具体的にはスタートパルスSP、及びクロック信号CK等の制御信号の供給または停止の切り替えを制御するための信号)、並びに電源電位(高電源電位Vdd、低電源電位Vss、及び共通電位Vcom)を供給し、バックライト部130にバックライト制御信号(具体的にはバックライト制御回路131がバックライト132の点灯、及び消灯を制御するための信号)を供給する回路である。40

### 【0338】

画像処理回路110は、入力される画像信号(画像信号Data)を解析、演算、乃至加工し、処理した画像信号を制御信号と共に表示制御回路113に出力する。

### 【0339】

例えば画像処理回路110は、入力される画像信号Dataを解析し動画であるか静止画であるかを判断し、判断結果を含む制御信号を表示制御回路113に出力する処理ができる。また、画像処理回路110は、静止画を含む画像信号Dataから1フレームの静止画を切り出し、静止画であることを意味する制御信号と共に表示制御回路113に出力することができる。また、画像処理回路110は、動画を含む画像信号Dataから動画を50

検知し、動画であることを意味する制御信号と共に連続するフレームを表示制御回路 113 に出力することができる。

#### 【 0 3 4 0 】

画像処理回路 110 は入力される画像信号 Data に応じて本実施の形態の液晶表示装置に異なる動作をさせる。本実施の形態において、画像処理回路 110 が画像を静止画と判断しておこなう動作を静止画表示モード、画像処理回路 110 が画像を動画と判断しておこなう動作を動画表示モードとよぶ。なお本明細書では、静止画表示の時に表示される画像を静止画像とよぶ。

#### 【 0 3 4 1 】

また、本実施の形態で例示される画像処理回路 110 は、表示モード切り替え機能を有していてもよい。表示モード切り替え機能は、画像処理回路 110 の判断によらず、当該液晶表示装置の利用者が手動または外部接続機器を用いて当該液晶表示装置の動作モードを選択し、動画表示モードまたは静止画表示モードを切り替える機能である。10

#### 【 0 3 4 2 】

上述した機能は画像処理回路 110 が有する機能の一例であり、表示装置の用途に応じて種々の画像処理機能を選択して適用すればよい。

#### 【 0 3 4 3 】

なお、デジタル信号に変換された画像信号は演算（例えば画像信号の差分を検出する等）が容易であるため、入力される画像信号（画像信号 Data ）がアナログの信号の場合には、A / D コンバータ等を画像処理回路 110 に設けることができる。20

#### 【 0 3 4 4 】

表示パネル 120 は一対の基板（第 1 の基板と第 2 の基板）を有する。また、液晶層を一対の基板の間に挟持して液晶素子 215 を形成している。第 1 の基板上には、駆動回路部 121 、画素部 122 、端子部 126 、及びスイッチング素子 127 が設けられている。第 2 の基板上には、共通電極 128 （コモン電極、または対向電極ともいう）が設けられている。なお、本実施の形態においては、共通接続部（コモンコンタクトともいう）が第 1 の基板、または第 2 の基板に設けられ、第 1 の基板上の接続部と第 2 の基板上の共通電極 128 が接続されている。

#### 【 0 3 4 5 】

画素部 122 には、複数のゲート線 124 （走査線）、及びソース線 125 （信号線）が設けられており、複数の画素 123 がゲート線 124 及びソース線 125 に環囲されてマトリクス状に設けられている。なお、本実施の形態で例示する表示パネルにおいては、ゲート線 124 はゲート線側駆動回路 121A から延在し、ソース線 125 はソース線側駆動回路 121B から延在している。30

#### 【 0 3 4 6 】

画素 123 はスイッチング素子としてトランジスタ 214 、該トランジスタ 214 と接続する容量素子 211 、及び液晶素子 215 を有する（図 17 参照。）。

#### 【 0 3 4 7 】

トランジスタ 214 は、ゲート電極が画素部 122 に設けられた複数のゲート線 124 のうちの一つと接続され、ソース電極またはドレイン電極の一方が複数のソース線 125 のうちの一つと接続され、ソース電極またはドレイン電極の他方が容量素子 211 の一方の電極、及び液晶素子 215 の一方の電極（画素電極）と接続される。40

#### 【 0 3 4 8 】

またトランジスタ 214 はオフ電流が低減されたトランジスタを用いることが好ましく、実施の形態 1 または実施の形態 2 で説明したトランジスタが好適である。オフ電流が低減されると、オフ状態のトランジスタ 214 は、液晶素子 215 、及び容量素子 211 に安定して電荷を保持できる。また、オフ電流が充分低減されたトランジスタ 214 を用いることによって、容量素子 211 を設けることなく画素 123 を構成することもできる。

#### 【 0 3 4 9 】

10

20

30

40

50

このような構成とすることで画素 123 は、トランジスタ 214 がオフ状態になる前に書き込まれた状態を長時間に渡って保持でき、消費電力を低減できる。

#### 【0350】

液晶素子 215 は、液晶の光学的変調作用によって光の透過又は非透過を制御する素子である。液晶の光学的変調作用は、液晶にかかる電界によって制御される。液晶にかかる電界方向は液晶材料、駆動方法、及び電極構造によって異なり、適宜選択することができる。例えば、液晶の厚さ方向（いわゆる縦方向）に電界をかける駆動方法を用いる場合は液晶を挟持するように第1の基板に画素電極を、第2の基板に共通電極をそれぞれ設ける構造とすればよい。また、液晶に基板面内方向（いわゆる横電界）に電界をかける駆動方法を用いる場合は、液晶に対して同一面に、画素電極と共通電極を設ける構造とすればよい。また画素電極及び共通電極は、多様な開口パターンを有する形状としてもよい。10

#### 【0351】

液晶素子に適用する液晶の一例としては、ネマチック液晶、コレステリック液晶、スマートチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子分散型液晶（PDL C）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、バナナ型液晶などを挙げることができる。

#### 【0352】

また、液晶の駆動モードとしては、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、OCB（Optically Compensated Birefringence）モード、ECB（Electrically Controlled Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）モード、PDLC（Polymer Dispersed Liquid Crystal）モード、PNLC（Polymer Network Liquid Crystal）モード、ゲストホストモードなどを用いることができる。また、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）モード、ASM（Axially Symmetric aligned Micro-cell）モードなどを適宜用いることができる。もちろん、本実施の形態においては光学的変調作用によって光の透過又は非透過を制御する素子であれば、液晶材料、駆動方法、及び電極構造は特に限定されない。2030

#### 【0353】

なお、本実施の形態で例示する液晶素子は第1の基板に設けられた画素電極と、第2の基板に設けられた画素電極に対向する共通電極の間に生じる縦方向の電界により、液晶の配向を制御する。

#### 【0354】

端子部 126 は、表示制御回路 113 が出力する所定の信号（高電源電位 Vdd、低電源電位 Vss、スタートパルス SP、クロック信号 CK、画像信号 Data、共通電位 Vcom 等）等を駆動回路部 121 に供給する入力端子である。40

#### 【0355】

駆動回路部 121 は、ゲート線側駆動回路 121A、ソース線側駆動回路 121B を有する。ゲート線側駆動回路 121A、ソース線側駆動回路 121B は、複数の画素を有する画素部 122 を駆動するための駆動回路であり、シフトレジスタ回路（シフトレジスタともいう）を有する。

#### 【0356】

なお、ゲート線側駆動回路 121A、及びソース線側駆動回路 121B は、画素部 122 と同じ基板に形成されるものでもよいし、別の基板に形成されるものであってもよい。

#### 【0357】

50

また駆動回路部 121には、表示制御回路113によって制御された高電源電位Vdd、低電源電位Vss、スタートパルスSP、クロック信号CK、画像信号Dataが供給される。

#### 【0358】

スイッチング素子127としては、トランジスタを用いることができる。スイッチング素子127のゲート電極は端子126Aに接続され、表示制御回路113が出力する制御信号に応じて、共通電位Vcomを共通電極128に供給する。スイッチング素子127のソース電極またはドレイン電極の一方を端子126Bに接続し、他方を共通電極128に接続して、表示制御回路113から共通電極128に共通電位Vcomが供給されるよう 10 にすればよい。なお、スイッチング素子127は駆動回路部121、または画素部122と同じ基板に形成されるものでもよいし、別の基板に形成されるものであってもよい。

#### 【0359】

また、スイッチング素子127として実施の形態1または実施の形態2で説明したオフ電流が低減されたトランジスタを用いることにより、液晶素子215の両端子に加わる電圧の経時的な低下を抑制できる。

#### 【0360】

共通電極128は、表示制御回路113に制御された共通電位Vcomを与える共通電位線と、共通接続部において電気的に接続する。

#### 【0361】

共通接続部の具体的な一例としては、絶縁性球体に金属薄膜が被覆された導電粒子を間に 20 介することにより共通電極128と共に電位線との電気的な接続を図ることができる。なお、共通接続部は、表示パネル120内に複数箇所設けられる構成としてもよい。

#### 【0362】

また、測光回路を液晶表示装置に設けてもよい。測光回路を設けた液晶表示装置は当該液晶表示装置があかれている環境の明るさを検知できる。液晶表示装置が薄暗い環境で使用されていることが判明すると表示制御回路113はバックライト132の光の強度を高めるように制御して表示画面の良好な視認性を確保し、反対に液晶表示装置が極めて明るい外光下（例えば屋外の直射日光下）で利用されていることが判明すると、表示制御回路113はバックライト132の光の強度を抑えるように制御しバックライト132が消費する電力を低下させる。このように、測光回路から入力される信号に応じて、表示制御回路 30 113がバックライト、サイドライト等の光源の駆動方法を制御することができる。

#### 【0363】

バックライト部130はバックライト制御回路131、及びバックライト132を有する。バックライト132は、液晶表示装置100の用途に応じて選択して組み合わせればよく、発光ダイオード(LED)などを用いることができる。バックライト132には例えば白色の発光素子（例えばLED）を配置することができる。バックライト制御回路131には、表示制御回路113からバックライトを制御するバックライト信号、及び電源電位が供給される。

#### 【0364】

なお、必要に応じて光学フィルム（偏光フィルム、位相差フィルム、反射防止フィルムなど）も適宜組み合わせて用いることができる。半透過型液晶表示装置に用いられるバックライト等の光源は、液晶表示装置100の用途に応じて選択して組み合わせればよく、冷陰極管や発光ダイオード(LED)などを用いることができる。また複数のLED光源、または複数のエレクトロルミネセンス(EL)光源などを用いて面光源を構成してもよい。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。なお、バックライトにRGBの発光ダイオード等を配置し、時分割によりカラー表示する継時加法混色法（フィールドシーケンシャル法）を採用するときには、カラーフィルタを設けない場合もある。

#### 【0365】

次に、図16に例示した液晶表示装置100の駆動方法について、図17、乃至図20を 50

用いて説明する。本実施の形態で説明する液晶表示装置の駆動方法は、表示する画像の特性に応じて、表示パネルの書き換え頻度（または周波数）を変える表示方法である。具体的には、連続するフレームの画像信号が異なる画像（動画）を表示する場合は、フレーム毎に画像信号が書き込まれる表示モードを用いる。一方、連続するフレームの画像信号が同一な画像（静止画）を表示する場合は、同一な画像を表示し続ける期間に新たに画像信号は書き込まれないか、書き込む頻度を極めてすくなくし、さらに液晶素子に電圧を印加する画素電極及び共通電極の電位を浮遊状態（フローティング）にして液晶素子にかかる電圧を保持し、新たに電位を供給することなく静止画の表示を行う表示モードを用いる。

#### 【0366】

なお、液晶表示装置は動画と静止画を組み合わせて画面に表示する。動画は、複数のフレームに時分割した複数の異なる画像を高速に切り替えることで人間の目に動く画像として認識される画像をいう。具体的には、1秒間に60回（60フレーム）以上画像を切り替えることで、人間の目にはちらつきが少なく動画と認識されるものとなる。一方、静止画は、動画及び部分動画と異なり、複数のフレーム期間に時分割した複数の画像を高速に切り替えて動作させていても、連続するフレーム期間、例えばnフレーム目と、（n+1）フレーム目とで変化しない画像のことをいう。

#### 【0367】

はじめに、液晶表示装置の電源116をオン状態として電力を供給する。表示制御回路113は電源電位（高電源電位Vdd、低電源電位Vss、及び共通電位Vcom）、並びに制御信号（スタートパルスSP、及びクロック信号CK）を表示パネル120に供給する。

#### 【0368】

なお、画像信号（画像信号Data）は液晶表示装置100に接続された外部機器から液晶表示装置100に供給される。液晶表示装置100の画像処理回路110は、入力される画像信号を解析する。ここでは動画と静止画を判別し、動画と静止画で異なる信号を出力する処理を行う場合について説明する。

#### 【0369】

例えば画像処理回路110は、入力される画像信号（画像信号Data）が動画から静止画に移行する際、入力される画像信号から静止画を切り出し、静止画であることを意味する制御信号と共に表示制御回路113に出力する。また、入力される画像信号（画像信号Data）が静止画から動画に移行する際に、動画を含む画像信号を、動画であることを意味する制御信号と共に表示制御回路113に出力する。

#### 【0370】

次に、画素に供給する信号の様子を、図17に示す液晶表示装置の等価回路図、及び図18に示すタイミングチャートを用いて説明する。

#### 【0371】

図18に、表示制御回路113がゲート線側駆動回路121Aに供給するクロック信号GCK、及びスタートパルスGSPを示す。また、表示制御回路113がソース線側駆動回路121Bに供給するクロック信号SCK、及びスタートパルスSSPを示す。なお、クロック信号の出力のタイミングを説明するために、図18ではクロック信号の波形を単純な矩形波で示す。

#### 【0372】

また図18に、ソース線125の電位、画素電極の電位、端子126Aの電位、端子126Bの電位、並びに共通電極の電位を示す。

#### 【0373】

図18において期間1401は、動画を表示するための画像信号を書き込む期間に相当する。期間1401では画像信号、共通電位が画素部122の各画素、共通電極に供給されるように動作する。

#### 【0374】

また、期間1402は、静止画を表示する期間に相当する。期間1402では、画素部1

10

20

30

40

50

22の各画素への画像信号、共通電極への共通電位を停止することとなる。なお図18に示す期間1402では、駆動回路部の動作を停止するよう各信号を供給する構成について示したが、期間1402の長さ及びリフレッシュレートによって、定期的に画像信号を書き込むことで静止画の画像の劣化を防ぐ構成とすることが好ましい。

#### 【0375】

まず、動画を表示するための画像信号を書き込む期間1401におけるタイミングチャートを説明する。期間1401では、クロック信号GCKとして、常時クロック信号が供給され、スタートパルスGSPとして、垂直同期周波数に応じたパルスが供給される。また、期間1401では、クロック信号SCKとして、常時クロック信号が供給され、スタートパルスSSPとして、1ゲート選択期間に応じたパルスが供給される。

10

#### 【0376】

また、各行の画素に画像信号Dataがソース線125を介して供給され、ゲート線124の電位に応じて画素電極にソース線125の電位が供給される。

#### 【0377】

また、表示制御回路113がスイッチング素子127の端子126Aにスイッチング素子127を導通状態とする電位を供給し、端子126Bを介して共通電極に共通電位を供給する。

#### 【0378】

次に、静止画を表示する期間1402におけるタイミングチャートを説明する。期間1402では、クロック信号GCK、スタートパルスGSP、クロック信号SCK、及びスタートパルスSSPは共に停止する。また、期間1402において、ソース線125に供給していた画像信号Dataは停止する。クロック信号GCK及びスタートパルスGSPが共に停止する期間1402では、トランジスタ214が非導通状態となり画素電極の電位が浮遊状態となる。

20

#### 【0379】

また、表示制御回路113がスイッチング素子127の端子126Aにスイッチング素子127を非導通状態とする電位を供給し、共通電極の電位を浮遊状態にする。

#### 【0380】

期間1402では、液晶素子215の両端の電極、即ち画素電極及び共通電極の電位を浮遊状態にして、新たに電位を供給することなく、静止画の表示を行うことができる。

30

#### 【0381】

また、ゲート線側駆動回路121A、及びソース線側駆動回路121Bに供給するクロック信号、及びスタートパルスを停止することにより低消費電力化を図ることができる。

#### 【0382】

特に、トランジスタ214及びスイッチング素子127をオフ電流が低減されたトランジスタを用いることにより、液晶素子215の両端子に加わる電圧が経時的に低下する現象を抑制できる。

#### 【0383】

次に、動画から静止画に切り替わる期間(図18中の期間1403)、及び静止画から動画に切り替わる期間(図18中の期間1404)における表示制御回路の動作を、図19(A)、(B)を用いて説明する。図19(A)、(B)は表示制御回路が出力する、高電源電位Vdd、クロック信号(ここではGCK)、スタートパルス信号(ここではGSP)、及び端子126Aの電位を示す。

40

#### 【0384】

動画から静止画に切り替わる期間1403の表示制御回路の動作を図19(A)に示す。表示制御回路は、スタートパルスGSPを停止する(図19(A)のE1、第1のステップ)。次いで、スタートパルス信号GSPの停止後、パルス出力がシフトレジスタの最終段まで達した後に、複数のクロック信号GCKを停止する(図19(A)のE2、第2のステップ)。次いで、電源電圧の高電源電位Vddを低電源電位Vssにする(図19(A)のE3、第3のステップ)。次いで、端子126Aの電位を、スイッチング素子12

50

7が非導通状態となる電位にする(図19(A)のE4、第4のステップ)。

**【0385】**

以上の手順をもって、駆動回路部121の誤動作を引き起こすことなく、駆動回路部121に供給する信号を停止できる。動画から静止画に切り替わる際の誤動作はノイズを生じ、ノイズは静止画として保持されるため、誤動作が少ない表示制御回路を搭載した液晶表示装置は画像の劣化が少ない静止画を表示できる。

**【0386】**

次に静止画から動画に切り替わる期間1404の表示制御回路の動作を図19(B)に示す。表示制御回路は、端子126Aの電位をスイッチング素子127が導通状態となる電位にする(図19(B)のS1、第1のステップ)。次いで、電源電圧を低電源電位Vsから高電源電位Vddにする(図19(B)のS2、第2のステップ)。次いで、クロック信号GCKとして後に与える通常のクロック信号GCKより長いパルス信号でハイの電位を与えた後、複数のクロック信号GCKを供給する(図19(B)のS3、第3のステップ)。次いでスタートパルス信号GSPを供給する(図19(B)のS4、第4のステップ)。

10

**【0387】**

以上の手順をもって、駆動回路部121の誤動作を引き起こすことなく駆動回路部121に駆動信号の供給を再開できる。各配線の電位を適宜順番に動画表示時に戻すことで、誤動作なく駆動回路部の駆動を行うことができる。

**【0388】**

20

また、図20に、動画を表示する期間1601、または静止画を表示する期間1602における、フレーム期間毎の画像信号の書き込み頻度を模式的に示す。図20中、「W」は画像信号の書き込み期間であることをあらわし、「H」は画像信号を保持する期間であることを示している。また、図20中、期間1603は1フレーム期間を表したものであるが、別の期間であってもよい。

**【0389】**

このように、本実施の形態の液晶表示装置の構成において、期間1602で表示される静止画の画像信号は期間1604に書き込まれ、期間1604で書き込まれた画像信号は、期間1602の他の期間で保持される。

**【0390】**

30

本実施の形態に例示した液晶表示装置は、静止画を表示する期間において画像信号の書き込み頻度を低減できる。その結果、静止画を表示する際の低消費電力化を図ることができる。

**【0391】**

また、同一の画像を複数回書き換えて静止画を表示する場合、画像の切り替わりが視認できると、人間は目に疲労を感じることもあり得る。本実施の形態の液晶表示装置は、画像信号の書き込み頻度が削減されているため、目の疲労を減らすといった効果もある。

**【0392】**

40

特に、本実施の形態の液晶表示装置は、ハロゲン元素を含む物質をガス状で成膜室に導入しながら酸化物半導体層を成膜し、後に加熱処理を施して、酸化物半導体層を高純度化する方法で作製したオフ電流が低減されたトランジスタを各画素、並びに共通電極のスイッチング素子に適用することにより、保持容量で電圧を保持できる期間(時間)を長く取ることができる。その結果、画像信号の書き込み頻度を画期的に低減することが可能になり、静止画を表示する際の低消費電力化、及び目の疲労の低減に、顕著な効果を有する。

**【0393】**

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

**【符号の説明】**

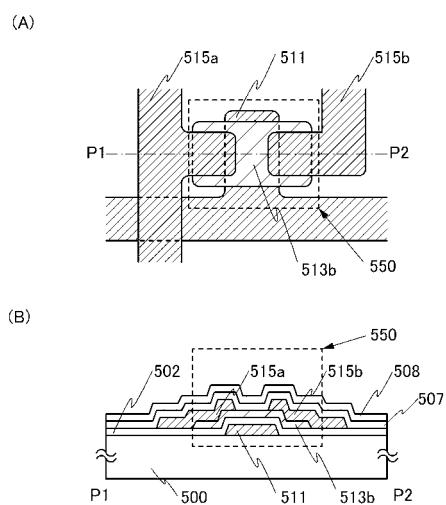
**【0394】**

2	第2の状態	
3	第3の状態	
4	第4の状態	
5	第5の状態	
6	第6の状態	
7	第7の状態	
8	第8の状態	
9	第9の状態	
10	第10の状態	
100	液晶表示装置	10
110	画像処理回路	
113	表示制御回路	
116	電源	
120	表示パネル	
121	駆動回路部	
121A	ゲート線側駆動回路	
121B	ソース線側駆動回路	
122	画素部	
123	画素	
124	ゲート線	20
125	ソース線	
126	端子部	
126A	端子	
126B	端子	
127	スイッチング素子	
128	共通電極	
130	バックライト部	
131	バックライト制御回路	
132	バックライト	
200	基板	30
202	保護層	
204	半導体領域	
206	素子分離絶縁層	
208	ゲート絶縁層	
210	ゲート電極	
211	容量素子	
214	トランジスタ	
215	液晶素子	
216	チャネル形成領域	
220	不純物領域	40
222	金属層	
224	金属化合物領域	
228	絶縁層	
230	絶縁層	
242a	電極	
242b	電極	
243a	絶縁層	
243b	絶縁層	
244	酸化物半導体層	
246	ゲート絶縁層	50

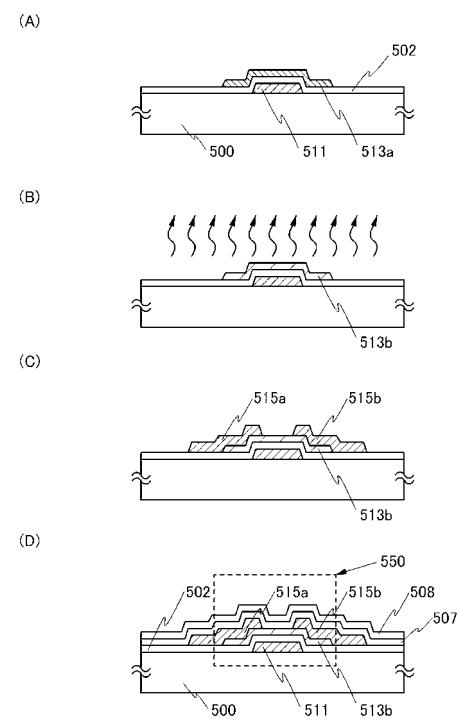
2 4 8 a	ゲート電極	
2 4 8 b	電極	
2 5 0	絶縁層	
2 5 2	絶縁層	
2 5 4	電極	
2 5 6	配線	
2 6 0	トランジスタ	
2 6 2	トランジスタ	
2 6 4	容量素子	
5 0 0	基板	10
5 0 2	ゲート絶縁層	
5 0 7	絶縁層	
5 0 8	保護絶縁層	
5 1 1	ゲート電極	
5 1 3 a	酸化物半導体層	
5 1 3 b	酸化物半導体層	
5 1 5 a	電極	
5 1 5 b	電極	
5 5 0	トランジスタ	
6 0 0	基板	20
6 0 1	筐体	
6 0 2	ゲート絶縁層	
6 0 3	表示部	
6 0 4	キー ボード	
6 0 5	筐体	
6 0 8	保護絶縁層	
6 1 0	本体	
6 1 1	ゲート電極	
6 1 2	スタイルス	
6 1 3	表示部	30
6 1 3 a	酸化物半導体層	
6 1 3 b	酸化物半導体層	
6 1 4	操作ボタン	
6 1 5	外部インターフェイス	
6 1 5 a	電極	
6 1 5 b	電極	
6 2 0	電子書籍	
6 2 1	筐体	
6 2 3	筐体	
6 2 5	表示部	40
6 2 7	表示部	
6 3 1	電源	
6 3 3	操作キー	
6 3 5	スピーカー	
6 3 7	軸部	
6 4 0	筐体	
6 4 1	筐体	
6 4 2	表示パネル	
6 4 3	スピーカー	
6 4 4	マイクロフォン	50

6 4 5	操作キー	
6 4 6	ポインティングデバイス	
6 4 7	カメラ用レンズ	
6 4 8	外部接続端子	
6 4 9	太陽電池セル	
6 5 0	トランジスタ	
6 5 1	外部メモリスロット	
6 6 1	本体	
6 6 3	接眼部	
6 6 4	操作スイッチ	10
6 6 5	表示部	
6 6 6	バッテリー	
6 6 7	表示部	
6 7 0	テレビジョン装置	
6 7 1	筐体	
6 7 3	表示部	
6 7 5	スタンド	
6 8 0	リモコン操作機	
7 0 0	トランジスタ	
7 1 0	トランジスタ	20
7 2 0	容量素子	
7 5 0	メモリセル	
1 4 0 1	期間	
1 4 0 2	期間	
1 4 0 3	期間	
1 4 0 4	期間	
1 6 0 1	期間	
1 6 0 2	期間	
1 6 0 3	期間	
1 6 0 4	期間	30

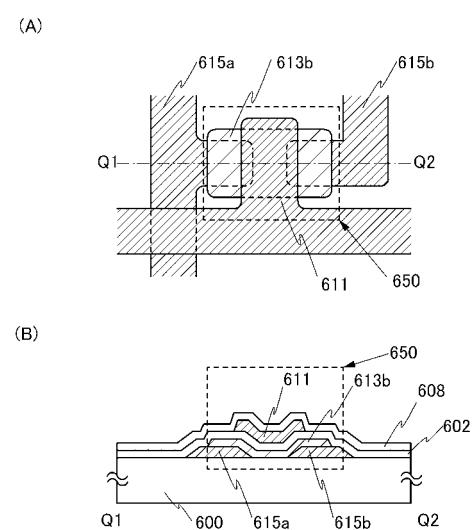
【図1】



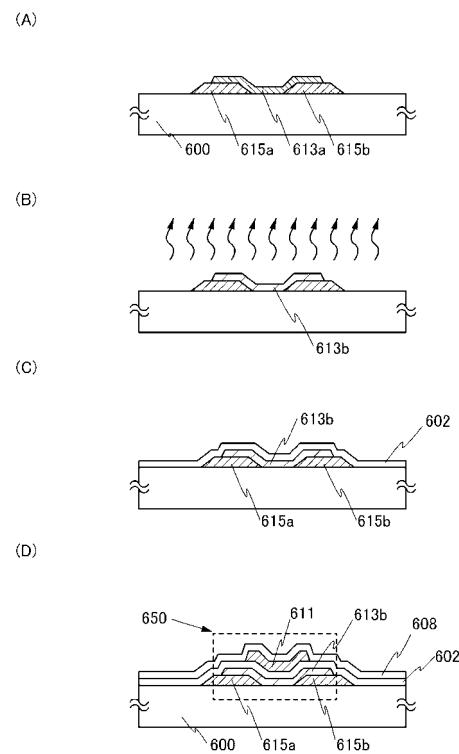
【図2】



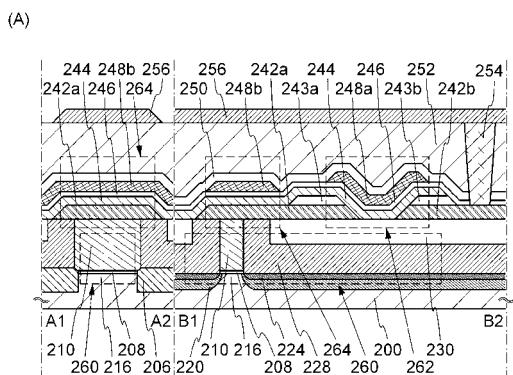
【図3】



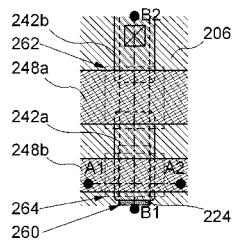
【図4】



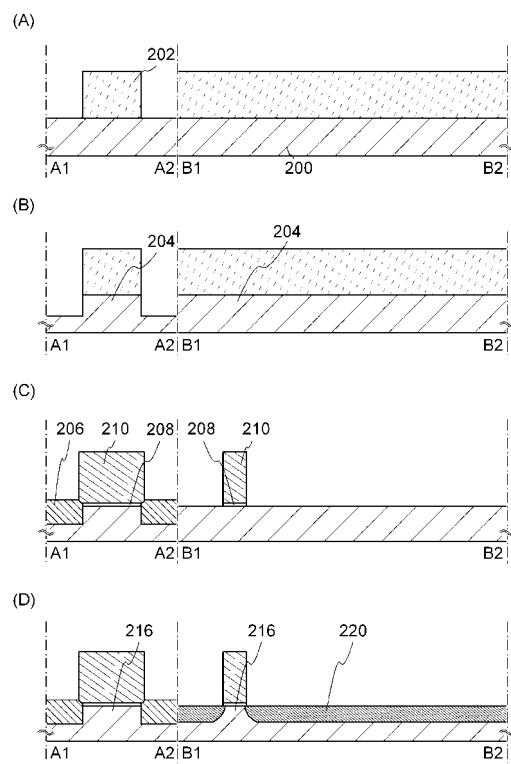
【図5】



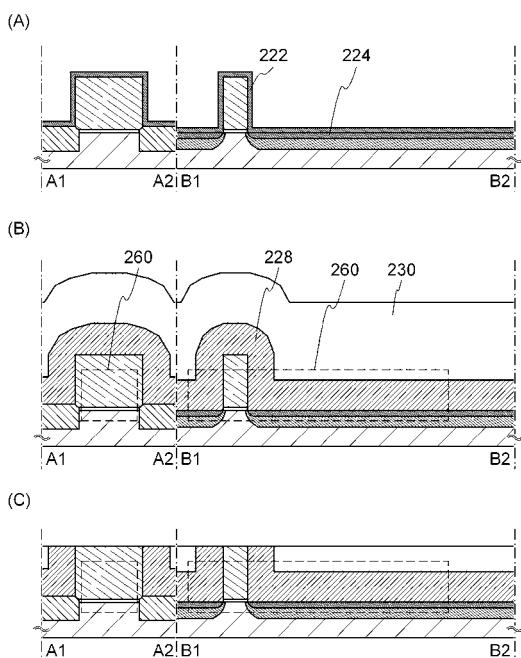
(B)



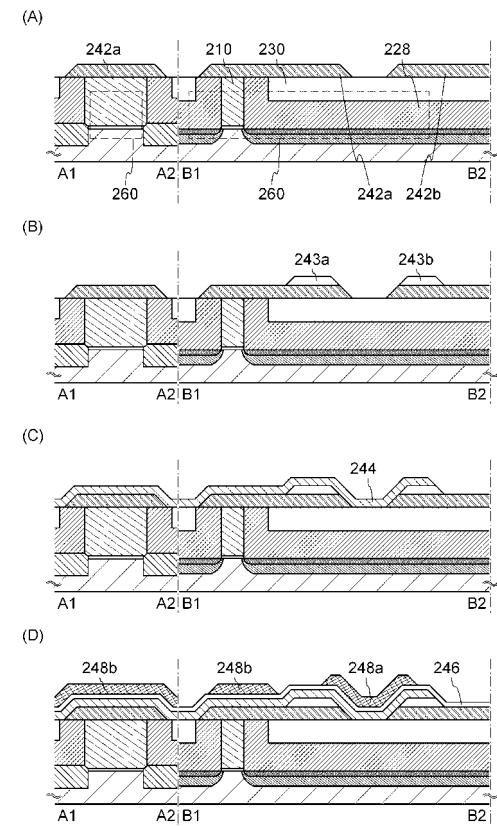
【図6】



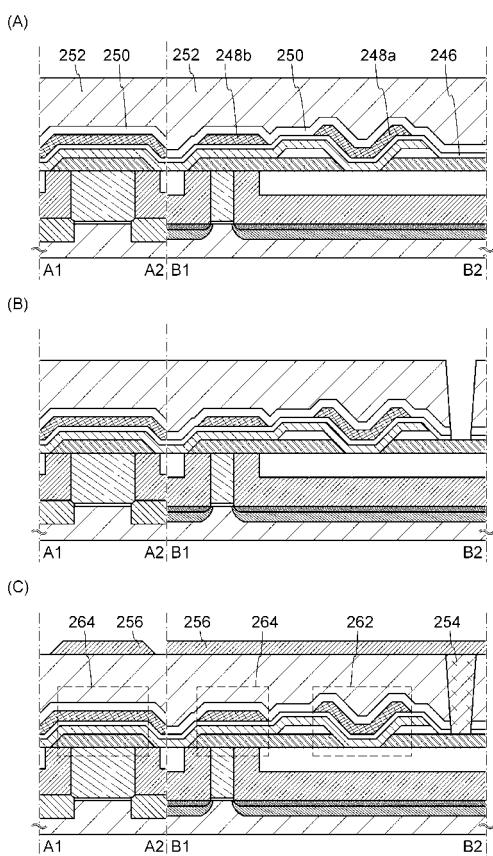
【図7】



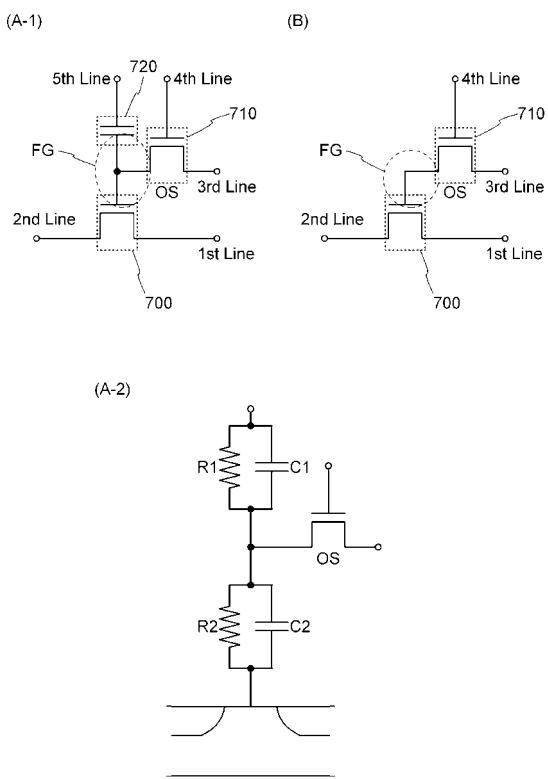
【図8】



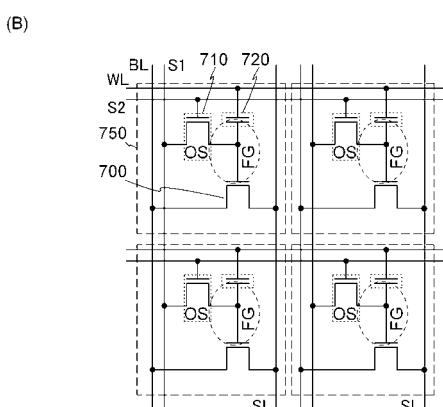
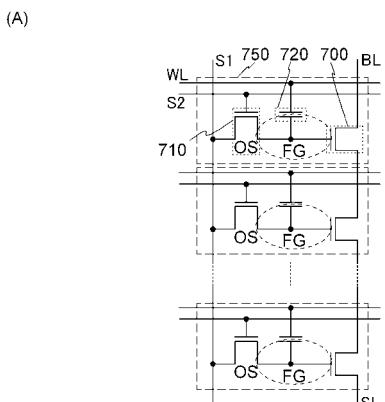
【図9】



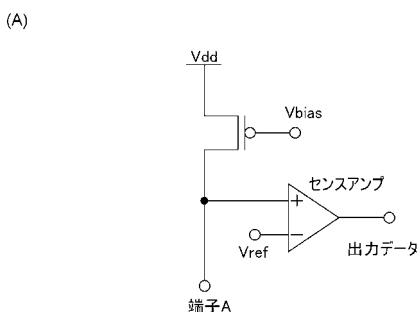
【図10】



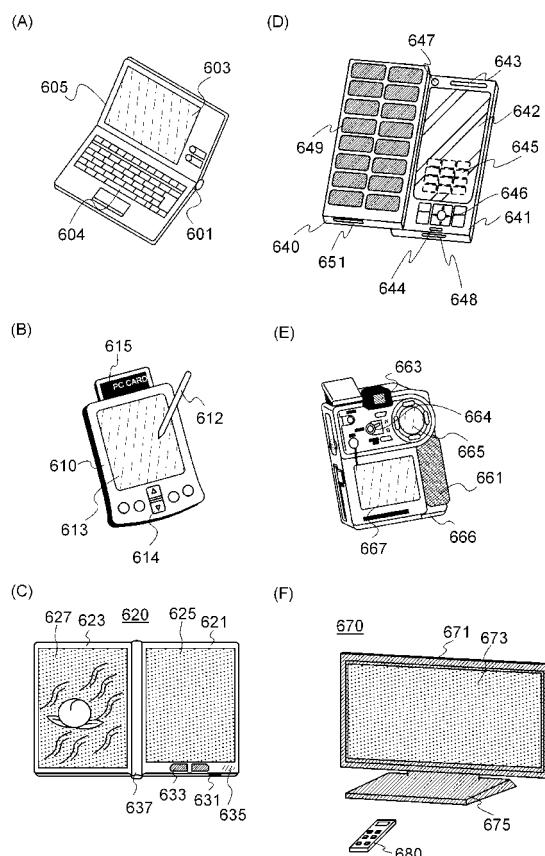
【図11】



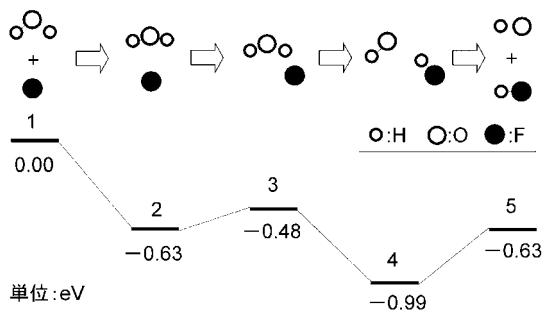
【図12】



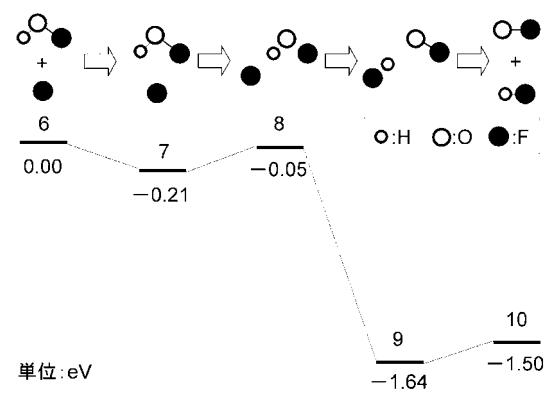
【図13】



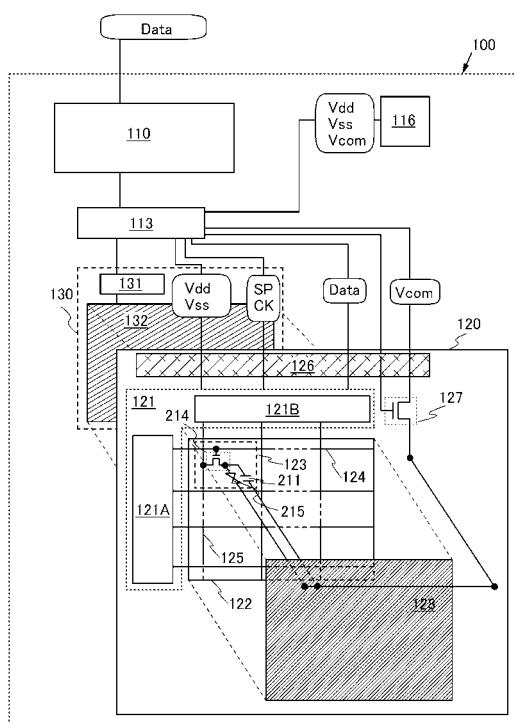
【図14】



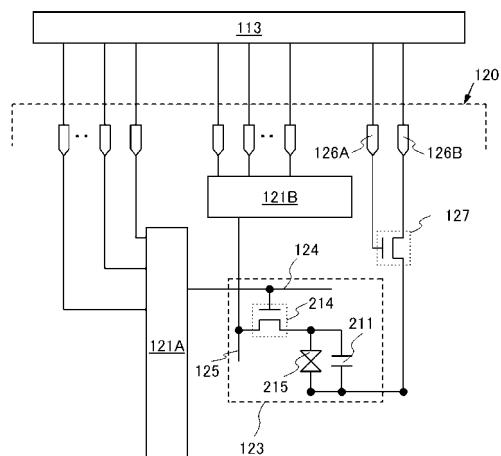
【図15】



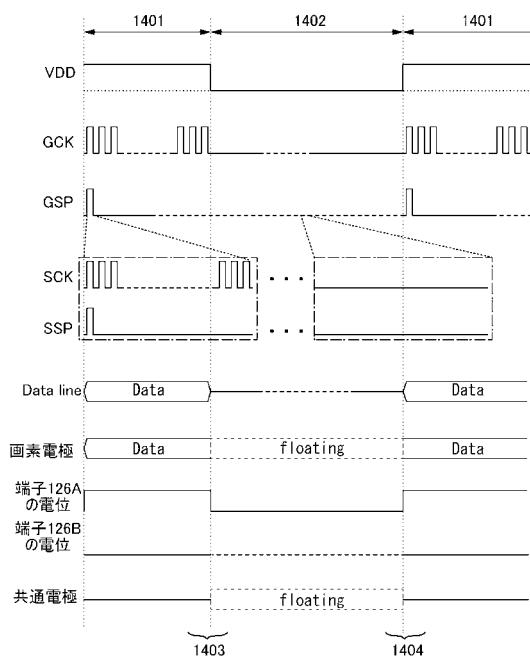
【図16】



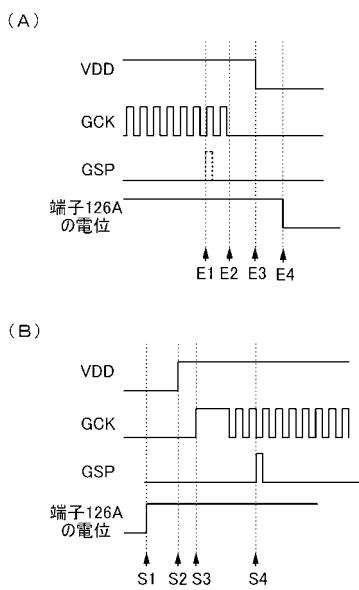
【図17】



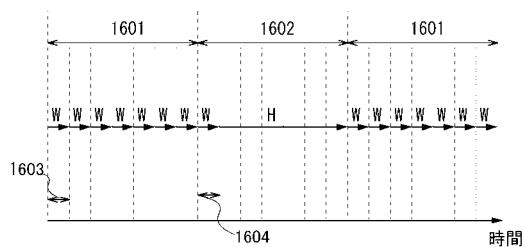
【図18】



【図19】



【図20】



---

フロントページの続き

(51)Int.Cl.	F I
H 01 L 27/115 (2006.01)	H 01 L 21/203 S
H 01 L 29/788 (2006.01)	G 02 F 1/1368
H 01 L 29/792 (2006.01)	G 11 C 11/34 352B
H 01 L 21/203 (2006.01)	H 01 L 27/10 481
G 02 F 1/1368 (2006.01)	H 01 L 21/425
G 11 C 11/405 (2006.01)	
H 01 L 27/10 (2006.01)	
H 01 L 21/425 (2006.01)	

(56)参考文献 特開平02-034926(JP,A)  
特開2008-130814(JP,A)  
国際公開第2008/096768(WO,A1)

## (58)調査した分野(Int.Cl., DB名)

H 01 L	21 / 336
G 02 F	1 / 1368
G 11 C	11 / 405
H 01 L	21 / 203
H 01 L	21 / 425
H 01 L	21 / 8242
H 01 L	21 / 8247
H 01 L	27 / 10
H 01 L	27 / 108
H 01 L	27 / 115
H 01 L	29 / 786
H 01 L	29 / 788
H 01 L	29 / 792