

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6231825号

(P6231825)

(45) 発行日 平成29年11月15日(2017.11.15)

(24) 登録日 平成29年10月27日(2017.10.27)

(51) Int.Cl.	F I
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 7 K
H O 1 L 21/28 (2006.01)	H O 1 L 29/78 6 1 8 B
	H O 1 L 29/78 6 1 8 E
	H O 1 L 21/28 3 0 1 B

請求項の数 4 (全 34 頁)

(21) 出願番号	特願2013-187821 (P2013-187821)	(73) 特許権者	000153878
(22) 出願日	平成25年9月11日(2013.9.11)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2015-56459 (P2015-56459A)		神奈川県厚木市長谷398番地
(43) 公開日	平成27年3月23日(2015.3.23)	(72) 発明者	池田 隆之
審査請求日	平成28年8月22日(2016.8.22)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	青木 健
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体層、ソース電極及びドレイン電極、ゲート絶縁膜、及びゲート電極を有するトランジスタを有し、

前記半導体層は、酸化物半導体を有し、

前記半導体層の一方の端面から他方の端面に向けて、前記ゲート電極は伸びており、

前記ゲート電極は前記一方の端面と重なっており、

前記ゲート電極の端面は、前記他方の端面と一致するように設けられていること、を特徴とする半導体装置。

【請求項2】

半導体層、ソース電極及びドレイン電極、ゲート絶縁膜、及びゲート電極を有するトランジスタを有し、

前記ゲート電極は、前記ゲート絶縁膜を介して前記半導体層上に設けられ、

前記半導体層は、酸化物半導体を有し、

前記半導体層の一方の端面から他方の端面に向けて、前記ゲート電極は伸びており、

前記ゲート電極は前記一方の端面と重なっており、

前記ゲート電極の端面は、前記他方の端面まで伸びていないこと、を特徴とする半導体装置。

【請求項3】

第1の半導体層、第1のソース電極及び第1のドレイン電極、第1のゲート絶縁膜、及

10

20

び第 1 のゲート電極を有する第 1 のトランジスタが設けられた第 1 のメモリセルと、
第 2 の半導体層、第 2 のソース電極及び第 2 のドレイン電極、第 2 のゲート絶縁膜、及び第 2 のゲート電極を有する第 2 のトランジスタが設けられた第 2 のメモリセルと、を有し、

前記第 1 の半導体層及び前記第 2 の半導体層は、酸化物半導体を有し、

前記第 1 の半導体層の一方の端面から他方の端面に向けて、前記第 1 のゲート電極は伸びており、

前記第 1 のゲート電極は前記一方の端面と重なっており、

前記第 1 のゲート電極の端面は、前記他方の端面と一致するように設けられており、

前記第 2 の半導体層の一方の端面から他方の端面に向けて、前記第 2 のゲート電極は伸びており、

前記第 2 のゲート電極は前記第 2 の半導体層の一方の端面と重なっており、

前記第 2 のゲート電極の端面は、前記第 2 の半導体層の他方の端面と一致するように設けられており、

前記第 1 のメモリセルが有する第 1 のトランジスタと、前記第 2 のメモリセルが有する第 2 のトランジスタとは、隣接して設けられていること、を特徴とする半導体装置。

【請求項 4】

第 1 の半導体層、第 1 のソース電極及び第 1 のドレイン電極、第 1 のゲート絶縁膜、及び第 1 のゲート電極を有する第 1 のトランジスタが設けられた第 1 のメモリセルと、

第 2 の半導体層、第 2 のソース電極及び第 2 のドレイン電極、第 2 のゲート絶縁膜、及び第 2 のゲート電極を有する第 2 のトランジスタが設けられた第 2 のメモリセルと、を有し、

前記第 1 の半導体層及び前記第 2 の半導体層は、酸化物半導体を有し、

前記第 1 の半導体層の一方の端面から他方の端面に向けて、前記第 1 のゲート電極は伸びており、

前記第 1 のゲート電極は前記一方の端面と重なっており、

前記第 1 のゲート電極の端面は、前記他方の端面まで伸びておらず、

前記第 2 の半導体層の一方の端面から他方の端面に向けて、前記第 2 のゲート電極は伸びており、

前記第 2 のゲート電極は前記第 2 の半導体層の一方の端面と重なっており、

前記第 2 のゲート電極の端面は、前記第 2 の半導体層の他方の端面まで伸びておらず、

前記第 1 のメモリセルが有する第 1 のトランジスタと、前記第 2 のメモリセルが有する第 2 のトランジスタとは、隣接して設けられていること、を特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明は、例えば、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法に関する。特に、本発明の一態様は、半導体装置、中でも酸化物半導体を用いた半導体装置に関する。

【背景技術】

【0002】

シリコン（Si）をチャネル形成領域となる半導体層に用いたトランジスタ（Si トランジスタともいう）と、酸化物半導体（Oxide Semiconductor：OS）をチャネル形成領域となる半導体層に用いたトランジスタ（OS トランジスタともいう）と、を組み合わせることでデータの保持を可能にした半導体装置が注目されている（例えば、特許文献 1 の図 3 を参照）。

【0003】

特許文献 1 の図 8 では、データの保持を可能にした半導体装置を構成するトランジスタの

10

20

30

40

50

うち、酸化物半導体を有する半導体層を有するトランジスタの断面図の一例を開示している。該断面図では、半導体層の一方の端面から他方の端面に向けて、半導体層を乗り越えるよう設けられるゲート電極の端面を、半導体層の他方の端面を超えるよう設ける構成について開示している。該構成は、エンドキャップ (E n d C a p) とも言われる。

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献 1】特開 2 0 1 1 - 1 7 0 3 4 0 号公報

【発明の概要】

【発明が解決しようとする課題】

10

【 0 0 0 5 】

データの保持を可能にした半導体装置では、集積度が高いことが求められる。

【 0 0 0 6 】

しかしながら半導体装置のレイアウトを設計する場合、トランジスタのゲート電極が同じノードである場合を除いて、デザインルールで規定される距離より離間する必要がある。そのため、トランジスタのゲート電極をエンドキャップとしたレイアウトは、集積度を高めるための障害となる。

【 0 0 0 7 】

そこで、本発明の一態様は、集積度に優れた、新規な構成の半導体装置を提供することを課題の一とする。または、本発明の一態様では、本発明の一態様では、レイアウト面積の縮小を図ることのできる、新規な構成の半導体装置を提供することを課題の一とする。または、本発明の一態様では、新規な構成の半導体装置を提供することを課題の一とする。

20

【 0 0 0 8 】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、上記以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、上記以外の課題を抽出することが可能である。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の一態様は、半導体層、ソース電極及びドレイン電極、ゲート絶縁膜、及びゲート電極を有するトランジスタを有し、半導体層は、酸化物半導体を有する半導体層であり、半導体層の一方の端面から他方の端面に向けて、半導体層を乗り越えるよう設けられるゲート電極の端面は、他方の端面と一致するよう設けられている半導体装置である。

30

【 0 0 1 0 】

また本発明の一態様は、半導体層、ソース電極及びドレイン電極、ゲート絶縁膜、及びゲート電極を有するトランジスタを有し、半導体層は、酸化物半導体を有する半導体層であり、半導体層の一方の端面から他方の端面に向けて、半導体層を乗り越えるよう設けられるゲート電極の端面は、半導体層上に設けられている半導体装置である。

【 0 0 1 1 】

また本発明の一態様は、第 1 の半導体層、第 1 のソース電極及び第 1 のドレイン電極、第 1 のゲート絶縁膜、及び第 1 のゲート電極を有する第 1 のトランジスタが設けられた第 1 のメモリセルと、第 2 の半導体層、第 2 のソース電極及び第 2 のドレイン電極、第 2 のゲート絶縁膜、及び第 2 のゲート電極を有する第 2 のトランジスタが設けられた第 2 のメモリセルと、を有し、第 1 の半導体層及び第 2 の半導体層は、酸化物半導体を有する半導体層であり、第 1 の半導体層の一方の端面から他方の端面に向けて、第 1 の半導体層を乗り越えるよう設けられる第 1 のゲート電極の端面は、他方の端面と一致するよう設けられており、第 2 の半導体層の一方の端面から他方の端面に向けて、第 2 の半導体層を乗り越えるよう設けられるゲート電極の端面は、他方の端面と一致するよう設けられており、第 1 のメモリセルが有する第 1 のトランジスタと、第 2 のメモリセルが有する第 2 のトランジスタとは、隣接して設けられている半導体装置である。

40

50

【 0 0 1 2 】

また本発明の一態様は、第 1 の半導体層、第 1 のソース電極及び第 1 のドレイン電極、第 1 のゲート絶縁膜、及び第 1 のゲート電極を有する第 1 のトランジスタが設けられた第 1 のメモリセルと、第 2 の半導体層、第 2 のソース電極及び第 2 のドレイン電極、第 2 のゲート絶縁膜、及び第 2 のゲート電極を有する第 2 のトランジスタが設けられた第 2 のメモリセルと、を有し、第 1 の半導体層及び第 2 の半導体層は、酸化物半導体を有する半導体層であり、第 1 の半導体層の一方の端面から他方の端面に向けて、第 1 の半導体層を乗り越えるよう設けられる第 1 のゲート電極の端面は、第 1 の半導体層上に設けられており、第 2 の半導体層の一方の端面から他方の端面に向けて、第 2 の半導体層を乗り越えるよう設けられる第 2 のゲート電極の端面は、第 2 の半導体層上に設けられており、第 1 のメモリセルが有する第 1 のトランジスタと、第 2 のメモリセルが有する第 2 のトランジスタとは、隣接して設けられている半導体装置である。

10

【発明の効果】

【 0 0 1 3 】

本発明の一態様により、集積度に優れた、新規な構成の半導体装置を提供することができる。または、本発明の一態様では、本発明の一態様では、レイアウト面積の縮小を図ることができる、新規な構成の半導体装置を提供することができる。なお、本発明の一態様はこれらの効果に限定されるものではない。例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果以外の効果を有する場合もある。または、例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果を有さない場合もある。

20

【図面の簡単な説明】

【 0 0 1 4 】

【図 1】本発明の一形態に係る上面図及び断面図。

【図 2】本発明の一形態に係る回路図及び上面図。

【図 3】本発明の一形態に係る断面図。

【図 4】本発明の一形態に係る上面図及び断面図。

【図 5】本発明の一形態に係る回路図及び上面図。

【図 6】本発明の一形態に係る断面図。

【図 7】本発明の一形態に係る上面図及び断面図。

30

【図 8】本発明の一形態に係る上面図及び断面図。

【図 9】本発明の一形態に係る上面図及び断面図。

【図 10】本発明の一形態に係る断面図。

【図 11】本発明の一形態に係る断面図。

【図 12】本発明の一形態に係るブロック図及び回路図。

【図 13】本発明の一形態に係るブロック図及び回路図。

【図 14】半導体装置の作製工程を示すフローチャート図及び斜視模式図。

【図 15】半導体装置を用いた電子機器。

【図 16】本発明の一形態に係る断面図。

【図 17】本発明の一形態に係る断面図。

40

【図 18】本発明の一形態に係る断面図。

【図 19】実施の形態に係る、表示装置の回路図。

【発明を実施するための形態】

【 0 0 1 5 】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

【 0 0 1 6 】

50

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【 0 0 1 7 】

また本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域又はソース電極）の間にチャネル領域を有しており、ドレインとチャネル領域とソースとを介して電流を流すことができるものである。

10

【 0 0 1 8 】

ここで、ソースとドレインとは、トランジスタの構造または動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソースまたはドレインと呼ばず、ソースとドレインとの一方を第 1 電極と表記し、ソースとドレインとの他方を第 2 電極と表記する場合がある。

【 0 0 1 9 】

また本明細書等において用いる「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

20

【 0 0 2 0 】

また本明細書等において、A と B とが接続されている、とは、A と B とが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、A と B とが電氣的に接続されているとは、A と B との間で、何らかの電氣的作用を有する対象物が存在するとき、A と B との電気信号の授受を可能とするものをいう。

【 0 0 2 1 】

また本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

30

【 0 0 2 2 】

また本明細書等において図面における各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう図面で示していても、実際の回路や領域では、同じ回路や同じ領域内で別々の機能を実現するように設けられている場合もある。また図面における各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路や領域では、一つの回路ブロックで行う処理を複数の回路ブロックで行うよう設けられている場合もある。

【 0 0 2 3 】

また本明細書等において、電圧とは、ある電位と、基準電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。なお電圧とは 2 点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電氣的な位置エネルギー）のことをいう。

40

【 0 0 2 4 】

なお、一般に、電位や電圧は、相対的なものである。したがって、グラウンド電位は、必ずしも、0 ボルトであるとは限定されない。

【 0 0 2 5 】

また本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従

50

って、 85° 以上 95° 以下の場合も含まれる。

【0026】

また本明細書等において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0027】

(実施の形態1)

本実施の形態では、半導体装置の上面図、及び断面図、並びにデータの保持を可能にした半導体装置での回路図及びその上面図について説明する。

【0028】

なお、半導体装置とは、半導体素子を有する装置のことをいう。なお、半導体装置は、半導体素子を含む回路を駆動させる駆動回路等を含む場合がある。なお、半導体装置は、別の基板上に配置された駆動回路、電源回路等を含む場合がある。

10

【0029】

まず図1(A)では、本発明の一態様に係る、半導体装置の一例を示す上面図について示す。また図1(B)では、図1(A)に示す一点鎖線A1-A2、A3-A4に対応する断面図を示す。なお、説明を容易にするため、図1(A)においては、ゲート絶縁膜として機能する絶縁膜などを省略して示す。

【0030】

図1(A)に示す半導体装置の上面図は、半導体層11と、半導体層11上に設けられるソース電極12及びドレイン電極13と、半導体層11と重なるゲート電極15を有する。

20

【0031】

図1(A)では、半導体層11がゲート電極15と重畳する領域において、ゲート電極15が乗り上げる側の端面を一方の端面101、ゲート電極15が乗り越える側の端面を他方の端面102としている。また、半導体層11を乗り越えるゲート電極15の端面を端面103として示している。

【0032】

なお「端面」とは、エッチング等によってマスクパターンに応じた加工が施された際の外周部における、切り口の面のことをいう。電極又は半導体層をマスクパターンに応じて加工する場合、図1(B)の端面101乃至103に示すように、切り口の面は斜めに切り立った形状、又は丸みを帯びた形状となる。この場合、図1(B)の端面101乃至103に示すように、マスクパターンに従って加工された電極又は半導体層を上面から見た際に、電極又は半導体層の外周部に垂直な面を端面とする。

30

【0033】

なお半導体層11の幅は、ソース電極12及びドレイン電極13が設けられる方向(図1(A)中、一点鎖線A1-A2が延在する方向)とは直行する方向(図1(A)中、一点鎖線A3-A4が延在する方向)における幅のことである。半導体層11の幅は、最小加工寸法の線幅とすることが好ましい。図1(A)においては、半導体層11の幅を最小加工寸法の線幅である「1F」として示している。

【0034】

また半導体層11の幅は、半導体層11の幅と同様に、最小加工寸法で形成されることが好ましい。同様にゲート電極15、ソース電極12及びドレイン電極13は、最小加工寸法で形成されることが好ましい。

40

【0035】

なお半導体層11は、酸化物半導体を有する半導体層であることが好ましい。酸化物半導体を有する半導体層11を用いる構成とすることで、リーク電流が極めて小さい半導体装置とすることができる。ここでは、リーク電流が小さいとは、室温においてチャネル幅1 μm あたりの規格化されたリーク電流が $10\text{zA}/\mu\text{m}$ 以下であることをいう。リーク電流は小さいほど好ましいため、この規格化されたリーク電流値が $1\text{zA}/\mu\text{m}$ 以下、更に $10\text{yA}/\mu\text{m}$ 以下とし、更に $1\text{yA}/\mu\text{m}$ 以下であることが好ましい。なお、その場合

50

のソースとドレイン間の電圧は、例えば、0.1V、5V、又は、10V程度である。

【0036】

図1(B)に示す半導体装置の断面図は、基板10上に設けられた半導体層11と、半導体層11上に設けられるソース電極12及びドレイン電極13と、半導体層11上、並びにソース電極12及びドレイン電極13上に設けられるゲート絶縁膜14と、ゲート絶縁膜14を介して半導体層11と重なるゲート電極15を有する。

【0037】

なお、基板10の上には、様々な絶縁膜や導電膜や半導体層や回路素子などが設けられている場合がある。一例として、絶縁膜99が設けられている場合の例を、図16(A)に示す。なお、絶縁膜99は、例えば、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層で、または積層で用いればよい。

【0038】

図1(B)では、図1(A)と同様に、半導体層11がゲート電極15と重畳する領域において、ゲート電極15が乗り上げる側の端面を一方の端面101、ゲート電極15が乗り越える側の端面を他方の端面102としている。また、半導体層11を乗り越えるゲート電極15の端面を端面103として示している。

【0039】

なお基板10に大きな制限はないが、少なくとも、後の熱処理に耐え得る程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板10として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI(Silicon On Insulator)基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板10として用いてもよい。

【0040】

例えば、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板(例えば単結晶基板又はシリコン基板)、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、又は塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0041】

なお、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、石材基板、木材基板、布基板(天然繊維(絹、綿、麻)、合成繊維(ナイロン、ポリウレタン、ポリエステル)若しくは再生繊維(アセテート、キュプラ、レーヨン、再生ポリエステル)などを含む)、皮革基板、又はゴム基板などがある。これらの基板を用

10

20

30

40

50

いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【0042】

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はSOI基板など）に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

【0043】

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されていることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はSOI基板）に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（ICチップともいう）を、COG（Chip On Glass）によって、ガラス基板に接続して、ガラス基板にそのICチップを配置することが可能である。または、ICチップを、TAB（Tape Automated Bonding）、COF（Chip On Film）、SMT（Surface Mount Technology）、又はプリント基板などを用いてガラス基板と接続することが可能である。このように、回路の一部が画素部と同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。特に、駆動電圧が大きい部分の回路、又は駆動周波数が高い部分の回路などは、消費電力が大きくなってしまふ場合が多い。そこで、このような回路を、画素部とは別の基板（例えば単結晶基板）に形成して、ICチップを構成する。このICチップを用いることによって、消費電力の増加を防ぐことができる。

【0044】

なお半導体層11に用いる酸化物半導体の材料は、例えば、In-M-Zn-O系材料を用いればよい。金属元素Mは、具体的にはAl、Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Ga、Y、Zr、Nb、Mo、Sn、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、TaまたはWとすればよく、好ましくはAl、Ti、Ga、Y、Zr、CeまたはHfとする。なお酸化物半導体については、後の実施の形態で詳述する。

【0045】

なおソース電極12およびドレイン電極13には、酸化物半導体を用いた半導体層11から酸素を引き抜く性質を有する導電層を用いると好ましい。例えば、半導体層11から酸素を引き抜く性質を有する導電層として、Al、Ti、Cr、Ni、Mo、Ta、Wなどを含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

【0046】

なおゲート絶縁膜14は酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層で、または積層で用いればよい。

【0047】

なおゲート電極15は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

【0048】

図1（A）、（B）で示したように本発明の一態様では、半導体層11を、酸化物半導体を有する半導体層とし、半導体層11の一方の端面101から他方の端面102に向けて

10

20

30

40

50

、半導体層 11 を乗り越えるよう設けられるゲート電極 15 の端面 103 を、他方の端面 102 と一致するよう設けることを特徴とするものである。

【0049】

ただし、本発明の実施形態の一態様は、これに限定されない。場合によっては、または、状況に応じて、ゲート電極 15 の端面 103 は、半導体層 11 の端面 102 と一致していない場合もある。

【0050】

なお、図 1 (B) では、半導体層 11 の上側に、ゲート電極 15 が設けられている場合の例を示したが、本発明の実施形態の一態様は、これに限定されない。半導体層 11 の下側にゲート電極 15A が設けられていてもよい。その場合の例を、図 17 (A) に示す。また、図 17 (B) に示すように、半導体層 11 の上側と下側の両方に、ゲート電極が設けられていてもよい。それぞれのゲート電極は、同じ電位が供給されていてもよいし、一方には通常の信号が供給され、他方には、しきい値電圧を制御するための一定電圧が供給されていてもよい。図 17 (C) には、ゲート電極 15 とゲート電極 15A とが、コンタクトホールを介して接続されている場合の例を示す。

【0051】

図 1 (A)、(B) で示した半導体装置の構成を、データの保持を可能にしたメモリセルに適用した場合の構成例について、図 2 及び図 3 を用いて説明する。

【0052】

図 2 (A) では、データの保持を可能にしたメモリセル MEM_A (第 1 のメモリセルともいう) 及びメモリセル MEM_B (第 2 のメモリセルともいう) が隣接して設けられている回路図の一例を示している。また図 2 (B) では、図 2 (A) に示す回路図に対応する上面図を示す。また図 3 (A) 乃至 (C) では、図 2 (B) に示す一点鎖線 B1 - B2、B3 - B4、B5 - B6 に対応する断面図を示す。なお、説明を容易にするため、図 2 (B) においては、ゲート絶縁膜として機能する絶縁膜などを省略して示す。

【0053】

図 2 (A) に示す半導体装置の回路図で、メモリセル MEM_A は、トランジスタ Tr1_A、トランジスタ Tr2_A、容量素子 Cp_A を有する。メモリセル MEM_B は、トランジスタ Tr1_B、トランジスタ Tr2_B、容量素子 Cp_B を有する。

【0054】

なおトランジスタ Tr1_A、トランジスタ Tr2_A、トランジスタ Tr1_B 及びトランジスタ Tr2_B は、半導体層を、酸化物半導体を用いた半導体層としたトランジスタである。図 2 (A) 中では、チャネル形成領域に酸化物半導体を用いたトランジスタであることを示すため、当該トランジスタに「OS」という記号を付している。

【0055】

トランジスタ Tr1_A は、ゲートがワード線 WL_A に接続され、ソース及びドレインの一方がビット線 BL に接続され、ソース及びドレインの他方が容量素子 Cp_A の一方の電極及びトランジスタ Tr2_A のゲートに接続される。容量素子 Cp_A は、他方の電極が容量線 CL_A に接続される。トランジスタ Tr2_A は、ソース及びドレインの一方がビット線 BL に接続され、ソース及びドレインの一方がソース線 SL に接続される。

【0056】

トランジスタ Tr1_B は、ゲートがワード線 WL_B に接続され、ソース及びドレインの一方がビット線 BL に接続され、ソース及びドレインの一方が容量素子 Cp_B の一方の電極及びトランジスタ Tr2_B のゲートに接続される。容量素子 Cp_B は、他方の電極が容量線 CL_B に接続される。トランジスタ Tr2_B は、ソース及びドレインの一方がビット線 BL に接続され、ソース及びドレインの一方がソース線 SL に接続される。

【0057】

半導体層 11 と、半導体層 11 上に設けられるソース電極 12 及びドレイン電極 13 と、

10

20

30

40

50

半導体層 1 1 と重なるゲート電極 1 5 を有する。

【 0 0 5 8 】

なおメモリセル M E M __ A 及びメモリセル M E M __ B へのデータの書き込み動作及び読み出し動作については、特開 2 0 1 2 - 2 5 6 8 1 3 号公報等を参照すればよい。

【 0 0 5 9 】

図 2 (B) に示すメモリセル M E M __ A 及びメモリセル M E M __ B の上面図では、メモリセル M E M __ A が有するトランジスタ T r 1 __ A 、トランジスタ T r 2 __ A 及び容量素子 C p __ A 、メモリセル M E M __ B が有するトランジスタ T r 1 __ B 、トランジスタ T r 2 __ B 及び容量素子 C p __ B の配置例を示している。また図 2 (B) では、ワード線 W L __ A 、ワード線 W L __ B 、容量線 C L __ A 、容量線 C L __ B 、ビット線 B L 及びソース線 S L の配置例を示している。

10

【 0 0 6 0 】

なお図 2 (B) に示すメモリセル M E M __ A 及びメモリセル M E M __ B の上面図では、ゲート電極 1 5 と同層の導電層を「 G M 」として示し、ソース電極 1 2 及びドレイン電極 1 3 と同層の導電層を「 S / D M 」として示し、半導体層 1 1 を「 S E M 」として示している。

【 0 0 6 1 】

図 3 (A) に示す断面図は、基板 1 0 上に設けられた半導体層 1 2 1 と、半導体層 1 2 2 と、導電層 1 2 3 と、導電層 1 2 4 と、ビット線 B L と、ソース線 S L と、ゲート絶縁膜 1 4 と、導電層 1 2 5 と、導電層 1 2 6 と、を有する。

20

【 0 0 6 2 】

図 3 (B) に示す断面図は、基板 1 0 上に設けられた半導体層 1 2 1 と、ビット線 B L と、ソース線 S L と、ゲート絶縁膜 1 4 と、導電層 1 2 5 と、を有する。

【 0 0 6 3 】

図 3 (C) に示す断面図は、基板 1 0 上に設けられた半導体層 1 2 7 と、導電層 1 2 3 と、ビット線 B L と、ゲート絶縁膜 1 4 と、ワード線 W L __ A と、容量線 C L __ A と、を有する。

【 0 0 6 4 】

図 3 (A) 乃至 (C) において半導体層 1 2 1 と、半導体層 1 2 2 及び半導体層 1 2 7 は、同じ層に形成される半導体層であり、図 2 (B) で示した半導体層「 S E M 」に相当する半導体層である。導電層 1 2 3 、導電層 1 2 4 、ビット線 B L 及びソース線 S L は、同じ層に形成される導電層であり、図 2 (B) で示した導電層「 S / D M 」に相当する半導体層である。導電層 1 2 5 、導電層 1 2 6 、ワード線 W L __ A 及び容量線 C L __ A は、同じ層に形成される導電層であり、図 2 (B) で示した導電層「 G M 」に相当する半導体層である。

30

【 0 0 6 5 】

図 2 (B) 、図 3 (A) では、半導体層 1 2 1 及び半導体層 1 2 2 が導電層 1 2 5 及び導電層 1 2 6 と重畳する領域において、導電層 1 2 5 及び導電層 1 2 6 の端面は、半導体層 1 2 1 及び半導体層 1 2 2 の端面と一致するよう設けている。そのため、図 3 (A) に示すようにゲート電極として機能する導電層 1 2 5 及び導電層 1 2 6 の間の距離を最小加工寸法以上、離間して設ける構成とすることができる。そのため、集積度に優れ、又はレイアウト面積の縮小を図ることのできる、半導体装置とすることができる。

40

【 0 0 6 6 】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することができる。

【 0 0 6 7 】

(実施の形態 2)

本実施の形態では、実施の形態 1 で説明した半導体装置の構成とは異なる構成の半導体装置について説明する。本実施の形態では、実施の形態 1 と同様に、半導体装置の上面図、及び断面図、並びにデータの保持を可能にした半導体装置での回路図及びその上面図について説明する。なお繰り返しの説明になる場合は説明を省略し、上記実施の形態 1 の記載

50

を援用する場合がある。

【0068】

まず図4(A)では、本発明の一態様に係る、半導体装置の一例を示す上面図について示す。また図4(B)では、図4(A)に示す一点鎖線C1 - C2、C3 - C4に対応する断面図を示す。なお、説明を容易にするため、図4(A)においては、ゲート絶縁膜として機能する絶縁膜などを省略して示す。

【0069】

図4(A)に示す半導体装置の上面図は、半導体層11と、半導体層11上に設けられるソース電極12及びドレイン電極13と、半導体層11と重なるゲート電極15を有する。

10

【0070】

図4(B)に示す半導体装置の断面図は、基板10上に設けられた半導体層11と、半導体層11上に設けられるソース電極12及びドレイン電極13と、半導体層11上、並びにソース電極12及びドレイン電極13上に設けられるゲート絶縁膜14と、ゲート絶縁膜14を介して半導体層11と重なるゲート電極15を有する。

【0071】

図4(A)、(B)で示したように本発明の一態様では、半導体層11を、酸化物半導体を有する半導体層とし、半導体層11の一方の端面101から他方の端面102に向けて、半導体層11を乗り越えるよう設けられるゲート電極15の端面103を、他方の端面102から幅Wだけ半導体層11の内側となるようにして、半導体層11上となるよう設けることを特徴とするものである。

20

【0072】

半導体層11がシリコンの半導体装置の場合、ゲート電極15をマスクとして不純物元素を導入する工程を経るため、ゲート電極15が重畳しない領域が導体となる。この場合、ゲート電極15に印加する電圧によって行う、半導体装置の導通状態と導通状態との切り替えが困難となる。

【0073】

一方で酸化物半導体を有する半導体層11では、ゲート電極15をマスクとして不純物元素を導入する工程を経ない。その結果、ゲート電極15と重畳しない領域において、ゲート電極15を重畳することなく高抵抗な領域とすることができる。そのためゲート電極15を重畳しなくても、半導体装置の導通状態と導通状態との切り替えを実現することができる。

30

【0074】

ただし、本発明の実施形態の一態様は、これに限定されない。場合によっては、または、状況に応じて、ゲート電極15が、半導体層11を乗り越えて、ゲート電極15の端面103が、半導体層11の外側に配置されている場合もある。

【0075】

なお、図17(A)(B)(C)においても、ゲート電極の端面を、半導体層11の端面102から幅Wだけ半導体層11の内側となるようにして、半導体層11上となるよう設けることも可能である。例えば、図17(A)に適用した場合の例を、図18(A)に示す。図17(B)において、ゲート電極15とゲート電極15Aのいずれか一方、または、両方の端面が、半導体層11の端面102から幅Wだけ半導体層11の内側となるようにして、半導体層11上となるよう設けることも可能である。その場合の例を、図18(B)(C)に示す。なお、ゲート電極15とゲート電極15Aのいずれか一方が、半導体層11を乗り越えて、ゲート電極15とゲート電極15Aのいずれか一方の端面103が、半導体層11の外側に配置されている場合もある。

40

【0076】

図4(A)、(B)で示した半導体装置の構成を、データの保持を可能にしたメモリセルに適用した場合の構成例について、図5及び図6を用いて説明する。

【0077】

50

図 5 (A) では、図 2 (A) と同様の、データの保持を可能にしたメモリセル M E M _ A (第 1 のメモリセルともいう) 及びメモリセル M E M _ B (第 2 のメモリセルともいう) が隣接して設けられている回路図の一例を示している。また図 5 (B) では、図 5 (A) に示す回路図に対応する上面図を示す。また図 6 (A) 乃至 (C) では、図 5 (B) に示す一点鎖線 D 1 - D 2、D 3 - D 4、D 5 - D 6 に対応する断面図を示す。なお、説明を容易にするため、図 5 (B) においては、ゲート絶縁膜として機能する絶縁膜などを省略して示す。

【 0 0 7 8 】

図 5 (B)、図 6 (A) では、半導体層 1 2 1 及び半導体層 1 2 2 が導電層 1 2 5 及び導電層 1 2 6 と重畳する領域において、導電層 1 2 5 及び導電層 1 2 6 の端面は、半導体層 1 2 1 及び半導体層 1 2 2 上となるように設けている。そのため、図 6 (A) に示すようにゲート電極として機能する導電層 1 2 5 及び導電層 1 2 6 の間の距離を最小加工寸法より大きく、離間して設ける構成とすることができる。そのため、集積度に優れ、又はレイアウト面積の縮小を図ることのできる、半導体装置とすることができる。加えて、酸化物半導体を有する半導体層では、ゲート電極と重畳しない領域において、ゲート電極を重畳することなく高抵抗な領域とすることができ、不要な半導体装置の導通状態を抑制することができる。

【 0 0 7 9 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【 0 0 8 0 】

(実施の形態 3)

本実施の形態では、実施の形態 1 及び実施の形態 2 で説明した半導体装置における変形例について説明する。また以下では、図 7 乃至図 9 を参照して変形例 1 乃至 3 について説明する。本実施の形態では、実施の形態 1 の図 1 及び実施の形態 2 の図 4 での説明と同様に、半導体装置の上面図、及び断面図について説明する。なお繰り返しの説明になる場合は説明を省略し、上記実施の形態 1 及び実施の形態 2 の記載を援用する場合がある。

【 0 0 8 1 】

変形例 1

図 7 (A) では、本発明の一態様に係る、半導体装置の一例を示す上面図について示す。また図 7 (B) では、図 7 (A) に示す一点鎖線 E 1 - E 2、E 3 - E 4 に対応する断面図を示す。なお、説明を容易にするため、図 7 (A) においては、ゲート絶縁膜として機能する絶縁膜などを省略して示す。

【 0 0 8 2 】

図 7 (A)、(B) は、図 1 (A)、(B) で説明した半導体装置において、ソース電極 1 2 及びドレイン電極 1 3 にゲート電極 1 5 から長さ L だけ離間して設ける構成例を示す上面図及び断面図である。

【 0 0 8 3 】

図 7 (A)、(B) では、ソース電極 1 2 及びドレイン電極 1 3 の双方をゲート電極 1 5 から長さ L だけ離間して設ける点で図 1 (A)、(B) と異なる。なおソース電極 1 2 及びドレイン電極 1 3 は、一方のみをゲート電極 1 5 から離間して設ける構成としてもよい。

【 0 0 8 4 】

ソース電極 1 2 及びドレイン電極 1 3 の端面の位置は、図 1 (A)、(B) で説明したゲート電極 1 5 の端部に揃えて形成することが好ましい。一方で微細化した半導体装置を作製するためのプロセスでは、プロセスによる一定のずれを許容する必要がある。微細化した半導体装置を作製するためのプロセスでは、長さ L だけソース電極 1 2 及びドレイン電極 1 3 を離間させてもトランジスタとしての機能を維持することが可能である。

【 0 0 8 5 】

ソース電極 1 2 及びドレイン電極、並びにゲート電極 1 5 を重畳させない半導体層 1 1 では、電極を重畳させる場合に比べて高抵抗な半導体層とすることができる。そのため図 7

10

20

30

40

50

(A)、(B)に示す構成とすることで、リーク電流を低減させることができ、スイッチング特性に優れた半導体装置とすることができる。

【0086】

変形例2

図8(A)では、本発明の一態様に係る、半導体装置の一例を示す上面図について示す。また図8(B)では、図8(A)に示す一点鎖線F1-F2、F3-F4に対応する断面図を示す。なお、説明を容易にするため、図8(A)においては、ゲート絶縁膜として機能する絶縁膜などを省略して示す。

【0087】

図8(A)、(B)は、図1(A)、(B)で説明した半導体装置において、半導体層11の膜厚を厚膜化し、ゲート電極15における端面103を半導体層11の一方の端面101から長さGIだけ離間して設ける構成例を示す上面図及び断面図である。

【0088】

図8(A)、(B)では、ゲート電極15における端面103を半導体層11の一方の端面101から長さGIだけ離間して設ける点で図1(A)、(B)と異なる。

【0089】

ゲート電極15における端面103の位置は、図1(A)、(B)で説明した半導体層11の他方の端面102に揃えて形成することが好ましい。一方で微細化した半導体装置を作製するためのプロセスでは、プロセスによる一定のずれを許容する必要がある。微細化した半導体装置を作製するためのプロセスでは、長さGIだけ半導体層11の一方の端面101から離間させてもトランジスタとしての機能を維持することが可能である。

【0090】

厚膜化した半導体層11では、ゲート電極15に印加される電圧がゲート絶縁膜14を介して加わり、厚さ方向で流すべき電流を確保することができる。そのため図8(A)、(B)に示す構成とすることで、最少加工寸法をより小さくすることができ、集積度に優れ、レイアウト面積の縮小が図られた半導体装置とすることができる。

【0091】

また、半導体層11は、単膜の酸化物半導体で構成されているとは限らず、積層された複数の酸化物半導体で構成されていても良い。例えば半導体層11が、3層に積層されて構成されている場合の半導体層11の構成例を、図8(C)に示す。

【0092】

図8(C)に示す断面図では、半導体層11として、半導体層OS1乃至半導体層OS3が、順に積層されている。

【0093】

そして、半導体層OS1及び半導体層OS3は、半導体層OS2を構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが半導体層OS2よりも0.05eV以上、0.07eV以上、0.1eV以上又は0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下又は0.4eV以下、真空準位に近い半導体層である。さらに、半導体層OS2は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【0094】

なお、半導体層OS3は、ソース電極12の上に設けられていてもよい。一例として、半導体層11とソース電極12の上に、半導体層11Aが設けられている場合の例を、図16(B)に示す。

【0095】

変形例3

図9(A)では、本発明の一態様に係る、半導体装置の一例を示す上面図について示す。また図9(B)では、図9(A)に示す一点鎖線G1-G2、G3-G4に対応する断面図を示す。なお、説明を容易にするため、図9(A)においては、ゲート絶縁膜として機能する絶縁膜などを省略して示す。

【0096】

図9(A)、(B)は、図1(A)、(B)で説明した半導体装置において、半導体層11並びにソース電極12及びドレイン電極13と、基板10との間に下地絶縁層17を設ける構成例を示す上面図及び断面図である。

【0097】

図9(A)、(B)では、半導体層11並びにソース電極12及びドレイン電極13と、基板10との間に下地絶縁層17を設ける点で図1(A)、(B)と異なる。

【0098】

下地絶縁層17は、基板10からの不純物の拡散を防止する役割を有するほか、半導体層11に酸素を供給する役割を担うことができる。したがって、下地絶縁層17は酸素を含む絶縁層であることが好ましい。例えば、化学量論的組成よりも多い酸素を含む絶縁層であることがより好ましい。

10

【0099】

下地絶縁層17に含まれる過剰酸素は、材料の化学量論的組成を超えて含まれる酸素である。従って、過剰酸素は、熱などのエネルギーを与えられると放出する性質を有する。過剰酸素は化学量論的組成に対して過剰に含まれるものであるため、放出することによって失われても、膜質を低下させることがない。

【0100】

下地絶縁層17を設けることで半導体層11では、不純物元素の混入や、半導体層への酸素の供給を図ることによる高品質な半導体層とすることができる。そのため図9(A)、(B)に示す構成とすることで、トランジスタ特性に優れた半導体装置とすることができる。

20

【0101】

以上、本実施の形態で説明した半導体装置の構成は、適宜変形例同士を組み合わせる実施することができる。その場合、上記実施の形態1及び実施の形態2で説明した半導体装置とすることによる効果に加えて、変形例毎に説明した効果が加わり、性能に優れた半導体装置とすることができる。

【0102】

以上、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

30

【0103】

(実施の形態4)

本実施の形態では、実施の形態1乃至3で説明した半導体装置の作成方法について説明する。本実施の形態では一例として、実施の形態3の図9で示した半導体装置の作成方法について図10、図11を用いて説明する。なお繰り返しの説明になる場合は説明を省略し、上記実施の形態1乃至3の記載を援用する場合がある。

【0104】

まず、基板10上に下地絶縁層17を成膜する(図10(A)参照)。

【0105】

下地絶縁層17は、スパッタリング法、CVD法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、ALD法またはパルスレーザ堆積(PLD: Pulsed Laser Deposition)法を用いて成膜すればよい。

40

【0106】

次に、下地絶縁層17の表面を平坦化するために、CMP処理を行ってもよい。CMP処理を行うことで、下地絶縁層17の平均面粗さ(Ra)を1nm以下、好ましくは0.3nm以下、さらに好ましくは0.1nm以下とする。上述の数値以下のRaとすることで、半導体層11の結晶性が高くなる場合がある。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。

【0107】

次に、下地絶縁層17に酸素を添加することにより、過剰酸素を含む絶縁層を形成しても

50

構わない。酸素の添加は、プラズマ処理またはイオン注入法などにより行えばよい。酸素の添加をイオン注入法で行う場合、例えば、加速電圧を2 kV以上100 kV以下とし、ドーズ量を $5 \times 10^{14} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0108】

次に、下地絶縁層17上に半導体層11をスパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜する(図10(B)参照)。このとき、下地絶縁層17を適度にエッチングしてもよい。下地絶縁層17を適度にエッチングすることで、後に形成するゲート電極層410で半導体層11を覆いやすくすることができる。なお、半導体装置を微細化するために、半導体層11の加工時にハードマスクを用いてもよい。

10

【0109】

また、半導体層11として、半導体層OS1、半導体層OS2、および半導体層OS3を含めた積層膜を形成する場合、各層を大気に触れさせることなく連続して成膜すると好ましい。

【0110】

不純物の混入を低減し、結晶性の高い酸化物半導体を用いた半導体層11とするために、半導体層11は、基板温度を100℃以上、好ましくは150℃以上、さらに好ましくは200℃以上として成膜する。また、成膜ガスとして用いる酸素ガスやアルゴンガスは、露点が-40℃以下、好ましくは-80℃以下、より好ましくは-100℃以下にまで高純度化したガスを用いる。なお、不純物濃度が低く、欠陥準位密度が低い(酸素欠損の少ない)ことを高純度真性または実質的に高純度真性と呼ぶ。

20

【0111】

半導体層11の形成後に、第1の加熱処理を行ってもよい。第1の加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下の温度で、不活性ガス雰囲気、酸化性ガスを10 ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10 ppm以上含む雰囲気で行ってもよい。第1の加熱処理によって、半導体層11の結晶性を高め、さらに下地絶縁層17から水素や水などの不純物を除去することができる。

【0112】

30

次に、半導体層11上に導電膜を成膜し、該導電膜を分断するようにエッチングし、ソース電極12およびドレイン電極13を形成する(図10(C)参照)。導電膜は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0113】

なお、導電膜をエッチングする際、ソース電極12およびドレイン電極13の端部が丸みを帯びる(曲面を有する)場合がある。また、導電膜をエッチングする際、下地絶縁層17が適度にエッチングされていてもよい。

【0114】

次に、半導体層11上、ソース電極12上およびドレイン電極13上に、ゲート絶縁膜14を形成する(図11(A)参照)。ゲート絶縁膜14は、スパッタリング法、CVD法またはALD法を用いて成膜すればよい。

40

【0115】

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、500℃未満、好ましくは400℃未満の温度で、不活性ガス雰囲気、酸化性ガスを10 ppm以上含む雰囲気、または減圧状態で行えばよい。また、第2の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10 ppm以上含む雰囲気で行ってもよい。第2の加熱処理によって、ゲート絶縁膜14から水素や水などの不純物を除去することができる。

【0116】

次に、ゲート絶縁膜14上に導電膜を成膜し、該導電膜をエッチングし、ゲート電極15

50

を形成する（図 1 1（B）参照）。

【0117】

以上の工程で、図 9（B）に示す半導体装置を作製することができる。

【0118】

また作製された半導体装置上には、層間絶縁層 1 6 を形成する。この場合、ゲート絶縁膜 1 4 上およびゲート電極 1 5 上に層間絶縁層 1 6 を形成する（図 1 1（C）参照）。層間絶縁層 1 6 は、スパッタ法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0119】

次に、第 3 の加熱処理を行ってもよい。第 3 の加熱処理は、第 1 の加熱処理と同様の条件で行うことができる。第 3 の加熱処理により、半導体層 1 1 の酸素欠損を低減することができる場合がある。

10

【0120】

層間絶縁層 1 6 は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層で、または積層で用いればよい。

【0121】

以上、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

20

【0122】

（実施の形態 5）

本実施の形態では、上記実施の形態で説明した半導体層 1 1 に用いることのできる酸化物半導体について説明する。

【0123】

トランジスタのチャネル形成領域となる半導体層に用いる酸化物半導体としては、少なくともインジウム（In）又は亜鉛（Zn）を含むことが好ましい。特に In 及び Zn を含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム（Ga）、スズ（Sn）、ジルコニウム（Zr）、ハフニウム（Hf）及びアルミニウム（Al）の少なくともいずれかを

30

有すればよい。

【0124】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種又は複数種を有してもよい。

【0125】

トランジスタのチャネル形成領域となる半導体層として用いられる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、In-Ga-Zn 系酸化物（IGZO とも表記する）、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-Zr-Zn 系酸化物、In-Ti-Zn 系酸化物、In-Sc-Zn 系酸化物、In-Y-Zn 系酸化物、In-La-Zn 系酸化物、In-Ce-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、In-Sn-Ga-Zn

40

50

系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

【0126】

例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=3:1:2、あるいはIn:Ga:Zn=2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0127】

チャネル形成領域となる半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

10

【0128】

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって減少してしまった酸素を酸化物半導体に加える、又は酸素を供給し酸化物半導体膜の酸素欠損を補填することが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理、又は過酸素化処理と記す場合がある。

20

【0129】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）化又はi型に限りなく近く実質的にi型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

【0130】

また、このように、i型又は実質的にi型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温（25 程度）にて $1 \times 10^{-18} \text{ A}$ 以下、好ましくは $1 \times 10^{-21} \text{ A}$ 以下、更に好ましくは $1 \times 10^{-24} \text{ A}$ 以下、又は85 にて $1 \times 10^{-15} \text{ A}$ 以下、好ましくは $1 \times 10^{-18} \text{ A}$ 以下、更に好ましくは $1 \times 10^{-21} \text{ A}$ 以下とすることができる。なお、トランジスタがオフ状態とは、nチャネル型のトランジスタの場合、ゲート電圧が閾値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧が閾値電圧よりも1 V以上、2 V以上又は3 V以上小さければ、トランジスタはオフ状態となる。

30

【0131】

また、成膜される酸化物半導体は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC（C Axis Aligned Crystal）、多結晶、微結晶、非晶質部を有する。

40

【0132】

酸化物半導体は、例えばCAACを有してもよい。なお、CAACを有する酸化物半導体を、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）と呼ぶ。

【0133】

CAAC-OSは、例えば、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像で、結晶部を確認することができる場合がある。CAAC-OSに含まれる結晶部は、例えば、TEMによる観察像で、一

50

辺 100 nm の立方体内に収まる大きさであることが多い。また、CAAC-OS は、TEM による観察像で、結晶部と結晶部との境界を明確に確認できない場合がある。また、CAAC-OS は、TEM による観察像で、粒界（グレインバウンダリーともいう。）を明確に確認できない場合がある。CAAC-OS は、例えば、明確な粒界を有さないため、不純物が偏析することが少ない。また、CAAC-OS は、例えば、明確な粒界を有さないため、欠陥準位密度が高くなることが少ない。また、CAAC-OS は、例えば、明確な粒界を有さないため、電子移動度の低下が小さい。

【0134】

CAAC-OS は、例えば、複数の結晶部を有し、当該複数の結晶部において c 軸が被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃っている場合がある。また、CAAC-OS は、例えば、X 線回折（XRD：X-Ray Diffraction）装置を用い、out-of-plane 法による分析を行うと、配向を示す 2θ が 31° 近傍のピークが現れる場合がある。また、CAAC-OS は、例えば、電子線回折パターンで、スポット（輝点）が観測される場合がある。なお、特に、ビーム径が 10 nm 以下、又は 5 nm 以下の電子線を用いて得られる電子線回折パターンを、極微電子線回折パターンと呼ぶ。また、CAAC-OS は、例えば、異なる結晶部間で、それぞれ a 軸および b 軸の向きが揃っていない場合がある。CAAC-OS は、例えば、c 軸配向し、a 軸又は b 軸はマクロに揃っていない場合がある。

【0135】

CAAC-OS に含まれる結晶部は、例えば、c 軸が CAAC-OS の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向になるように揃い、かつ ab 面に垂直な方向から見て金属原子が三角形又は六角形状に配列し、c 軸に垂直な方向から見て金属原子が層状又は金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80° 以上 100° 以下、好ましくは 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、-10° 以上 10° 以下、好ましくは -5° 以上 5° 以下の範囲も含まれることとする。

【0136】

また、CAAC-OS は、例えば、欠陥準位密度を低減することで形成することができる。酸化物半導体において、例えば、酸素欠損は欠陥準位である。酸素欠損は、トラップ準位となることや、水素を捕獲することによってキャリア発生源となる場合がある。CAAC-OS を形成するためには、例えば、酸化物半導体に酸素欠損を生じさせないことが重要となる。従って、CAAC-OS は、欠陥準位密度の低い酸化物半導体である。又は、CAAC-OS は、酸素欠損の少ない酸化物半導体である。

【0137】

不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）ことを高純度真性又は実質的に高純度真性と呼ぶ。高純度真性又は実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる場合がある。従って、当該酸化物半導体をチャネル形成領域に用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない場合がある。また、高純度真性又は実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。従って、当該酸化物半導体をチャネル形成領域に用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる場合がある。なお、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体をチャネル形成領域に用いたトランジスタは、電気特性が不安定となる場合がある。

【0138】

また、高純度真性又は実質的に高純度真性である CAAC-OS を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0139】

酸化物半導体は、例えば多結晶を有してもよい。なお、多結晶を有する酸化物半導体を、多結晶酸化物半導体と呼ぶ。多結晶酸化物半導体は複数の結晶粒を含む。

【0140】

酸化物半導体は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。

【0141】

微結晶酸化物半導体は、例えば、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体に含まれる結晶部は、例えば、1 nm以上100 nm以下、又は1 nm以上10 nm以下の大きさであることが多い。特に、例えば、1 nm以上10 nm以下の微結晶をナノ結晶(nc: nanocrystal)と呼ぶ。ナノ結晶を有する酸化物半導体を、nc-OS(nanocrystalline Oxide Semiconductor)と呼ぶ。また、nc-OSは、例えば、TEMによる観察像では、結晶部と結晶部との境界を明確に確認できない場合がある。また、nc-OSは、例えば、TEMによる観察像では、明確な粒界を有さないため、不純物が偏析することが少ない。また、nc-OSは、例えば、明確な粒界を有さないため、欠陥準位密度が高くなることが少ない。また、nc-OSは、例えば、明確な粒界を有さないため、電子移動度の低下が小さい。

10

【0142】

nc-OSは、例えば、微小な領域(例えば、1 nm以上10 nm以下の領域)において原子配列に周期性を有する場合がある。また、nc-OSは、例えば、結晶部と結晶部との間で規則性がないため、巨視的には原子配列に周期性が見られない場合、又は長距離秩序が見られない場合がある。従って、nc-OSは、例えば、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。nc-OSは、例えば、XRD装置を用い、結晶部よりも大きいビーム径のX線でout-of-plane法による分析を行うと、配向を示すピークが検出されない場合がある。また、nc-OSは、例えば、結晶部よりも大きいビーム径(例えば、20 nm以上、又は50 nm以上)の電子線を用いる電子線回折パターンでは、ハローパターンが観測される場合がある。また、nc-OSは、例えば、結晶部と同じか結晶部より小さいビーム径(例えば、10 nm以下、又は5 nm以下)の電子線を用いる極微電子線回折パターンでは、スポットが観測される場合がある。また、nc-OSの極微電子線回折パターンは、例えば、円を描くように輝度の高い領域が観測される場合がある。また、nc-OSの極微電子線回折パターンは、例えば、当該領域内に複数のスポットが観測される場合がある。

20

30

【0143】

nc-OSは、微小な領域において原子配列に周期性を有する場合があるため、非晶質酸化物半導体よりも欠陥準位密度が低くなる。但し、nc-OSは、結晶部と結晶部との間で規則性がないため、CAAC-OSと比べて欠陥準位密度が高くなる。

【0144】

なお、酸化物半導体が、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体の二種以上を有する混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域、微結晶酸化物半導体の領域、多結晶酸化物半導体の領域、CAAC-OSの領域、のいずれか二種以上の領域を有する場合がある。また、混合膜は、例えば、非晶質酸化物半導体の領域、微結晶酸化物半導体の領域、多結晶酸化物半導体の領域、CAAC-OSの領域、のいずれか二種以上の領域の積層構造を有する場合がある。

40

【0145】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

【0146】

(実施の形態6)

本実施の形態では、上記実施の形態1乃至3で説明した半導体装置の応用例について説明する。

50

【 0 1 4 7 】

図 1 2 では、データの保持を可能にした半導体装置を記憶装置として用いる場合を説明する。図 1 2 (A) では記憶装置のブロック図、図 1 2 (B) では該記憶装置が有するメモリセルの回路図、について示す。

【 0 1 4 8 】

図 1 2 (A) に示す記憶装置のブロック図では、一例として、メモリセルアレイ 3 0 1 、ロードライバ 3 0 2 及びカラムドライバ 3 0 3 を有する。

【 0 1 4 9 】

メモリセルアレイ 3 0 1 は、アレイ状に並べられたメモリセル M E M を有する。

【 0 1 5 0 】

ロードライバ 3 0 2 は、容量線 C L 、ワード線 W L を制御するための駆動回路である。

【 0 1 5 1 】

カラムドライバ 3 0 3 は、ソース線 S L 、ビット線 B L を制御するための駆動回路である。

【 0 1 5 2 】

図 1 2 (B) に示すメモリセル M E M の回路図では、トランジスタ T r 1 、トランジスタ T r 2 及び容量素子 C p を有する。

【 0 1 5 3 】

トランジスタ T r 1 は、ゲートがワード線 W L に接続され、ソース及びドレインの一方がビット線 B L に接続され、ソース及びドレインの他方が容量素子 C p の一方の電極及びトランジスタ T r 2 のゲートに接続される。容量素子 C p は、他方の電極が容量線 C L に接続される。トランジスタ T r 2 は、ソース及びドレインの一方がビット線 B L に接続され、ソース及びドレインの一方がソース線 S L に接続される。

【 0 1 5 4 】

なお図 1 2 (B) で示すトランジスタ T r 1 、トランジスタ T r 2 及び容量素子 C p は、図 2 (A) で説明したトランジスタ T r 1 _ A 、トランジスタ T r 2 _ A 、容量素子 C p _ A に相当する素子である。またワード線 W L 及び容量線 C L は、図 2 (A) で説明したワード線 W L _ A 、容量線 C L _ A に相当する配線である。

【 0 1 5 5 】

そのため本発明の一態様による半導体装置を適用することで、記憶装置は、集積度に優れ、又はレイアウト面積の縮小を図ることのできる、記憶装置とすることができる。

【 0 1 5 6 】

次いで図 1 3 では、データの保持を可能にした半導体装置を P L D (P r o g r a m m a b l e L o g i c D e v i c e) が有するコンフィギュレーションデータを記憶できるスイッチに用いる場合を説明する。図 1 3 (A) では P L D のブロック図、図 1 3 (B) では該 P L D が有するコンフィギュレーションデータを記憶できるスイッチの回路図、について示す。

【 0 1 5 7 】

図 1 3 (A) に示す記憶装置のブロック図では、一例として、ロジックアレイ 4 0 1 、ロードライバ 4 0 2 及びカラムドライバ 4 0 3 、コンフィギュレーション制御回路 4 0 4 、入出力回路 4 0 5 A 及び入出力回路 4 0 5 B を有する。

【 0 1 5 8 】

ロジックアレイ 4 0 1 は、アレイ状に並べられたプログラマブルロジックエレメント P L E 及びコンフィギュレーションデータを記憶できるスイッチ R S を有する。

【 0 1 5 9 】

ロードライバ 4 0 2 及びカラムドライバ 4 0 3 は、プログラマブルロジックエレメント P L E 及びスイッチ R S に記憶するコンフィギュレーションデータを制御するための駆動回路である。

【 0 1 6 0 】

コンフィギュレーション制御回路 4 0 4 は、コンフィギュレーションデータの切り替えを

10

20

30

40

50

制御するための回路である。入出力回路 405A 及び入出力回路 405B は、コンフィギュレーションデータに従って、データの入力又は出力の機能が切り替えられる回路である。

【0161】

図 13 (B) に示すスイッチ RS の回路図では、トランジスタ Tr1 及びトランジスタ Tr2 を有する。

【0162】

トランジスタ Tr1 は、ゲートがワード線 WL に接続され、ソース及びドレインの一方がビット線 BL に接続され、ソース及びドレインの他方がトランジスタ Tr2 のゲートに接続される。トランジスタ Tr2 は、ソース及びドレインの一方が入力端子 IN に接続され、ソース及びドレインの一方が出力端子 OUT に接続される。また図 13 (B) では、トランジスタ Tr1 のソース及びドレインの他方と、トランジスタ Tr2 のゲートが接続されるノードを、ノード FN として示している。

【0163】

図 13 (B) で示すスイッチ RS は、ビット線 BL に与えられるコンフィギュレーションデータを、トランジスタ Tr1 を介してノード FN に取り込む。トランジスタ Tr1 は半導体層に酸化物半導体を用いることでリーク電流を極めて小さくできるため、コンフィギュレーションデータに応じた電荷をノード FN に保持することができる。ノード FN に保持されたコンフィギュレーションデータに従ってスイッチ RS は、入力端子 IN と出力端子 OUT との間の電氣的な接続を制御することができる。

【0164】

トランジスタ Tr1 及びトランジスタ Tr2 は、図 2 (A) で説明したトランジスタ Tr1__A、トランジスタ Tr2__A に相当する素子である。またワード線 WL は、図 2 (A) で説明したワード線 WL__A に相当する配線である。

【0165】

そのため本発明の一態様による半導体装置を適用することで、スイッチ RS を有する PLD は、集積度に優れ、又はレイアウト面積の縮小を図ることができる、PLD とすることができる。

【0166】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することができる。

【0167】

(実施の形態 7)

本実施の形態では、本発明の一態様の表示パネルの構成例について説明する。

【0168】

[構成例]

図 19 (A) は、本発明の一態様の表示パネルの上面図であり、図 19 (B) は、本発明の一態様の表示パネルの画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図 19 (C) は、本発明の一態様の表示パネルの画素に有機 EL 素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【0169】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタは n チャネル型とすることが容易なので、駆動回路のうち、n チャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【0170】

アクティブマトリクス型表示装置のブロック図の一例を図 19 (A) に示す。表示装置の基板 800 上には、画素部 801、第 1 の走査線駆動回路 802、第 2 の走査線駆動回路 803、信号線駆動回路 804 を有する。画素部 801 には、複数の信号線が信号線駆動

回路 804 から延伸して配置され、複数の走査線が第 1 の走査線駆動回路 802、及び第 2 の走査線駆動回路 803 から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板 800 は FPC (Flexible Printed Circuit) 等の接続部を介して、タイミング制御回路 (コントローラ、制御 IC ともいう) に接続されている。

【0171】

図 19 (A) では、第 1 の走査線駆動回路 802、第 2 の走査線駆動回路 803、信号線駆動回路 804 は、画素部 801 と同じ基板 800 上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板 800 外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板 800 上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【0172】

〔液晶パネル〕

また、画素の回路構成の一例を図 19 (B) に示す。ここでは、VA 型液晶表示パネルの画素に適用することができる画素回路を示す。

【0173】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

【0174】

トランジスタ 716 のゲート配線 712 と、トランジスタ 717 のゲート配線 713 には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極層又はドレイン電極層 714 は、トランジスタ 716 とトランジスタ 717 で共通に用いられている。トランジスタ 716 とトランジスタ 717 は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示パネルを提供することができる。

【0175】

トランジスタ 716 と電氣的に接続する第 1 の画素電極層と、トランジスタ 717 と電氣的に接続する第 2 の画素電極層の形状について説明する。第 1 の画素電極層と第 2 の画素電極層の形状は、スリットによって分離されている。第 1 の画素電極層は V 字型に広がる形状を有し、第 2 の画素電極層は第 1 の画素電極層の外側を囲むように形成される。

【0176】

トランジスタ 716 のゲート電極はゲート配線 712 と接続され、トランジスタ 717 のゲート電極はゲート配線 713 と接続されている。ゲート配線 712 とゲート配線 713 に異なるゲート信号を与えてトランジスタ 716 とトランジスタ 717 の動作タイミングを異ならせ、液晶の配向を制御できる。

【0177】

また、容量配線 710 と、誘電体として機能するゲート絶縁膜と、第 1 の画素電極層または第 2 の画素電極層と電氣的に接続する容量電極とで保持容量を形成してもよい。

【0178】

マルチドメイン構造は、一画素に第 1 の液晶素子 718 と第 2 の液晶素子 719 を備える。第 1 の液晶素子 718 は第 1 の画素電極層と対向電極層とその間の液晶層とで構成され、第 2 の液晶素子 719 は第 2 の画素電極層と対向電極層とその間の液晶層とで構成される。

【0179】

なお、図 19 (B) に示す画素回路は、これに限定されない。例えば、図 19 (B) に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、又は論理回路

10

20

30

40

50

などを追加してもよい。

【0180】

〔有機ELパネル〕

画素の回路構成の他の一例を図19(C)に示す。ここでは、有機EL素子を用いた表示パネルの画素構造を示す。

【0181】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

10

【0182】

図19(C)は、適用可能な画素回路の一例を示す図である。ここではnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。なお、本発明の一態様の金属酸化物膜は、nチャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0183】

適用可能な画素回路の構成及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0184】

20

画素720は、スイッチング用トランジスタ721、駆動用トランジスタ722、発光素子724及び容量素子723を有している。スイッチング用トランジスタ721は、ゲート電極層が走査線726に接続され、第1電極(ソース電極層及びドレイン電極層の一方)が信号線725に接続され、第2電極(ソース電極層及びドレイン電極層の他方)が駆動用トランジスタ722のゲート電極層に接続されている。駆動用トランジスタ722は、ゲート電極層が容量素子723を介して電源線727に接続され、第1電極が電源線727に接続され、第2電極が発光素子724の第1電極(画素電極)に接続されている。発光素子724の第2電極は共通電極728に相当する。共通電極728は、同一基板上に形成される共通電位線と電氣的に接続される。

【0185】

30

スイッチング用トランジスタ721および駆動用トランジスタ722は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機EL表示パネルを提供することができる。

【0186】

発光素子724の第2電極(共通電極728)の電位は低電源電位に設定する。なお、低電源電位とは、電源線727に設定される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子724の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子724に印加することにより、発光素子724に電流を流して発光させる。なお、発光素子724の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

40

【0187】

なお、容量素子723は駆動用トランジスタ722のゲート容量を代用することにより省略できる。駆動用トランジスタ722のゲート容量については、チャネル形成領域とゲート電極層との間で容量が形成されていてもよい。

【0188】

次に、駆動用トランジスタ722に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ722が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ722に入力する。なお、駆動用トランジスタ722を線形領域で動作させるために、電源線727の電圧よりも高い電圧を駆動用

50

トランジスタ 722 のゲート電極層にかける。また、信号線 725 には、電源線電圧に駆動用トランジスタ 722 の閾値電圧 V_{th} を加えた値以上の電圧をかける。

【0189】

アナログ階調駆動を行う場合、駆動用トランジスタ 722 のゲート電極層に発光素子 724 の順方向電圧に駆動用トランジスタ 722 の閾値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ 722 が飽和領域で動作するようにビデオ信号を入力し、発光素子 724 に電流を流す。また、駆動用トランジスタ 722 を飽和領域で動作させるために、電源線 727 の電位を、駆動用トランジスタ 722 のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子 724 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

10

【0190】

なお、画素回路の構成は、図 19 (C) に示す画素構成に限定されない。例えば、図 19 (C) に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタ又は論理回路などを追加してもよい。

【0191】

図 19 で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第 1 の電極）、高電位側にドレイン電極（第 2 の電極）がそれぞれ電氣的に接続される構成とする。さらに、制御回路等により第 1 のゲート電極の電位を制御し、第 2 のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

20

【0192】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0193】

（実施の形態 8）

本実施の形態では、上述の実施の形態で説明した半導体装置を電子部品に適用する例、及び該電子部品を具備する電子機器に適用する例について、図 14、図 15 を用いて説明する。

【0194】

図 14 (A) では上述の実施の形態で説明した半導体装置を電子部品に適用する例について説明する。なお電子部品は、半導体パッケージ、又は IC 用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

30

【0195】

上記実施の形態で説明した半導体装置は、組み立て工程（後工程）を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。

【0196】

後工程については、図 14 (A) に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成（ステップ S1）した後、基板の裏面を研削する（ステップ S2）。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

40

【0197】

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う（ステップ S3）。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

【0198】

次いでリードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電氣的

50

に接続する、ワイヤーボンディングを行う（ステップS4）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

【0199】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される（ステップS5）。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力により、内蔵される回路部やワイヤーを保護することができ、また水分や埃による特性の劣化を低減することができる。

【0200】

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する（ステップS6）。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。

10

【0201】

次いでパッケージの表面に印字処理（マーキング）を施す（ステップS7）。そして最終的な検査工程（ステップS8）を経て電子部品が完成する（ステップS9）。

【0202】

以上説明した電子部品は、上述の実施の形態で説明した半導体装置を含む構成とすることができる。そのため、集積度に優れ、又はレイアウト面積の縮小を図ることのできる半導体装置を有する電子部品を実現することができる。該電子部品は、上記実施の形態で説明した半導体装置を含むため、小型化が図られた電子部品である。

20

【0203】

また、完成した電子部品の斜視模式図を図14（B）に示す。図14（B）では、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図14（B）に示す電子部品700は、リード701及び半導体装置703を示している。図14（B）に示す電子部品700は、例えばプリント基板702に実装される。このような電子部品700が複数組み合わせられて、それぞれがプリント基板702上で電氣的に接続されることで電子部品が実装された基板（実装基板704）が完成する。完成した実装基板704は、電子機器等の内部に設けられる。

【0204】

次いで、コンピュータ、携帯情報端末（携帯電話、携帯型ゲーム機、音響再生装置なども含む）、電子ペーパー、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、デジタルビデオカメラなどの電子機器に、上述の電子部品を適用する場合について説明する。

30

【0205】

図15（A）は、携帯型の情報端末であり、筐体901、筐体902、第1の表示部903a、第2の表示部903bなどによって構成されている。筐体901と筐体902の少なくとも一部には、先の実施の形態に示す半導体装置を有する実装基板が設けられている。そのため、小型化が図られた携帯型の情報端末が実現される。

【0206】

なお、第1の表示部903aはタッチ入力機能を有するパネルとなっており、例えば図15（A）の左図のように、第1の表示部903aに表示される選択ボタン904により「タッチ入力」を行うか、「キーボード入力」を行うかを選択できる。選択ボタンは様々な大きさで表示できるため、幅広い世代の人が使いやすさを実感できる。ここで、例えば「タッチ入力」を選択した場合、図15（A）の右図のように第1の表示部903aにはキーボード905が表示される。これにより、従来の情報端末と同様に、キー入力による素早い文字入力などが可能となる。

40

【0207】

また、図15（A）に示す携帯型の情報端末は、図15（A）の右図のように、第1の表示部903a及び第2の表示部903bのうち、一方を取り外すことができる。第1の表示部903aもタッチ入力機能を有するパネルとし、持ち運びの際、さらなる軽量化を図

50

ることができ、一方の手で筐体 9 0 2 を持ち、他方の手で操作することができるため便利である。

【 0 2 0 8 】

図 1 5 (A) は、様々な情報 (静止画、動画、テキスト画像など) を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子 (イヤホン端子、U S B 端子など)、記録媒体挿入部などを備える構成としてもよい。

【 0 2 0 9 】

また、図 1 5 (A) に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【 0 2 1 0 】

更に、図 1 5 (A) に示す筐体 9 0 2 にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。

【 0 2 1 1 】

図 1 5 (B) は、電子ペーパーを実装した電子書籍であり、筐体 9 1 1 と筐体 9 1 2 の 2 つの筐体で構成されている。筐体 9 1 1 及び筐体 9 1 2 には、それぞれ表示部 9 1 3 及び表示部 9 1 4 が設けられている。筐体 9 1 1 と筐体 9 1 2 は、軸部 9 1 5 により接続されており、該軸部 9 1 5 を軸として開閉動作を行うことができる。また、筐体 9 1 1 は、電源 9 1 6、操作キー 9 1 7、スピーカー 9 1 8などを備えている。筐体 9 1 1、筐体 9 1 2 の少なくとも一には、先の実施の形態に示す半導体装置を有する実装基板が設けられている。そのため、小型化が図られた電子書籍が実現される。

【 0 2 1 2 】

図 1 5 (C) は、テレビジョン装置であり、筐体 9 2 1、表示部 9 2 2、スタンド 9 2 3 などで構成されている。テレビジョン装置の操作は、筐体 9 2 1 が備えるスイッチや、リモコン操作機 9 2 4 により行うことができる。筐体 9 2 1 及びリモコン操作機 9 2 4 には、先の実施の形態に示す半導体装置を有する実装基板が搭載されている。そのため、小型化が図られたテレビジョン装置が実現される。

【 0 2 1 3 】

図 1 5 (D) は、スマートフォンであり、本体 9 3 0 には、表示部 9 3 1 と、スピーカー 9 3 2 と、マイク 9 3 3 と、操作ボタン 9 3 4 等が設けられている。本体 9 3 0 内には、先の実施の形態に示す半導体装置を有する実装基板が設けられている。そのため小型化が図られたスマートフォンが実現される。

【 0 2 1 4 】

図 1 5 (E) は、デジタルカメラであり、本体 9 4 1、表示部 9 4 2、操作スイッチ 9 4 3 などによって構成されている。本体 9 4 1 内には、先の実施の形態に示す半導体装置を有する実装基板が設けられている。そのため、小型化が図られたデジタルカメラが実現される。

【 0 2 1 5 】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置を有する実装基板が搭載されている。このため、このため、小型化が図られた電子機器が実現される。

【 符号の説明 】

【 0 2 1 6 】

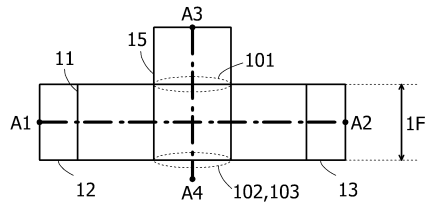
O S 1 半導体層
O S 2 半導体層
O S 3 半導体層
1 1 半導体層
1 0 基板

1 4	ゲート絶縁膜	
1 2	ソース電極	
1 3	ドレイン電極	
1 5	ゲート電極	
1 6	層間絶縁層	
1 7	下地絶縁層	
T r 1	トランジスタ	
T r 1 __ A	トランジスタ	
T r 1 __ B	トランジスタ	
T r 2	トランジスタ	10
T r 2 __ A	トランジスタ	
T r 2 __ B	トランジスタ	
1 0 1	端面	
1 0 2	端面	
1 0 3	端面	
1 2 1	半導体層	
1 2 2	半導体層	
1 2 3	導電層	
1 2 4	導電層	
1 2 5	導電層	20
1 2 6	導電層	
1 2 7	半導体層	
3 0 1	メモリセルアレイ	
3 0 2	ロードライバ	
3 0 3	カラムドライバ	
4 0 1	ロジックアレイ	
4 0 2	ロードライバ	
4 0 3	カラムドライバ	
4 0 4	コンフィギュレーション制御回路	
4 0 5 A	入出力回路	30
4 0 5 B	入出力回路	
4 1 0	ゲート電極層	
7 0 0	電子部品	
7 0 1	リード	
7 0 2	プリント基板	
7 0 3	半導体装置	
7 0 4	実装基板	
7 1 0	容量配線	
7 1 2	ゲート配線	
7 1 3	ゲート配線	40
7 1 4	ドレイン電極層	
7 1 6	トランジスタ	
7 1 7	トランジスタ	
7 1 8	液晶素子	
7 1 9	液晶素子	
7 2 0	画素	
7 2 1	スイッチング用トランジスタ	
7 2 2	駆動用トランジスタ	
7 2 3	容量素子	
7 2 4	発光素子	50

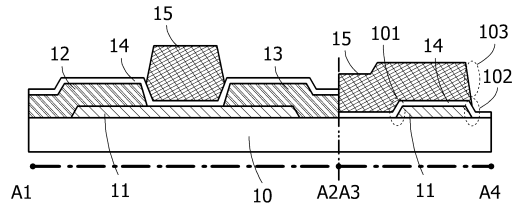
7 2 5	信号線	
7 2 6	走査線	
7 2 7	電源線	
7 2 8	共通電極	
8 0 0	基板	
8 0 1	画素部	
8 0 2	走査線駆動回路	
8 0 3	走査線駆動回路	
8 0 4	信号線駆動回路	
9 0 1	筐体	10
9 0 2	筐体	
9 0 3 a	表示部	
9 0 3 b	表示部	
9 0 4	選択ボタン	
9 0 5	キーボード	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	軸部	20
9 1 6	電源	
9 1 7	操作キー	
9 1 8	スピーカー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	スタンド	
9 2 4	リモコン操作機	
9 3 0	本体	
9 3 1	表示部	
9 3 2	スピーカー	30
9 3 3	マイク	
9 3 4	操作ボタン	
9 4 1	本体	
9 4 2	表示部	
9 4 3	操作スイッチ	

【図 1】

(A)

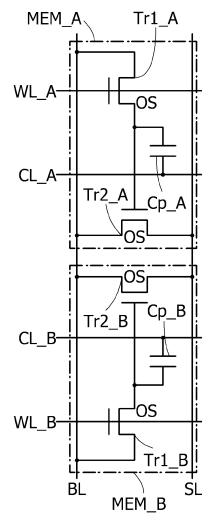


(B)

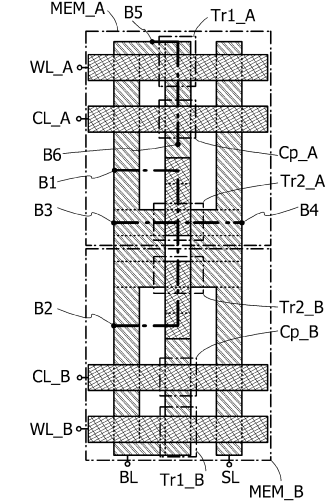


【図 2】

(A)



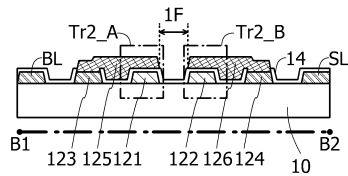
(B)



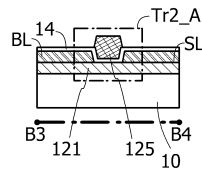
... GM(15)
 ... S/DM(12,13)
 ... SEM(11)

【図 3】

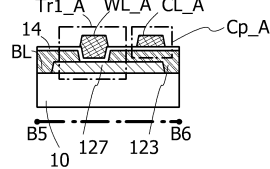
(A)



(B)

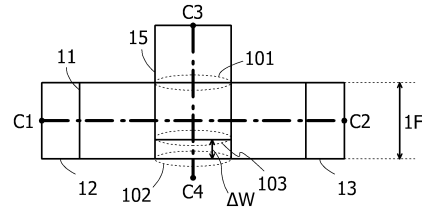


(C)

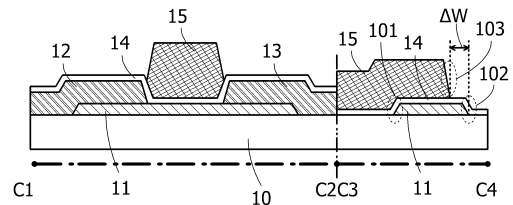


【図 4】

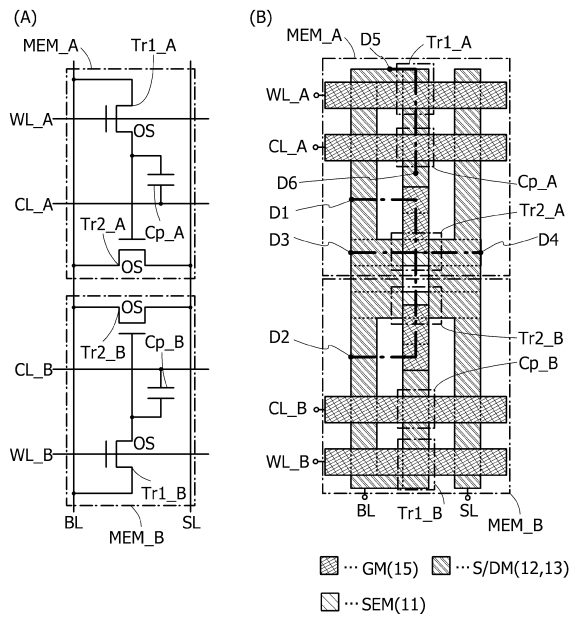
(A)



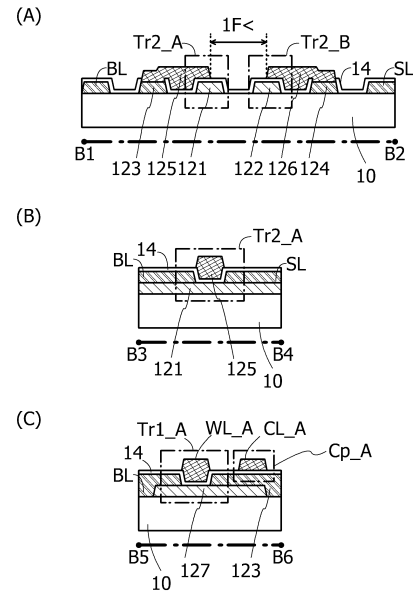
(B)



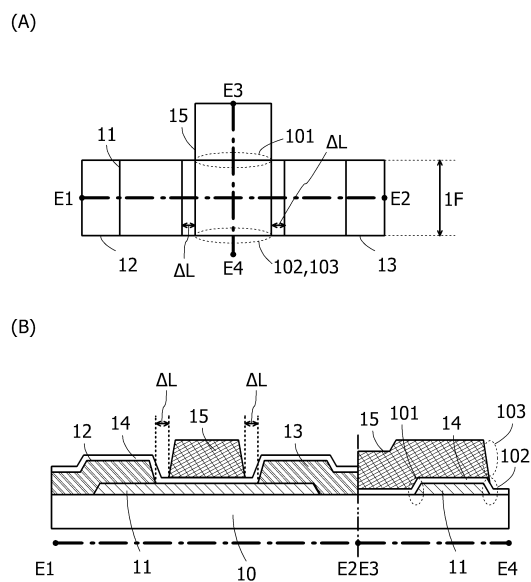
【図 5】



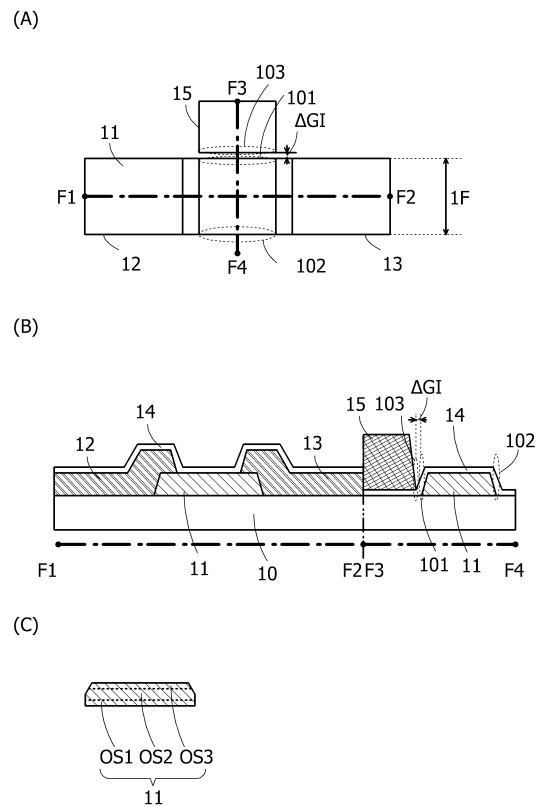
【図 6】



【図 7】

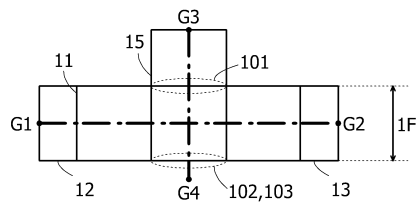


【図 8】

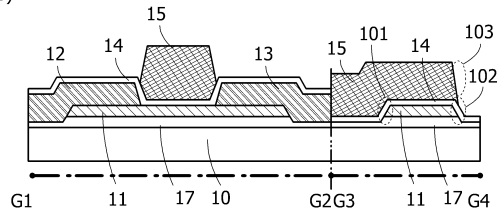


【図 9】

(A)

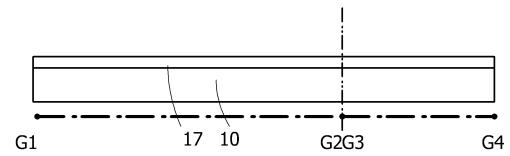


(B)

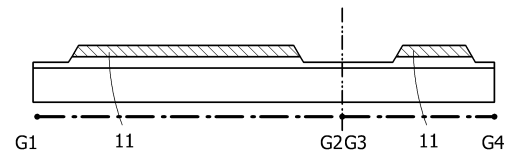


【図 10】

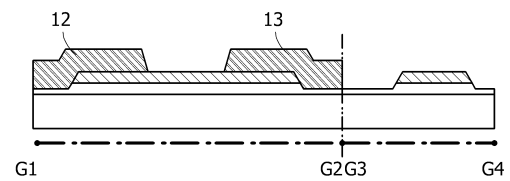
(A)



(B)

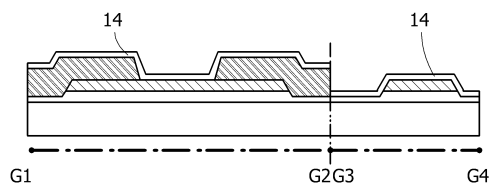


(C)

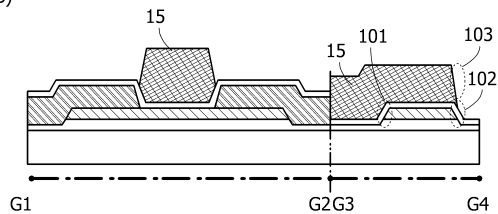


【図 11】

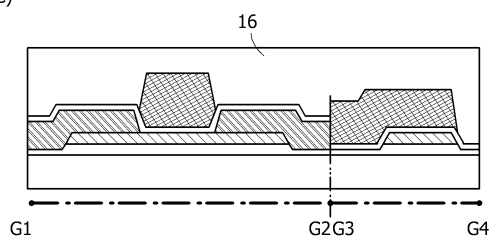
(A)



(B)

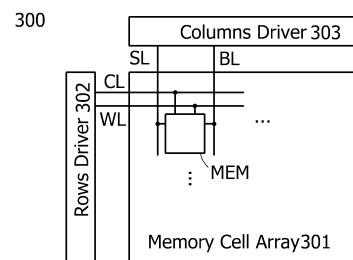


(C)

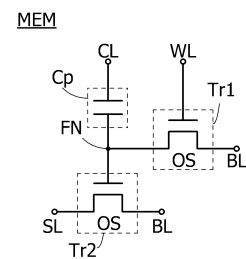


【図 12】

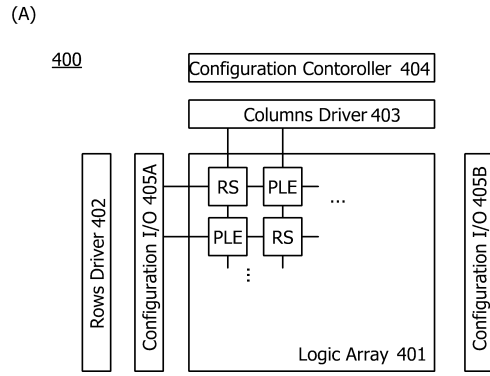
(A)



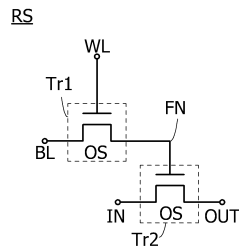
(B)



【図 13】

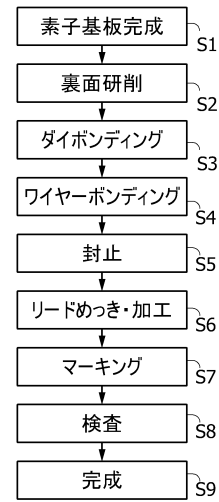


(B)

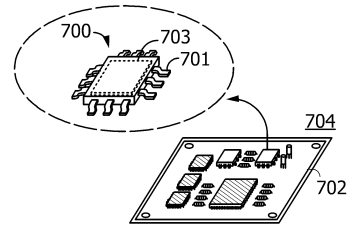


【図 14】

(A)

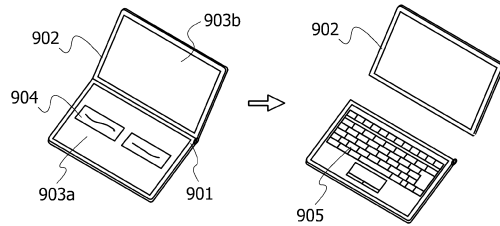


(B)

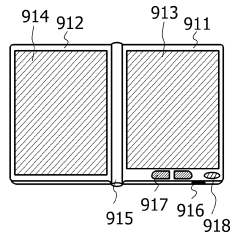


【図 15】

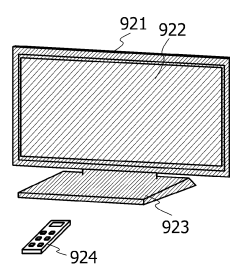
(A)



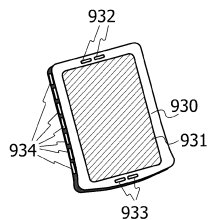
(B)



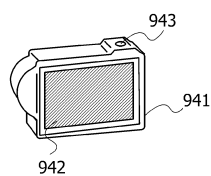
(C)



(D)

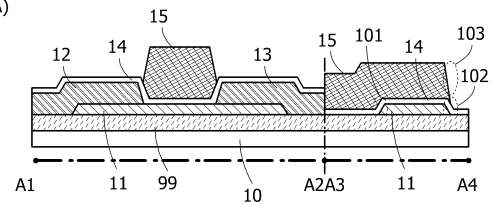


(E)

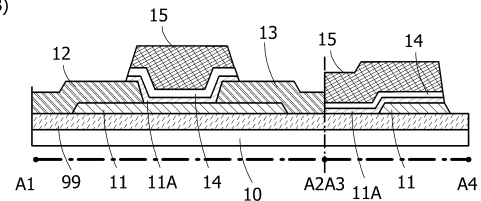


【図 16】

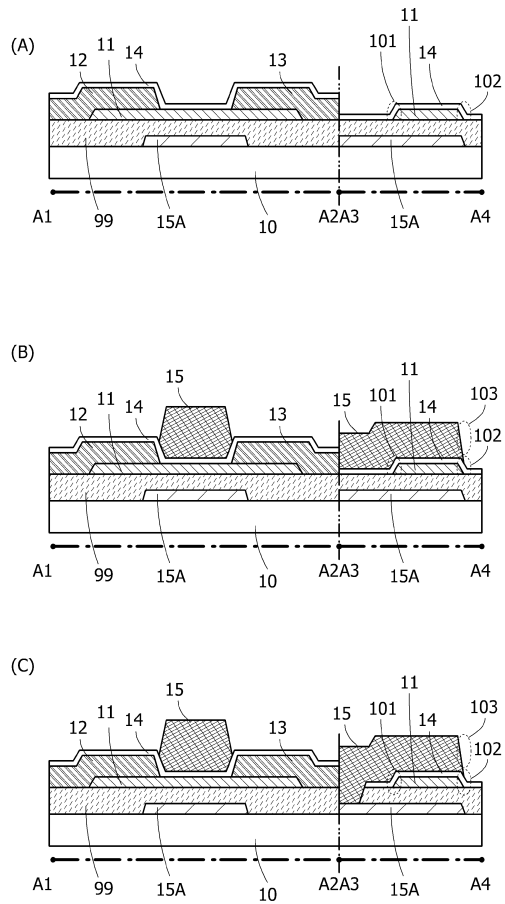
(A)



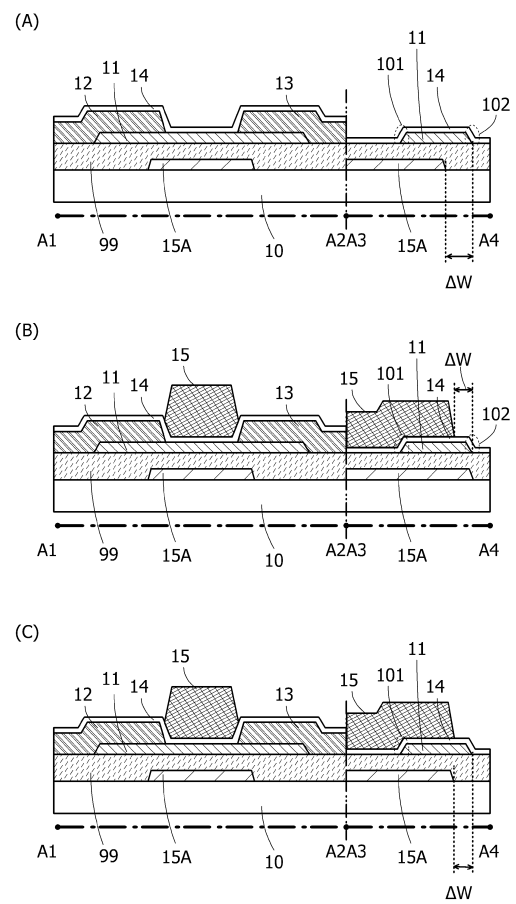
(B)



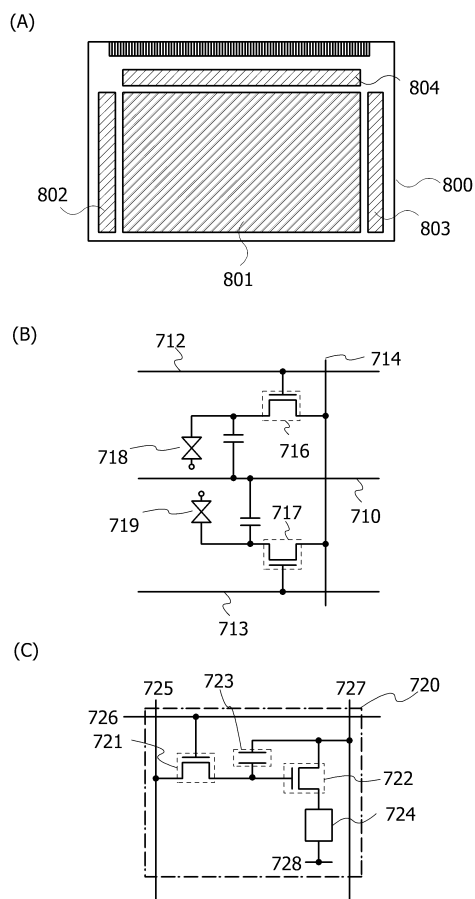
【図 17】



【図 18】



【図 19】



フロントページの続き

(56)参考文献 特開2012-004552(JP,A)
特開2009-170900(JP,A)
特開2012-212874(JP,A)
特開平11-097699(JP,A)
特開2011-049537(JP,A)
特開2007-324453(JP,A)
特開2012-138549(JP,A)
国際公開第2011/142265(WO,A1)

(58)調査した分野(Int.Cl., DB名)
H01L 29/786
H01L 21/28