(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/768

(45) 공고일자 2004년03월30일
(11) 등록번호 10-0425391
(24) 등록일자 2004년03월19일

(21) 출원번호 10-2001-0002836
(22) 출원일자 2001년01월18일

(65) 공개번호 10-2001-0076331
(43) 공개일자 2001년08월11일

(30) 우선권주장 2000-12670 2000년01월21일 일본(JP)

(73) 특허권자 세이코 엡슨 가부시키가이샤
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 하나오카테루나오
일본나가노켄스와시오와3쵸메3-5세이코엡슨가부시키가이샤내

와다켄지
일본나가노켄스와시오와3쵸메3-5세이코엡슨가부시키가이샤내

하시모토노부아키
일본나가노켄스와시오와3쵸메3-5세이코엡슨가부시키가이샤내

이토하루키
일본나가노켄스와시오와3쵸메3-5세이코엡슨가부시키가이샤내

우메츠카즈시게
일본나가노켄스와시오와3쵸메3-5세이코엡슨가부시키가이샤내

마츠시마후미아키
일본나가노켄스와시오와3쵸메3-5세이코엡슨가부시키가이샤내

(74) 대리인 이병호

심사관 : 반성원

(54) 반도체 장치 및 그 제조 방법, 회로기판 및 전자기기

요약

본 발명의 반도체 장치의 제조 방법은 전극(14)을 가지는 반도체 칩(10)에 관통 구멍(50)을 형성하고, 상기 관통 구멍(50)의 안쪽을 포함하는 영역에 도전층(70)을 형성하는 공정을 포함한다. 상기 관통 구멍(50)은 중간부가 개구 단부보다도 크게 형성되며, 도전층(70)을 무전해 도금으로 형성한다.

대표도

도 1a

색인어

반도체 장치, 관통 구멍, 중간부, 도전층, 반도체 칩

명세서

도면의 간단한 설명

도 1a 내지 도 1c 는 본 발명을 적용한 실시예에 따른 반도체 장치의 제조 방법을 도시하는 도면.
도 2a 내지 도 2c 는 본 발명을 적용한 실시예에 따른 반도체 장치의 제조 방법을 도시하는 도면.
도 3a 내지 도 3c 는 본 발명을 적용한 실시예에 따른 반도체 장치의 제조 방법을 도시하는 도면.
도 4a 내지 도 4c 는 본 발명을 적용한 실시예에 따른 반도체 장치의 제조 방법을 도시하는 도면.
도 5a 내지 도 5c 는 본 발명을 적용한 실시예에 따른 반도체 장치의 제조 방법을 도시하는 도면.
도 6a 및 도 6b 는 본 발명을 적용한 실시예에 따른 반도체 장치의 제조 방법을 도시하는 도면.
도 7a 및 도 7b 는 본 발명을 적용한 실시예에 따른 반도체 장치의 제조 방법을 도시하는 도면.
도 8a 및 도 8b 는 본 발명을 적용한 실시예에 따른 반도체 장치의 제조 방법을 도시하는 도면.
도 9 는 본 발명을 적용한 실시예에 따른 반도체 장치를 도시하는 도면.
도 10 은 본 발명을 적용한 실시예에 따른 반도체 장치의 제조 방법을 도시하는 도면.
도 11 은 본 발명을 적용한 실시예에 따른 다른 반도체 장치를 도시하는 도면.
도 12 는 본 실시예에 따른 반도체 장치가 실장된 회로기판을 도시하는 도면.
도 13 은 본 실시예에 따른 반도체 장치를 가지는 전자기기를 도시하는 도면.
도 14 는 본 실시예에 따른 반도체 장치를 가지는 전자기기를 도시하는 도면.
* 도면의 주요부분에 대한 부호의 설명 *
10 : 반도체 칩 12 : 절연막
14 : 전극 22 : 레지스터
24 : 개구부 26 : 구멍
68 : 촉매 70 : 도전층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법, 회로기판 및 전자기기에 관한 것이다.
최근, 복수의 반도체 칩을 겹쳐 쌓은 반도체 장치가 개발되어 있다. 그 대부분은 반도체 칩의 전극에 와이어 또는 리드(lead)를 본딩하여 전기적인 접속을 도모한 것이었지만, 와이어 등을 설치하였기 때문에 소형화에 한계가 있었다.
또한, 반도체 칩에 관통 구멍을 형성하여, 관통 구멍에 용융된 땜납을 충전하여 전기적인 접속을 도모하는 것도 개발되어 있다. 그러나, 미세한 관통 구멍에 땜납을 충전하면 보이드(void)가 발생하게 되어, 전기적 접속의 신뢰성을 확보하기 어렵다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제점을 해결하는 것으로, 그 목적은, 전기적인 접속을 높은 신뢰성으로써, 용이하게 도모할 수 있는 반도체 장치 및 그 제조 방법, 회로기판 및 전자기기를 제공하는 것에 있다.
(1) 본 발명에 따른 반도체 장치의 제조 방법은 전극을 가지는 반도체 소자에 관통 구멍을 형성하는 제 1 공정과,
상기 관통 구멍의 안쪽을 포함하는 영역에 도전층을 형성하는 제 2 공정을 포함한다.
본 발명에 의하면, 관통 구멍에 도전층을 형성하는 것으로, 반도체 소자의 한쪽 면과 다른쪽 면의 전기적 접속을 도모하도록 되어 있다. 따라서, 도전층을 형성하는 것만으로써, 관통 구멍에 용융 재료를 충전하는 것은 아니기 때문에, 보이드가 형성되는 문제가 생기지 않고, 전기적 접속의 높은 신뢰성을 확보할 수 있다.
(2) 상기 반도체 장치의 제조 방법에 있어서,
상기 전극에 상기 관통 구멍과 연결되는 구멍을 형성하고,
상기 도전층을 상기 전극의 적어도 일부에 적층하여 형성하여도 좋다.
이것에 의하면, 도전층을 전극과 전기적으로 접속하여 형성할 수 있다.
(3) 상기 반도체 장치의 제조 방법에 있어서,
상기 관통 구멍을 개구 단부와, 상기 개구 단부보다도 직경이 큰 중간부를 가지는 형상으로 형성하여도 좋다.
이것에 의하면, 관통 구멍의 중간부가 대직경으로 되어 있기 때문에, 도전층을 형성하기 쉽다.
(4) 상기 반도체 장치의 제조 방법에 있어서,
상기 중간부를 모든 부분에서 거의 동일한 직경으로 형성하고,

상기 관통 구멍을 상기 개구 단부와 상기 중간부를 접속하는 테이퍼부를 더 가지는 형상으로 형성하여도 좋다.
이것에 의하면, 중간부의 직경이 모든 부분에서 거의 동일하기 때문에, 응력이 균등하게 적용되고 관통 구멍을 형성한 것에 의한 반도체 소자의 강도 저하를 억제할 수 있다.
(5) 상기 반도체 장치의 제조 방법에 있어서,
상기 제 1 공정에서, 상기 관통 구멍보다도 직경이 작은 소구멍을 미리 형성하고, 상기 소구멍을 확대시켜 상기 관통 구멍을 형성하여도 좋다.
이것에 의하면, 관통 구멍을 형성하는 것보다도 작은 에너지로 소구멍을 형성할 수 있고, 소구멍을 형성하여 두는 것으로, 관통 구멍을 형성하는 에너지가 작아도 충분하다.
(6) 상기 반도체 장치의 제조 방법에 있어서,
상기 제 1 공정에서, 상기 관통 구멍을 형성하는 위치에 오목부를 형성하고, 상기 오목부에 의해서 위치 결정하여 상기 소구멍을 형성하여도 좋다.
이것에 의하면, 오목부에 의해서 관통 구멍을 형성하는 위치를 확인할 수 있기 때문에, 관통 구멍을 정확한 위치에 형성할 수 있다.
(7) 상기 반도체 장치의 제조 방법에 있어서,
상기 소구멍을 레이저 빔으로 형성하고, 웨트 에칭에 의해서 상기 소구멍을 확대시켜도 좋다.
이것에 의하면, 용이하게 관통 구멍을 형성할 수 있다. 또한, 레이저 빔으로 형성된 소구멍의 내벽면이 거칠어지더라도, 웨트 에칭에 의해서 이것을 확대시키기 때문에, 매끄러운 내벽면의 관통 구멍을 형성할 수 있다.
(8) 상기 반도체 장치의 제조 방법에 있어서,
전기적인 접속부를 형성하는 공정을 포함하여도 좋다.
(9) 상기 반도체 장치의 제조 방법에 있어서,
상기 접속부를 제 2 공정에서 상기 도전층의 일부로서 형성하여도 좋다.
(10) 상기 반도체 장치의 제조 방법에 있어서,
상기 제 1 공정후로서, 상기 제 2 공정전에, 상기 관통 구멍의 내벽면에 절연막을 형성하는 공정을 더 포함하고,
상기 제 2 공정에서, 상기 절연막상에 상기 도전층을 형성하여도 좋다.
(11) 상기 반도체 장치의 제조 방법에 있어서,
상기 절연막을 화학 기상 퇴적에 의해서 형성하여도 좋다.
(12) 상기 반도체 장치의 제조 방법에 있어서,
상기 도전층을 무전해 도금에 의해서 형성하여도 좋다.
특히, 관통 구멍의 중간부가 크게 넓혀진 형상이면, 도금액을 교반하기 쉽기 때문에 바람직하다.
(13) 상기 반도체 장치의 제조 방법에 있어서,
적어도 상기 도전층의 형성 영역에서 촉매를 노출시켜 형성하고, 상기 촉매의 노출 영역에 도전 재료를 석출시키는 무전해 도금을 행하며, 상기 도전 재료로 상기 도전층을 형성하여도 좋다.
(14) 상기 반도체 장치의 제조 방법에 있어서,
상기 반도체 소자는 반도체 칩이여도 좋다.
(15) 상기 반도체 장치의 제조 방법에 있어서,
상기 반도체 소자는 반도체 웨이퍼의 일부이여도 좋다.
(16) 본 발명에 따른 반도체 장치의 제조 방법은 상기 방법에 의해서 제조된 반도체 장치를 적층하고, 상하의 반도체 장치의 상기 도전층을 전기적으로 접속하는 공정을 포함하여도 좋다.
상기 반도체 장치의 제조 방법에는, 삼차원 실장이 적용된다.
(17) 상기 반도체 장치의 제조 방법에 있어서,
상기 반도체 웨이퍼를 개개의 편으로 절단하는 공정을 포함하여도 좋다.
(18) 본 발명에 따른 반도체 장치는 상기 방법에 의해 제조된 것이다.
(19) 본 발명에 따른 반도체 장치는 전극을 가지고, 관통 구멍이 형성된 반도체 소자와,
상기 관통 구멍의 안쪽을 포함하는 영역에 형성된 도전층을 포함한다.
본 발명에 의하면, 관통 구멍에 형성된 도전층에 의해서, 반도체 소자의 한쪽 면과 다른쪽 면의 전기적 접속이 도모된다. 따라서, 도전층이 형성되는 것만으로서, 관통 구멍에 용융 재료를 충전하는 것은 아니기 때문에, 보이드가 형성되는 문제가 생기지 않고, 전기적 접속의 높은 신뢰성을 확보할 수 있다.
(20) 상기 반도체 장치에 있어서,
상기 전극에는 상기 관통 구멍과 연결되는 구멍이 형성되고,
상기 도전층은 상기 전극의 적어도 일부에 적층시켜 형성되어 있어도 좋다.
이것에 의하면, 도전층은 전극과 전기적으로 접속하여 형성되어 있다.
(21) 상기 반도체 장치에 있어서,
상기 관통 구멍은 개구 단부와, 상기 개구 단부보다도 직경이 큰 중간부를 가지는 형상으로 형성되어 있어도 좋다.
이것에 의하면, 관통 구멍의 중간부가 대직경으로 되어 있기 때문에, 도전층을 형성하기 쉽다.
(22) 상기 반도체 장치에 있어서,
상기 중간부는 모든 부분에서 거의 동일한 직경으로 형성되어 이루어지고,
상기 관통 구멍은 상기 개구 단부와 상기 중간부를 접속하는 테이퍼부를 더 가지는 형상으로 형성되어 있어도 좋다.
이것에 의하면, 중간부의 직경이 모든 부분에서 거의 동일하기 때문에, 응력이 균등하게 적용되고, 관통 구멍을 형성한 것에 의한 반도체 소자의 강도 저하를 억제할 있다.

(23) 상기 반도체 장치에 있어서,
상기 도전층의 일부에 의해서 상기 접속부가 설치되어 있어도 좋다.
(24) 상기 반도체 장치에 있어서,
상기 관통 구멍의 내벽면에 형성된 절연막을 더 가지고, 상기 절연막상에 상기 도전층이 형성되어 있어도 좋다.
(25) 상기 반도체 장치에 있어서,
상기 반도체 소자는 반도체 칩이여도 좋다.
(26) 상기 반도체 장치에 있어서,
상기 반도체 소자는 반도체 웨이퍼의 일부이여도 좋다.
(27) 본 발명에 따른 반도체 장치는, 상기 반도체 장치가 적층되고, 상하의 반도체 장치의 상기 도전층이 전기적으로 접속된 것이여도 좋다.
상기 반도체 장치에는 삼차원 실장이 적용되어 있다.
(28) 본 발명에 따른 회로기판은 반도체 장치가 실장되어 이루어진다.
(29) 본 발명에 따른 전자기기는 상기 반도체 장치를 가진다.

발명의 구성 및 작용

이하, 본 발명의 적합한 실시예에 대하여 도면을 참조하여 설명한다. 도 1a는 본 실시예에서 사용하는 반도체 칩(10)의 일부를 도시하는 도면이다. 반도체 칩(10)은 일반적으로는 직방체(입방체를 포함한다)이지만, 그 형상은 한정되지 않고, 구형이여도 좋다.
반도체 칩(10)은 도시하지 않는 트랜지스터나 메모리 소자 등으로 이루어지는 집적 회로가 형성된 표면에 절연막(층간막;12)을 가진다. 상기 절연막(12)은 반도체 칩(10)의 기본적인 재료인 실리콘의 산화막인 것이 많다. 상기 절연막(12)상에는 전극(패드;14)이 형성되고, 전극(14)은 도시하지 않는 부분에서 집적 회로와 전기적으로 접속되어 있다. 전극(14)은 알루미늄으로 형성되는 것이 많다. 전극(14)은 반도체 칩(10)의 면의 적어도 1변(대부분의 경우, 2변 또는 4변)에 따라서 나란하게 배열되어 있다. 또한, 전극(14)은 반도체 칩(10)의 면의 단부에 나란히 배열되어 있는 경우와, 중앙부에 나란히 배열되어 있는 경우가 있다.
상기 전극(14)은 집적 회로의 제조 프로세스에 따라서 구성된다. 예를 들면, 도 1a에 도시하는 예에서는, 절연막(12)상에, 전극(14)의 하층부가 형성되고, 하층부의 단부에 놓여지는 절연막(16,18)이 형성되며, 전극(14)의 상층부가 절연막(18)상에 도달하도록 형성되어 있다. 또한, 전극(14)의 중앙부를 피하여 단부를 덮고, 패시베이션막(20)이 형성되어 있다. 패시베이션막(20)은, 예를 들면, SiO_2, SiN, 폴리이미드 수지 등으로 형성할 수 있다.
본 실시예에서는, 상기 반도체 칩(10)을 사용하여, 이하 방법으로 반도체 장치를 제조한다.
도 1b에 도시하는 바와 같이, 반도체 칩(10)의, 전극(14)이 형성된 면에 레지스터(22)를 형성한다. 레지스터(22)를 형성하는 방법으로서는, 스핀 피복법(spin coat), 디핑법(dipping), 분사 피복법(sprayer coat) 등의 방법을 사용하는 것이 가능하다. 레지스터(22)는 전극(14)도 덮어 형성한다. 레지스터(22)는 후술하는 에칭 공정에서 에칭하지 않는 부분을 덮는 것이다. 레지스터(22)는 포토레지스트, 전자선 레지스터, X선 레지스터의 어떠한 것이라도 좋으며, 포지티브형 또는 네거티브형의 어떠한 것이라도 좋다. 본 실시예에서 사용하는 레지스터(22)는 포지티브형의 포토레지스트이다. 상기 레지스터(22)는 코팅후에, 다른 부재에 부착하지 않도록 하기 위해서, 프리 베이크(pre bake)하여 용제를 날려보낸다.
도 1c에 도시하는 바와 같이, 레지스터(22)를 패터닝한다. 상세하게는, 레지스터(22)상에 마스크를 배치하고, 에너지를 조사한다. 에너지는, 레지스터(22)의 성질에 따라서 다르며, 광, 전자선, X선의 어느 하나이다. 본 실시예에서는 레지스터(22)를 노광한다. 마스크의 형상은 패터닝 형상에 의해서 결정되고, 레지스터(22)가 포지티브형인지 네거티브형인지에 의해서 반전형상으로 된다.
노광후, 레지스터(22)를 현상하여 포스트 베이크(post bake)한다. 패터닝된 레지스터(22)에는, 전극(14)의 중앙부를 노출시키는 개구부(24)가 형성되어 있다.
도 2a에 도시하는 바와 같이, 레지스터(22)의 개구부(24)에 의해서 노출한 전극(14)의 중앙부를 에칭한다. 에칭에는 드라이 에칭을 적용하는 것이 바람직하다. 드라이 에칭은 반응성 이온 에칭(RIE)이여도 좋다. 또한, 에칭으로서 웨트 에칭을 적용하여도 좋다. 이렇게 하여, 전극(14)의 중앙부(단부를 제외하는 부분)에, 구멍(26)을 형성한다. 구멍(26)은 후술하는 관통 구멍(50)의 위치에 형성된다. 상세하게는 구멍(26)은 관통 구멍(50)의 개구 단부와 거의 동일하거나 또는 그 이상의 크기로 형성되며, 관통 구멍(50)과 연결된다.
도 2b에 도시하는 바와 같이 레지스터(22)를 박리한다. 그리고, 도 2c에 도시하는 바와 같이, 반도체 칩(10)의 전극(14)이 형성된 측과, 그 반대측에 절연막(28, 30)을 형성한다. 절연막(28)은 실리콘 산화막이나 질화막이여도 좋고, 화학 기상 퇴적(CVD)에 의해서 형성할 수 있다. 절연막(28)은, 전극(14) 및 패시베이션막(20)을 덮는다. 전극(14)에는 구멍(26)이 형성되어 있기 때문에, 절연막(28)은, 구멍(26)의 내부(내벽면 및 노출한 절연막(12))도 덮는다.
도 3a에 도시하는 바와 같이, 반도체 칩(10)의 전극(14)이 형성된 측과, 그 반대측에, 레지스터(32,34)를 형성한다. 레지스터(32,34)에는 상술한 레지스터(22)에 대하여 설명한 내용이 해당한다. 레지스터(32,34)중 한쪽(예를들면 레지스터(32))을 (예를 들면 반도체 칩(10)의 전극(14)이 형성된 측에) 형성하여, 프리 베이크한 후, 다른쪽(예를 들면 레지스터(34))을 형성하여, 이것을 프리 베이크하여도 좋다.
도 3b에 도시하는 바와 같이, 레지스터(32, 34)를 패터닝하여, 후술하는 관통 구멍(50)의 위치에 개구부(36,38)를 형성한다. 개구부(36)는 전극(14)의 구멍(26)의 안쪽에 형성한다. 구멍(26)과 개구부(36) 사이에는 절연막(28)이 존재한다. 또한, 개구부(36, 38)는 절연막(28, 30)의 일부를 노출시킨다. 레지스터(32, 34)의 패터닝 방법에는 상술한 레

지스터(22)에 대하여 설명한 내용을 적용할 수 있다.
도 3c에 도시하는 바와 같이, 절연막(12,16)에, 전극(14)의 구멍(26)의 안쪽에 구멍(40)을 형성하고, 절연막(30)에 구멍(42)을 형성한다.
도 4a에 도시하는 바와 같이, 레지스터(32,34)를 박리한다. 그리고, 도 4b에 도시하는 바와 같이, 반도체 칩(10)의 구멍(40,42)에서 노출한 부분을 에칭한다. 상기 에칭하는 부분은, 집적 회로가 형성되어 있지 않는 부분이고, 실리콘으로 형성되어 있다. 상기 에칭에 의해서, 반도체 칩(10)의 표면에 시각적으로 인식하기 쉬운 오목부(44, 46)를 형성한다. 오목부(44, 46)의 형상은 특히 한정되지 않고, 테이퍼가 부여된 형상(끝이 뾰족한 형상)이여도 좋고, 표면과 수직인 벽면을 가지고 있어도 좋다. 에칭은 웨트 에칭을 적용하는 것이 간단하지만, 드라이 에칭을 적용하여도 좋다. 에칭의 종류에 따라서, 오목부(44,46)의 형상이 결정된다.
도 4c에 도시하는 바와 같이, 반도체 칩(10)에 소구멍(48; 예를 들면 직경 약 20μm)을 형성한다. 소구멍(48)은 후술하는 관통 구멍(50)보다도 작은 직경이며, 관통 구멍(50)의 중심에 형성한다. 소구멍(48)의 형성에는, 레이저(예를 들면 YAG 레이저나 CO_2 레이저)를 사용할 수 있다. 레이저 빔은, 상술한 오목부(44, 46)로부터 위치를 인식하여 조사할 수 있다. 레이저 빔을 반도체 칩부(10)의 한쪽의 면에서만 조사하여 소구멍(48)을 형성하여도 좋고, 반도체 칩(10)의 양면으로부터(차례로 또는 동시에) 레이저 빔을 조사하여도 좋다. 양면으로부터 레이저 빔을 조사하면, 반도체 칩(10)에 주는 영향이 적다.
다음에, 도 5a에 도시하는 바와 같이, 반도체 칩(10)에 관통 구멍(50)을 형성한다. 관통 구멍(5O)은 상술한 소구멍(48)을 확대시켜 형성한다. 예를 들면, 웨트 에칭을 적용하여, 소구멍(48)의 내벽면을 에칭하여도 좋다. 에칭액으로서, 예를 들면, 불산과 불산 암모늄을 혼합한 수용액(버퍼드 불산)을 사용하여도 좋다.
관통 구멍(50)은 개구 단부과, 개구 단부보다도 직경이 큰 중간부(예를 들면 약 40 내지 50μm의 직경)를 가지는 형상으로 형성하여도 좋다. 관통 구멍(50)의 중간부의 직경을, 가능한 한 크게 하는 것으로, 후술하는 CVD나 무전해 도금을 행하기 쉽다. 중간부를 모든 부분에서 거의 동일한 직경으로 형성하여도 좋다. 즉, 관통 구멍(50)의 중간부의 내벽면이, 관통 구멍(50)의 중심축을 지나는 단면에 있어서, 직선을 그려도 좋다. 이 형상은 소구멍(48)을 웨트 에칭으로 확대하는 것으로 얻어진다. 이 형상에 의하면, 관통 구멍(50)을 형성하는 것에 의한 반도체 칩(10)의 강도의 저하를 억제할 수 있다. 관통 구멍(50)은 개구 단부와 중간부를 접속하는 테이퍼부를 가지고 있어도 좋다. 테이퍼부도 소구멍(48)을 웨트 에칭으로 확대하는 것으로 형성된다.
다음에, 도 5b에 도시하는 바와 같이, 적어도 관통 구멍(50)의 내벽면에 절연막(52)을 형성한다. 절연막(52)의 형성에는 CVD를 적용하여도 좋다. 관통 구멍(50)의 중간부의 직경이, 개구 단부의 직경보다도 크면 CVD를 행하기 쉽다. 절연막(52)은 관통 구멍(50)의 내벽면 이외의 영역에 형성되어도 좋다. 예를 들면, 절연막(28,30)상에 절연막(52)이 형성되어도 좋다. 단, 절연막(52)에 의해서, 관통 구멍(50)의 개구를 막지 않도록 한다.
상기 절연막(52)은 폴리이미드 수지, 에폭시 수지, 실리콘 변성 수지 등의 유기물로 형성하여도 좋다. 유기 절연막 피복 방법으로서, 분사 피복법, 유기물의 액체에 반도체 칩(10)을 담그고 초음파 진동을 가하는 방법, 유기물의 액체를 관통 구멍(50)을 통하여 흡인하는 방법, 대기중 또는 진공에서의 수지 인쇄법, 유기물의 액체 또는 세라믹스의 액체(예를 들면 SiO_2)를 사용한 잉크젯 방식 등을 들 수 있다.
도 5c 에 도시하는 바와 같이, 반도체 칩(10)의 전극(14)이 형성된 측에 레지스터(54)를 형성한다. 레지스터(54)는 반도체 칩(10)의 관통 구멍(50)의 한쪽의 개구를 막아 형성된다. 레지스터(54)의 구성 및 그 형성 방법에는, 상술한 레지스터(22)에 대하여 설명한 내용을 적용할 수 있다. 또한, 레지스터(54)를 형성할 때에, 그 반대측에도 레지스터(56)가 형성되어도 좋다. 그리고, 레지스터(54, 56)를 프리 베이크한다.
도 6a 에 도시하는 바와 같이, 전극(14)의 측에 형성된 레지스터(54)를 패터닝하여, 개구부(58)를 형성한다. 개구부(58)는 전극(14)의 적어도 일부의 상방에 형성되어 있지만, 관통 구멍(50)의 상방에는 레지스터(54)의 일부가 남겨진 채로 되어 있다. 예를 들면, 개구부(58)는 전극(14)의 범위내에 수속되는 형상의 외주와, 적어도 관통 구멍(50)의 개구 단부를 덮는 형상의 내주 사이에 링형으로 형성되어 있다. 또한, 여기서 말하는 링형이란 모난 링형이여도 좋고 둥근 링형이여도 좋다. 개구부(58)는 절연막(52)의 일부를 노출시킨다. 패터닝 방법에 대해서는, 상술한 레지스터(22)에 대하여 설명한 내용을 적용할 수 있다. 패터닝이 끝나면, 레지스터(54)를 현상하여, 포스트 베이크한다.
도 6b 에 도시하는 바와 같이, 패터닝 된 레지스터(54)를 마스크로서, 절연막(52, 28)을 에칭하여, 전극(14)의 일부를 노출시킨다. 여기서, 노출하는 전극(14)의 일부는 전기적인 접속을 도모하는 부분이므로, 큰 것이 바람직하다. 레지스터(54, 56)는 그 후, 박리된다.
다음에, 도 7a 에 도시하는 바와 같이, 반도체 칩(10)의 양측에, 레지스터(60,62)를 형성한다. 전극(14)이 형성된 측에 형성하는 레지스터(60)는, 단차가 큰 영역에 형성되기 때문에, 미리 필름 형상를 이루는 것(드라이 필름)이 바람직하다.
도 7b 에 도시하는 바와 같이, 레지스터(60,62)를 패터닝하여, 관통 구멍(50)과 연결되는 개구부(64, 66)를 형성한다. 개구부(64,66)는, 전기적인 접속부(72)를 형성하는 영역에 형성되고, 개구부(64)는 전극(14)의 일부를 노출시킨다.
도 8a 에 도시하는 바와 같이, 관통 구멍(50)으로부터 전극(14)의 노출 부분상에 도달할 때까지, 무전해 도금을 위한 촉매(68)를 부여한다. 본 실시예에서는 촉매(68)는 팔라듐이다. 촉매(68)의 형성 방법으로서, 예를 들면 반도체 칩(10)을 팔라듐과 주석을 포함하는 혼합 용액에 담그고, 그 후, 염산 등의 산으로 처리함으로써 팔라듐만을 형성하여도 좋다. 또는, 반도체 칩(10)을 염화주석 용액에 담그는 것에 의해서 주석 이온(환원제)을 흡착시키고, 그 후, 염화 팔라듐 용액에 반도체 칩(10)을 담그며, 주석 이온(환원제)에 의해 팔라듐 이온을 환원하여 팔라듐핵(촉매)을 석출시켜도 좋다.
또는, 촉매(68)를 잉크 젯 방식에 의해서 직접적으로 형성하여도 좋다. 잉크 젯 방식에 의하면, 잉크 젯 프린터용으로 실용화된 기술을 응용하는 것으로, 고속이고 또한 잉크를 낭비 없이 경제적으로 형성하는 것이 가능하다. 잉크젯 헤

드는, 예를 들면 잉크젯 프린터용으로 실용화된 것으로, 압전 소자를 사용한 피에조젯 타입, 또는 에너지 발생소자로서 전기 열 변환체를 사용한 버블 젯 타입 등이 사용 가능하며, 토출 면적 및 토출 패턴은 임의로 설정하는 것이 가능하다. 이로써, 레지스트 패터닝 공정 및 레지스터 박리 공정을 행하지 않고서, 또한 전체면에 금속층을 형성하는 경우는 에칭 공정을 행하지 않고서 전기적인 접속부를 형성하는 것이 가능하게 된다.

다음에, 도 8b에 도시하는 바와 같이 레지스터(60,62)를 박리한다. 레지스터(60, 62)를 박리함으로써, 전기적인 접속부(72)를 형성하고자 하는 영역에만 촉매(68)를 형성할 수 있다. 레지스트(60,62)의 박리 시에, 자외선을 조사하여도 좋고, 약알칼리성의 용액에 담그고 레지스터(60,62)를 박리하여도 좋다. 이로써 용이하고 또한 확실하게 레지스터(60,62)를 박리할 수 있다.

상술한 예에서는, 레지스터(60, 62)를 패턴화한 후에 촉매(68)를 형성하고, 그 후에 레지스터(60, 62)를 박리함으로써, 촉매(68)를 전기적인 접속부(72)의 형성 영역에 노출시키고 있다. 상기 예와는 다르고, 촉매(68)를 전체면에 형성한 후에, 레지스터(60,62)를 전기적인 접속부(72)의 형성 영역을 제외하고 패턴화하여 형성하는 것에 의해서, 결과적으로 전기적인 접속부(72)의 형성 영역에 촉매(68)를 노출시켜도 좋다. 이 경우는, 전기적인 접속부(72)의 형성을 끝낸 후에 레지스터(60, 62)를 박리한다.

다음에, 촉매(68)가 노출되는 영역에, 도 9에 도시하는 바와 같이, 무전해 도금에 의해서 도전층(70)을 형성한다. 또한, 촉매(68)는, 관통 구멍(50)의 내벽면(도 9에 도시하는 예에서는 절연막(52)의 표면)과, 전극(14)이 형성된 측 및 그 반대측에 형성되어 있다. 따라서, 도전층(70)은, 전극(14)이 형성된 측과, 그 반대측을 관통 구멍(50)을 개재시켜 연속적으로 형성된다. 또한, 도전층(70)은, 전극(14)상에 적층된다. 본 실시예에서는, 관통 구멍(50)의 중간부의 직경이, 개구 단부보다도 크기 때문에, 도금액의 교반을 양호하게 행할 수 있다.

도전층(70)의 재료로서, Ni, Au, Ni+Au, Cu, Ni+Cu, Ni+Au+Cu의 어느 하나를 사용할 수 있다. 예를 들면, 구리 도금액을 사용하여, 촉매(68)인 팔라듐을 핵으로서 용액중의 구리 이온을 환원하고, 구리(도전층(7O))를 석출한다. 또한, 도전층(70)을 형성하기 위한 도전 재료로서, 복수의 이종의 금속(예를 들면 Ni+Cu, Ni+Au+Cu)을 사용하여도 좋고, 이로써 복수층에서 도전층(70)을 형성하여도 좋다.

무전해 도금을 위해, 약알칼리성의 구리 도금 용액을 사용하여도 좋다. 약알칼리성(pH9 부근)의 구리 도금으로서 예를 들면, PB-570MU, PB-570A, PB-570B, PB-570C, PB-57OS를 혼합하여 이루어지는 PB-570(메이커명: 에바라유디라이트 주식회사)을 사용하여도 좋다. 이것에 의하면, 구리 도금액이 약알칼리성이기 때문에, 예를 들면 전극(14)이 알루미늄이여도 그것에 주는 손상을 적게 할 수 있다.

또는, 전극(14)의 표면에 도시하지 않는 도전층을 형성하여 전극(14)을 보호하면, 강알칼리성의 용액을 사용하여도 좋다. 도전층은 1층이거나 복수층이여도 좋다. 예를 들면, 도전층을 니켈과 금의 2층으로 형성하여도 좋다. 도전층을 니켈로 형성하는 방법으로서, 미리, 전극(14)상에 진케이트 처리를 실시하여 알루미늄상의 표면을 아연으로 치환하고, 그 후에 무전해 니켈 도금액중에 침지하고, 아연과 납과 니켈의 치환반응을 거쳐서 니켈을 퇴적하여도 좋다. 또는, 알루미늄을 알루미늄상에만 선택적으로 흡착하는 팔라듐 용액에 담그고, 그 후 무전해 니켈 도금액중에 담그며, 팔라듐을 핵으로서 니켈의 피막을 석출시켜도 좋다. 도전층을 니켈만으로 형성하여도 좋지만, 더욱이 무전해 금 도금액중에 담그고, 니켈의 표면에 또한 금의 피막을 형성하여도 좋다. 금의 피막을 형성하는 것으로 도전층(70)과의 전기적 접속을 더 확실하게 할 수 있다.

상술한 예는 모두 습식법(도금)을 사용한 도전층(70)의 형성방법이지만, 그 밖의 형성방법으로서 종래 행해지고 있는 건식법(스퍼터 등)을 사용한 방법, 또는 건식법과 습식법을 조합한 방법을 채용하여도 좋다.

더욱이, 전기적인 접속부(72)를 설치하여도 좋다. 도전층(70)의 일부를 접속부(72)로 하여도 좋다. 그 경우에는, 도전층(70)을 두껍게(예를 들면 약 5μm 이상) 형성하는 것이 바람직하다.

이상의 공정에 의해, 도 9에 도시하는 반도체 장치가 얻어진다. 상기 공정에 의하면, 도전층(70)에 의해서, 반도체 칩(10)의 양면간의 전기적인 접속을 도모할 수 있다. 반도체 장치(1)는 복수의 전극(14)을 가지고, 관통 구멍(50)이 형성된 반도체 칩(10)과, 관통 구멍(50)의 안쪽을 포함하는 영역에 형성된 도전층(70)을 포함한다. 관통 구멍(50)의 형상은 상술한 바와 같다. 전극(50)에는 관통 구멍(50)과 연결되는 구멍(26)이 형성되어 있다. 도전층(70)은 전극(14)의 적어도 일부에 적층하여 형성되어 있다. 또한, 도전층(70)의 일부가 전기적인 접속부(72)로 되어 있다. 관통 구멍(50)의 안쪽에 있어서, 도전층(70)의 아래에는 절연막(52)이 형성되어 있고, 반도체 칩(10)의 내부에 형성된 집적 회로와의 전기적 접속을 차단하고 있다.

상술한 공정은 반도체 칩(10)에 대하여 행하였지만, 이것을 반도체 웨이퍼에 대하여 행하여도 좋다. 예를 들면, 도 10에 도시하는 바와 같이, 반도체 웨이퍼(80)에 대하여 상기 공정을 행하여, 전기적인 접속부(82)를 형성하여도 좋다. 상기 반도체 웨이퍼(80)를 다이싱(dicing)하여, 도 9에 도시하는 반도체 장치(1)를 얻을 수 있다.

또한, 도 11 에 도시하는 바와 같이, 복수의 반도체 장치(1)를 적층한, 3차원 실장형(스택형)의 반도체 장치를 제조할 수도 있다. 도 11 에 도시하는 예에서는, 상하의 반도체 장치(1)의 접속부(72)를, 땜납 등의 납재(84)에 의해서 전기적으로 접합하고 있다.

접착제는 액체 형태 또는 겔 형태의 접착제이여도 좋고, 시트형의 접착 시트이여도 좋다. 접착제는 에폭시 수지를 주된 재료로 하는 것이여도 좋다. 접착제는, 절연성인 것이여도 좋다.

접착제중에는, 피접속체끼리의 전기적인 접속 성능을 향상시키기 위해서, 도전성 물질을 포함하고 있어도 좋다. 도전성 물질은 예를 들면, 납재, 땜납 등의 입자로 구성되고, 그것들이 접착 재료중에 분산되어 있다. 이렇게 하는 것으로, 피접속체끼리의 접합시에, 그 입자가 접합의 납으로서 작용하여, 접합성을 더 현저하게 향상시킬 수 있다.

접착제는 도전입자가 분산된 이방성 도전 접착제(ACA), 예를 들면 이방성 도전막(ACF)이나 이방성 도전 페이스트(ACP)이여도 좋다. 이방성 도전 접착제는, 바인더에 도전입자(필러; filler)가 분산된 것으로, 분산제가 첨가되는 경우도 있다. 이방성 도전 접착제의 바인더로서, 열경화성의 접착제가 사용되는 일이 많다. 그 경우에는 배선 패턴과 전극 사

이에, 도전 입자가 개재되어 양자간의 전기적인 접속이 도모된다.
절연성의 접착제의 수축력을 이용하여, 접속부(72)끼리를 직접적으로 접합함 과 동시에, 접착제로써 상하의 반도체 장치(1)를 접착하여도 좋다. 이 경우에는, 접속부(72)가 범프의 형상으로 형성되어 있는 것이 바람직하다.
접속부(72)간의 전기적인 접속에는, Au-Au, Au-Sn, 땜납 등에 의한 금속 접합을 적용하여도 좋다. 예를 들면, 열만, 초음파 진동만, 또는 초음파 진동 및 열 등을 인가하여 양자를 접합한다. 접합되면, 진동이나 열에 의해서 접속부(72)를 구성하는 재료가 확산되어 금속 접합이 형성된다.
또한, 가장 아래(또는 가장 위)에 위치하는 반도체 장치(1)의 접속부(72)에는, 외부 단자(86)가 설치된다. 외부 단자(86)는 땜납이나 금속 등으로 형성할 수 있지만, 도전성의 부재로 형성하면 좋다. 본 실시예에서는, 외부 단자(86)는 땜납 볼이다.
또한, 땜납 볼은 반드시 필요하지 않으며, 반도체 장치를 기판상에 장착하고, 반도체 모듈을 구성하여도 좋다. 더욱이 땜납 볼을 형성하지 않고, 마더보드(motherboard) 장착시에 마더보드측에 도포되는 땜납 크림을 이용하여, 그 용융시의 표면장력으로 전기적 접속부를 형성하여도 좋다.
또한, 상술한 공정을 행한 도 10 에 도시하는 복수의 반도체 웨이퍼(80)를 적층하여, 각 접속부(82)를 전기적으로 접합하고, 그 후, 다이싱을 행하여 도 11 에 도시되는 반도체 장치를 제조하여도 좋다.
도 12 에는, 본 실시예에 따른 반도체 장치(1)를 실장한 회로 기판(1000)이 도시되어 있다. 회로 기판(1000)에는 예를 들면 유리 에폭시 기판 등의 유기계 기판을 사용하는 것이 일반적이다. 회로 기판(1000)에는 예를 들면 구리 등으로 이루어지는 배선 패턴이 원하는 회로가 되도록 형성되어 있으며, 그 배선 패턴과 반도체 장치(1)의 접속부(72)를 기계적으로 접속하는 것으로 그것들의 전기적 도통을 도모한다.
그리고, 본 발명을 적용한 반도체 장치(1)를 가지는 전자기기로서, 도 13 에는 노트형 퍼스널 컴퓨터(2000), 도 14 에는 휴대전화(3000)가 도시되어 있다.
또한, 상술한 실시예의 「반도체 칩」을 「전자 소자」로 치환하여, 전자부품을 제조할 수도 있다. 이러한 전자 소자를 사용하여 제조되는 전자부품으로서, 예를 들면, 광소자, 저항기, 콘덴서, 코일, 발진기, 필터, 온도 센서, 서미스터(thermistor), 배리스터(varistor), 볼륨(volume) 또는 퓨즈 등이 있다.

발명의 효과

상술한 바와 같은 구성을 가짐으로써, 전기적인 접속을 높은 신뢰성으로써, 용이하게 도모할 수 있는 반도체 장치 및 그 제조 방법, 회로기판 및 전자기기가 제공된다.

(57) 청구의 범위

청구항 1.
전극을 가지는 반도체 소자에 관통 구멍을 형성하는 제 1 공정과,
상기 관통 구멍의 안쪽을 포함하는 영역에 도전층을 형성하는 제 2 공정을 포함하고,
상기 관통 구멍을, 개구 단부와, 상기 개구 단부보다도 직경이 큰 중간부를 가지는 형상으로 형성하는 반도체 장치의 제조 방법.

청구항 2.
제 1 항에 있어서,
상기 전극에 상기 관통 구멍과 연통하는 구멍을 형성하고,
상기 도전층을 상기 전극의 적어도 일부에 적층하여 형성하는 반도체 장치의 제조 방법.

청구항 3.
삭제

청구항 4.
제 1 항에 있어서,
상기 중간부를 모든 부분에서 거의 동일한 직경으로 형성하고,
상기 관통 구멍을, 상기 개구 단부와 상기 중간부를 접속하는 테이퍼부를 더 가지는 형상으로 형성하는 반도체 장치의 제조 방법.

청구항 5.
제 1 항 또는 제 2 항 또는 제 4 항중 어느 한 항에 있어서,
상기 제 1 공정에서, 상기 관통 구멍보다도 직경이 작은 소구멍을 미리 형성하고, 상기 소구멍을 확대시켜 상기 관통 구멍을 형성하는 반도체 장치의 제조 방법.

청구항 6.
제 5 항에 있어서,
상기 제 1 공정에서, 상기 관통 구멍을 형성하는 위치에 오목부를 형성하고, 상기 오목부에 의해서 위치 결정하여 상기 소구멍을 형성하는 반도체 장치의 제조 방법.

청구항 7.
제 5 항에 있어서,
상기 소구멍을 레이저 빔으로 형성하고, 웨트 에칭에 의해서 상기 소구멍을 확대시키는 반도체 장치의 제조 방법.

청구항 8.
제 1 항 또는 제 2 항 또는 제 4 항중 어느 한 항에 있어서,
전기적인 접속부를 형성하는 공정을 포함하는 반도체 장치의 제조 방법.

청구항 9.
제 8 항에 있어서,
상기 접속부를 제 2 공정에서 상기 도전층의 일부로서 형성하는 반도체 장치의 제조 방법.

청구항 10.
제 1 항 또는 제 2 항 또는 제 4 항중 어느 한 항에 있어서,
상기 제 1 공정 후로서, 상기 제 2 공정전에, 상기 관통 구멍의 내벽면에 절연막을 형성하는 공정을 더 포함하고,
상기 제 2 공정에서, 상기 절연막상에 상기 도전층을 형성하는 반도체 장치의 제조 방법.

청구항 11.
제 5 항에 있어서,
상기 제 1 공정후로서, 상기 제 2 공정전에, 상기 관통 구멍의 내벽면에 절연막을 형성하는 공정을 더 포함하고,
상기 제 2 공정에서, 상기 절연막상에 상기 도전층을 형성하는 반도체 장치의 제조 방법.

청구항 12.
제 7 항에 있어서,
상기 제 1 공정후로서, 상기 제 2 공정전에, 상기 관통 구멍의 내벽면에 절연막을 형성하는 공정을 더 포함하고,
상기 제 2 공정에서, 상기 절연막상에 상기 도전층을 형성하는 반도체 장치의 제조 방법.

청구항 13.
제 12 항에 있어서,
상기 절연막을 화학 기상 퇴적에 의해서 형성하는 반도체 장치의 제조 방법.

청구항 14.
제 1 항 또는 제 2 항 또는 제 4 항중 어느 한 항에 있어서,
상기 도전층을 무전해 도금에 의해서 형성하는 반도체 장치의 제조 방법.

청구항 15.
제 14 항에 있어서,
적어도 상기 도전층의 형성 영역에서 촉매를 노출시켜 설치하고, 상기 촉매의 노출 영역에 도전 재료를 석출(析出)시키는 무전해 도금을 행하며, 상기 도전 재료로 상기 도전층을 형성하는 반도체 장치의 제조 방법.

청구항 16.
제 1 항 또는 제 2 항 또는 제 4 항중 어느 한 항에 있어서,
상기 반도체 소자는 반도체 칩인 반도체 장치의 제조 방법.

청구항 17.
제 1 항 또는 제 2 항 또는 제 4 항중 어느 한 항에 있어서,
상기 반도체 소자는 반도체 웨이퍼의 일부인 반도체 장치의 제조 방법.

청구항 18.
제 1 항 또는 제 2 항 또는 제 4 항중 어느 한 항에 기재된 방법에 의해서 제조된 반도체 장치를 적층하고, 상하의 반도체 장치의 상기 도전층을 전기적으로 접속하는 공정을 포함하는 반도체 장치의 제조 방법.

청구항 19.
제 17 항에 있어서,
상기 반도체 웨이퍼를 개개의 편으로 절단하는 공정을 포함하는 반도체 장치의 제조 방법.

청구항 20.
제 1 항 또는 제 2 항 또는 제 4 항중 어느 한 항에 기재된 방법에 의해 제조된 반도체 장치.

청구항 21.
전극을 가지고, 관통 구멍이 형성된 반도체 소자와,
상기 관통 구멍의 안쪽을 포함하는 영역에 형성된 도전층을 포함하고,
상기 관통 구멍은 개구 단부와, 상기 개구 단부보다도 직경이 큰 중간부를 가지는 형상으로 형성되는 반도체 장치.

청구항 22.
제 21 항에 있어서,
상기 전극에는 상기 관통 구멍과 연통하는 구멍이 형성되고,
상기 도전층은 상기 전극의 적어도 일부에 적층시켜 형성되어 이루어지는 반도체 장치.

청구항 23.
삭제

청구항 24.
제 21 항에 있어서,
상기 중간부는 모든 부분에서 거의 동일한 직경으로 형성되어 이루어지고,
상기 관통 구멍은 상기 개구 단부와 상기 중간부를 접속하는 테이퍼부를 더 가지는 형상으로 형성되어 이루어지는 반도체 장치.

청구항 25.
제 21 항에 있어서,
상기 도전층의 일부에 의해서 상기 접속부가 설치되어 이루어지는 반도체 장치.

청구항 26.
제 21 항 또는 제 22 항 또는 제 24 항 또는 제 25 항중 어느 한 항에 있어서,
상기 관통 구멍의 내벽면에 형성된 절연막을 더 가지고, 상기 절연막상에 상기 도전층이 형성되어 이루어지는 반도체 장치.

청구항 27.
제 21 항 또는 제 22 항 또는 제 24 항 또는 제 25 항중 어느 한 항에 있어서,
상기 반도체 소자는 반도체 칩인 반도체 장치.

청구항 28.
제 21 항 또는 제 22 항 또는 제 24 항 또는 제 25 항중 어느 한 항에 있어서,
상기 반도체 소자는 반도체 웨이퍼의 일부인 반도체 장치.

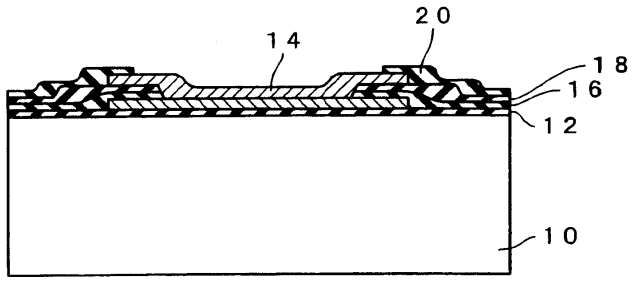
청구항 29.
제 27 항에 기재된 반도체 장치가 적층되고, 상하의 반도체 장치의 상기 도전층이 전기적으로 접속되어 이루어지는 반도체 장치.

청구항 30.
제 27 항에 기재된 반도체 장치가 실장된 회로기판.

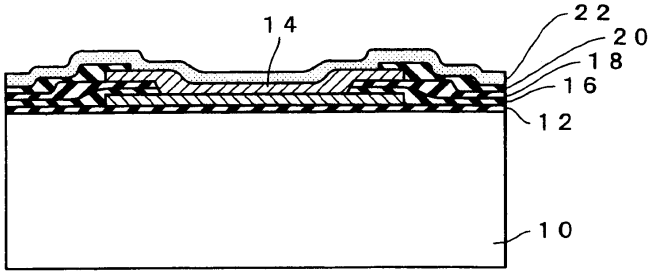
청구항 31.
제 27 항에 기재된 반도체 장치를 가진 전자기기.

도면

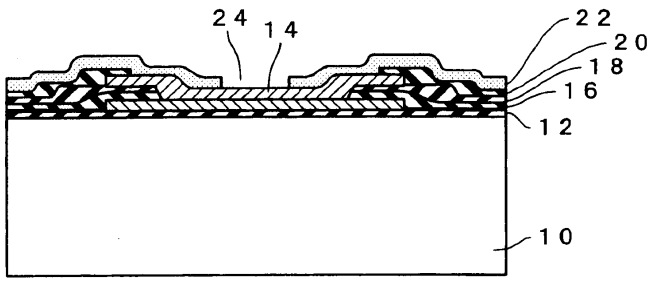
도면1a



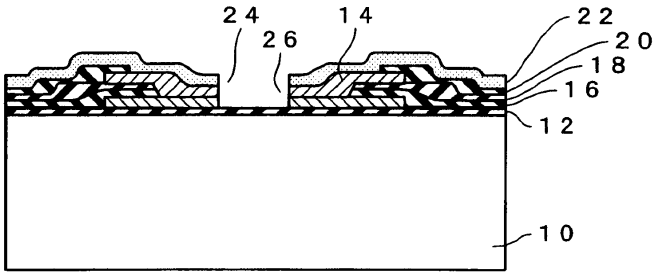
도면1b



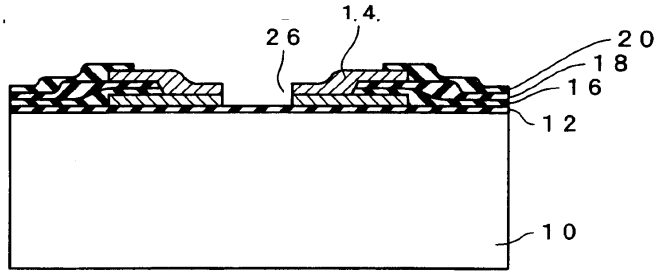
도면1c



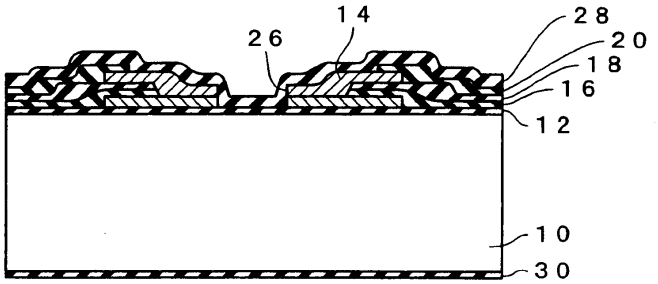
도면2a



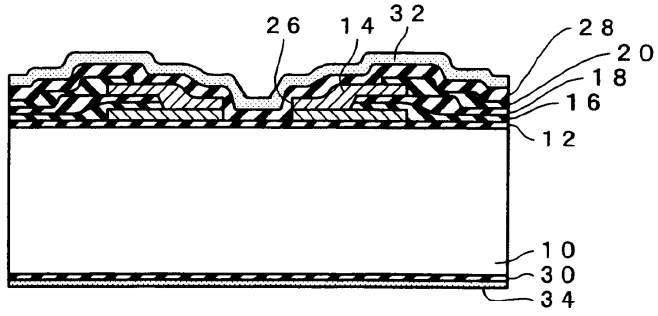
도면2b



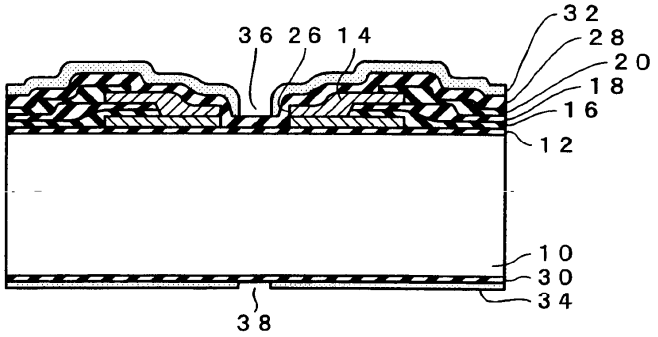
도면2c



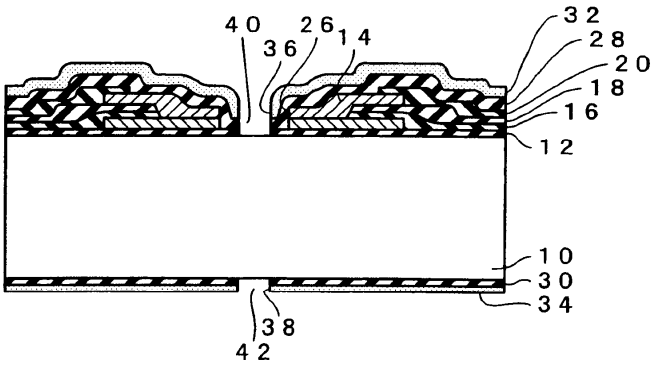
도면3a



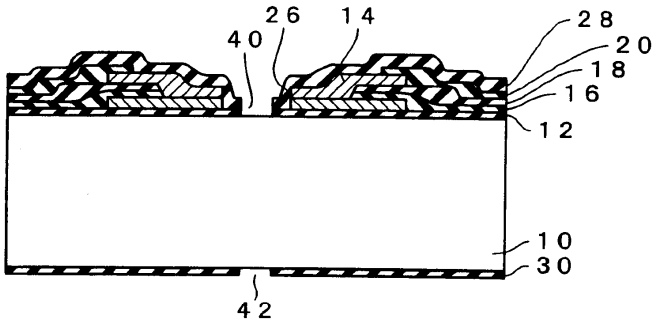
도면3b



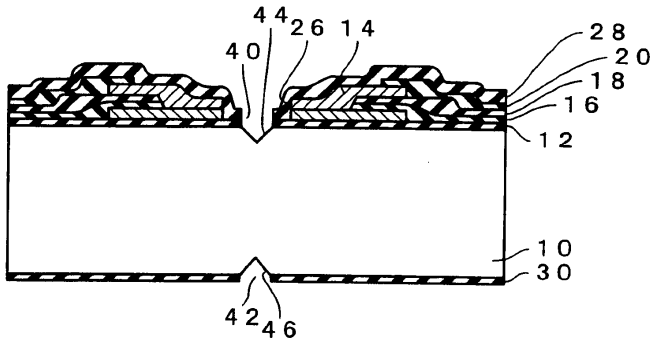
도면3c



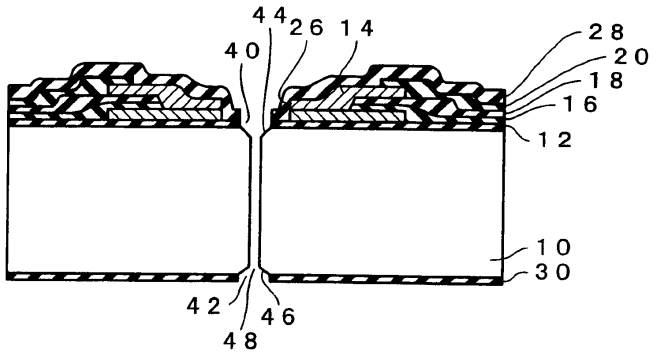
도면4a



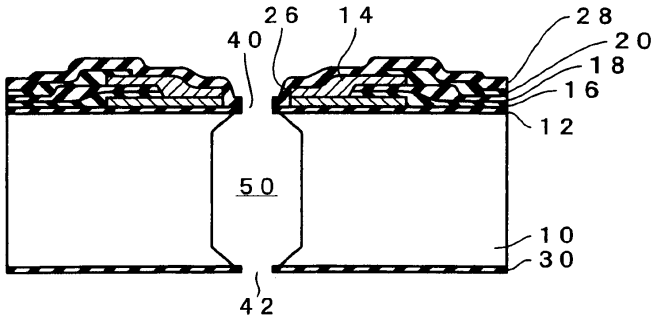
도면4b



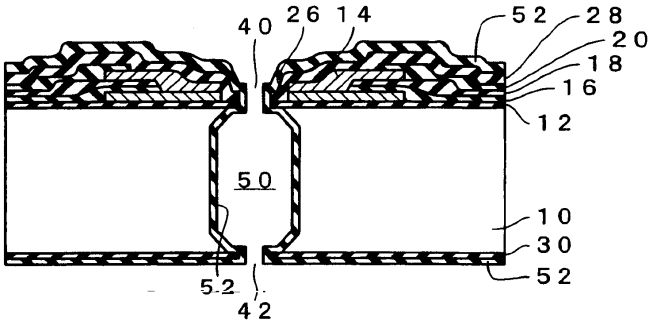
도면4c



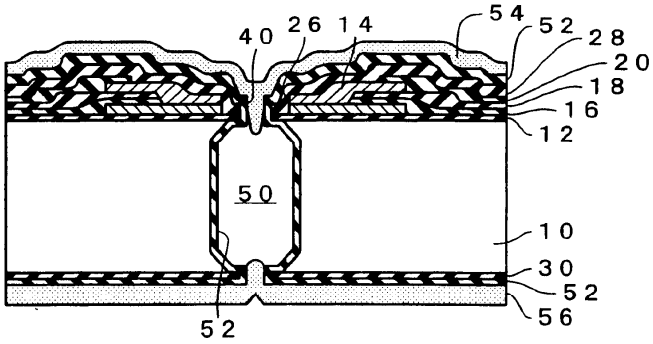
도면5a



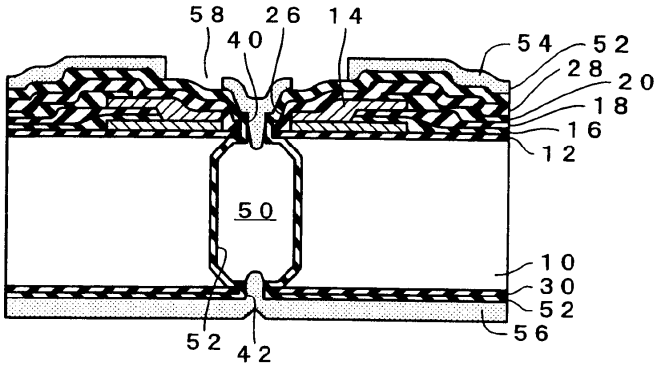
도면5b



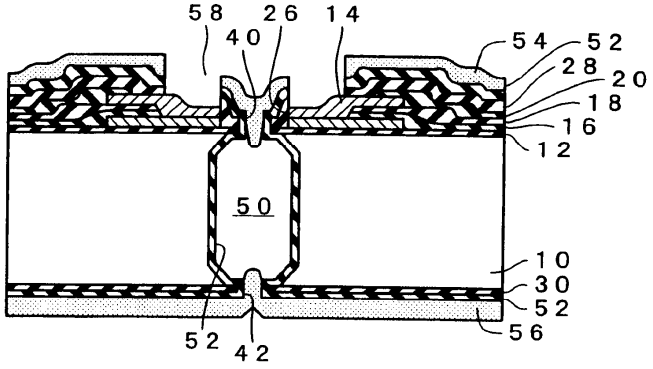
도면5c



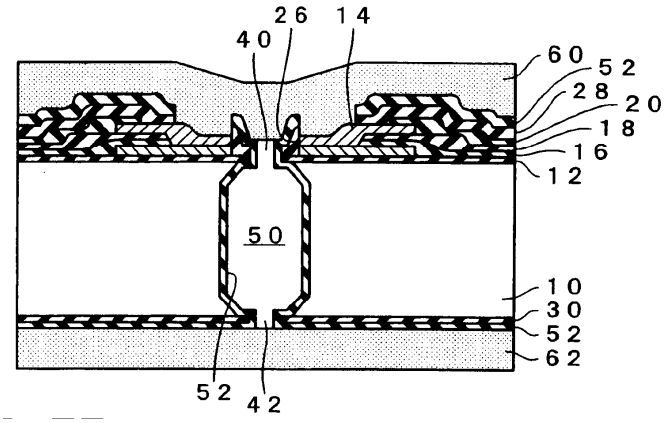
도면6a



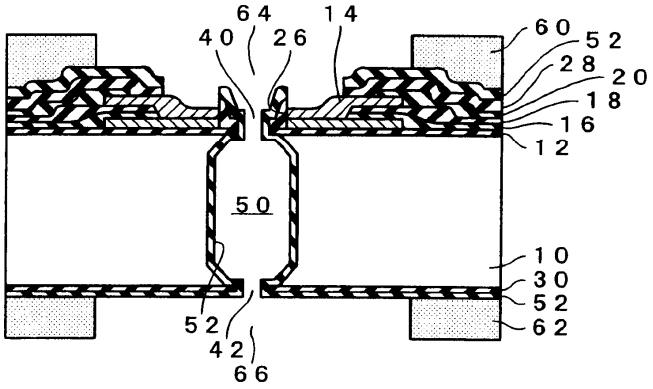
도면6b



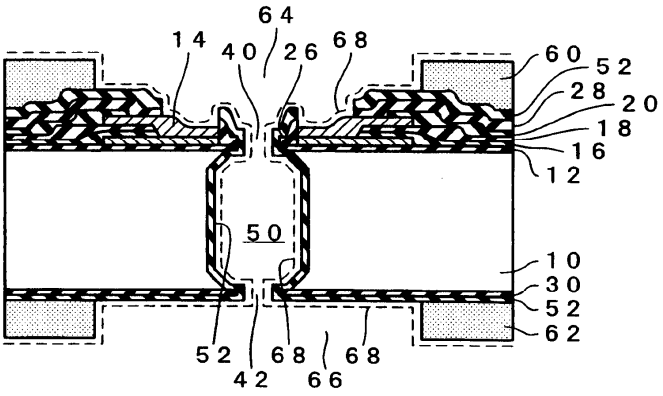
도면7a



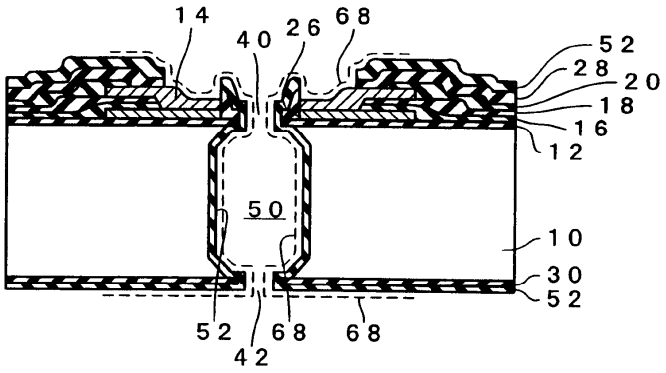
도면7b



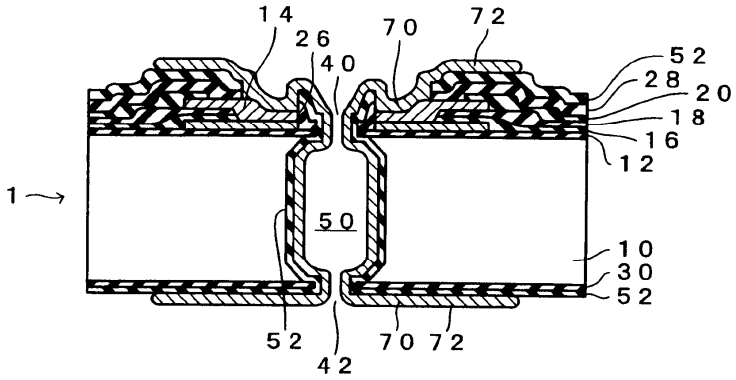
도면8a



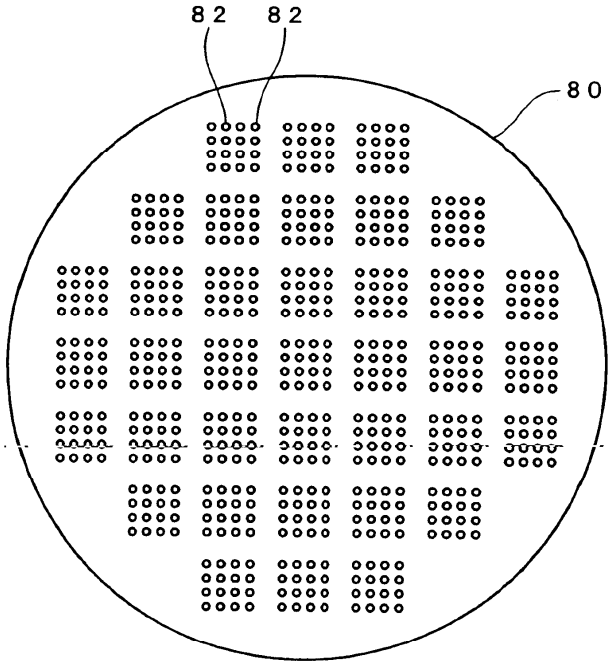
도면8b



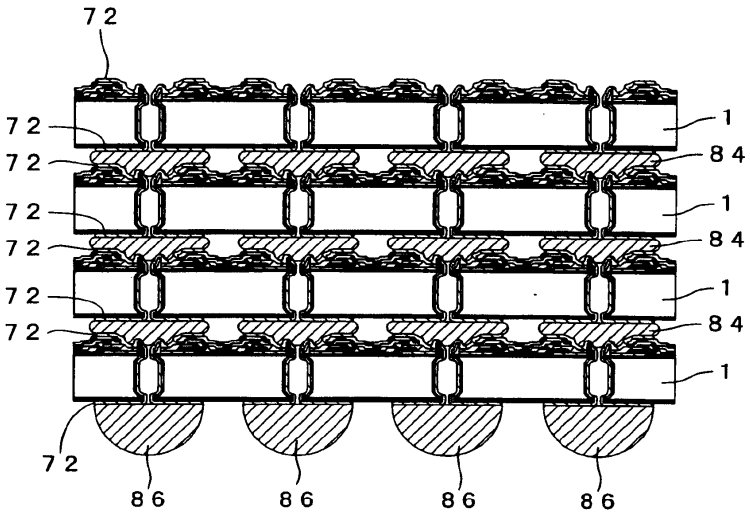
도면9



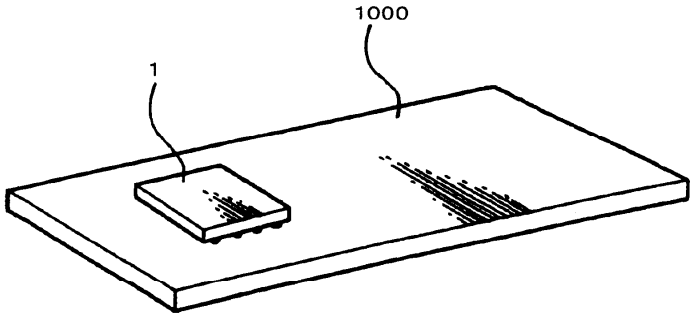
도면10



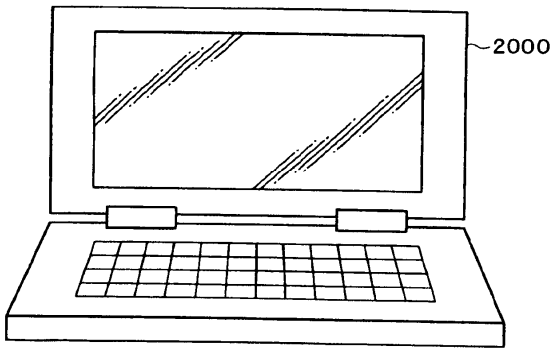
도면11



도면12



도면13



도면14

