



등록특허 10-2112367



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년05월18일
(11) 등록번호 10-2112367
(24) 등록일자 2020년05월12일

- (51) 국제특허분류(Int. Cl.)
G01R 31/317 (2006.01)
- (21) 출원번호 10-2014-0014880
(22) 출원일자 2014년02월10일
심사청구일자 2019년02월07일
- (65) 공개번호 10-2014-0101688
(43) 공개일자 2014년08월20일
- (30) 우선권주장
JP-P-2013-024732 2013년02월12일 일본(JP)
- (56) 선행기술조사문현
US20080253500 A1
US20110298517 A1
EP1096467 A2
JP2009044709 A

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
구로카와 요시유키
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
양영준, 박충범

전체 청구항 수 : 총 17 항

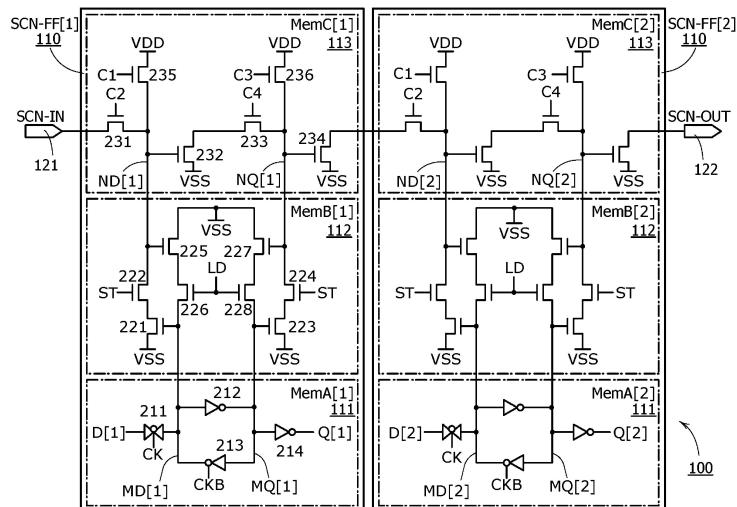
심사관 : 권민정

(54) 발명의 명칭 반도체 장치

(57) 요 약

본 발명은 스캔 테스트용 레지스터에 데이터 저장 기능을 조합한다.

스캔 플립플롭은 제 1 기억 회로, 제 2 기억 회로, 및 제 3 기억 회로를 갖는다. 제 1 기억 회로는 통상 동작 시에 조합 회로의 레지스터로서 기능하는 기억 회로다. 제 2 기억 회로는 제 1 기억 회로의 백업용 기억 회로다. 제 3 기억 회로는 데이터를 다음 단 플립플롭으로 전송하는 기능을 갖는다. 또한, 제 2 기억 회로는 제 1 기억 회로의 데이터를 제 3 기억 회로에 기록하는 기능, 제 3 기억 회로의 데이터를 제 1 기억 회로에 기록하는 기능을 갖는다. 임의의 시간에서, 제 1 기억 회로의 데이터를 외부로 추출할 수 있고, 또한, 외부로부터 제 1 기억 회로에 데이터를 저장할 수 있다.

대 표 도

명세서

청구범위

청구항 1

반도체 장치에 있어서,

각각 플립플롭이 포함된 복수 단(stage)을 포함하는 시프트 레지스터를 포함하고,

상기 복수 단의 각각에서, 상기 플립플롭은 제 1 기억 회로, 제 2 기억 회로, 및 제 3 기억 회로를 포함하고,

상기 복수 단의 각각에서, 상기 제 2 기억 회로는 상기 제 1 기억 회로의 데이터를 저장하고, 상기 제 3 기억 회로에 상기 제 1 기억 회로의 데이터를 기록하고, 상기 제 1 기억 회로에 상기 제 3 기억 회로의 데이터를 기록하고,

상기 복수 단 중 마지막 단 외의 단 각각의 상기 제 3 기억 회로는 다음 단의 상기 제 3 기억 회로에 상기 데이터를 전송하고,

상기 복수 단의 각각에서, 상기 제 2 기억 회로 및 상기 제 3 기억 회로 각각은 상기 플립플롭으로의 전원 공급이 정지되는 기간에 데이터를 유지하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

복수의 조합 회로를 더 포함하고,

상기 복수 단의 각각에서, 상기 제 1 기억 회로는 상기 복수의 조합 회로 중 대응하는 조합 회로로부터 출력된 데이터를 저장하는, 반도체 장치.

청구항 3

반도체 장치에 있어서,

각각 플립플롭이 포함된 제 1 단 및 제 2 단을 포함하는 시프트 레지스터를 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 플립플롭이 제 1 기억 회로, 제 2 기억 회로, 및 제 3 기억 회로를 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 1 기억 회로는 제 1 데이터 유지부, 제 1 입력 단자, 및 제 1 출력 단자를 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 1 기억 회로는 상기 제 1 입력 단자로부터 입력된 데이터를 상기 제 1 데이터 유지부에 저장하고, 상기 제 1 데이터 유지부에 저장된 상기 데이터를 상기 제 1 출력 단자로부터 출력하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 3 기억 회로는 제 2 데이터 유지부, 제 2 입력 단자, 및 제 2 출력 단자를 포함하고,

상기 제 1 단의 상기 제 3 기억 회로의 상기 제 2 출력 단자는 상기 제 2 단의 상기 제 3 기억 회로의 상기 제 2 입력 단자와 전기적으로 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 3 기억 회로는 상기 제 2 입력 단자로부터 입력된 데이터를 상기 제 2 데이터 유지부에 저장하고, 상기 제 2 데이터 유지부에 저장된 상기 데이터를 상기 제 2 출력 단자로부터 출력하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 2 기억 회로는 상기 제 1 데이터 유지부에 저장된 상기 데이터를 상기 제 2 데이터 유지부에 저장하고, 상기 제 2 데이터 유지부에 저장된 상기 데이터를 상기 제 1 데이터 유지부에 저장하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 2 기억 회로 및 상기 제 3 기억 회로 각각은 상기 플립플롭으로의 전원 공급이 정지되는 기간에 상기 제 2 데이터 유지부의 상기 데이터를 유지하는, 반도체 장치.

청구항 4

제 3 항에 있어서,

제 1 조합 회로 및 제 2 조합 회로를 더 포함하고,

상기 제 1 단의 상기 제 1 기억 회로는 상기 제 1 조합 회로로부터 출력된 데이터를 저장하고,

상기 제 2 단의 상기 제 2 기억 회로는 상기 제 2 조합 회로로부터 출력된 데이터를 저장하는, 반도체 장치.

청구항 5

제 3 항에 있어서,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 1 데이터 유지부는 제 1 노드 및 제 2 노드를 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 3 기억 회로는 제 3 노드, 제 4 노드, 스위치, 제 1 판독 회로, 및 제 2 판독 회로를 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 제 1 신호에 따라, 상기 스위치는 상기 제 2 입력 단자와 상기 제 3 노드 사이의 도통 · 비도통을 제어하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 제 2 신호에 따라, 상기 제 1 판독 회로는 상기 제 3 노드의 전위를 판독하고, 상기 제 4 노드에 상기 제 3 노드의 상기 전위에 따른 제 1 전위를 출력하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 4 노드의 상기 전위에 따라, 상기 제 2 판독 회로는 상기 제 4 노드의 전위를 판독하고, 상기 제 2 출력 단자에 상기 제 4 노드의 상기 전위에 따른 상기 제 1 전위를 출력하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 2 기억 회로는 제 3 판독 회로, 제 4 판독 회로, 제 5 판독 회로, 및 제 6 판독 회로를 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 제 3 신호에 따라, 상기 제 3 판독 회로는 상기 제 1 노드의 전위를 판독하고, 상기 제 3 노드에 상기 제 1 노드의 상기 전위에 따른 상기 제 1 전위를 출력하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 3 신호에 따라, 상기 제 4 판독 회로는 상기 제 2 노드의 전위를 판독하고, 상기 제 4 노드에 상기 제 2 노드의 상기 전위에 따른 상기 제 1 전위를 출력하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 제 4 신호에 따라, 상기 제 5 판독 회로는 상기 제 3 노드의 상기 전위를 판독하고, 상기 제 1 노드에 상기 제 3 노드의 상기 전위에 따른 상기 제 1 전위를 출력하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 4 신호에 따라, 상기 제 6 판독 회로는 상기 제 4 노드의 상기 전위를 판독하고, 상기 제 2 노드에 상기 제 4 노드의 상기 전위에 따른 상기 제 1 전위를 출력하는, 반도체 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 스위치는 제 1 트랜지스터를 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 1 신호는 상기 제 1 트랜지스터의 게이트에 입력되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 입력 단자에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 3 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 1 판독 회로는 상기 제 1 전위가 공급되는 제 1 배선과 상기

제 4 노드 사이에 직렬로 접속된, 제 2 트랜지스터 및 제 3 트랜지스터를 포함하고,
 상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 2 트랜지스터의 게이트는 상기 제 3 노드에 접속되고,
 상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 2 신호는 상기 제 3 트랜지스터의 게이트에 입력되고,
 상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 2 판독 회로는 제 4 트랜지스터를 포함하고,
 상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 4 트랜지스터의 게이트는 상기 제 4 노드에 접속되고,
 상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 4 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 전위가
 공급되는 제 2 배선에 접속되고,
 상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상
 기 제 2 출력 단자에 접속되는, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터,
 및 상기 제 4 트랜지스터 각각은 산화물 반도체층에 채널 형성 영역을 포함하는, 반도체 장치.

청구항 8

제 5 항에 있어서,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 3 판독 회로는 직렬로 접속된 제 5 트랜지스터 및 제 6 트랜
 지스터를 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 5 트랜지스터의 게이트는 상기 제 1 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 5 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 전위가
 공급되는 제 3 배선에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 3 신호는 상기 제 6 트랜지스터의 게이트에 입력되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 6 트랜지스터의 소스 및 드레인 중 하나는 상기 제 3 노드에
 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 4 판독 회로는 직렬로 접속된 제 7 트랜지스터 및 제 8 트랜
 지스터를 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 7 트랜지스터의 게이트는 상기 제 2 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 7 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 전위가
 공급되는 제 4 배선에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 3 신호는 상기 제 8 트랜지스터의 게이트에 입력되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 8 트랜지스터의 소스 및 드레인 중 하나는 상기 제 4 노드에
 접속되는, 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 상기 제 7 트랜지스터,
 및 상기 제 8 트랜지스터 중 적어도 하나는 산화물 반도체층에 채널을 포함하는, 반도체 장치.

청구항 10

제 5 항에 있어서,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 5 판독 회로는 직렬로 접속된 제 9 트랜지스터 및 제 10 트랜

지스터를 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 9 트랜지스터의 게이트는 상기 제 3 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 9 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 전위가 공급되는 제 5 배선에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 4 신호는 상기 제 10 트랜지스터의 게이트에 입력되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 10 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 6 판독 회로는 직렬로 접속된 제 11 트랜지스터 및 제 12 트랜지스터를 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 11 트랜지스터의 게이트는 상기 제 4 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 11 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 전위가 공급되는 상기 제 5 배선에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 4 신호는 상기 제 12 트랜지스터의 게이트에 입력되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 12 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 노드에 접속되는, 반도체 장치.

청구항 11

제 5 항에 있어서,

제 13 트랜지스터 및 제 14 트랜지스터를 더 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 13 트랜지스터의 소스 및 드레인 중 하나는 상기 제 3 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 13 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제 2 전위가 공급되는 제 6 배선에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 14 트랜지스터의 소스 및 드레인 중 하나는 상기 제 4 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 14 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 2 전위가 공급되는 제 7 배선에 접속되는, 반도체 장치.

청구항 12

반도체 장치에 있어서,

제 1 단 및 제 2 단을 포함하는 시프트 레지스터를 포함하고, 상기 제 1 단 및 상기 제 2 단 각각은:

제 1 노드 및 제 2 노드를 포함하는 제 1 데이터 유지부와;

제 3 노드 및 제 4 노드를 포함하는 제 2 데이터 유지부와;

제 1 트랜지스터와;

제 2 트랜지스터와;

제 3 트랜지스터와;

제 4 트랜지스터와;

제 5 트랜지스터와;

제 6 트랜지스터를 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 1 트랜지스터의 게이트는 상기 제 1 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 2 트랜지스터의 게이트는 상기 제 2 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 상기 제 3 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 상기 제 4 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 4 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 3 트랜지스터의 게이트는 상기 제 3 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 4 트랜지스터의 게이트는 상기 제 4 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 5 트랜지스터의 게이트는 상기 제 3 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 5 트랜지스터의 소스 및 드레인 중 하나는 상기 제 4 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 6 트랜지스터의 게이트는 상기 제 4 노드에 접속되고,

상기 제 1 단의 상기 제 6 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 단의 상기 제 3 노드에 접속되는, 반도체 장치.

청구항 13

제 12 항에 있어서,

제 1 조합 회로 및 제 2 조합 회로를 더 포함하고,

상기 제 1 단의 상기 제 1 데이터 유지부는 상기 제 1 조합 회로로부터 출력된 데이터를 저장하고,

상기 제 2 단의 상기 제 1 데이터 유지부는 상기 제 2 조합 회로로부터 출력된 데이터를 저장하는, 반도체 장치.

청구항 14

제 12 항에 있어서,

제 7 트랜지스터, 제 8 트랜지스터, 제 9 트랜지스터, 제 10 트랜지스터, 제 11 트랜지스터, 및 제 12 트랜지스터를 더 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 상기 제 7 트랜지스터를 통하여 상기 제 3 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 상기 제 8 트랜지스터를 통하여 상기 제 4 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 상기 제 9 트랜지스터를 통하여 상기 제 1 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 상기 제 10 트랜지스터를 통하여 상기 제 2 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 11 트랜지스터의 소스 및 드레인 중 하나는 상기 제 3 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 5 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 상기 제 12 트랜지스터를 통하여 상기 제 4 노드에 접속되고,

상기 제 1 단의 상기 제 6 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 상기 제 2 단의 상기 제 11

트랜지스터를 통하여 상기 제 2 단의 상기 제 3 노드에 접속되는, 반도체 장치.

청구항 15

제 14 항에 있어서,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 상기 제 11 트랜지스터, 및 상기 제 12 트랜지스터 각각은 산화물 반도체층에 채널 형성 영역을 포함하는, 반도체 장치.

청구항 16

제 14 항에 있어서,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 7 트랜지스터, 및 상기 제 8 트랜지스터 중 적어도 하나는 산화물 반도체층에 채널을 포함하는, 반도체 장치.

청구항 17

제 14 항에 있어서,

제 13 트랜지스터 및 제 14 트랜지스터를 더 포함하고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 13 트랜지스터의 소스 및 드레인 중 하나는 상기 제 3 노드에 접속되고,

상기 제 1 단 및 상기 제 2 단 각각에서, 상기 제 14 트랜지스터의 소스 및 드레인 중 하나는 상기 제 4 노드에 접속되는, 반도체 장치.

발명의 설명

기술 분야

[0001]

본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 예를 들어, 본 명세서에서는 반도체 장치, 표시 장치, 축전 장치, 그 구동 방법, 및 그 제작 방법 등에 대하여 설명한다. 본 명세서에서는 반도체 장치로서 예를 들어, 기억 회로, 기억 회로를 포함하는 프로세서(대표적으로는 프로그래머블 로직 디바이스(PLD: Programmable Logic Device), CPU, 마이크로컨트롤러), 및 프로세서를 구비한 전자 기기 등에 관하여 설명된다.

[0002]

또한 본 명세서에서 반도체 장치란, 반도체 소자(트랜지스터, 다이오드 등)를 포함한 회로를 갖는 장치를 가리킨다. 또는 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 예를 들어, 집적 회로, 집적 회로를 구비한 칩, 표시 장치, 발광 장치, 및 전자 기기 등은 반도체 장치에 포함되는 경우나, 반도체 장치를 갖는 경우가 있다.

[0003]

프로그래머블 로직 디바이스는 집적 회로의 일종이고, 출하된 후에 사용자가 프로그래밍하여 내부 회로의 구조를 변경할 수 있는 집적 회로다. 예를 들어, 사용자가 프로그램 가능한 디바이스로서 소규모 집적 회로인 PAL(Programmable Array Logic)이나 GAL(Generic Array Logic) 등, 및 대규모 집적 회로인 CPLD(Complex Programmable Logic Device)나 FPGA(Field Programmable Gate Array) 등을 들 수 있다. 본 명세서에서 PLD란, 이들을 포함하여 프로그램 가능한 집적 회로를 가리킨다.

[0004]

또한, 마이크로컨트롤러는 집적 회로의 일종이고, "마이크로컨트롤러 유닛", "마이크로 프로세서 유닛", "MCU", " μ C" 등으로 불릴 수 있다.

배경 기술

[0005]

집적 회로의 동작을 검증하는 방법 중 하나로서, 스캔 테스트가 있다.

[0006]

이것은 집적 회로 내부의 플립플롭(이하, FF라고도 함)을 일련의 시프트 레지스터라고 간주하고, 일반적인 회로 동작과는 독립적으로, 집적 회로의 외부 단자로부터 FF에 저장된 데이터를 순차적으로 취득하거나, 또는 집적 회로의 외부 단자로부터 FF로 순차적으로 데이터를 저장함으로써 수행되는 테스트다. FF는 조합 회로의 레지스터로서 사용되기 때문에 스캔 테스트에 의하여 FF에 저장된 데이터를 검증할 수 있을 뿐만 아니라 FF의 데이터

를 이용하는 논리 회로(조합 회로)의 동작을 검증할 수도 있다.

[0007] 스캔 테스트 회로의 시프트 레지스터를 스캔 제인이라고 부르는 경우가 있다. 또한, 스캔 제인(시프트 레지스터)을 구성하는 FF를 스캔 플립플롭이라고 부르는 경우가 있다.

[0008] 또한, 집적 회로의 소비 전력을 약간하기 위하여, 동작에 필요 없는 회로로의 전원 공급은 정지된다. 하지만, 일반적으로 레지스터를 구성하는 플립플롭은 휘발성 기억 회로다. 전원 공급을 정지함으로써 레지스터의 데이터가 소실되면, 전원 공급을 재개하더라도 집적 회로에서 처리를 계속하기 어려워진다. 그러므로 전원 공급을 정지하기 전에 레지스터의 데이터를 비휘발성 메모리에 저장시키는 것이 제안되어 있다. 예를 들어, 특히 문헌 1에서는 스캔 테스트용 시프트 레지스터를 이용하여 스캔 FF에 기억된 데이터를 강유전체 메모리에 저장시키는 것이 기재되어 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본국 특개평10-078836호 공보

발명의 내용

해결하려는 과제

[0010] 스캔 테스트는 집적 회로의 불량 해석 등에는 효과적이지만, 한편으로 집적 회로 내에 일반적인 FF 대신에 스캔 FF를 배치해 둘 필요가 있다. 따라서, 통상 동작에 전혀 상관없는 부분을 포함하는 회로가 집적 회로 내에 존재하게 된다. 스캔 테스트에는 장점도 있지만 칩 면적 증대에 따른 제조 비용의 상승, 배선 지연에 의한 동작 특성의 저하 등 악영향을 수반하는 것이 알려져 있다.

[0011] 또한, 특히 문헌 1과 같이, 스캔 FF의 데이터를 저장시키기 위한 비휘발성 메모리를 제공하는 것도 칩 면적 증대에 이어진다.

[0012] 그래서, 본 발명의 일 형태에 따른 과제 중 하나는 스캔 테스트를 수행하기 위한 신규 시프트 레지스터가 조합된 반도체 장치 등을 제공하는 것이다. 또는, 본 발명의 일 형태에 따른 과제 중 하나는 칩 면적 증대를 억제하면서 스캔 테스트를 수행하기 위한 시프트 레지스터가 조합된 반도체 장치 등을 제공하는 것이다. 또는, 본 발명의 일 형태에 따른 과제 중 하나는 칩 면적 증대를 억제하면서 스캔 FF의 데이터를 저장시킬 수 있는 반도체 장치 등을 제공하는 것이다. 또는 본 발명의 일 형태에 따른 과제 중 하나는 저소비 전력인 반도체 장치 등을 제공하는 것이다. 또는 본 발명의 일 형태에 따른 과제 중 하나는 신규 반도체 장치 등을 제공하는 것이다.

[0013] 또한, 상술한 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 상술한 모든 과제를 해결할 필요는 없다. 또한, 상술한 과제 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이고, 명세서, 도면, 및 청구항 등의 기재로부터 상술한 과제 외의 과제를 만들어낼 수 있다.

과제의 해결 수단

[0014] 본 발명의 일 형태는 복수의 플립플롭을 갖는 레지스터를 포함하는 반도체 장치다. 각 플립플롭은 제 1 기억 회로~제 3 기억 회로를 갖는다. 제 1 기억 회로는 조합 회로의 레지스터로서 기능하는 기억 회로다. 제 2 기억 회로는 제 1 기억 회로의 백업용 기억 회로다. 또한, 제 2 기억 회로는 제 1 기억 회로의 데이터를 제 3 기억 회로에 기록하는 기능, 제 3 기억 회로의 데이터를 제 1 기억 회로에 기록하는 기능을 갖는다. 제 3 기억 회로는 데이터를 다음 단 플립플롭의 제 3 기억 회로로 전송하는 기능을 갖는다. 따라서 본 형태에 따른 반도체 장치는 임의의 시간에서, 제 1 기억 회로의 데이터를 외부로 추출할 수 있고, 또한, 외부로부터 제 1 기억 회로에 데이터를 저장할 수 있다.

[0015] 또한, 상술한 형태에서, 제 2 기억 회로에는, 채널이 산화물 반도체로 형성되는 트랜지스터를 제공할 수 있다. 또한, 제 3 기억 회로에는, 채널이 산화물 반도체로 형성되는 트랜지스터를 제공할 수 있다.

[0016] 본 명세서에서는 채널이 산화물 반도체로 형성되는 트랜지스터를 산화물 반도체 트랜지스터, 또는 OS 트랜지스터라고 부르는 경우도 있다.

발명의 효과

[0017]

본 발명의 일 형태에 따라, 레지스터로서 기능하는 복수의 플립플롭으로 스캔 테스트용 시프트 레지스터를 구성할 수 있다. 또는, 본 발명의 일 형태에 따라 저소비 전력인 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 따라 신뢰성이 향상된 반도체 장치를 제공할 수 있다. 또는, 칩 면적의 증가를 억제하면서 스캔 테스트가 가능한 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0018]

도 1은 스캔 테스트용 시프트 레지스터의 구성의 일례를 도시한 회로도.

도 2의 (A)는 스캔 테스트용 시프트 레지스터의 구성의 일례를 도시한 블록도이고, 도 2의 (B)는 스캔 플립플롭의 구성의 일례를 도시한 블록도.

도 3은 스캔 테스트가 가능한 칩적 회로의 구성의 일례를 도시한 블록도.

도 4는 도 1에 도시된 시프트 레지스터의 구동 방법의 일례를 도시한 타이밍 차트.

도 5는 도 1에 도시된 시프트 레지스터의 구동 방법의 일례를 도시한 타이밍 차트.

도 6은 칩적 회로의 구성의 일례를 도시한 단면도.

도 7의 (A)는 산화물 반도체 트랜지스터의 구성의 일례를 도시한 상면도이고, 도 7의 (B)는 도 7의 (A)를 선 B1-B2를 따라 자른 단면도이고, 도 7의 (C)는 도 7의 (A)를 선 B3-B4를 따라 자른 단면도.

도 8은 도 7의 (A)에 도시된 트랜지스터의 제작 방법의 일례를 설명하기 위한 단면도.

도 9는 상기 제작 방법의 일례를 설명하기 위한 단면도.

도 10의 (A)는 산화물 반도체 트랜지스터의 구성의 일례를 도시한 상면도이고, 도 10의 (B)는 도 10의 (A)를 선 B1-B2를 따라 자른 단면도이고, 도 10의 (C)는 도 10의 (A)를 선 B3-B4를 따라 자른 단면도.

도 11은 도 10의 (A)에 도시된 트랜지스터의 제작 방법의 일례를 설명하기 위한 단면도.

도 12는 상기 제작 방법의 일례를 설명하기 위한 단면도.

도 13은 전자 기기의 일례를 설명하기 위한 외관도.

발명을 실시하기 위한 구체적인 내용

[0019]

본 발명의 실시형태에 대하여 도면을 사용하여 이하에 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은, 당업자라면 쉽게 이해할 수 있다. 따라서 본 발명은 이하에 기재되는 실시형태의 내용에 한정하여 해석되지 않는다.

[0020]

또한, 본 발명의 실시형태를 설명하기 위한 도면에서 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 붙이고 그 반복된 설명은 생략할 경우가 있다.

[0021]

(실시형태 1)

[0022]

본 실시형태에서는 반도체 장치의 일례로서 스캔 테스트에 사용할 수 있는 시프트 레지스터에 대하여 설명한다. 이하, 도 1~도 5를 사용하여 본 실시형태를 설명한다.

[0023]

본 실시형태에 따른 시프트 레지스터는 기억 회로 및 스캔 테스트용 검증 회로로서 PLD, CPU, MPU 등 각종 칩적 회로에 조합될 수 있다.

[0024]

<시프트 레지스터의 구성예>

[0025]

도 2의 (A)는 스캔 테스트용 시프트 레지스터(스캔 체인)의 구성의 일례를 도시한 블록도다. 도 2의 (B)는 시프트 레지스터를 구성하는 스캔 플립플롭의 구성의 일례를 도시한 블록도다. 또한, 도 3은 도 2의 (A)에 도시된 시프트 레지스터를 구비한 칩적 회로의 블록도다.

[0026]

도 2의 (A)에 도시된 시프트 레지스터(100)는 캐스케이드 접속된 복수의 스캔 플립플롭(110)을 갖는다. 도 2의

(A)에 도시된 바와 같이, 각 스캔 플립플롭(110)의 출력 단자(OUT)는 다음 단 스캔 플립플롭(110)의 입력 단자(IN)에 접속된다.

[0027] 시프트 레지스터(100)는 프로세서 등의 논리 회로를 갖는 각종 집적 회로에 조합될 수 있다. 입력 단자(121)(SCN-IN)는 스캔 테스트용 데이터의 입력 단자이고, 출력 단자(122)(SCN-OUT)는 스캔 테스트용 데이터의 출력 단자다. 입력 단자(121)로부터 입력된 데이터를 임의의 스캔 플립플롭(110)에 기록할 수 있다. 또한, 각 스캔 플립플롭(110)에 기억된 데이터는 시프트 레지스터(100)의 시프트 동작에 의하여 다음 단 스캔 플립플롭(110)에 전송되어 출력 단자(122)로부터 추출될 수 있다.

[0028] 또한, 집적 회로의 통상 동작 시에는 스캔 플립플롭(110)은 조합 회로의 데이터 기억부, 소위 레지스터로서 기능한다. 조합 회로의 출력이 단자(D)로부터 입력되고 스캔 플립플롭(110)에서 유지된다. 또한, 스캔 플립플롭(110)에서 유지된 데이터는 단자(Q)로부터 조합 회로에 출력된다.

[0029] <스캔 FF: SCN-FF의 구성 예>

[0030] 도 2의 (B)에 도시된 바와 같이, 스캔 플립플롭(110)(SCN-FF)은 기억 회로(111), 기억 회로(112), 및 기억 회로(113)를 갖는다.

[0031] 기억 회로(111)(MemA)는 조합 회로의 데이터 기억부이고, 소위 레지스터로서 기능한다. 집적 회로의 통상 동작 시에는 조합 회로로부터 단자(D)에 데이터가 입력되고, 기억 회로(111)는 입력된 데이터를 저장한다. 또한, 저장된 데이터는 단자(Q)로부터 조합 회로에 출력된다.

[0032] 기억 회로(112)(MemB)는 기억 회로(111)의 백업용 기억 회로다. 제어 신호에 따라 기억 회로(111)의 데이터가 기억 회로(112)에 기록되고 저장된다. 또한, 기억 회로(112)에 저장된 데이터는 다시 기억 회로(111)에 기록된다. 또한, 기억 회로(112)는 스캔 플립플롭(110)으로의 전원 전위 공급이 차단되는 기간에도 데이터에 따른 전위를 유지할 수 있는, 소위 비휘발성 메모리로서의 기능을 갖는다.

[0033] 이와 같이, 레지스터의 백업용 기억부를 제공함으로써 반도체 장치의 전원 공급을 적절히 정지할 수 있으므로 반도체 장치의 소비 전력을 삭감할 수 있다.

[0034] 기억 회로(113)(MemC)는 단자(IN)로부터 입력된 데이터를 저장하는 기능, 및 저장한 데이터를 단자(OUT)로부터 출력하는 기능을 갖는다. 즉, 기억 회로(113)는 기억한 데이터를 다음 단 스캔 플립플롭(110)의 기억 회로(113)에 전송하는 기능을 구비한다. 복수의 스캔 플립플롭(110)이 시프트 레지스터로서 기능할 수 있다.

[0035] 기억 회로(113)는 기억 회로(112)와 마찬가지로 스캔 플립플롭(110)으로의 전원 전위 공급이 차단되는 기간에도 데이터에 따른 전위를 유지할 수 있는, 소위 비휘발성 메모리로서의 기능을 갖는다.

[0036] 기억 회로(112)는 기억 회로(111)에 기억된 데이터를 기억 회로(113)에 기록하는 기능, 및 기억 회로(113)에 기억된 데이터를 기억 회로(111)에 기록하는 기능을 더 갖는다. 기억 회로(112) 및 기억 회로(113)의 기능에 의하여 시프트 레지스터(100)의 임의의 기억 회로(111)에 입력 단자(121)로부터 입력된 데이터를 기록하거나 또한, 임의의 기억 회로(111)에 기억된 데이터를 출력 단자(122)로부터 추출할 수 있다.

[0037] <스캔 테스트가 가능한 집적 회로의 구성 예>

[0038] 도 3은 시프트 레지스터(100)가 조합된 집적 회로의 구성의 일례를 도시한 블록도다. 도 3에는 스캔 플립플롭(110)을 4개 갖는 시프트 레지스터가 집적 회로(10)에 제공되는 경우를 일례로서 도시하였다. 또한, 도 3에는 집적 회로(10)의 구성의 일례로서 2개의 스캔 플립플롭(110) 사이에 조합 회로(150)(CMB)가 접속된 구조를 도시하였다. 입력 단자(151)로부터는 집적 회로(10)에서 처리하는 데이터가 입력된다. 출력 단자(152)로부터는 집적 회로(10)에서 처리된 데이터가 출력된다.

[0039] 또한, 도 3에서 사용된 번호[1] 등은 같은 기능을 갖는 회로, 신호 등을 식별하기 위한 번호이고, 다른 도면에서도 마찬가지로 사용될 수 있다.

[0040] 통상 동작 시에는 입력 단자(151)로부터 입력된 데이터가 CMB[1]에서 처리된다. CMB[1]로부터 출력되는 데이터는 SCN-FF[1]의 MemA에 저장되고, CMB[2]에 출력된다. CMB[2]로부터 출력되는 데이터는 SCN-FF[2]의 MemA에 저장되고, CMB[3]으로 출력된다. 같은 처리가 CMB[3]~CMB[5], 및 SCN-FF[3]과 SCN-FF[4]에서도 수행되고, 최종적으로 CMB[5]가 출력하는 데이터가 출력 단자(152)로부터 집적 회로(10) 외부로 추출된다.

[0041] 또한, SCN-FF[1]~SCN-FF[4]를 시프트 레지스터로서 기능시키는 경우에는, SCN-FF[1]로부터 MemC에 기억된 데이

터를 출력하고 SCN-FF[2]의 MemC에 기록한다. 이 동작이 SCN-FF[2]~SCN-FF[4]에서 순차적으로 실행되고, 최종적으로 SCN-FF[4]의 MemC에 기억된 데이터가 출력 단자(122)로부터 출력된다.

[0042] 스캔 테스트의 일례를 이하에 기재한다. 먼저, 집적 회로(10)를 시프트 동작 모드로 동작시킨다. 시프트 동작 모드는 SCN-FF[1]~SCN-FF[4]를 시프트 레지스터로서 동작시키는 모드다. 입력 단자(121)로부터 테스트용 데이터를 입력하고, SCN-FF[1]~SCN-FF[4]에 테스트용 초기 데이터를 기억시킨다. SCN-FF[1]~SCN-FF[4]에서 초기 데이터는 MemC로부터 MemB를 거쳐 MemA에 기록된다.

[0043] 다음에 통상 동작 모드로 집적 회로(10)를 동작시킨다. 초기 데이터를 사용하여 CMB[1]~CMB[5]가 동작하고, CMB[1]~CMB[4]에서의 처리 결과는 각 SCN-FF[1]~SCN-FF[4]의 MemA에서 기억된다. CMB[5]에서의 처리 결과는 출력 단자(152)로부터 출력된다. 다음에 SCN-FF[1]~SCN-FF[4]에서 MemB를 동작시켜 MemA에서 기억된 데이터를 MemC에 기록한다. 다시 시프트 동작 모드를 실행하고, SCN-FF[1]~SCN-FF[4]에서 유지된 데이터를 출력 단자(122)(SCN-OUT)로부터 추출한다. 이 출력 단자(122)로부터 출력된 데이터의 값을, 문제가 없는 경우에 출력되는 값(기대 값)과 비교함으로써 집적 회로(10)의 동작 검증을 수행할 수 있다.

[0044] 또한, 집적 회로(10)를 전력 절약 모드로 동작시키는 경우 등, CMB[1]~CMB[5]로의 전원 공급을 정지시키는 경우에는 SCN-FF[1]~SCN-FF[4]에서, MemA에 기억된 데이터가 MemB로 저장된다. 그리고 전원 공급을 재개(再開)하는 경우에는 SCN-FF[1]~SCN-FF[4]에서, MemB에 기억된 데이터가 다시 MemA로 기록된다. 그러므로 집적 회로(10)는 전원 공급을 정지할 때의 상태로부터 계속 처리할 수 있다.

[0045] 또한, 다시 MemA에 데이터를 기록하자마자 집적 회로(10)를 통상 동작 모드로 동작시키는 게 아니라 MemB에 저장된 데이터를 검증하고 나서 통상 동작 모드로 복귀시킬 수도 있다.

[0046] 이 경우, SCN-FF[1]~SCN-FF[4]로의 전원 공급을 재개하고 CMB[1]~CMB[5]로의 전원 공급은 정지해 둔다. 먼저, SCN-FF[1]~SCN-FF[4]를 시프트 동작 모드로 동작시킨다. SCN-FF[1]~SCN-FF[4]에서는 MemB에 저장된 데이터가 MemC를 통하여 출력 단자(122)(SCN-OUT)로부터 출력된다. 출력 단자(122)로부터 출력된 데이터를 검증함으로써 SCN-FF[1]~SCN-FF[4]에 저장된 데이터의 에러 검증을 수행할 수 있다. 이 에러 검증의 결과, 데이터에 에러가 있는 경우, 에러를 정정하는 데이터를 입력 단자(121)로부터 입력하고 다시 SCN-FF[1]~SCN-FF[4]의 데이터를 기록하는 동작이 가능하다.

[0047] <시프트 레지스터의 회로 구성 예>

[0048] 이하, 도 1에 도시된 회로도를 사용하여 시프트 레지스터(100) 및 스캔 플립플롭(110)의 더 자세한 구성 및 동작 방법을 설명한다. 도 1에는 설명을 간단하게 하기 위하여 2개의 스캔 플립플롭(110)으로 이루어지는 시프트 레지스터(100)를 도시하였다.

[0049] [제 1 기억 회로: MemA의 구성 예]

[0050] 기억 회로(111)(MemA)는 일반적인 플립플롭으로 구성할 수 있다. 도 1에 도시된 예에서는 인버터(212) 및 클럭드 인버터(213)로 이루어지는 루프 회로가 제공된다. 클럭드 인버터(213)는 클럭 신호(CKB)에 의하여 제어된다. 이 루프 회로의 입력 노드(노드(MD))는 스위치(211)를 통하여 단자(D)에 접속되고, 이 루프 회로의 출력 노드(노드(MQ))는 인버터(214)를 통하여 단자(Q)에 접속된다. 스위치(211)는 클럭 신호(CK)에 의하여 제어된다. 클럭 신호(CKB)는 클럭 신호(CK)의 반전 신호다.

[0051] 기억 회로(111)는 클럭 신호(CK) 및 클럭 신호(CKB)에 의하여 데이터의 기록 및 판독이 제어된다. 클럭 신호(CK)의 전위가 High 레벨(H 레벨)일 때, 스위치(211)는 온 상태가 되고, 클럭드 인버터(213)는 인버터로서 기능한다. 클럭 신호(CK)의 전위가 Low 레벨(L 레벨)일 때, 스위치(211)는 오프 상태가 되고, 클럭드 인버터(213)의 출력은 하이 임피던스 상태가 된다.

[0052] 또한, 노드(MD) 및 노드(MQ)는 기억 회로(111)의 데이터 유지부이고, 데이터에 따른 전위를 유지하는 기능을 갖는다. 노드(MD)는 단자(D)로부터 입력된 전위를 유지하는 기능을 갖는다. 노드(MQ)는 노드(MD)에서 유지된 전위를 반전시킨 전위를 유지하는 기능을 갖는다. 노드(MQ)에서 유지된 전위는 인버터(214)에 의하여 반전되고 단자(Q)로부터 출력된다.

[0053] 이하, 클럭 신호(CK)를 신호(CK), 또는 CK라고 부르는 경우가 있다. 다른 신호나 전위에 대하여도 마찬가지로 생략하여 부르는 경우가 있다.

[0054] [제 2 기억 회로: MemB의 구성 예]

- [0055] 기억 회로(112)(MemB)는 8개의 트랜지스터(트랜지스터(221)~트랜지스터(228))를 갖는다. 여기서는 트랜지스터(221)~트랜지스터(228)를 n채널형 트랜지스터로 한다. 기억 회로(112)는 제어 신호(ST) 및 제어 신호(LD)에 의하여 제어되고, 노드(MD) 및 노드(MQ)에서 유지된 데이터를 노드(ND) 및 노드(NQ)에 기록하는 기능, 및 노드(ND) 및 노드(NQ)에서 유지된 데이터를 노드(MD) 및 노드(MQ)에 기록하는 기능을 갖는다. 기억 회로(112)는 세트 신호(ST)에 따라 기억 회로(111)에 기억된 데이터의 저장 동작을 수행하고, 로드 신호(LD)에 따라 기억 회로(111)로 데이터를 복귀시키는 동작을 수행한다.
- [0056] 트랜지스터(221) 및 트랜지스터(222)는 노드(MD)의 데이터를 노드(ND)에 판독하는 판독 회로로서 기능한다. 또한, 트랜지스터(223) 및 트랜지스터(224)는 노드(MQ)의 데이터를 노드(NQ)에 판독하는 판독 회로로서 기능한다. 직렬로 접속된 트랜지스터(221) 및 트랜지스터(222)가, 저전원 전위(VSS)를 공급하는 배선과 노드(MD) 사이를 접속한다. 트랜지스터(221)의 게이트는 노드(MD)에 접속된다. 트랜지스터(221)의 게이트에는 세트 신호(ST)가 입력된다. 마찬가지로 직렬로 접속된 트랜지스터(223) 및 트랜지스터(224)가 VSS를 공급하는 배선과 노드(MQ) 사이를 접속한다.
- [0057] 기억 회로(112)는, 세트 신호(ST)에 따라 기억 회로(111)에 기억된 데이터를 저장시킨다. 신호(ST)를 H 레벨로 하고, 트랜지스터(222) 및 트랜지스터(224)를 온 상태로 하는 기간에 노드(MD) 및 노드(MQ)에 유지된 데이터에 따른 전위가 노드(ND) 및 노드(NQ)에 공급된다. 신호(ST)를 L 레벨로 하고, 트랜지스터(222) 및 트랜지스터(224)를 오프 상태로 함으로써 노드(ND) 및 노드(NQ)에 전위(데이터)가 유지된다.
- [0058] 트랜지스터(225) 및 트랜지스터(226)는 노드(ND)의 데이터를 노드(MD)에 판독하는 판독 회로로서 기능한다. 또한, 트랜지스터(227) 및 트랜지스터(228)는 노드(NQ)의 데이터를 노드(MQ)에 판독하는 판독 회로로서 기능한다. 직렬로 접속된 트랜지스터(225) 및 트랜지스터(226)가, VSS를 공급하는 배선과 노드(MD) 사이를 접속한다. 트랜지스터(225)의 게이트는 노드(ND)에 접속된다. 트랜지스터(226)의 게이트에는 로드 신호(LD)가 입력된다. 마찬가지로 직렬로 접속된 트랜지스터(227) 및 트랜지스터(228)가 VSS를 공급하는 배선과 노드(MQ) 사이를 접속한다.
- [0059] 로드 신호(LD)에 따라 기억 회로(112)는 기억 회로(111)에 데이터를 복귀시킨다. 신호(LD)를 H 레벨로 하고, 트랜지스터(226) 및 트랜지스터(228)를 온 상태로 하는 기간에 노드(ND) 및 노드(NQ)에 유지된 데이터에 따른 전위가 노드(MD) 및 노드(MQ)에 공급된다. 신호(LD)를 L 레벨로 하고, 트랜지스터(226) 및 트랜지스터(228)를 오프 상태로 함으로써 노드(MD) 및 노드(MQ)에 전위(데이터)가 유지된다.
- [0060] 도 1에 도시된 구성예에서는 기억 회로(112) 및 기억 회로(113)에서, 같은 노드(ND) 및 노드(NQ)가 데이터 유지부로서 사용된다. 또한, 노드(ND) 및 노드(NQ)의 전하 유지 특성을 향상시키기 위하여 한쪽 또는 양쪽에 용량소자를 접속할 수도 있다.
- [0061] 이와 같이, 스캔 플립플롭(110)에는 비휘발성 데이터 유지부(노드(ND) 및 노드(NQ))가 제공되며 때문에 신호(ST) 및 신호(LD)의 제어에 의한 기억 회로(112)의 동작은, 기억 회로(111)에서는 저장 동작과 복귀 동작이 되지만, 기억 회로(113)에서는 데이터 세트 동작, 데이터 로드 동작이라고 부를 수 있다. 신호(ST)의 제어에 의한 기억 회로(112)의 동작은 기억 회로(111)로부터 기억 회로(113)에 데이터를 기록하는 동작이기도 하기 때문에 신호(ST)에 의한 동작은 기억 회로(111)에 기억된 데이터를 기억 회로(113)에 저장하는 동작(데이터 세트 동작)이라고 부를 수도 있다. 또한, 신호(LD)에 의한 기억 회로(112)의 동작은 기억 회로(111)에 기억된 데이터를 기억 회로(113)에 저장하는 동작(데이터 로드 동작)이라고 부를 수도 있다.
- [0062] [제 3 기억 회로: MemC의 구성예]
- [0063] 기억 회로(113)는 6개의 트랜지스터(트랜지스터(231)~트랜지스터(236))를 갖는다. 여기서는 트랜지스터(231)~트랜지스터(236)를 n채널형 트랜지스터로 한다. 또한, 기억 회로(113)는 4개의 클럭 신호(클럭 신호(C1)~클럭 신호(C4))에 따라 입력 단자(121) 또는 앞 단 기억 회로(113)로부터 데이터를 추출하고, 또한 기억한 데이터를 다음 단 기억 회로(113)에 출력한다.
- [0064] 트랜지스터(231)는 기억 회로(113)의 입력 단자(IN)와 노드(ND) 사이의 도통·비도통을 제어하는 스위치로서 기능한다. 트랜지스터(231)의 게이트에는 신호(C2)가 입력된다. 트랜지스터(231)가 온 상태가 되면 입력 단자(IN)로부터 기억 회로(113)에 데이터가 입력되고 이 데이터에 따른 전위가 노드(ND)에 저장된다.
- [0065] 트랜지스터(232) 및 트랜지스터(233)는 노드(ND)에서 유지된 데이터를 노드(NQ)에 판독하는 판독 회로로서 기능한다. 직렬로 접속된 트랜지스터(232) 및 트랜지스터(233)가, 저전원 전위(VSS)가 공급되는 배선과 노드(NQ)

사이를 접속한다. 트랜지스터(232)의 게이트는 노드(ND)에 접속된다. 트랜지스터(233)의 게이트에는 신호(C4)가 입력된다. 트랜지스터(233)가 온 상태가 되면 노드(ND)에 유지된 전위에 따른 전위가 노드(NQ)에 기록된다.

[0066] 트랜지스터(234)는 노드(NQ)에 유지된 데이터를 기억 회로(113)의 출력 단자(OUT)에 판독하는 판독 회로로서 가능하다. 트랜지스터(234)의 게이트는 노드(NQ)에 접속된다. 트랜지스터(234)의 소스는 VSS가 공급되는 배선에 접속되고 드레인은 출력 단자(OUT)에 접속된다.

[0067] 또한, 트랜지스터란, 게이트, 소스, 및 드레인으로 불리는 3개의 단자(전극)를 갖는 소자를 가리킨다. 게이트를 제외한 소스 및 드레인의 두 단자는 트랜지스터의 도전형(n형 또는 p형)이나 단자에 입력되는 전위에 따라 기능이 서로 바뀔 수 있다. 따라서, 시프트 레지스터(100)에서도 소스와 드레인의 관계는 반대가 될 수 있다. 이것은 다른 회로에서도 마찬가지다. 그래서 본 명세서에서는 소스 및 드레인이라고 부르지 않고 트랜지스터의 게이트를 제외한 단자(전극)를 제 1 전극, 제 2 전극이라고 부르는 경우가 있다.

[0068] 트랜지스터(235)는 노드(ND)와 고전원 전위(VDD)가 공급되는 배선 사이의 도통·비도통을 제어하는 스위치로서 가능하다. 또한, 트랜지스터(235)는 노드(ND)의 전위를 프리 차지하는 프리 차지 회로라고 부를 수도 있다. 트랜지스터(235)의 게이트에는 신호(C1)가 입력된다. 소스는 노드(ND)에 접속되고, 드레인은 VDD가 공급되는 배선에 접속된다. 트랜지스터(235)를 온 상태로 함으로써 노드(ND)에는 VDD가 공급되고 H 레벨이 된다.

[0069] 트랜지스터(236)는 노드(NQ)와 고전원 전위(VDD)가 공급되는 배선 사이의 도통·비도통을 제어하는 스위치로서 가능하다. 또한, 트랜지스터(236)는 노드(NQ)의 전위를 프리 차지하는 프리 차지 회로라고 부를 수도 있다. 트랜지스터(236)의 게이트에는 신호(C3)가 입력된다. 소스는 노드(NQ)에 접속되고, 드레인은 VDD가 공급되는 배선에 접속된다. 트랜지스터(236)를 온 상태로 함으로써 노드(NQ)에는 VDD가 공급되고 H 레벨이 된다.

[0070] 노드(ND) 및 노드(NQ)의 프리 차지용 회로(트랜지스터(235) 및 트랜지스터(236))는 필요에 따라 제공하면 좋다.

[0071] 여기서 VDD의 공급을 정지한 후에도 기억 회로(112) 및 기억 회로(113)에서 데이터를 오랫동안 유지할 수 있도록 하기 위해서는 전기적으로 부유 상태인 노드(ND) 및 노드(NQ)에서 유지된 전위(전하)의 변동을 가능한 한 억제하면 좋다. 이를 위해서는 노드(ND) 및 노드(NQ)로부터의 전하의 누설 경로(leakage path)를 가능한 한 형성하지 않거나 또는 이 누설 경로를 흐르는 전하를 가능한 한 적게 하면 좋다.

[0072] 그러므로 트랜지스터(221)~트랜지스터(224), 및 트랜지스터(231)~트랜지스터(236)에는 오프 상태에서의 누설 전류(오프 전류)가 낮은 트랜지스터가 사용되는 것이 바람직하다. 여기서, 오프 전류가 낮다는 것은 실온에서 채널 폭 $1\mu\text{m}$ 당 정규화된 오프 전류가 10zA 이하인 것을 말한다. 오프 전류는 낮으면 낮을수록 바람직하고, 이 정규화된 오프 전류 값을 1zA 이하, 바람직하게는 10yA 이하, 더 바람직하게는 1yA 이하로 하면 좋다. 또한, 이 때 소스와 드레인 사이의 전압은 예를 들어, $0.1\text{V} \sim 3\text{V}$ 의 범위, 또는 5V 정도다. 이와 같이 오프 전류가 낮은 트랜지스터로서는 채널이 산화물 반도체로 형성되는 트랜지스터를 들 수 있다.

[0073] 또한, 기억 회로(112)에서, 트랜지스터(221) 및 트랜지스터(222) 중 적어도 어느 하나가 오프 전류가 매우 낮은 트랜지스터라면 좋다. 또한, 트랜지스터(223) 및 트랜지스터(224) 중 적어도 어느 하나가 오프 전류가 매우 낮은 트랜지스터라면 좋다.

[0074] <시프트 레지스터의 구동 방법 예>

[0075] 이하, 도 4 및 도 5에 도시된 타이밍 차트를 사용하여 도 1에 도시된 시프트 레지스터(100)의 구동 방법의 일례를 설명한다. 도 4는 집적 회로(10)에서 처리를 실행시킬 때의 시프트 레지스터(100)의 구동 방법의 일례를 도시한 타이밍 차트다. 이 동작 모드에서는 시프트 레지스터(100)의 각 스캔 플립플롭(110)은 조합 회로(150)의 레지스터로서 기능한다. 또한, 도 5는, 집적 회로(10)를 동작 검증 모드로 동작시키는 경우의 시프트 레지스터(100)의 구동 방법의 일례를 도시한 타이밍 차트다. 동작 검증 모드에서는 시프트 레지스터(100)는 시프트 레지스터로서 기능한다.

[0076] 이하, 전위 레벨의 호칭으로서, H 레벨을 "H"라고 부르고, L 레벨을 "L"이라고 부르고 설명할 경우가 있다.

[0077] [구동 방법 1: 조합 회로의 레지스터로서의 동작]

[0078] 도 4를 참조하면서 시프트 레지스터(100)의 구동 방법의 일례를 설명한다.

[0079] 집적 회로(10)는 동작에 필요 없는 회로로의 전원 공급을 정지하는 파워 게이팅 기능을 구비한다. 도 4에는 집적 회로(10)에서 파워 게이팅을 수행하기 위한 스캔 플립플롭(110)의 데이터 저장과, 이를 복귀시키기 위한 시

프트 레지스터(100)의 구동 방법의 일례를 도시하였다. 도 4에 도시된 시프트 레지스터(100)의 동작 모드는 이하와 같다.

[0080] 시간(T1)~시간(T5)은 통상 동작 모드다. 시간(T5)~시간(T8)은 동작 정지 이행 모드다. 시간(T8)~시간(T9)은 동작 정지 모드다. 시간(T9)~시간(T12)은 동작 재개 이행 모드다. 시간(T12)~시간(T15)은 통상 동작 모드다.

<시간(T1)~시간(T5): 통상 동작 모드>

[0082] 통상 동작 모드에서는 SCN-FF[1] 및 SCN-FF[2]가 레지스터로서 기능한다. 시간(T1)~시간(T5)에서 세트 신호(ST), 및 로드 신호(LD)는 L 레벨이고, 또한, 클럭 신호(C1)~클럭 신호(C4)도 L 레벨이고, 각 SCN-FF[1] 및 SCN-FF[2]에서 MemA[1] 및 MemA[2]에만 제어 신호가 공급된다. 그러므로 MemA[1] 및 MemA[2]가 각각 레지스터로서 기능한다. 소정의 주기로 발진하는 클럭 신호(CK) 및 그 반전 신호(CKB)가 MemA[1] 및 MemA[2]에 입력된다. 단자(Q)[1] 및 단자(Q)[2]는 신호(CK)가 H 레벨일 때에 같은 시점에서의 단자(D)[1] 및 단자(D)[2]와 같은 전위가 된다. 또한, 실제로는 신호 지연이 있기 때문에 클럭 신호(CK)의 클럭 상승 시점보다 늦게 단자(Q)[1] 및 단자(Q)[2]의 전위가 변화한다.

<시간(T5)~시간(T8): 동작 정지 이행 모드>

[0084] 동작 정지 이행 모드에서는 시프트 레지스터(100)로의 전원 공급을 정지하기 위한 처리가 수행된다. 구체적으로는 MemA[1] 및 MemA[2]에서 유지한 데이터를 MemB[1] 및 MemB[2]로 저장시키는 처리가 수행된다. 또한, 시프트 레지스터(100)의 전원 공급 정지란, VDD를 L 레벨로 하고 VDD와 VSS의 전위 차이를 0V로 하는 것을 가리킨다.

[0085] 시간(T5)~시간(T8)에서는 신호(CK)는 "L"로 유지되고 신호(CKB)는 "H"로 유지된다. 먼저, MemB[1]의 노드(ND[1] 및 NQ[1]), 및 MemB[2]의 노드(ND[2] 및 NQ[2])의 프리 차지를 수행한다. 시간(T5)~시간(T6)에서 클럭 신호(C1) 및 클럭 신호(C3)를 H 레벨로 함으로써 이들 노드의 전위를 H 레벨로 한다.

[0086] 다음에 데이터 세트 동작을 수행한다. 시간(T6)~시간(T7)에서 신호(ST)를 "H"로 함으로써 MemA[1]의 노드(MD[1] 및 MQ[1])의 전위에 따른 데이터를 MemB[1]의 노드(ND[1] 및 NQ[1])에 기록하고, MemA[2]의 노드(MD[2] 및 MQ[2])의 전위에 따른 데이터를 MemB[2]의 노드(ND[2] 및 NQ[2])에 기록한다. 여기서는 노드(ND[1])에 "L"을 기록하고, 노드(NQ[1])에 "H"를 기록하고, 노드(ND[2])에 "H"를 기록하고, 노드(NQ[2])에 "L"을 기록한다.

[0087] 시간(T7)에서 신호(ST)가 하강되어 L 레벨이 됨으로써, 각 노드(ND[1], NQ[1], ND[2], 및 NQ[2])에서 전위가 유지되는 상태가 된다.

[0088] 이어서, 시간(T8)에서 VDD를 L 레벨로 한다. 즉, 전원 전위를 차단한다. 이 때, 단자(D[1]), 단자(D[2]), 단자(Q[1]), 및 단자(Q[2])는 "L"이 되고, 신호의 입력력이 정지된다. 또한, 신호(CK) 및 신호(CKB)의 공급을 정지한다. 따라서 신호(CK) 및 신호(CKB)는 "L"이 된다.

<시간(T8)~시간(T9): 동작 정지 모드>

[0090] 시간(T8)~시간(T9)의 동작 정지 모드에서는 전원 전압이 차단되고, 클럭 신호(CK) 및 클럭 신호(CKB), 입력 단자(D[1]) 및 입력 단자(D[2]), 및 출력 단자(Q[1]) 및 출력 단자(Q[2])의 전위 레벨은 모두 "L"이다. 따라서 시프트 레지스터(100)를 탑재한 집적 회로(10)에서 전력을 소비하지 않고 MemB[1] 및 MemB[2]에서 데이터를 유지할 수 있다.

<시간(T9)~시간(T12): 동작 재개 이행 모드>

[0092] 시간(T9)~시간(T12)의 동작 재개 이행 모드에서는 통상 동작 모드의 종료 시 즉, 시간(T5)의 상태로 SCN-FF[1] 및 SCN-FF[2]를 복귀시키는 동작이 수행된다. 구체적으로는 MemB[1] 및 MemB[2]에 저장된 데이터를 MemA[1] 및 MemA[2]에 기록하는 동작이 수행된다.

[0093] 시간(T9)에서, 신호(CK) 및 신호(CKB)의 전위를 시간(T5)의 전위로 한다. 여기서는 신호(CK)를 "L"로 하고 신호(CKB)를 "H"로 한다. 이어서, 시간(T10)에서, 신호(LD)를 "H"로 하고, 시간(T11)에서, VDD의 전위를 H 레벨로 한다. 즉, 스캔 플립플롭(110)으로의 전원 공급을 재개한다. 신호(LD)가 H 레벨인 상태에서 H 레벨의 VDD가 공급되면 MemB[1]의 노드(ND[1] 및 NQ[1])에서 유지된 데이터에 따른 전위가 MemA[1]의 노드(MD[1] 및 MQ[1])에 기록되고, MemB[2]의 노드(ND[2] 및 NQ[2])에서 유지된 데이터에 따른 전위가 MemA[2]의 노드(MD[2] 및 MQ[2])에 기록된다. 이로써 SCN-FF[1] 및 SCN-FF[2]는 시간(T5)의 상태로 되돌아간다.

- [0094] 시간(T12)에서, 신호(LD)를 L 레벨로 하고, 클럭 신호(CK) 및 클럭 신호(CKB)의 공급을 재개하여 시프트 레지스터(100)를 통상 동작 모드로 복귀시킨다. 시간(T12) 이후의 통상 동작 모드에서 접적 회로(10)는 시간(T5)으로부터 계속 처리할 수 있다.
- [0095] 따라서 도 4에 도시된 구동 방법을 적용함으로써 시프트 레지스터(100)가 조합된 접적 회로(10)의 전원을 적절히 정지시킬 수 있다. 또한, 스캔 플립플롭(110)은 데이터의 백업부를 그 내부에 갖기 때문에 데이터 저장 처리 및 데이터 복귀 처리에 따른 전력의 오버헤드 및 시간의 오버헤드를 크게 할 수 있다. 따라서 전원 차단에 의한 전력 삭감 효과를 높일 수 있다.
- [0096] [구동 방법 2: 동작 겸중 모드에서의 시프트 레지스터로서의 동작]
- [0097] 도 5에는, 접적 회로(10)의 동작 겸중 모드에서의 시프트 레지스터(100)의 구동 방법의 일례를 도시하였다. 동작 겸중 모드에서는 시프트 레지스터(100)는 시프트 레지스터로서 동작시킨다. 도 5에 도시된 시프트 레지스터(100)의 동작 모드는 이하와 같다.
- [0098] 시간(T21)~시간(T25)은 통상 동작 모드이고, 시간(T25)~시간(T27)은 데이터 세트 동작 모드이고, 시간(T28)~시간(T32)은 시프트 동작 모드이고, 시간(T33)~시간(T36)은 데이터 로드 동작 모드이고, 시간(T36) 이후는 통상 동작 모드다.
- [0099] <시간(T21)~시간(T25): 통상 동작 모드>
- [0100] 시간(T21)~시간(T25)에서의 시프트 레지스터(100)의 동작은 도 4에 도시된 시간(T1)~시간(T5)에서의 동작과 같다.
- [0101] <시간(T25)~시간(T27): 데이터 세트 동작 모드>
- [0102] 시간(T25)~시간(T27)의 데이터 세트 동작 모드에서는 신호(CK)는 L 레벨로 유지되고, 신호(CKB)는 H 레벨로 유지되고, 기억 회로(111)의 데이터 재기록이 정지한다. 시간(T25)~시간(T26)에서 신호(C1) 및 신호(C3)를 "H"로 하고, MemC[1] 및 MemC[2]의 노드(ND[1], NQ[1], ND[2], 및 NQ[2])를 프리 차지하여 그 전위를 H 레벨로 한다. 즉, 노드(ND[1], NQ[1], ND[2], 및 NQ[2])의 전위를 리셋한다.
- [0103] 시간(T26)~시간(T27)에서 신호(ST)를 "H"로 하고 MemA[1]의 노드(MD[1] 및 MQ[1])에 유지된 데이터에 따른 전위를 MemC[1]의 노드(ND[1] 및 NQ[1])에 기록하고, MemA[2]의 노드(MD[2] 및 MQ[2])에 유지된 데이터에 따른 전위를 MemC[2]의 노드(ND[2] 및 NQ[2])에 기록한다. 시간(T27)에서 신호(ST)를 "L"로 하고 각 노드(ND[1], NQ[1], ND[2], 및 NQ[2])에서 전위를 유지시킨다. 여기서는 노드(ND[1])에 "L"이 유지되고, 노드(NQ[1])에 "H"가 유지되고, 노드(ND[2])에 "H"가 유지되고, 노드(NQ[2])에 "L"이 유지된다. 이 데이터 세트 동작에 의하여 시간(T25) 시점의 MemA[1] 및 MemA[2]의 데이터가 MemC[1] 및 MemC[2]에 저장된다.
- [0104] <시간(T28)~시간(T32): 시프트 동작 모드>
- [0105] 다음에 시간(T28)~시간(T32)의 시프트 동작 모드에 대하여 설명한다. 도 5에 도시된 바와 같이, 시간(T28)~시간(T32)에서는 신호(C1)~신호(C4)를 순차적으로 H 레벨로 함으로써 단자(SCN-IN)로부터 입력된 데이터를 순차적으로 노드(ND[1], NQ[1], ND[2], 및 NQ[2])에 저장하고 최종적으로 단자(SCN-OUT)로부터 추출하는 동작이 수행된다.
- [0106] 먼저, 시간(T28)~시간(T29)에서는 신호(C1)를 "H"로 함으로써 노드(ND[1]) 및 노드(ND[2])의 전위를 "H"로 한다. 즉, MemC[1] 및 MemC[2]의 입력 측 노드(ND[1]) 및 노드(ND[2])의 전위를 리셋한다.
- [0107] 시간(T29)~시간(T30)에서는 신호(C2)를 "H"로 함으로써, MemC[1]의 노드(ND[1])에 단자(SCN-IN)의 데이터에 따른 전위를 공급하고, MemC[2]의 노드(ND[2])에 MemC[1]의 노드(NQ[1])의 데이터에 따른 전위를 공급한다. 여기서는 노드(ND[1])에 "H"가 공급되고, 노드(ND[2])에 "L"이 공급된다.
- [0108] 시간(T30)~시간(T31)에서는 신호(C3)를 "H"로 함으로써 노드(NQ[1]) 및 노드(NQ[2])의 전위를 "H"로 한다. 즉, MemC[1] 및 MemC[2]의 출력 측 노드(NQ[1]) 및 노드(NQ[2])의 전위를 리셋한다.
- [0109] 다음에 시간(T31)~시간(T32)에서는 신호(C4)를 "H"로 함으로써, MemC[1]에서 노드(ND[1])의 데이터에 따른 전위를 노드(NQ[1])에 공급하고, MemC[2]에서 노드(ND[2])의 데이터에 따른 전위를 노드(NQ[2])에 공급한다. 여기서는 노드(NQ[1])에 "L"이 공급되고 노드(NQ[2])에 "H"가 공급된다.
- [0110] 또한, 시간(T31)~시간(T32)에서, 단자(SCN-OUT)에는 노드(NQ[2])에 유지된 데이터에 따른 전위가 출력되고, 여

기서는 "L"이 출력된다. 단자(SCN-OUT)로부터 출력되는 데이터는 시간(T25)~시간(T27)에서의 데이터 세트 동작에 의하여 노드(NQ[1])에 저장된 데이터에 대응한다. 즉, 시프트 레지스터(100)의 시프트 동작에 따라 MemC[1]에서 유지된 데이터가 다음 단 MemC[2]에 전송되는 것을 알 수 있다.

[0111] <시간(T33)~시간(T36): 데이터 로드 동작 모드>

시간(T33)~시간(T36)에서는 데이터 로드 동작이 수행된다. 신호(LD)를 "H"로 함으로써, MemC[1]의 노드(ND[1] 및 NQ[1])의 데이터에 따른 전위를 MemA[1]의 노드(MD[1] 및 MQ[1])에 기록하고, MemC[2]의 노드(ND[2] 및 NQ[2])의 데이터에 따른 전위를 MemA[2]의 노드(MD[2] 및 MQ[2])에 기록한다. 여기서는 노드(MD[1])는 "L"이 되고, 노드(MQ[1])는 "H"가 되고, 노드(MD[2])는 "H"가 된다. 또한, 노드(MQ[2])는 "L"이 되고, MemA[1]의 단자(Q[1])는 "L"이 되고, MemA[2]의 단자(Q[2])는 "H"가 된다. 즉, 단자(SCN-IN)를 통하여 시프트 레지스터(100)에 입력된 임의의 데이터를 MemA[1] 및 MemA[2]에 설정할 수 있다.

[0113] 상술한 바와 같이, 시프트 레지스터(100)는 임의의 시간에서의 SCN-FF[1] 및 SCN-FF[2]의 데이터를 외부로 추출하고, 외부로부터 임의의 데이터를 SCN-FF[1] 및 SCN-FF[2]에 설정할 수 있다. 따라서 임의의 회로 상태로부터 시프트 레지스터(100)가 조합된 접적 회로(10)의 동작을 시작할 수 있다. 따라서 시프트 레지스터(100)를 적용함으로써 접적 회로(10)의 불량 해석을 더 효율적으로 수행할 수 있다.

[0114] 또한, SCN-FF[1] 및 SCN-FF[2]에서, MemA[1] 및 MemA[2]가 갖는 조합 회로의 레지스터로서의 기능을 제한하지 않고, 백업용 MemB[1] 및 MemB[2], 및 데이터 전송용 MemC[1] 및 MemC[2]를 제공할 수 있다.

[0115] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0116] (실시형태 2)

[0117] 실시형태 1에 기재된 시프트 레지스터(100)는 조합 회로 등 다른 기능 회로와 함께 한 IC칩 안에 조합될 수 있다. 본 실시형태에서는 스캔 테스트가 가능한 복수의 접적 회로를 한 IC칩으로 하기 위한 구성의 일례를 기재한다.

[0118] 도 6에 접적 회로의 단면 구조의 일례를 도시하였다. 도 6에는 접적 회로를 구성하는 주된 소자로서, 산화물 반도체층에 채널 형성 영역을 갖는 OS 트랜지스터와, 반도체 기판에 채널 형성 영역을 갖는 2개의 트랜지스터가 도시되었다. 또한, 도 6에 도시된 단면도는 접적 회로 중 특정 개소를 절단한 단면도가 아니고 접적 회로의 적층 구조를 설명하기 위한 도면이다.

[0119] 반도체 기판(500)은 예를 들어, n형 또는 p형 도전성을 갖는 단결정 실리콘 기판, 화합물 반도체 기판(GaAs 기판, InP 기판, GaN 기판, SiC 기판, ZnSe 기판 등) 등을 사용할 수 있다. 도 6에는 n형 도전성을 갖는 단결정 실리콘 기판을 사용한 경우를 예시하였다.

[0120] 본 명세서에서는 실리콘 기판을 사용하여 제작된 트랜지스터를 "Si 트랜지스터"라고 부르는 경우가 있다.

[0121] 도 6에 도시된 바와 같이, Si 트랜지스터(561) 및 Si 트랜지스터(562)는 반도체 기판(500) 위에 형성된다. Si 트랜지스터(561)는 p채널형 트랜지스터이고, Si 트랜지스터(562)는 n채널형 트랜지스터다.

[0122] OS 트랜지스터(560)는 시프트 레지스터(100)에 포함되는 기억 회로(112)의 트랜지스터(221)~트랜지스터(224), 및 기억 회로(113)의 트랜지스터(231)~트랜지스터(236)에 적용된다(도 1 참조). Si 트랜지스터(561) 및 Si 트랜지스터(562)는 접적 회로에 제공되는 상술한 것 외의 트랜지스터에 적용된다.

[0123] 이와 같이, 접적 회로를 구성하는 트랜지스터로서 OS 트랜지스터와 Si 트랜지스터 양쪽을 사용함으로써 시프트 레지스터(100)에서 기억 회로(111)(MemA) 위에 기억 회로(112)(MemB)의 일부와 기억 회로(113)(MemC)를 적층하여 제공할 수 있다. 즉, 스캔 테스트용 시프트 레지스터를 접적 회로에 조합할 때, 레지스터로서 원래 제공되는 기억 회로 위에 백업용 기억 회로, 및 데이터 전송용 기억 회로를 적층하여 제공할 수 있기 때문에 칩 면적 증대를 억제할 수 있다.

[0124] 본 실시형태에 따른 접적 회로를 구성하는 막은 열산화법, CVD법, MBE법, 스팍터링법 등에 의하여 형성할 수 있다. 예를 들어, 도전막은 스팍터링법에 의하여 형성할 수 있지만, 다른 방법, 예를 들어, 열CVD법에 의하여 형성하여도 좋다. 열CVD법의 예로서 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법을 사용하여도 좋다.

[0125] 예를 들어, ALD를 이용하는 성막 장치에 의하여 텅스텐막을 형성하는 경우에는, WF₆가스와 B₂H₆가스를 순차적으로

로 반복하여 도입함으로써 초기 텅스텐막을 형성한 후에, WF₆가스와 H₂가스를 동시에 도입하여 텅스텐막을 형성 한다. 또한, B₂H₆가스 대신에 SiH₄가스를 사용하여도 좋다.

- [0126] Si 트랜지스터(561) 및 Si 트랜지스터(562)는 소자 분리용 절연막(501)에 의하여 전기적으로 분리된다. 소자 분리용 절연막(501)의 형성에는 선택산화(LOCOS: Local Oxidation of Silicon)법 또는 트렌치 분리법 등을 사용할 수 있다. 또한, 반도체 기판(500)으로서 SOI형 반도체 기판을 사용하여도 좋다. 이 경우, 소자 분리는, 반도체층을 소자마다 예칭에 의하여 분할함으로써 수행된다.
- [0127] Si 트랜지스터(562)가 형성되는 영역에는 p형 도전성을 부여하는 불순물 원소를 선택적으로 도입함으로써 p웰(502)이 형성된다.
- [0128] Si 트랜지스터(561)는 불순물 영역(503) 및 저농도 불순물 영역(504)과, 게이트 전극(505)과, 반도체 기판(500)과 게이트 전극(505) 사이에 제공된 게이트 절연막(506)을 갖는다. 게이트 전극(505)에는 사이드 월(535)이 형성된다.
- [0129] Si 트랜지스터(562)는 불순물 영역(507) 및 저농도 불순물 영역(508)과, 게이트 전극(509)과, 게이트 절연막(506)을 갖는다. 게이트 전극(509)의 주위에는 사이드 월(536)이 형성된다.
- [0130] Si 트랜지스터(561) 및 Si 트랜지스터(562) 위에는 절연막(516)이 제공된다. 절연막(516)에는 복수의 개구부가 형성되고, 이 개구부들에는 불순물 영역(503)에 접하여 배선(510) 및 배선(511)이 형성되고, 불순물 영역(507)에 접하여 배선(512) 및 배선(513)이 형성된다.
- [0131] 그리고 배선(510)은 절연막(516) 위에 형성된 배선(517)에 접속되고, 배선(511)은 절연막(516) 위에 형성된 배선(518)에 접속되고, 배선(512)은 절연막(516) 위에 형성된 배선(519)에 접속되고, 배선(513)은 절연막(516) 위에 형성된 배선(520)에 접속된다.
- [0132] 배선(517)~배선(520) 위에는 절연막(521)이 형성된다. 절연막(521)에는 개구부가 형성되고, 절연막(521) 위에는 이 개구부를 통하여 배선(520)에 접속된 배선(522), 및 배선(523)이 형성된다. 배선(522) 및 배선(523) 위에는 절연막(524)이 형성된다.
- [0133] 절연막(524) 위에 산화물 반도체층(530)을 갖는 OS 트랜지스터(560)가 형성된다. OS 트랜지스터(560)는 산화물 반도체층(530) 위에 소스 전극 또는 드레인 전극으로서 기능하는 도전막(532) 및 도전막(533), 게이트 절연막(531), 및 게이트 전극(534)을 갖는다. 도전막(532)은 절연막(524)에 제공된 개구부를 통하여 배선(522)에 접속된다.
- [0134] 절연막(524)을 사이에 끼워 산화물 반도체층(530)과 중첩되는 위치에 배선(523)이 제공된다. 배선(523)은 OS 트랜지스터(560)의 백 게이트로서 기능한다. 배선(523)에 공급되는 전위에 따라 OS 트랜지스터(560)의 문턱 전압을 제어할 수 있다. 배선(523)은 필요에 따라 제공하면 좋다.
- [0135] OS 트랜지스터(560)는 절연막(544) 및 절연막(545)으로 덮인다. 절연막(544)으로서는, 절연막(545)으로부터 방출된 수소가 산화물 반도체층(530)에 침입하는 것을 막는 기능을 갖는 절연막이 바람직하다. 이와 같은 절연막으로서 질화 실리콘막 등이 있다.
- [0136] 도전막(546)이 절연막(545) 위에 제공된다. 절연막(544), 절연막(545), 및 게이트 절연막(531)에 제공된 개구부를 통하여 도전막(546)과 도전막(532)은 접한다.
- [0137] 산화물 반도체층(530)의 두께는 2nm 이상 40nm 이하로 하면 좋다. 또한, 산화물 반도체층(530)에서 OS 트랜지스터(560)의 채널 형성 영역을 구성하는 영역은 i형(진성 반도체) 또는 i형에 한없이 비슷한 것이 바람직하다. 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되며, 산소 결손이 저감된 산화물 반도체층은 i형(진성 반도체) 또는 i형에 한없이 비슷하다. 여기서는 이와 같은 산화물 반도체층을 고순도화 산화물 반도체층이라고 부르기로 한다. 채널이 고순도화된 산화물 반도체층으로 형성된 트랜지스터는 오프 전류가 매우 낮고 신뢰성이 높다.
- [0138] 오프 전류가 낮은 트랜지스터를 제작하기 위하여 산화물 반도체층(530)의 캐리어 밀도는 $1 \times 10^{17}/\text{cm}^3$ 이하가 바람직하다. 더 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하, $1 \times 10^{15}/\text{cm}^3$ 이하, $1 \times 10^{14}/\text{cm}^3$ 이하, 또는 $1 \times 10^{13}/\text{cm}^3$ 이하이다.
- [0139] 산화물 반도체층(530)을 사용함으로써 오프 상태인 OS 트랜지스터(560)의 소스-드레인 전류(오프 전류)를 실온

(25°C 정도)에서 $1 \times 10^{-18} \text{ A}$ 이하로 할 수 있다. 실온(25°C 정도)에서의 오프 전류는 바람직하게는 $1 \times 10^{-21} \text{ A}$ 이하이고, 더 바람직하게는 $1 \times 10^{-24} \text{ A}$ 이하다. 또는, 85°C에서 오프 전류 값을 $1 \times 10^{-15} \text{ A}$ 이하로 할 수 있고, 바람직하게는 $1 \times 10^{-18} \text{ A}$ 이하로 하고, 더 바람직하게는 $1 \times 10^{-21} \text{ A}$ 이하로 한다. 또한, 트랜지스터가 오프 상태란, n 채널형 트랜지스터의 경우 게이트 전압이 문턱 전압보다 충분히 작은 상태를 가리킨다. 구체적으로는 게이트 전압이 문턱 전압보다 1V 이상, 2V 이상, 또는 3V 이상 작으면 트랜지스터는 오프 상태다.

[0140] 산화물 반도체층을 사용한 트랜지스터의 오프 전류가 매우 작은 것은 각종 실험에 의하여 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 인 트랜지스터에서, 소스-드레인 사이의 전압(드레인 전압)이 1V~10V의 범위에서의 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉, $1 \times 10^{-13} \text{ A}$ 이하라는 측정 데이터를 얻을 수 있었다. 이 경우, 트랜지스터의 채널 폭으로 정규화된 오프 전류는 $100\text{zA}/\mu\text{m}$ 이하가 된다.

[0141] 다른 실험으로서는 용량 소자에 트랜지스터를 접속시키고, 용량 소자에 주입 또는 용량 소자로부터 방전되는 전하를 트랜지스터로 제어하는 회로를 사용하여 오프 전류를 측정하는 방법이 있다. 이 경우, 용량 소자의 단위 시간당 전하량의 추이로부터 트랜지스터의 오프 전류를 측정한다. 이 결과, 드레인 전압이 3V인 조건하에서 트랜지스터의 오프 전류가 수십 $\text{pA}/\mu\text{m}$ 인 것이 확인되었다. 따라서 고순도화된 산화물 반도체층으로 채널 형성 영역을 형성한 트랜지스터는 결정성을 갖는 실리콘을 사용한 트랜지스터에 비하여 오프 전류가 현저히 작게 된다.

[0142] 산화물 반도체층(530)은 적어도 In, Ga, Sn, 및 Zn 중 1종류 이상의 원소를 함유하는 산화물로 형성되는 것이 바람직하다. 이와 같은 산화물로서는 In-Sn-Ga-Zn 산화물이나, In-Ga-Zn 산화물, In-Sn-Zn 산화물, In-Al-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In산화물, Sn산화물, Zn산화물 등을 사용할 수 있다. 또한, 이들 산화물에 In, Ga, Sn, 및 Zn 외의 원소, 예를 들어, SiO_2 를 포함하는 산화물 반도체를 사용할 수 있다.

[0143] 또한, 예를 들어, In-Ga-Zn 산화물이란, In, Ga, 및 Zn을 포함하는 산화물이란 뜻이고, In, Ga, 및 Zn의 원자수비는 불문한다.

[0144] 산화물 반도체층(530)을 구성하는 산화물 반도체막의 구조에 대하여 이하에서 설명한다. 여기서는 "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 가리킨다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 가리킨다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다. 또한, 삼방정 또는 능면체정은 육방정계에 포함된다.

[0145] 산화물 반도체막은 비단결정 산화물 반도체막 및 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 가리킨다. 산화물 반도체층(530)은 예를 들어, 비정질 산화물 반도체막, 미결정 산화물 반도체막, 및 CAAC-OS막 중 2종류 이상을 갖는 적층막이라도 좋다. 이와 같이, 산화물 반도체층(530)이 복수의 구조를 갖는 경우, 후술하는 나노 범 전자 회절을 사용함으로써 구조 해석이 가능하게 되는 경우가 있다.

[0146] 먼저, CAAC-OS막에 대하여 설명한다.

[0147] CAAC-OS막은 c축 배향된 복수의 결정부를 갖는 산화물 반도체막 중 하나다.

[0148] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계, 즉 말하자면 결정 입계(그레이인 바운더리라고도 함)는 확인될 수 없다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0149] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각층은 CAAC-OS막이 형성되는 면(괴형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 괴형성면 또는 상면에 평행하게 배열된다.

[0150] CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자

가 삼각형 또는 육각형으로 배열되는 것을 확인할 수 있다. 그러나, 상이한 결정부들 사이에서 금속 원자의 배열에는 규칙성이 보이지 않는다.

[0151] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 확인할 수 있다.

[0152] CAAC-OS막에 포함되는 대부분의 결정부는 한 변이 100 nm 미만의 입방체 내에 들어가는 크기다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기인 경우도 포함된다. 또한, CAAC-OS막에 포함되는 복수의 결정부가 연결됨으로써 하나의 큰 결정 영역을 형성하는 경우가 있다. 예를 들어, 평면 TEM상으로부터 2500nm^2 이상, $5\mu\text{m}^2$ 이상 또는 $1000\mu\text{m}^2$ 이상의 결정 영역이 관찰되는 경우가 있다.

[0153] X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 CAAC-OS막의 구조를 해석하면, 예를 들어, InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향되는 것을 확인할 수 있다.

[0154] 또한, c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의하여 CAAC-OS막을 해석하면, 2θ 가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체막의 경우에는, 2θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하고 ϕ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.

[0155] 상술한 것으로부터, CAAC-OS막에서는, 상이한 결정부들 사이에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고 또한 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향되는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층 형상으로 배열된 금속 원자의 각층은, 결정의 a-b면에 평행한 면이다.

[0156] 또한, 결정부는 CAAC-OS막을 형성하였을 때, 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않는 경우도 있다.

[0157] 또한, CAAC-OS막 중에서 c축 배향된 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 c축 배향된 결정부의 비율이 높게 되는 경우가 있다. 또한, 불순물이 첨가된 CAAC-OS막은 불순물이 첨가된 영역이 변질되어, 부분적으로 c축 배향된 결정부의 비율이 상이한 영역이 형성될 수도 있다.

[0158] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ 가 31° 근방일 때 나타나는 피크에 더하여, 2θ 가 36° 근방일 때 피크가 나타날 수도 있다. 2θ 가 36° 근방일 때 나타나는 피크는 CAAC-OS막 중의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2θ 가 31° 근방일 때 피크가 나타나고, 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.

[0159] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 천이 금속 원소 등의 산화물 반도체막의 주성분 외의 원소다. 특히 실리콘 등, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는 산화물 반도체막에서 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.

[0160] 또한 CAAC-OS막은 결함 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나 또는 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0161] 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 문턱 전압이 마이너스

가 되는 전기 특성(노멀리 온이라고도 함)을 갖는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출될 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로 불순물 농도가 높고 결함 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.

[0162] CAAC-OS막을 사용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.

[0163] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.

[0164] TEM에 의하여 미결정 산화물 반도체막을 관찰하면 결정부가 명확히 확인될 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, 예를 들어 TEM에 의하여 nc-OS막을 관찰하면 결정 입계가 명확히 확인될 수 없는 경우가 있다.

[0165] nc-OS막은 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성이 보이지 않는다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체막과 구별하기 어려운 경우가 있다. 예를 들어, 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 nc-OS막의 구조를 해석하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, 프로브 직경이 결정부보다 큰(예를 들어, 50nm 이상) 전자선을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)에 의하여 nc-OS막을 관찰하면, 할로 패턴과 같은 회절 패턴이 관측된다. 한편, 프로브 직경이 결정부의 크기와 가깝거나, 프로브 직경이 결정부보다 작은 전자선을 사용하는 나노 범 전자 회절에 의하여 nc-OS막을 관찰하면, 스포트이 관측된다. 또한, 나노 범 전자 회절에 의하여 nc-OS막을 관찰하면, 휘도가 높은 원형(환형)의 영역이 관측될 수 있다. 또한, 나노 범 전자 회절에 의하여 nc-OS막을 관찰하면, 원형 영역 내에 복수의 스포트이 관측될 수 있다.

[0166] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS막은 CAAC-OS막보다 결함 준위 밀도가 높다.

[0167] CAAC-OS막의 형성 방법을 이하에서 설명한다.

[0168] CAAC-OS막은 예를 들어, 다결정인 산화물 반도체 스퍼터링용 타깃을 사용하여 스퍼터링법에 의하여 형성한다. 상기 스퍼터링용 타깃에 이온이 충돌되면, 스퍼터링용 타깃에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)되고, a-b면에 평행한 면을 갖는 평판 형상 또는 펠릿(pellet) 형상의 스퍼터링 입자로서 박리되는 경우가 있다. 이 경우, 상기 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달함으로써, CAAC-OS막을 형성할 수 있다.

[0169] 또한, CAAC-OS막을 형성하기 위하여 이하의 조건을 적용하는 것이 바람직하다.

[0170] 성막 시의 불순물 혼입을 저감함으로써, 불순물을 인하여 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물(수소, 물, 이산화탄소, 및 질소 등) 농도를 저감하면 좋다. 또한, 성막 가스 중의 불순물 농도를 저감하면 좋다. 구체적으로는, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 사용한다.

[0171] 또한, 성막 시의 기판 가열 온도를 높임으로써, 기판 도달 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 가열 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 하여 막을 형성한다. 성막 시의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우에 기판 위에서 마이그레이션이 일어나고, 스퍼터링 입자의 평평한 면이 기판에 부착된다.

[0172] 또한, 성막 가스 중의 산소 비율을 높이고 전력을 최적화시킴으로써 성막 시의 플라즈마 대미지를 경감시키면 바람직하다. 성막 가스 중의 산소 비율은 30체적% 이상, 바람직하게는 100체적%로 한다.

[0173] 스퍼터링용 타깃의 일례로서, In-Ga-Zn-O 화합물 타깃에 대해서 이하에 기재한다.

[0174] InO_x 분말, GaO_y 분말, 및 ZnO_z 분말을 소정의 mol수비로 혼합하고, 가압 처리한 후, 1000°C 이상 1500°C 이하의

온도로 가열 처리를 수행함으로써 다결정인 In-Ga-Zn-O 화합물 타깃으로 한다. 또한 X, Y, 및 Z는 임의의 양수다. 여기서, 소정의 mol수비는 예를 들어, InO_x 분말, GaO_y 분말, 및 ZnO_z 분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2다. 또한, 분말의 종류, 및 그 혼합하는 mol수비는 제작하는 스퍼터링용 타깃에 따라 적절히 변경하면 좋다.

[0175] 또는 복수회 막을 퇴적시키는 방법으로 CAAC-OS막을 형성할 수 있다. 이와 같은 방법의 일례를 이하에 기재한다.

[0176] 먼저, 제 1 산화물 반도체층을 1nm 이상 10nm 미만의 두께로 형성한다. 제 1 산화물 반도체층은 스퍼터링법을 사용하여 형성한다. 구체적으로는, 기판 온도를 100°C 이상 500°C 이하, 바람직하게는 150°C 이상 450°C 이하로 하고, 성막 가스 중의 산소 비율을 30체적% 이상 바람직하게는 100체적%로 하여 형성한다.

[0177] 다음에 가열 처리를 수행하여 제 1 산화물 반도체층을 결정성이 높은 제 1 CAAC-OS막으로 한다. 가열 처리의 온도는 350°C 이상 740°C 이하, 바람직하게는 450°C 이상 650°C 이하로 한다. 또한, 가열 처리의 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하로 한다. 또한, 가열 처리는 불활성 분위기 또는 산화성 분위기에서 수행하면 좋다. 바람직하게는, 불활성 분위기에서 가열 처리를 수행한 후에 산화성 분위기에서 가열 처리를 수행한다. 불활성 분위기에서 가열 처리를 수행함으로써, 제 1 산화물 반도체층의 불순물 농도를 짧은 시간 안에 저감시킬 수 있다. 한편 불활성 분위기에서 가열 처리를 수행함으로써 제 1 산화물 반도체층에 산소 결손이 생기는 경우가 있다. 이 경우 산화성 분위기에서 가열 처리를 수행함으로써 상기 산소 결손을 저감할 수 있다. 또한, 가열 처리는 1000Pa 이하, 100Pa 이하, 10Pa 이하, 또는 1Pa 이하의 감압하에서 수행하여도 좋다. 감압하에서는 제 1 산화물 반도체층의 불순물 농도를 더욱 짧은 시간 안에 저감시킬 수 있다.

[0178] 제 1 산화물 반도체층의 두께가 1nm 이상 10nm 미만이라면 두께가 10nm 이상인 경우에 비하여 가열 처리를 수행함으로써 쉽게 결정화시킬 수 있다.

[0179] 다음에 제 1 산화물 반도체층의 조성과 같은 조성을 갖는 제 2 산화물 반도체층을 10nm 이상 50nm 이하의 두께로 형성한다. 제 2 산화물 반도체층은 스퍼터링법을 사용하여 형성한다. 구체적으로는, 기판 온도를 100°C 이상 500°C 이하, 바람직하게는 150°C 이상 450°C 이하로 하고, 성막 가스 중의 산소 비율을 30체적% 이상 바람직하게는 100체적%로 하여 형성한다.

[0180] 다음에, 가열 처리를 수행하여 제 2 산화물 반도체층을 제 1 CAAC-OS막으로부터 고상 성장시킴으로써 결정성이 높은 제 2 CAAC-OS막으로 한다. 가열 처리의 온도는 350°C 이상 740°C 이하, 바람직하게는 450°C 이상 650°C 이하로 한다. 또한, 가열 처리의 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하로 한다. 또한, 가열 처리는 불활성 분위기 또는 산화성 분위기에서 수행하면 좋다. 바람직하게는, 불활성 분위기에서 가열 처리를 수행한 후에 산화성 분위기에서 가열 처리를 수행한다. 불활성 분위기에서 가열 처리를 수행함으로써, 제 2 산화물 반도체층의 불순물 농도를 짧은 시간 안에 저감시킬 수 있다. 한편 불활성 분위기에서 가열 처리를 수행함으로써 제 2 산화물 반도체층에 산소 결손이 생기는 경우가 있다. 이 경우 산화성 분위기에서 가열 처리를 수행함으로써 상기 산소 결손을 저감할 수 있다. 또한, 가열 처리는 1000Pa 이하, 100Pa 이하, 10Pa 이하, 또는 1Pa 이하의 감압하에서 수행하여도 좋다. 감압하에서는 제 2 산화물 반도체층의 불순물 농도를 더욱 짧은 시간 안에 저감할 수 있다.

[0181] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0182] (실시형태 3)

[0183] 본 실시형태에서는 산화물 반도체 트랜지스터의 구성 및 그 제작 방법을 도 7~도 12를 참조하면서 설명한다. 본 실시형태에 따른 산화물 반도체 트랜지스터는 예를 들어, 도 6에 도시된 집적 회로의 OS 트랜지스터(560)로서 제작할 수 있다.

[0184] <OS 트랜지스터의 구성 예 1>

[0185] 도 7에 톱 게이트형 OS 트랜지스터의 구성의 일례를 도시하였다. 도 7의 (A)는 OS 트랜지스터(651)의 상면도다. 도 7의 (B)는 도 7의 (A)를 선 B1-B2를 따라 자른 단면도이고, 도 7의 (C)는 도 7의 (A)를 선 B3-B4를 따라 자른 단면도다.

[0186] 도 7의 (B)에 도시된 바와 같이, OS 트랜지스터(651)는 기판(600) 위에 제공된 하지 절연막(602)과, 하지 절연막(602) 위에 제공된, 다층막(606), 소스 전극(616a), 드레인 전극(616b), 게이트 절연막(612), 게이트 전극

(604), 및 보호 절연막(618)을 갖는다.

[0187] 게이트 절연막(612)은 소스 전극(616a) 및 드레인 전극(616b) 위에 제공된다. 소스 전극(616a) 및 드레인 전극(616b)은 하지 절연막(602) 및 다층막(606) 위에 제공된다. 또한, 소스 전극(616a) 및 드레인 전극(616b)은 다층막(606) 측단부와 접하여 제공된다. 보호 절연막(618)은 게이트 절연막(612) 및 게이트 전극(604) 위에 제공된다.

[0188] 다층막(606)은 하지 절연막(602) 위에 제공된 산화물층(606a), 산화물층(606a) 위에 제공된 산화물 반도체층(606b), 및 산화물 반도체층(606b) 위에 제공된 산화물층(606c)을 포함한다.

[0189] 여기서는 3층 구조의 다층막(606)을 갖는 OS 트랜지스터(651)에 대하여 설명하지만, 적층되는 막의 개수는 3개에 한정되지 않고, 다층막(606)은 복수의 산화물층이 적층되면 좋고, 2층 또는 4층 구조로 하여도 좋다. 예를 들어, 다층막(606)을 2층 구조로 하는 경우에는 산화물층(606a)과 산화물 반도체층(606b)으로 구성할 수 있다.

[0190] 또한, 여기서는 하지 절연막(602) 및 보호 절연막(618)을 OS 트랜지스터(651)를 구성하는 막으로 하였지만 이들 막 중 한쪽 및 양쪽을 OS 트랜지스터(651)를 구성하는 막으로 하지 않아도 좋다.

[0191] 도 7의 (B)에 도시된 바와 같이, 소스 전극(616a) 및 드레인 전극(616b)에 사용되는 도전막의 종류에 따라서는 소스 전극(616a) 및 드레인 전극(616b)에 의하여 다층막(606)의 일부로부터 산소가 뺏김으로써 다층막(606)에 부분적으로 n형화 영역(소스 영역 및 드레인 영역)이 형성될 수 있다. 도 7의 (B)는 이와 같이, n형화 영역이 형성되는 예를 도시한 것이고, n형화 영역의 경계를 점선으로 도시하였다.

[0192] n형화 영역은 다층막(606)에서의 산소 결손이 많은 영역이고, 소스 전극(616a) 및 드레인 전극(616b)의 성분, 예를 들어, 소스 전극(616a) 및 드레인 전극(616b)으로서 텅스텐막을 사용한 경우, n형화 영역 중에 텅스텐 원소가 혼입된다. 또한, 도시되지 않았지만 소스 전극(616a) 및 드레인 전극(616b)에서 다층막(606)과 접하는 영역에 다층막(606) 중의 산소가 들어가서 혼합층이 형성되는 경우가 있다.

[0193] 도 7의 (A)에서 게이트 전극(604)과 중첩되는 영역에서, 소스 전극(616a)과 드레인 전극(616b)의 간격을 채널 길이라고 한다. 다만 OS 트랜지스터(651)가 소스 영역 및 드레인 영역을 포함하는 경우, 게이트 전극(604)과 중첩되는 영역에서, 소스 영역과 드레인 영역의 간격을 채널 길이라고 하여도 좋다.

[0194] 또한, 채널 형성 영역이란, 다층막(606)에서, 게이트 전극(604)과 중첩되고 또한 소스 전극(616a)과 드레인 전극(616b)과 중첩되지 않는 영역을 가리킨다. 또한, 채널이란, 채널 형성 영역에서 전류가 주로 흐르는 영역을 가리킨다. 여기서는 채널은 채널 형성 영역 중 산화물 반도체층(606b)에 형성되는 부분을 가리킨다.

[0195] 산화물층(606c)은 산화물 반도체층(606b)을 구성하는 원소 1종류 또는 2종류 이상으로 구성되고 전도대 하단의 에너지가 산화물 반도체층(606b)보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상 또는 0.15eV 이상이고 2eV 이하, 1eV 이하, 0.5eV 이하 또는 0.4eV 이하만큼 진공 준위에 가까운 산화물층이다. 또한 산화물 반도체층(606b)에 적어도 인듐이 포함되면 캐리어 이동도가 높게 되기 때문에 바람직하다. 이 때, 게이트 전극(604)에 전계를 인가하면 다층막(606) 중 전도대 하단의 에너지가 작은 산화물 반도체층(606b)에 채널이 형성된다. 즉, 산화물 반도체층(606b)과 게이트 절연막(612) 사이에 산화물층(606c)이 제공됨으로써 OS 트랜지스터(651)의 채널을 게이트 절연막(612)과 접하지 않는 산화물 반도체층(606b)에 형성할 수 있다. 또한, 산화물 반도체층(606b)을 구성하는 원소 1종류 또는 2종류 이상으로부터 산화물층(606c)이 구성되기 때문에 산화물 반도체층(606b)과 산화물층(606c) 계면에서 계면 산란이 일어나기 어렵다. 따라서 상기 계면에서 캐리어의 움직임이 저해되지 않기 때문에 OS 트랜지스터(651)의 전계 효과 이동도가 높게 된다.

[0196] 산화물층(606c)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 산화물 반도체층(606b)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 15nm 이하로 한다. 산화물층(606a)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다.

[0197] 또한, 산화물층(606a)은 산화물 반도체층(606b)을 구성하는 원소 1종류 또는 2종류 이상으로 구성되고 전도대 하단의 에너지가 산화물 반도체층(606b)보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상 또는 0.15eV 이상이고 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하만큼 진공 준위에 가까운 산화물층이다. 산화물 반도체층(606b)을 구성하는 원소 1종류 또는 2종류 이상으로부터 산화물층(606a)이 구성되기 때문에 산화물 반도체층(606b)과 산화물층(606a) 계면에 계면 준위가 형성되기 어렵다. 상기 계면이 계면 준위를 가지면, 상기 계면을 채널로 한, 문턱 전압이 상이한 제 2 트랜지스터가 형성되고 OS 트랜지스터(651)의 외관상의 문턱 전압이 변동하는 경우가 있다. 따라서 산화물층(606a)을 제공함으로써 OS 트랜지스터(651)가 갖는 문턱 전압 등의 전기적 특성의

편차를 저감할 수 있다.

[0198] 예를 들어, 산화물층(606a) 및 산화물층(606c)은 산화물 반도체층(606b)과 같은 원소(인듐, 갈륨, 아연)를 주성분으로 하고, 갈륨을 산화물 반도체층(606b)보다 높은 원자수비로 포함하는 산화물층으로 하면 좋다. 구체적으로는 산화물층(606a) 및 산화물층(606c)으로서 산화물 반도체층(606b)보다 갈륨을 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상 높은 원자수비로 포함하는 산화물층을 사용한다. 갈륨은 산소와 강하게 결합되기 때문에, 산화물층에 산소 결손이 생기는 것을 억제하는 기능을 갖는다. 즉, 산화물층(606a) 및 산화물층(606c)은 산화물 반도체층(606b)보다 산소 결선이 생기기 어려운 산화물층이다.

[0199] 또한, 산화물층(606a), 산화물 반도체층(606b), 및 산화물층(606c)은 비정질 또는 결정질로 한다. 바람직하게는 산화물층(606a)을 비정질 또는 결정질로 하고, 산화물 반도체층(606b)을 결정질로 하고, 산화물층(606c)을 비정질로 한다. 채널이 형성되는 산화물 반도체층(606b)이 결정질이라면 OS 트랜지스터(651)에 안정된 전기 특성을 부여할 수 있다.

[0200] OS 트랜지스터(651)의 그 외의 구성 요소에 대하여 이하에서 설명한다.

[0201] 기판(600)으로서는 유리 기판, 석영 기판 등 절연성 기판을 사용할 수 있다. 또한, 실시형태 2에 기재된 반도체 기판을 사용할 수 있다.

[0202] 소스 전극(616a) 및 드레인 전극(616b)은 알루미늄, 티타늄, 크로뮴, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브데늄, 루테늄, 은, 탄탈럼, 및 텉스텐을 1종류 이상 포함하는 도전막을 단층 또는 적층으로 사용하면 좋다. 또한, 소스 전극(616a) 및 드레인 전극(616b)은 같은 조성을 가져도 좋고, 상이한 조성을 가져도 좋다. 예를 들어, 텉스텐막과 질화 탄탈럼막의 적층을 사용한다.

[0203] 또한, 도 7의 (A)에서 다층막(606)이 게이트 전극(604) 외측까지 형성되었지만, 다층막(606) 중에서 광에 의하여 캐리어가 생성되는 것을 억제하기 위하여 게이트 전극(604) 내측에 다층막(606)이 형성되어도 좋다.

[0204] 하지 절연막(602)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타늄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등의 물질을 1종류 이상 포함하는 절연막을 단층 또는 적층으로 사용하면 좋다.

[0205] 또한, 본 명세서에서, 산화 질화물이란, 질소보다 산소의 함유량이 많은 물질을 가리키고, 또한, 질화 산화물이란 산소보다 질소의 함유량이 많은 물질을 가리킨다.

[0206] 하지 절연막(602)은 예를 들어 1번쩨 층을 질화 실리콘층으로 하고, 2번쩨 층을 산화 실리콘층으로 한 다층막으로 하면 좋다. 이 경우, 산화 실리콘층은 산화 질화 실리콘층이라도 좋다. 또한, 질화 실리콘층은 질화 산화 실리콘층이라도 좋다. 산화 실리콘층은 결함 밀도가 작은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로는 ESR(전자 스핀 공명) 장치로 측정된 g값이 2.001인 ESR 신호에서 유래하는 스핀의 스핀 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘층을 사용한다. 질화 실리콘층으로서는 수소 및 암모니아의 방출량이 적은 질화 실리콘층을 사용한다. 수소 및 암모니아의 방출량은 TDS(승온 이탈 가스 분광법) 분석 장치로 측정하면 좋다. 또한, 질화 실리콘층으로서는 산소를 투과시키지 않는, 또는 거의 투과시키지 않는 질화 실리콘층을 사용한다.

[0207] 또는, 하지 절연막(602)은, 예를 들어 1번쩨 층을 제 1 질화 실리콘층으로 하고, 2번쩨 층을 제 1 산화 실리콘층으로 하고, 3번쩨 층을 제 2 산화 실리콘층으로 한 다층막으로 하면 좋다. 이 경우, 제 1 산화 실리콘층 및/또는 제 2 산화 실리콘층은 산화 질화 실리콘층이라도 좋다. 또한, 질화 실리콘층은 질화 산화 실리콘층이라도 좋다. 제 1 산화 실리콘층으로서 결함 밀도가 작은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로는 g값이 2.001인 ESR 신호에서 유래하는 스핀의 스핀 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘층을 사용한다. 제 2 산화 실리콘층으로서는 과잉 산소를 포함한 산화 실리콘층을 사용한다. 질화 실리콘층으로서는 수소 및 암모니아의 방출량이 적은 질화 실리콘층을 사용한다. 또한, 질화 실리콘층으로서는 산소를 투과시키지 않는, 또는 거의 투과시키지 않는 질화 실리콘층을 사용한다.

[0208] 과잉 산소를 포함한 산화 실리콘층이란, 가열 처리 등에 의하여 산소를 방출할 수 있는 산화 실리콘층을 가리킨다. 산화 실리콘층을 절연막까지 확장하면 과잉 산소를 포함한 절연막은 가열 처리에 의하여 산소를 방출하는 기능을 갖는 절연막이다.

[0209] 여기서, 가열 처리에 의하여 산소를 방출하는 막은, 막의 표면 온도가 100°C 이상 700°C 이하, 바람직하게는

100°C 이상 500°C 이하의 가열 처리로 수행되는 TDS 분석에 의하여 1×10^{18} atoms/cm³ 이상, 1×10^{19} atoms/cm³ 이상, 또는 1×10^{20} atoms/cm³ 이상의 산소(산소 원자수로 환산)를 방출할 수도 있다.

[0210] 또한, 가열 처리에 의하여 산소를 방출하는 막은 과산화 라디칼을 포함하는 경우도 있다. 구체적으로는 과산화 라디칼에 기인한 스픈 밀도가 5×10^{17} spins/cm³ 이상인 것을 말한다. 또한, 과산화 라디칼을 포함하는 막은, ESR에서 측정한 경우에 g값이 2.01 근방일 때 비대칭의 신호를 가질 수도 있다.

[0211] 또는, 과잉 산소를 포함한 절연막은 산소가 과잉으로 함유된 산화 실리콘(SiO_X(X>2))이라도 좋다. 산소가 과잉으로 함유된 산화 실리콘(SiO_X(X>2))은 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적당 포함하는 것이다. 단위 체적당 실리콘 원자수 및 산소 원자수는 RBS에 의하여 측정한 값이다.

[0212] 게이트 절연막(612) 및 하지 절연막(602) 중 적어도 한쪽이 과잉 산소를 포함하는 절연막을 포함하는 경우, 산화물 반도체층(606b)의 산소 결손을 저감할 수 있다.

[0213] 또한, 보호 절연막(618)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 계르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼을 1종류 이상 포함하는 절연막을 단층 또는 적층으로 사용하면 좋다.

[0214] 상술한 공정을 거쳐 구성된 트랜지스터는 다층막(606)의 산화물 반도체층(606b)에 채널이 형성됨으로써 안정된 전기 특성을 갖고 높은 전계 효과 이동도를 갖는다.

[0215] <OS 트랜지스터의 제작 방법 예 1>

[0216] 이하, 도 8 및 도 9를 사용하여 OS 트랜지스터(651)의 제작 방법의 일례에 대하여 설명한다.

[0217] 먼저, 하지 절연막(602)이 형성된 기판(600)을 준비한다. 하지 절연막(602)으로서는 스퍼터링 장치를 사용하여 과잉 산소를 포함하는 산화 실리콘층을 형성한다.

[0218] 다음에 산화물층(606a)이 되는 산화물층을 형성한다. 산화물층(606a)으로서 막 두께 20nm의 IGZO(In:Ga:Zn=1:3:2)막을 사용한다. 또한, IGZO(In:Ga:Zn=1:3:2)막을 형성하는 조건으로서는, 스퍼터링 장치를 사용하고, 기판 온도=200°C, Ar/O₂=30/15sccm, 성막 압력=0.4Pa, 성막 전력(DC)=0.5kW, 기판-타깃간 거리(T-S간 거리)=60mm로 한다.

[0219] 다음에, 산화물 반도체층(606b)이 되는 산화물 반도체층을 형성한다. 산화물 반도체층(606b)으로서 막 두께 15nm의 IGZO(In:Ga:Zn=1:1:1)막을 사용한다. 또한, IGZO(In:Ga:Zn=1:1:1)막을 형성하는 조건으로서는, 스퍼터링 장치를 사용하고, 기판 온도=300°C, Ar/O₂=30/15sccm, 성막 압력=0.4Pa, 성막 전력(DC)=0.5kW, 기판-타깃간 거리(T-S간 거리)=60mm로 한다.

[0220] 다음에 산화물층(606c)이 되는 산화물층을 형성한다. 산화물층(606c)으로서 막 두께 5nm의 IGZO(In:Ga:Zn=1:3:2)막을 사용한다. 또한, IGZO(In:Ga:Zn=1:3:2)막을 형성하는 조건으로서는 스퍼터링 장치를 사용하고, 기판 온도=200°C, Ar/O₂=30/15sccm, 성막 압력=0.4Pa, 성막 전력(DC)=0.5kW, 기판-타깃간 거리(T-S간 거리)=60mm로 한다.

[0221] 다음에 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도로 수행하면 좋다. 제 1 가열 처리는, 불활성 가스 분위기, 산화성 가스를 10ppm 이상, 바람직하게는 1% 이상 더 바람직하게는 10% 이상 포함하는 분위기, 또는 감압 상태에서 수행한다. 또는, 제 1 가열 처리는, 불활성 가스 분위기하에서 가열 처리를 수행한 후에, 이탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상, 바람직하게는 1% 이상 더 바람직하게는 10% 이상 포함하는 분위기에서 수행하여도 좋다. 제 1 가열 처리에 의하여 산화물 반도체층(606b)이 되는 산화물 반도체층의 결정성을 높이고, 더구나 하지 절연막(602), 산화물층(606a)이 되는 산화물층, 산화물 반도체층(606b)이 되는 산화물 반도체층, 및/또는 산화물층(606c)이 되는 산화물층으로부터 수소나 물 등 불순물을 제거할 수 있다.

[0222] 다음에 산화물층(606a)이 되는 산화물층, 산화물 반도체층(606b)이 되는 산화물 반도체층, 및 산화물층(606c)이 되는 산화물층의 일부를 에칭하여 산화물층(606a), 산화물 반도체층(606b), 및 산화물층(606c)을 포함하는 다층막(606)을 형성한다(도 8의 (A) 참조).

- [0223] 다음에 소스 전극(616a) 및 드레인 전극(616b)이 되는 도전막을 형성한다. 다음에 이 도전막의 일부를 에칭하여 소스 전극(616a) 및 드레인 전극(616b)을 형성한다(도 8의 (B) 참조).
- [0224] 다음에 제 2 가열 처리를 수행하는 것이 바람직하다. 제 2 가열 처리는 제 1 가열 처리와 마찬가지로 수행할 수 있다. 제 2 가열 처리에 의하여 다층막(606)으로부터 수소나 물 등 불순물을 제거할 수 있다.
- [0225] 다음에, 게이트 절연막(612)을 형성한다(도 8의 (C) 참조). 게이트 절연막(612)은 예를 들어, 1번재 층을 제 1 산화 실리콘층으로 하고, 2번재 층을 제 2 산화 실리콘층으로 하고, 3번재 층을 질화 실리콘층으로 하는 다층막으로 하면 좋다. 이 경우, 제 1 산화 실리콘층 및/또는 제 2 산화 실리콘층은 산화 질화 실리콘층이라도 좋다. 또한, 질화 실리콘층은 질화 산화 실리콘층이라도 좋다. 제 1 산화 실리콘층은 결함 밀도가 작은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로는 ESR에 의하여 측정된 g값이 2.001의 신호에서 유래하는 스판의 스판 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘층을 사용한다. 제 2 산화 실리콘층으로서는 과잉 산소를 포함한 산화 실리콘층을 사용한다. 질화 실리콘층으로서는 수소 및 암모니아의 방출량이 적은 질화 실리콘층을 사용한다. 또한, 질화 실리콘층은 산소를 투과시키지 않거나, 또는 거의 투과시키지 않는 질화 실리콘층을 사용한다.
- [0226] 다음에 게이트 전극(604)이 되는 도전막을 형성한다. 다음에 이 도전막의 일부를 에칭하여 게이트 전극(604)을 형성한다(도 9의 (A) 참조). 다음에 보호 절연막(618)을 형성한다(도 9의 (B) 참조).
- [0227] 상술한 공정을 거쳐 OS 트랜지스터(651)를 제작할 수 있다.
- [0228] OS 트랜지스터(651)는 다층막(606)의 산화물 반도체층(606b) 중의 산소 결손이 저감되기 때문에 안정된 전기 특성을 갖는다.
- [0229] <OS 트랜지스터의 구성 예 2>
- [0230] 다음에 도 10을 참조하면서 OS 트랜지스터(651)와 상이한 구조를 갖는 OS 트랜지스터의 일례에 대하여 설명한다.
- [0231] 도 10에 툽 게이트형 OS 트랜지스터의 구성의 일례를 도시하였다. 도 10의 (A)는 OS 트랜지스터의 상면도다. 도 10의 (B)는 도 10의 (A)를 일점 쇄선 B1-B2를 따라 자른 단면도이고, 도 10의 (C)는 도 10의 (A)를 일점 쇄선 B3-B4를 따라 자른 단면도다.
- [0232] 도 10에 도시된 바와 같이, OS 트랜지스터(652)는 기판(600) 위에 제공된 하지 절연막(602)과, 하지 절연막(602) 위에 제공된, 다층막(606), 소스 전극(616a), 드레인 전극(616b), 게이트 절연막(612), 게이트 전극(604), 및 보호 절연막(618)을 갖는다.
- [0233] 하지 절연막(602) 위에는 산화물층(606a) 및 산화물 반도체층(606b)이 적층되어 제공된다. 소스 전극(616a) 및 드레인 전극(616b)은 산화물층(606a)과 산화물 반도체층(606b)으로 이루어지는 적층막 위에 접하여 제공된다. 또한, 이 적층막, 소스 전극(616a), 및 드레인 전극(616b) 위에 산화물층(606c)이 제공된다. 산화물층(606c) 위에 게이트 절연막(612)을 개재(介在)하여 게이트 전극(604)이 제공된다.
- [0234] 도 10의 (A)에는, 게이트 전극(604), 게이트 절연막(612), 및 산화물층(606c)이 대략 동일한 레이아웃 형상(상면으로부터 본 형상)을 갖는 예에 대하여 도시하였지만, 이것에 한정되지 않는다. 예를 들어, 산화물층(606c) 및/또는 게이트 절연막(612)이 게이트 전극(604) 외측까지 제공되어도 좋다.
- [0235] 또한, 소스 전극(616a) 및 드레인 전극(616b)에 사용되는 도전막의 종류에 따라서는 산화물 반도체층(606b)의 일부로부터 산소를 빼앗거나 또는 혼합층을 형성함으로써 산화물 반도체층(606b) 중에 n형 영역을 형성할 수 있다. 도 10의 (B)에서 n형화 영역의 경계를 접선으로 나타내었다.
- [0236] 도 10의 (A)에 도시된 평면 레이아웃에서, 게이트 전극(604)은 채널 형성 영역 전체에 중첩되도록 제공된다. 이와 같은 레이아웃으로 함으로써 게이트 전극(604) 측으로부터 광이 입사되더라도 광으로 인하여 채널 형성 영역 중에 캐리어가 생성되는 것을 억제할 수 있다. 즉, 도 10의 (A)에 도시된 예에서는 게이트 전극(604)은 차광막으로서의 기능을 갖는다. 물론, 채널 형성 영역은 게이트 전극(604)과 중첩되지 않는 영역을 가져도 좋다.
- [0237] <OS 트랜지스터의 제작 방법 예 2>
- [0238] 도 11 및 도 12를 사용하면서 OS 트랜지스터(652)의 제작 방법의 일례에 대하여 이하에서 설명한다. OS 트랜지스터(651)의 제작 공정과 같은 공정은 상술한 기재에 따라 수행된다.

- [0239] 먼저, 기관(600)을 준비한다. 다음에 하지 절연막(602)을 형성한다. 다음에 산화물층(636a) 및 산화물 반도체층(636b)을 이 차례로 형성한다(도 11의 (A) 참조).
- [0240] 다음에 산화물층(636a) 및 산화물 반도체층(636b)의 일부를 에칭하여 섭 형상의 산화물층(606a) 및 산화물 반도체층(606b)을 형성한다(도 11의 (B) 참조). 이 에칭을 수행하기 전에 제 1 가열 처리를 수행하는 것이 바람직하다.
- [0241] 다음에 도전막(616)을 형성한다(도 11의 (C) 참조). 도전막(616)을 형성함으로써 산화물층(606a) 및 산화물 반도체층(606b)의 적층막 상층에 n형 영역(607)이 형성되는 경우가 있다.
- [0242] 다음에 도전막(616)의 일부를 에칭하여 소스 전극(616a) 및 드레인 전극(616b)을 형성한다(도 11의 (D) 참조). 다음에 제 2 가열 처리를 수행하는 것이 바람직하다. 제 2 가열 처리를 수행함으로써 산화물 반도체층(606b) 중 노출된 n형 영역(607)을 i형 영역으로 할 수 있는 경우가 있다(도 11의 (D) 참조).
- [0243] 다음에 산화물층(636c)을 형성한다(도 12의 (A) 참조).
- [0244] 다음에 절연막(642)을 형성한다. 절연막(642)은 예를 들어, 플라즈마를 사용한 CVD법으로 형성하면 좋다. CVD 법에서는 기관 온도를 높게 하면 할수록 치밀하고 결함 밀도가 낮은 절연막을 얻을 수 있다. 절연막(642)은, 가공한 후에 게이트 절연막(612)으로서 기능하기 때문에 치밀하고 결함 밀도가 낮으면 낮을수록 트랜지스터의 전기 특성은 안정된다. 한편, 하지 절연막(602)이 과잉 산소를 포함하는 경우, 트랜지스터의 전기 특성은 안정된다. 하지만, 하지 절연막(602)이 노출된 상태에서 기관 온도를 높게 하면 하지 절연막(602)으로부터 산소가 방출되어 과잉 산소가 저감되는 경우가 있다. 여기서는 절연막(642)을 형성할 때에 하지 절연막(602)이 산화물층(636c)으로 덮여 있기 때문에 하지 절연막(602)으로부터의 산소 방출을 억제할 수 있다. 그러므로 하지 절연막(602)에 포함되는 과잉 산소를 저감시키지 않고 절연막(642)을 치밀하고 결함 밀도가 낮은 절연막으로 할 수 있다. 그러므로 트랜지스터의 신뢰성을 높게 할 수 있다.
- [0245] 다음에 도전막(634)을 형성한다(도 12의 (B) 참조). 다음에 산화물층(636c), 절연막(642), 및 도전막(634)의 일부를 에칭하여 각각 산화물층(606c), 게이트 절연막(612), 및 게이트 전극(604)으로 한다(도 12의 (C) 참조).
- [0246] 다음에 보호 절연막(618)을 형성한다. 상술한 공정을 거쳐 도 10의 (C)에 도시된 OS 트랜지스터(652)를 제작할 수 있다(도 12의 (D) 참조). 보호 절연막(618)을 형성한 후에 제 3 가열 처리를 수행하면 바람직하다. 제 3 가열 처리는 제 1 가열 처리와 마찬가지로 수행할 수 있다.
- [0247] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0248] (실시형태 4)
- [0249] 본 명세서에서 기재되는 시프트 헤지스터는 디지털 신호 처리, 소프트 웨어 무선, 애비오닉스(통신 기기, 항법 시스템, 자동 조종 장치, 비행 관리 시스템 등 항공에 관한 전자 기기), ASIC 프로토타이핑, 의료(醫療)용 화상 처리, 음성 인식, 암호, 바이오 인포메틱스(생물 정보 과학), 기계 장치의 에뮬레이터, 배터리(이차 전지)를 제어하는, 및/또는 보호하기 위한 IC, 및 전파 천문학에서의 전파망원경 등, 폭넓은 분야의 전자 기기의 집적 회로에 사용할 수 있다.
- [0250] 이와 같은 전자 기기의 예로서, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(DVD 등의 기록 매체의 화상 데이터를 판독하고 그 화상을 표시하는 디스플레이를 갖는 장치)에 사용할 수 있다. 그 외에, 휴대 전화기, 휴대형을 포함하는 게임기, 휴대 정보 단말, 전자 서적, 카메라(비디오 카메라, 디지털 스틸 카메라 등), 고글형 디스플레이(헤드마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 13에 도시하였다.
- [0251] 도 13의 (A)는 휴대형 게임기의 구성예를 도시한 외관도다. 휴대형 게임기는 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 조작 키(907), 및 스타일러스(stylus)(908) 등을 갖는다.
- [0252] 도 13의 (B)는 휴대 정보 단말의 구성예를 도시한 외관도다. 휴대 정보 단말은 하우징(911), 하우징(912), 표시부(913), 표시부(914), 접속부(915), 및 조작 키(916) 등을 갖는다. 표시부(913)는 하우징(911)에 제공되고 표시부(914)는 하우징(912)에 제공된다. 그리고, 하우징(911)과 하우징(912)은 접속부(915)에 의하여 접속되고 하우징(911)과 하우징(912) 사이의 각도는 접속부(915)에 의하여 변경할 수 있다. 표시부(913)의 영상을 접속

부(915)에서의 하우징(911)과 하우징(912) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 또한, 표시부(913) 및 표시부(914) 중 적어도 한쪽에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한, 위치 입력 장치로서의 기능은, 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는 위치 입력 장치로서의 기능은, 포토 센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수도 있다.

- [0253] 도 13의 (C)는 노트북형 퍼스널 컴퓨터의 구성예를 도시한 외관도다. 퍼스널 컴퓨터는 하우징(921), 표시부(922), 키보드(923), 및 포인팅 디바이스(924) 등을 갖는다.
- [0254] 도 13의 (D)는 전기 냉동 냉장고의 구성예를 도시한 외관도다. 전기 냉동 냉장고는 하우징(931), 냉장실용 도어(932), 냉동실용 도어(933) 등을 갖는다.
- [0255] 도 13의 (E)는 비디오 카메라의 구성예를 도시한 외관도다. 비디오 카메라는 하우징(941), 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 및 접속부(946) 등을 갖는다. 조작 키(944) 및 렌즈(945)는 하우징(941)에 제공되고, 표시부(943)는 하우징(942)에 제공된다. 그리고, 하우징(941)과 하우징(942)은 접속부(946)에 의하여 접속되고 하우징(941)과 하우징(942) 사이의 각도는 접속부(946)에 의하여 변경할 수 있다. 하우징(941)에 대한 하우징(942)의 각도에 따라 표시부(943)에 표시되는 화상 방향을 변경하거나, 화상을 표시하는지 안 하는지를 전환할 수 있다.
- [0256] 도 13의 (F)는 자동차의 구성예를 도시한 외관도다. 자동차는 차체(951), 차륜(952), 대시보드(953), 및 라이트(954) 등을 갖는다.
- [0257] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

- [0258]
- 10: 집적 회로
 - 100: 시프트 레지스터
 - 110: 스캔 플립플롭
 - 111: 기억 회로
 - 112: 기억 회로
 - 113: 기억 회로
 - 121: 입력 단자
 - 122: 출력 단자
 - 150: 조합 회로
 - 151: 입력 단자
 - 152: 출력 단자
 - 211: 스위치
 - 212: 인버터
 - 213: 클럭드 인버터
 - 214: 인버터
 - 221: 트랜지스터
 - 222: 트랜지스터
 - 223: 트랜지스터
 - 224: 트랜지스터
 - 225: 트랜지스터

226: 트랜지스터

227: 트랜지스터

228: 트랜지스터

231: 트랜지스터

232: 트랜지스터

233: 트랜지스터

234: 트랜지스터

235: 트랜지스터

236: 트랜지스터

500: 반도체 기판

501: 소자 분리용 절연막

502: p웰

503: 불순물 영역

504: 저농도 불순물 영역

505: 게이트 전극

506: 게이트 절연막

507: 불순물 영역

508: 저농도 불순물 영역

509: 게이트 전극

510: 배선

511: 배선

512: 배선

513: 배선

517: 배선

518: 배선

519: 배선

520: 배선

522: 배선

523: 배선

516: 절연막

521: 절연막

524: 절연막

544: 절연막

545: 절연막

530: 산화물 반도체층

531: 게이트 절연막

532: 도전막

533: 도전막

546: 도전막

534: 게이트 전극

535: 사이드 월

536: 사이드 월

560: OS 트랜지스터

561: Si 트랜지스터

562: Si 트랜지스터

600: 기판

602: 하지 절연막

604: 게이트 전극

606: 다층막

606a: 산화물층

606b: 산화물 반도체층

606c: 산화물층

607: n형 영역

612: 게이트 절연막

616: 도전막

616a: 소스 전극

616b: 드레인 전극

618: 보호 절연막

634: 도전막

636a: 산화물층

636b: 산화물 반도체층

636c: 산화물층

642: 절연막

651: OS 트랜지스터

652: OS 트랜지스터

901: 하우징

902: 하우징

903: 표시부

904: 표시부

905: 마이크로폰

906: 스파커

907: 조작 키

908: 스타일러스

911: 하우징

912: 하우징

913: 표시부

914: 표시부

915: 접속부

916: 조작 키

921: 하우징

922: 표시부

923: 키보드

924: 포인팅 디바이스

931: 하우징

932: 냉장실용 도어

933: 냉동실용 도어

941: 하우징

942: 하우징

943: 표시부

944: 조작 키

945: 렌즈

946: 접속부

951: 차체

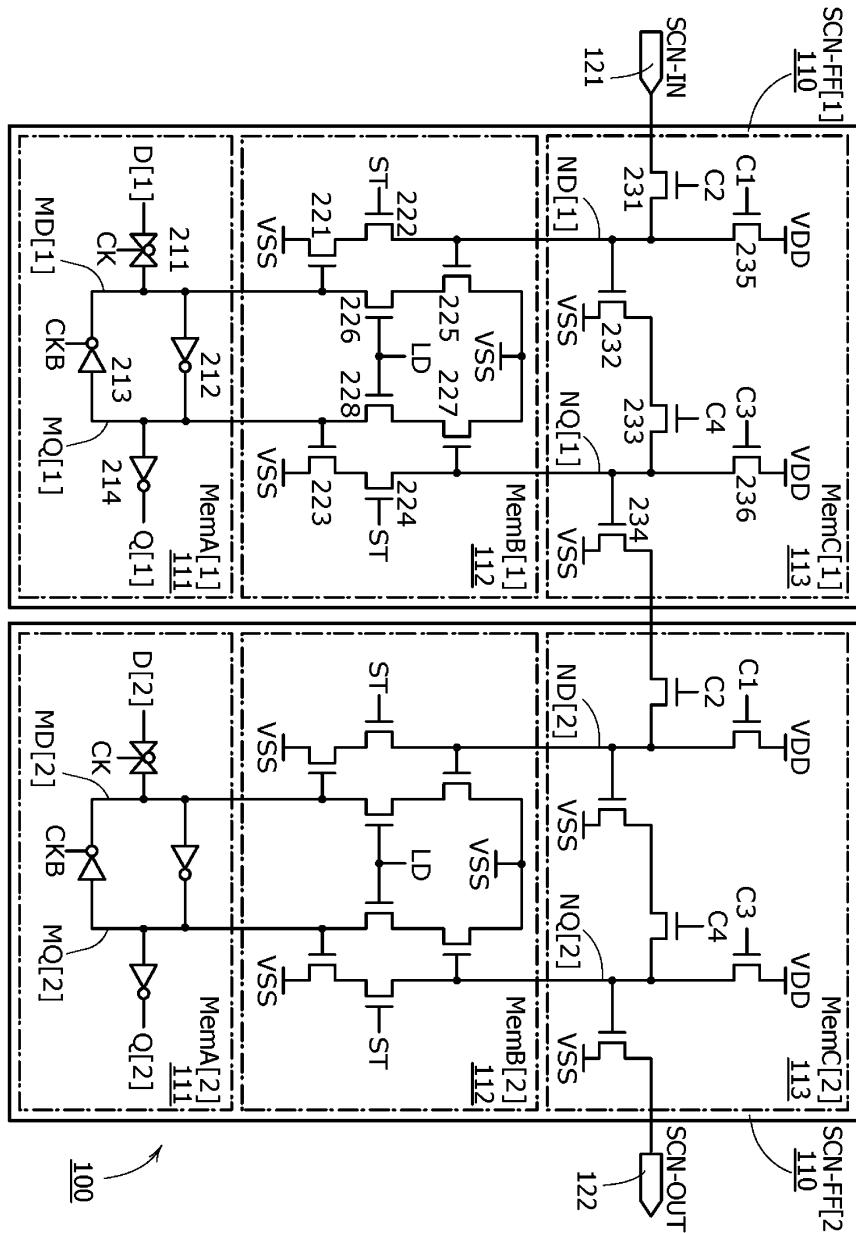
952: 차륜

953: 대시보드

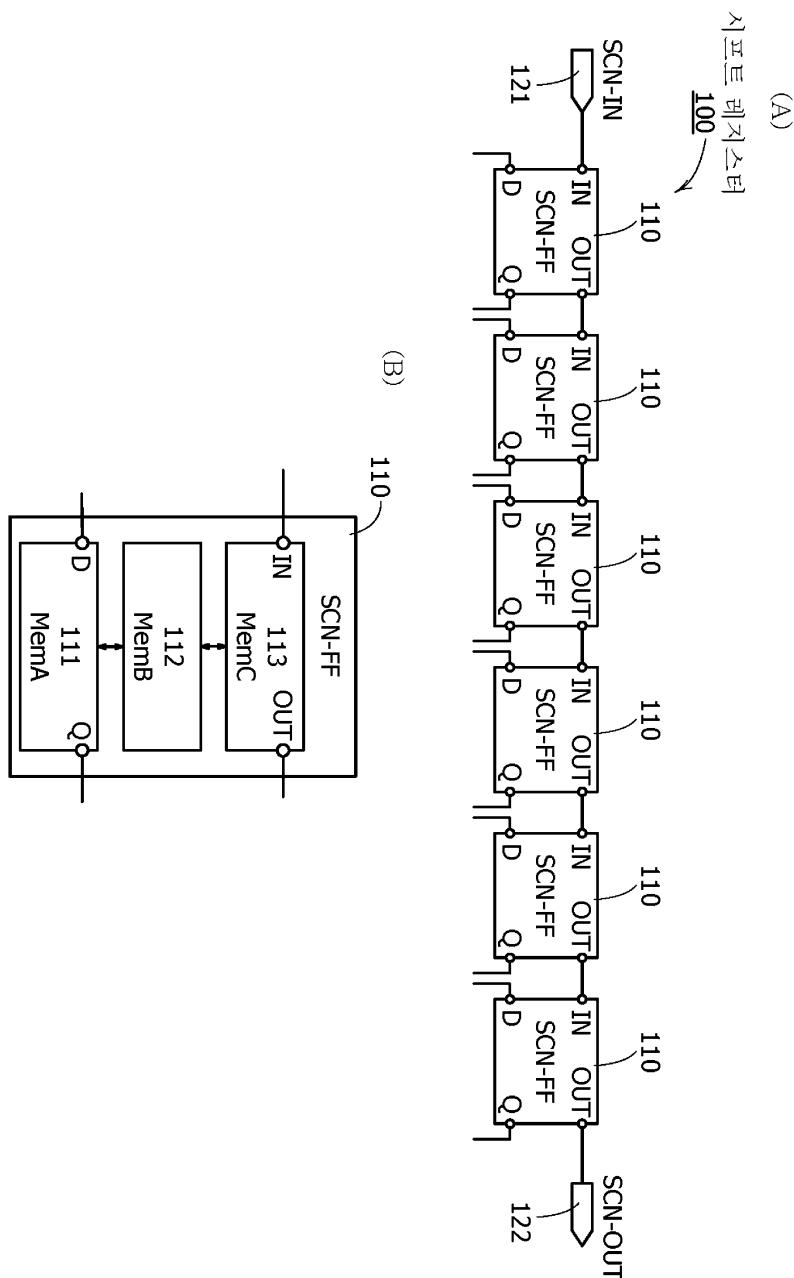
954: 라이트

도면

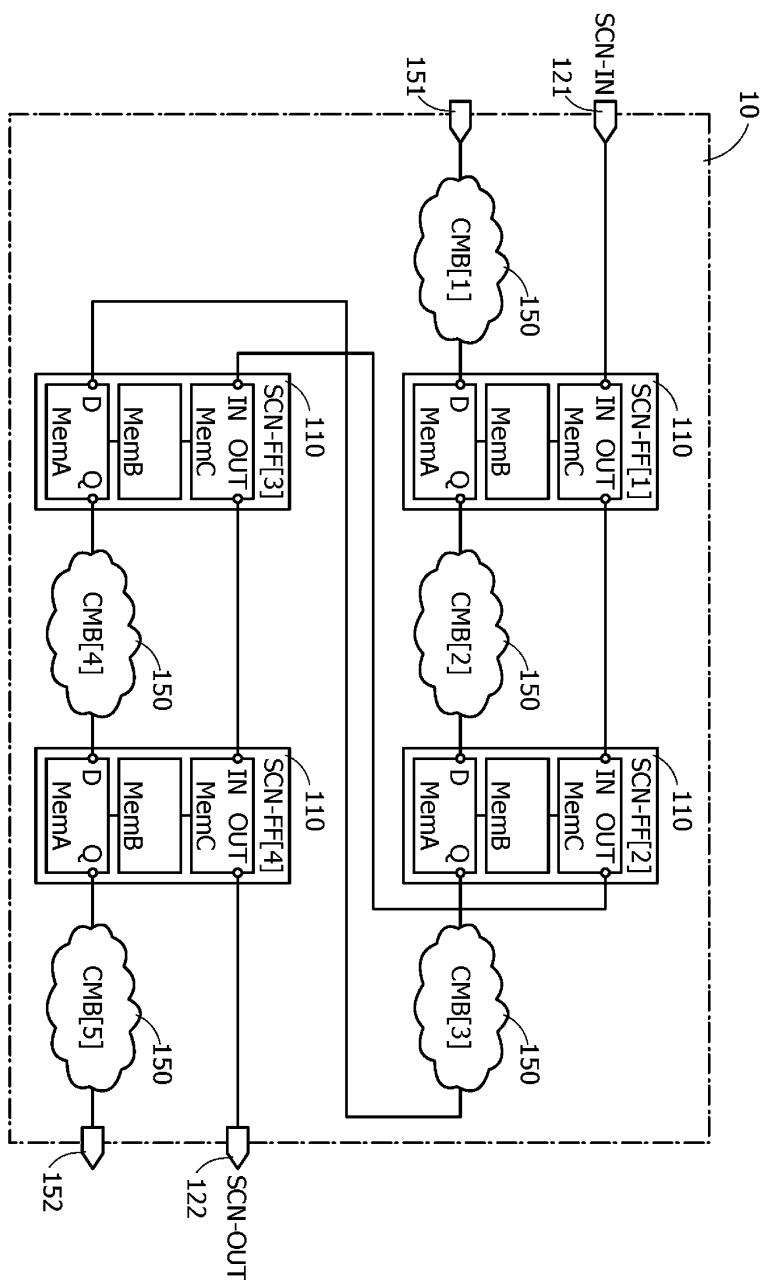
도면1



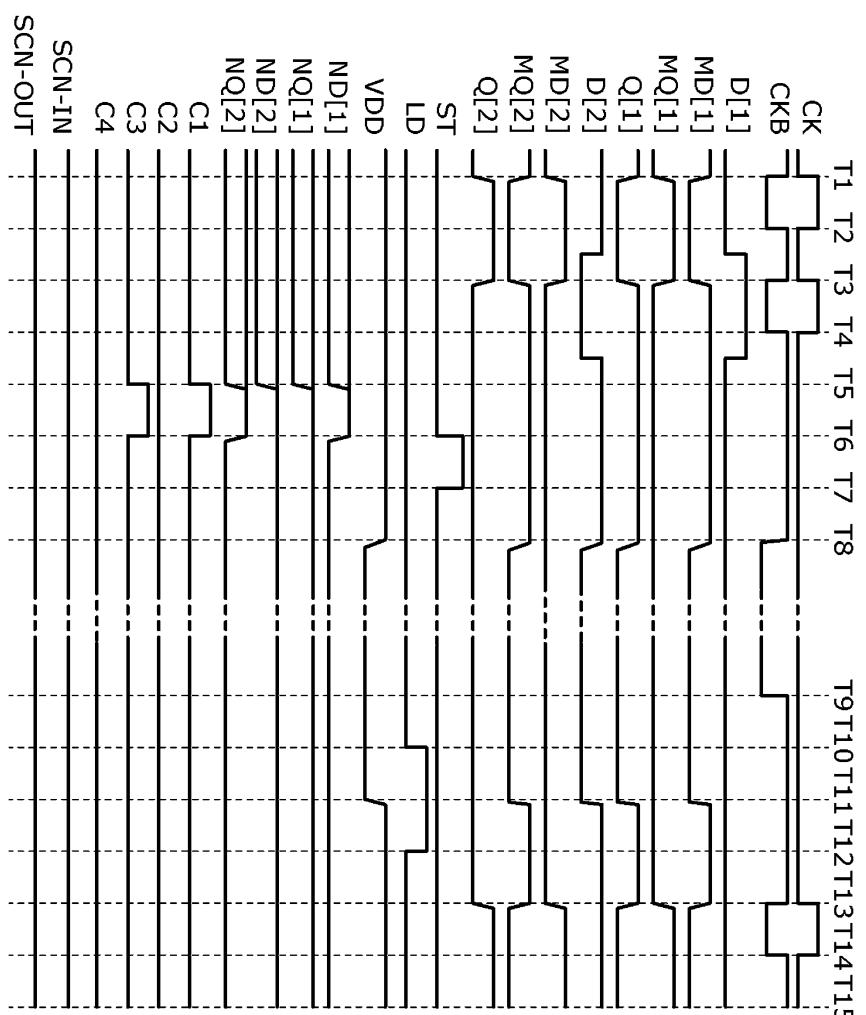
도면2



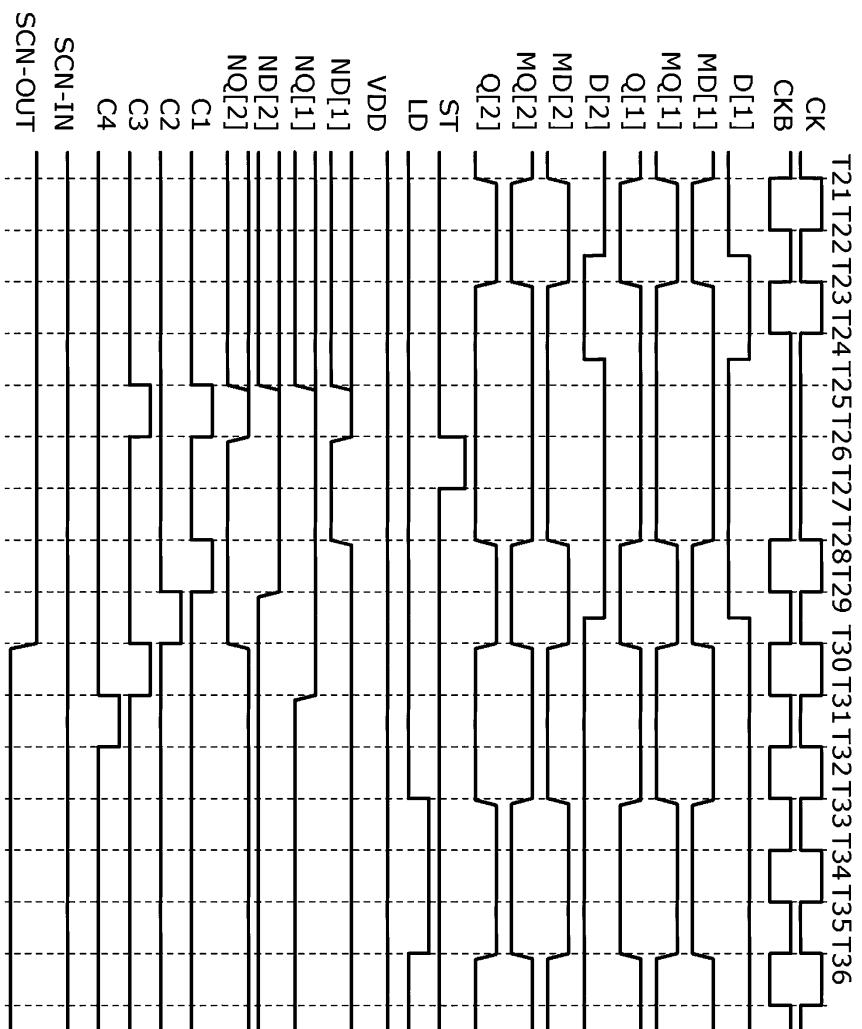
도면3



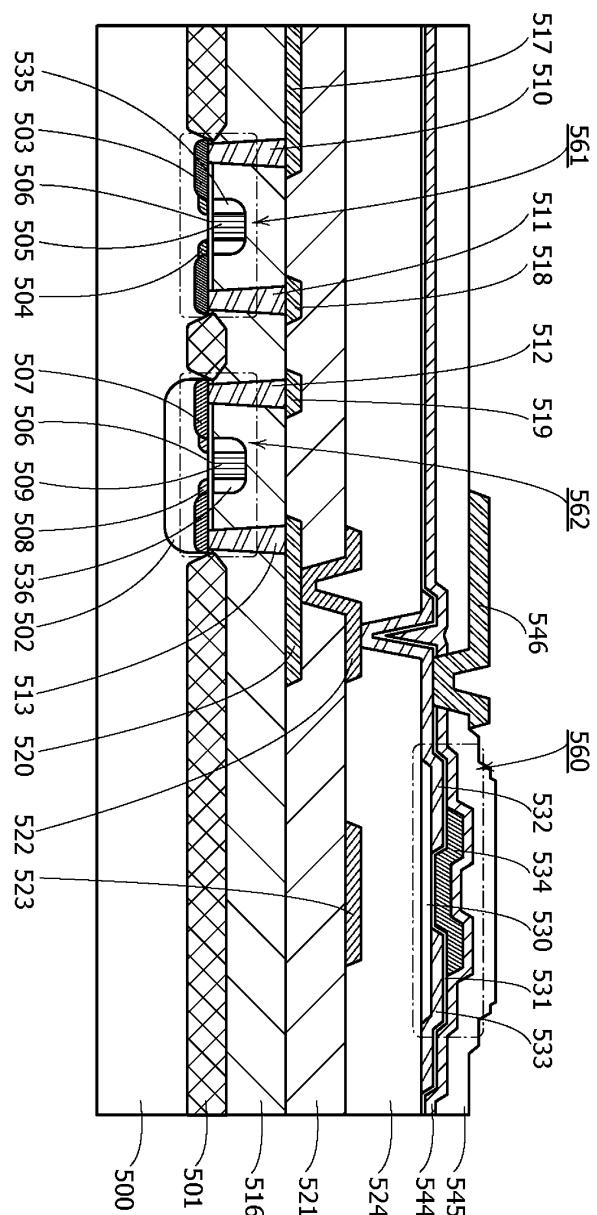
도면4



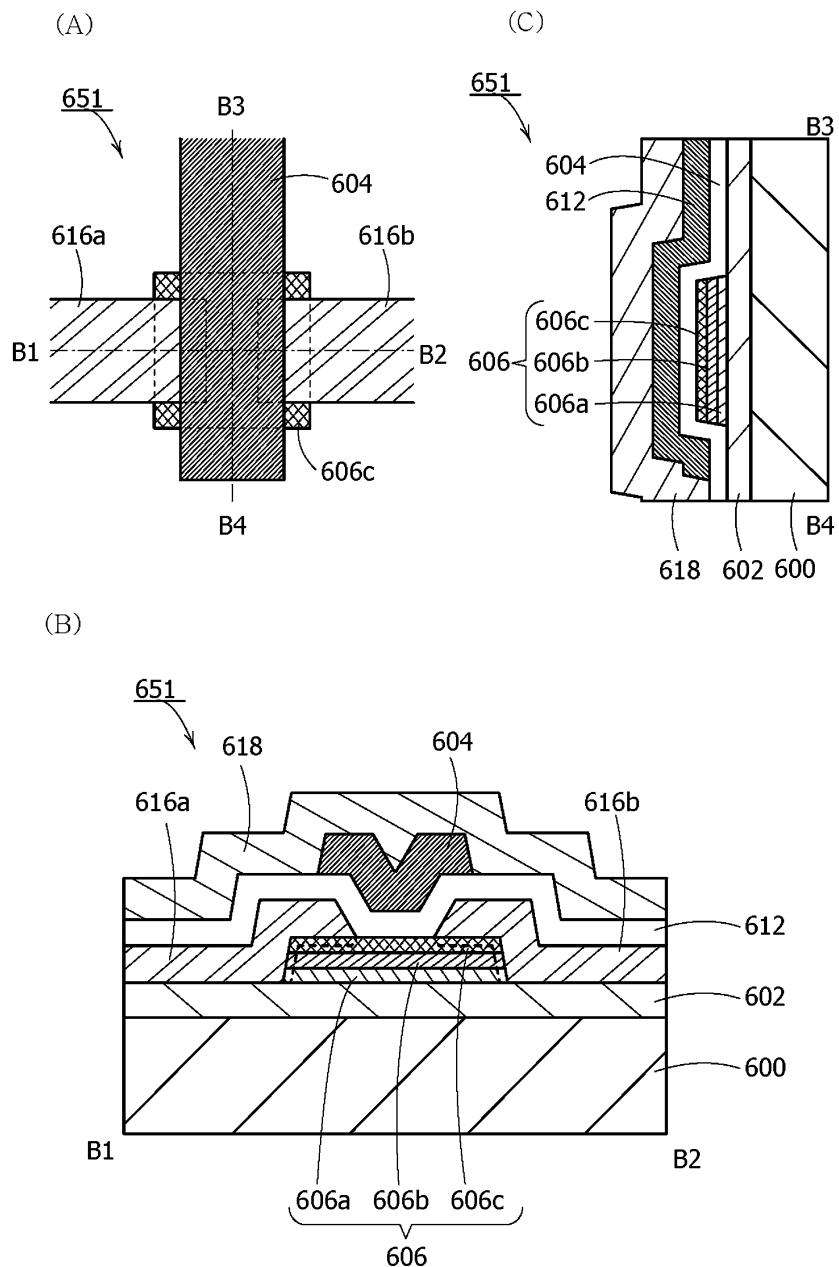
દોર્ય 5



도면6

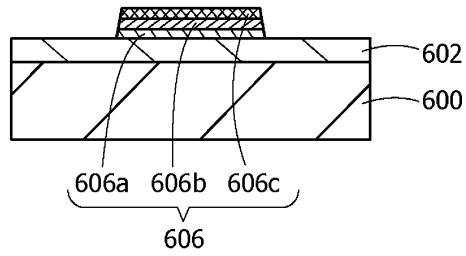


도면7

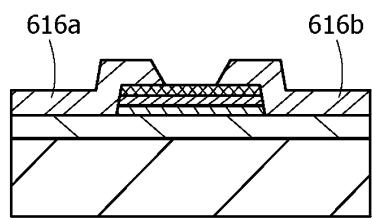


도면8

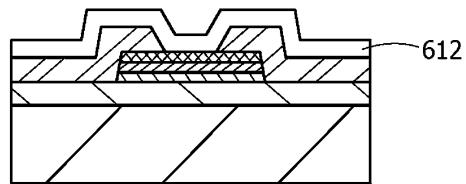
(A)



(B)

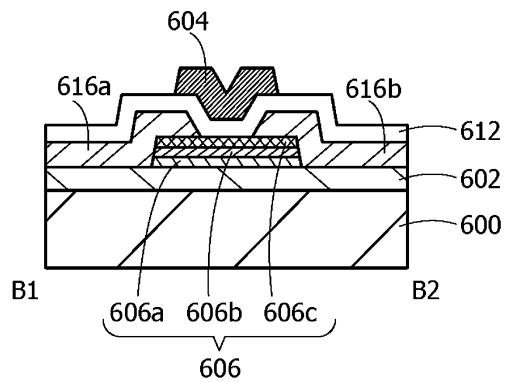


(C)

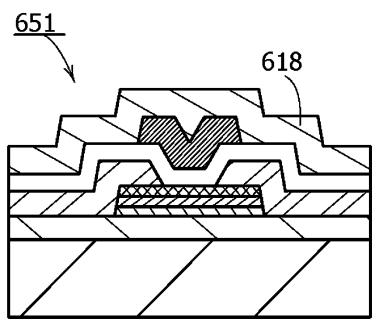


도면9

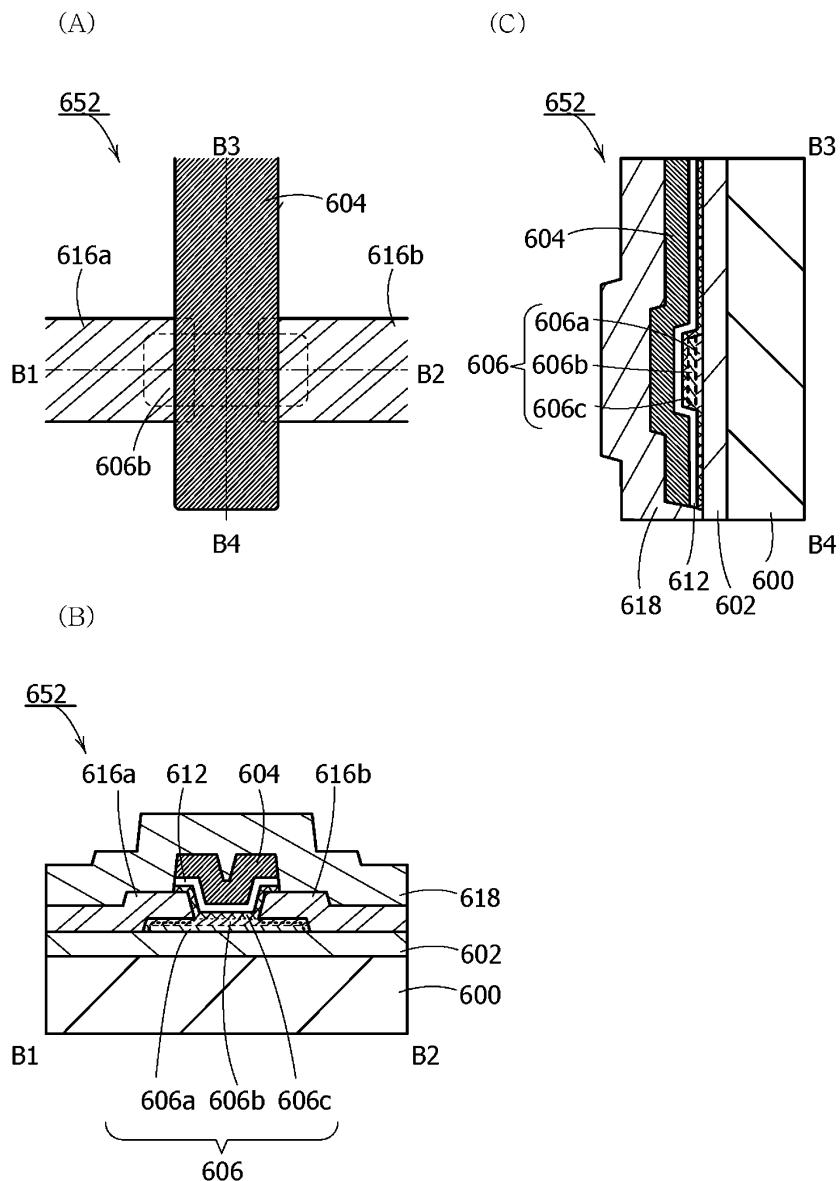
(A)



(B)

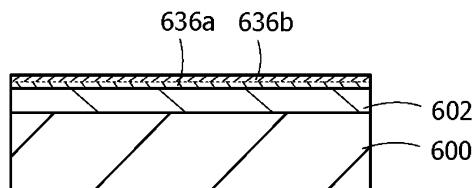


도면10

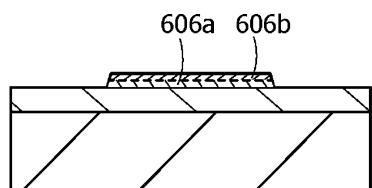


도면11

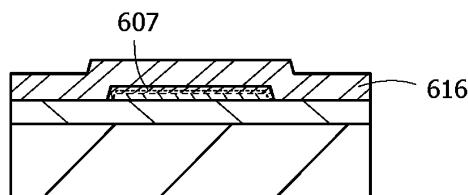
(A)



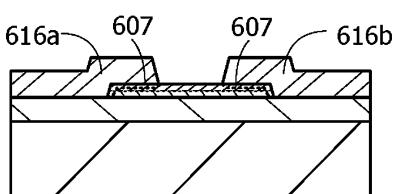
(B)



(C)

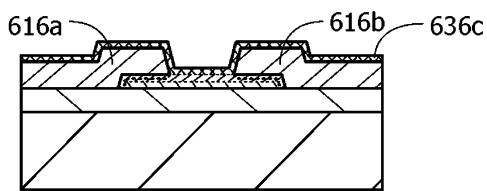


(D)

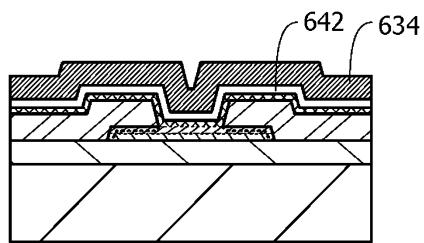


도면12

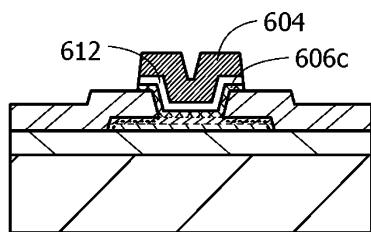
(A)



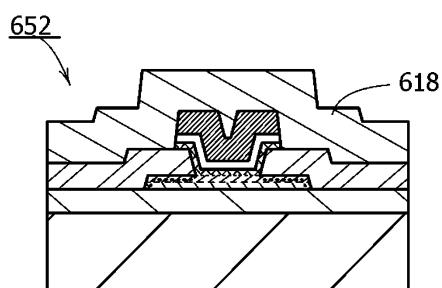
(B)



(C)



(D)



도면13

