

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4543378号  
(P4543378)

(45) 発行日 平成22年9月15日(2010.9.15)

(24) 登録日 平成22年7月9日(2010.7.9)

(51) Int. Cl. F I  
 HO 1 L 21/8242 (2006.01) HO 1 L 27/10 6 5 1  
 HO 1 L 27/108 (2006.01) HO 1 L 27/10 6 2 1 C

請求項の数 5 (全 26 頁)

(21) 出願番号	特願2004-330715 (P2004-330715)	(73) 特許権者	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成16年11月15日(2004.11.15)	(74) 代理人	100115738 弁理士 鷲頭 光宏
(65) 公開番号	特開2006-140405 (P2006-140405A)	(74) 代理人	100121681 弁理士 緒方 和文
(43) 公開日	平成18年6月1日(2006.6.1)	(74) 代理人	100130982 弁理士 黒瀬 泰之
審査請求日	平成18年2月6日(2006.2.6)	(74) 代理人	100127199 弁理士 三谷 拓也
		(72) 発明者	飯島 晋平 東京都中央区八重洲2-2-1 エルピー ダメモリ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上にスタック型のキャパシタを形成する工程において、  
金属又は金属化合物から成る下部電極を形成する工程と、  
前記下部電極上に、第1の酸化アルミニウム膜、酸化ハフニウム膜、及び、第2の酸化  
アルミニウム膜を順次に成膜して容量絶縁膜を形成する工程と、  
前記容量絶縁膜に接する金属又は金属化合物から成る上部電極を形成する工程と、を有  
し、

前記容量絶縁膜を形成する工程が、前記第1の酸化アルミニウム膜を堆積する工程と、  
 非晶質酸化ハフニウム膜を堆積する工程と、前記第2の酸化アルミニウム膜を堆積する工程と、  
 前記非晶質酸化ハフニウム膜を多結晶化する工程と、を順次に含むことを特徴とする  
 半導体装置の製造方法。

10

【請求項2】

半導体基板上にスタック型のキャパシタを形成する工程において、  
金属又は金属化合物から成る下部電極を形成する工程と、  
前記下部電極上に、第1の酸化アルミニウム膜、酸化ハフニウム膜、及び、第2の酸化  
アルミニウム膜を順次に成膜して容量絶縁膜を形成する工程と、  
前記容量絶縁膜に接する金属又は金属化合物から成る上部電極を形成する工程と、を有  
し、

前記容量絶縁膜を形成する工程が、前記第1の酸化アルミニウム膜を堆積する工程と、

20

非晶質酸化ハフニウム膜を堆積する工程と、該非晶質酸化ハフニウム膜を多結晶化する工程と、前記第2の酸化アルミニウム膜を堆積する工程と、を順次に含むことを特徴とする半導体装置の製造方法。

【請求項3】

半導体基板上にスタック型のキャパシタを形成する工程において、  
金属又は金属化合物から成る下部電極を形成する工程と、  
前記下部電極上に、第1の酸化アルミニウム膜、非晶質酸化ハフニウム膜、及び、第2の酸化アルミニウム膜を順次に成膜して容量絶縁膜を形成する工程と、  
前記容量絶縁膜に接する金属又は金属化合物から成る上部電極を形成する工程と、を有し、

10

前記上部電極を形成する工程が、前記非晶質酸化ハフニウム膜を多結晶化する工程を含むことを特徴とする半導体装置の製造方法。

【請求項4】

前記第1の酸化アルミニウム膜と第2の酸化アルミニウム膜の膜厚の合計が、2nm以上で5nm以下である、請求項1～3の何れかーに記載の半導体装置の製造方法。

【請求項5】

前記酸化ハフニウム膜の膜厚が、3nm以上で6nm以下である、請求項1～4の何れかーに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、スタック型のキャパシタを備える半導体装置について、キャパシタの容量を確保しつつ素子を微細化する技術に関する。

【背景技術】

【0002】

近年、半導体装置の大容量化が進められている。特にDRAM (Dynamic Random Access Memory) においては、最小加工寸法が110nm (F110) のギガビット級メモリが製品化されつつあり、更に最小加工寸法が90nm (F90) 以下のDRAMの開発が進められている。このような素子の微細化に伴い、DRAMの主要構成要素であるキャパシタに許容される面積も必然的に縮小され、必要な容量を確保することが困難になっている。

30

【0003】

小さな面積で大きな容量を得る技術として、例えばシリコンから成る下部電極の表面に凹凸、即ちHSG (Hemispherical Si Grain) を形成することによってキャパシタの表面積を拡大する方法が実用化されている。しかし、この方法は、素子の微細化に伴い、下部電極表面にHSGを形成する空間を確保することが困難になるため、F110以降の半導体装置では適用が難しい。

【0004】

また、HSGを形成せずに容量絶縁膜に酸化タンタルを用いる方法もある。酸化タンタルは、酸化シリコン等に比して大きな誘電率を有するため、キャパシタの容量を増大させることが出来る。しかし、酸化タンタルの成膜に際して、キャパシタのリーク電流低減を目的として、酸化タンタルとシリコン電極との間に窒化シリコン膜を形成し、酸化性雰囲気中で熱処理を行うことが必須であり、この熱処理による窒化シリコン膜及びシリコン電極表面の酸化によって酸化タンタルとシリコン電極との間に低誘電率のシリコンオキシナイトライドが形成される問題がある。このシリコンオキシナイトライドは、例えば3.5nm～4.0nm程度の厚みに形成され、F90以降の薄膜化に障害となっている。

40

【0005】

キャパシタの容量絶縁膜を酸化タンタルで構成した半導体装置については、例えば特許文献1に記載されている。

【特許文献1】特開2000-12796号

【発明の開示】

50

## 【発明が解決しようとする課題】

## 【0006】

本発明者は、素子の微細化に対応して十分な容量を確保できるキャパシタの研究に際して、容量絶縁膜を薄膜化できる材料を検討し、上記熱処理を施さなくても低リーク電流を実現できる酸化アルミニウムに着目した。容量絶縁膜を酸化アルミニウムで構成すると、熱処理が不要であるため、シリコン電極表面の酸化によって形成される低誘電率膜の膜厚が1nm以下にできる。この場合、容量絶縁膜を酸化タンタルで構成した場合に比して、低誘電率膜の膜厚を2.5nm以上薄くでき、大幅に薄膜化できる。

## 【0007】

ところが、容量絶縁膜に酸化アルミニウムを用いた従来のキャパシタは、BT (Bias Temperature) ストレスに対する耐性が小さく、BT試験で高温に晒されることによって半導体装置が劣化し、リーク電流が増大する問題があった。

10

## 【0008】

本発明は、上記に鑑み、容量絶縁膜が酸化アルミニウムを含むスタック型のキャパシタを備える半導体装置であって、BT試験の際の半導体装置の劣化を抑制し、リーク電流の増大を抑制できる半導体装置及びその製造方法を提供することを目的とする。

## 【課題を解決するための手段】

## 【0009】

上記目的を達成するために、本発明の第1の視点に係る半導体装置は、順次に形成された下部電極、容量絶縁膜、及び上部電極を有するスタック型のキャパシタを備える半導体装置において、

20

前記下部電極及び上部電極が、金属又は金属化合物で構成され、

前記容量絶縁膜が、前記下部電極に接する膜厚が2nm以上で5nm以下の酸化アルミニウム膜を有することを特徴とする。

## 【0010】

本発明の第2の視点に係る半導体装置は、順次に形成された下部電極、容量絶縁膜、及び上部電極を有するスタック型のキャパシタを備える半導体装置において、

前記下部電極及び上部電極が、金属又は金属化合物で構成され、

前記容量絶縁膜が第1の酸化アルミニウム膜、酸化ハフニウム膜、及び、第2の酸化アルミニウム膜の3層構造を有することを特徴とする。

30

## 【0011】

本発明の第3の視点に係る半導体装置の製造方法は、半導体基板上にスタック型のキャパシタを形成する工程において、

金属又は金属化合物から成る下部電極を形成する工程と、

前記下部電極に接する膜厚が2nm以上で5nm以下の酸化アルミニウム膜を含む容量絶縁膜を形成する工程と、

前記容量絶縁膜に接する金属又は金属化合物から成る上部電極を形成する工程とをこの順に有することを特徴とする。

## 【0012】

本発明の第4の視点に係る半導体装置の製造方法は、半導体基板上にスタック型のキャパシタを形成する工程において、

40

金属又は金属化合物から成る下部電極を形成する工程と、

前記下部電極上に、第1の酸化アルミニウム膜、酸化ハフニウム膜、及び、第2の酸化アルミニウム膜を順次に成膜して容量絶縁膜を形成する工程と、

前記容量絶縁膜に接する金属又は金属化合物から成る上部電極を形成する工程とをこの順に有することを特徴とする。

## 【発明の効果】

## 【0013】

本発明の第1の視点に係る半導体装置によれば、容量絶縁膜が、リーク電流の低減を目的とした熱処理を不要とする酸化アルミニウムを含むことによって、EOT (Equivalent Ox

50

ide Thickness) を小さくして、キャパシタの容量を増大させることが出来る。これによって、キャパシタの容量を確保しつつ素子を微細化することが出来る。また、酸化アルミニウム膜が、空乏層が形成されない金属又は金属化合物で構成される下部電極に接するので、BT試験の際の半導体装置の劣化を抑制し、リーク電流の増大を抑制できる。従って、半導体装置の信頼性を向上させることが出来る。

【0014】

なお、キャパシタのEOTは、容量絶縁膜を酸化シリコン膜で構成したキャパシタにおいて等価の容量が得られる膜厚を表すもので、容量絶縁膜を構成する材料の誘電率が異なるキャパシタの容量を相互に比較する指標として一般的に用いられる。EOTが小さいほど、大きな容量が得られることを意味している。例えば、比誘電率が3.9の酸化シリコンで、厚さが8nmの容量絶縁膜を構成した場合のEOTは、8nmである。これに対し、比誘電率が20の酸化タンタルで、同じ厚さで容量絶縁膜を構成した場合、後者は前者よりも比誘電率が約5倍大きいので、EOTは8nmの1/5で1.6nmとなる。つまり、酸化シリコン及び酸化タンタルでは、膜厚が同じであれば、酸化タンタルで容量絶縁膜を構成した方が5倍大きな容量が得られる。EOTは、通常、キャパシタの容量 - 電圧特性を測定し、特定の電圧における容量値を酸化シリコンの比誘電率3.9を用いて換算することによって求めている。

10

【0015】

本発明の第1の視点に係る半導体装置によれば、酸化アルミニウム膜の膜厚が2nm以上であることによって、リーク電流を十分に抑制できると共に、十分な破壊耐性が得られる。また、酸化アルミニウム膜の膜厚が5nm以下であることによって、EOTを十分に小さくできると共に、下部電極を構成する金属又は金属化合物の酸化を十分に抑制できる。

20

【0016】

本発明の好適な実施態様では、前記容量絶縁膜が、前記酸化アルミニウム膜に接する膜厚が3nm以上で6nm以下の酸化ハフニウム膜を更に有する。誘電率の大きな酸化ハフニウム膜を更に有することによって、EOTを更に小さくして、キャパシタの容量を更に増大させることが出来る。また、酸化ハフニウム膜の膜厚が3nm以上であることによって、リーク電流を十分に低減できる。酸化ハフニウム膜の膜厚が6nm以下であることによって、熱等による半導体装置の劣化を十分に抑制できる。

【0017】

本発明の好適な実施態様では、前記容量絶縁膜が、前記酸化ハフニウム膜及び前記上部電極に接して別の酸化アルミニウム膜を有し、前記酸化アルミニウム膜及び別の酸化アルミニウム膜の膜厚の合計が2nm以上で5nm以下である。酸化ハフニウム膜が酸化アルミニウム膜で挟まれる構成によって、リーク電流をより効果的に抑制できる。この場合、別の酸化アルミニウム膜の膜厚が酸化アルミニウム膜の膜厚以下であることによって、比較的リーク電流が発生し易い下部電極側の酸化アルミニウム膜の膜厚を大きくして、リーク電流を更に効果的に抑制できる。

30

【0018】

本発明の半導体装置では、前記上部電極及び下部電極が、チタン、タングステン、及びルテニウムから成る群から選択される金属で構成されるものとする事が出来る。また、前記上部電極及び下部電極が、窒化チタン又は窒化タングステンで構成されるものとする事が出来る。

40

【0019】

本発明の半導体装置の好適な実施態様では、前記酸化ハフニウム膜が多結晶酸化ハフニウム膜であることにより、キャパシタの絶縁耐性を効果的に向上できる。

【0020】

本発明の第4の視点に係る半導体装置の製造方法では、前記容量絶縁膜を形成する工程が、前記第1の酸化アルミニウム膜を堆積する工程と、非晶質酸化ハフニウム膜を堆積する工程と、前記第2の酸化アルミニウム膜を堆積する工程と、前記非晶質酸化ハフニウムを多結晶化する工程とを順次に含むものとする事が出来る。或いは、前記容量絶縁膜を形成する工程が、前記第1の酸化アルミニウム膜を堆積する工程と、非晶質酸化ハフニウ

50

ム膜を堆積する工程と、該非晶質酸化ハフニウム膜を多結晶化する工程と、前記第2の酸化アルミニウム膜を堆積する工程とを順次を含むものとする事が出来る。

【0021】

本発明の第4の視点に係る半導体装置の製造方法では、前記酸化ハフニウム膜を成膜する工程が、非晶質酸化ハフニウム膜を成膜する工程であり、前記上部電極を形成する工程が、前記非晶質酸化ハフニウム膜を多結晶化する工程を含むものとする事が出来る。なお、非晶質酸化ハフニウム膜を多結晶化するには、例えば非酸化性雰囲気中で温度が500～750の熱処理を行う。

【発明を実施するための最良の形態】

【0022】

本発明者は、本発明に先立ち、キャパシタの容量絶縁膜に酸化タンタルを用いた従来の半導体装置、及び容量絶縁膜に酸化アルミニウムを用いた従来の半導体装置をそれぞれ試作し、その試作した試料について評価を行った。

【0023】

図1に、容量絶縁膜を酸化タンタルで構成した試料の半導体装置の断面を示す。図2は、図1のキャパシタを構成する下部電極、容量絶縁膜、及び上部電極の層構造を模式的に示している。半導体装置30は、N型基板31と、N型基板31表面に素子分離のために形成された厚い酸化シリコンから成るLOCOS32とを備える。N型基板31上には、順次に、下部電極33、容量絶縁膜34、及び上部電極35が積層されている。下部電極33及び上部電極35は、それぞれ多結晶シリコン及び窒化チタンで構成される。容量絶縁膜34は、順次に積層された、シリコンオキシナイトライド36及び酸化タンタル37から構成される。

【0024】

半導体装置30の製造に際しては、先ず、N型基板31表面に酸化シリコンから成るLOCOS32を形成した後、多結晶シリコンから成る下部電極33を形成する。次いで、NH<sub>3</sub>雰囲気中で温度が750の熱処理を行い、下部電極33の表面に厚さが1nmの窒化シリコンを成膜する。引き続き、Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>及び酸素を原料ガスとするCVD(C<sub>h</sub>emical V<sub>a</sub>p<sub>o</sub>r D<sub>e</sub>p<sub>o</sub>sition)法により、厚さが8nmの酸化タンタル37を成膜する。

【0025】

次いで、酸化性雰囲気中で温度が780で3分間の熱処理を行う。この熱処理により窒化シリコン及び下部電極33を構成する多結晶シリコンの表面が酸化され、酸化タンタル37の下に厚さが3.5nm～4.0nmのシリコンオキシナイトライド36が形成される。更に、四塩化チタン及びアンモニアを原料ガスとするCVD法により、窒化チタンから成る上部電極35を形成する。窒化チタンの成膜温度は500とする。半導体装置30で測定されたEOTは4.8nmであった。なお、半導体装置30のEOTは、キャパシタの容量-電圧特性の-1Vにおける容量値から求めた。下記のEOTの測定においても同様である。

【0026】

上記試料について、図1に示すようにN型基板31を接地すると共に、上部電極35に対して正負の電圧V<sub>p1</sub>を印加し、下部電極33と上部電極35との間に生じるリーク電流の大きさを測定した。測定に際して、先ず室温で初期特性を測定し、次いで温度を90に上昇させて測定(高温測定)を行い、更に温度を室温に戻して測定(室温再測定)を行った。図3に結果を示す。同図中、縦軸はキャパシタの単位面積当たりのリーク電流の大きさを、横軸は上部電極に印加した電圧V<sub>p1</sub>を示し、グラフAは初期測定の結果を、グラフBは高温測定の結果を、グラフCは室温再測定の結果をそれぞれ示している。同図より、グラフBにおいて、リーク電流はグラフAより増大しているが、グラフCにおいてグラフAにおける初期測定の数値に略戻っており、半導体装置の劣化は見られない。

【0027】

半導体装置30の他の複数の試料について、BT試験として、温度が120で上部電極35に対して負の電圧を印加したBTストレスを加えた状態で、下部電極33と上部電極35との間に生じるリーク電流の経時変化を測定した。図4に結果を示す。グラフD～Gは、

10

20

30

40

50

印加した電圧による電界を8.9MV/cm、9.3MV/cm、10MV/cm、及び10.6MV/cmとした試料における測定結果をそれぞれ示し、縦軸はリーク電流の絶対値を、横軸は電圧の印加時間をそれぞれ示している。これら電界の値は、印加電圧 $V_{p1}$ をEOTで除した値である。同図において、グラフFの試料では時間が400秒程度、グラフGの試料では時間が20秒程度で破壊している。破壊しなかった試料については、電圧の印加中にリーク電流は安定し、半導体装置の劣化は見られない。

#### 【0028】

図4の測定において破壊しなかったグラフD、Eの試料について、室温で上部電極35に対して正負の電圧を印加し、リーク電流の大きさを測定した。結果を図5に示す。同図より、何れの試料の測定結果もグラフAにおける初期測定の結果に略一致し、半導体装置の劣化は見られない。

10

#### 【0029】

図6に、容量絶縁膜を酸化アルミニウムで構成した試料の半導体装置の層構造を示す。半導体装置40は、容量絶縁膜が、厚さが4nmの酸化アルミニウム41で構成されることを除いては、図1、2に示した半導体装置30と同様の構成を有している。半導体装置40の製造に際しては、多結晶シリコンから成る下部電極33を形成した後、下部電極33上に厚さが4nmの酸化アルミニウム41から成る容量絶縁膜を成膜する。更に、CVD法により窒化チタンから成る上部電極35を形成する。

#### 【0030】

なお、酸化アルミニウム41の成膜は、通常のCVD法とは異なり、全ての膜厚分を一度に形成するのではなく、アルミニウム原料の供給及び排気と、酸化剤の供給及び排気とを繰り返して成膜する方法、一般的にALD(Atomic Layer Deposition: 原子層蒸着)と呼ばれるパルス成膜法により行う。上記アルミニウム原料として、例えばTMA(トリメチルアルミニウム:  $Al(CH_3)_3$ )を用い、酸化剤として、例えばオゾン( $O_3$ )を用いる。半導体装置40で測定されたEOTは3.64nmで、前記半導体装置30のEOTに比べて24%程度小さくできた。

20

#### 【0031】

上記図6の試料について、図3の測定と同様にリーク電流の大きさを測定した。図7に結果を示す。同図より、グラフBの高温測定において、グラフAの初期測定よりもリーク電流が増大し、グラフCの室温再測定において、リーク電流がグラフAの値に戻っていないことが判る。即ち、半導体装置40では、半導体装置30の場合と異なり、半導体装置に劣化が生じている。

30

#### 【0032】

半導体装置40の他の複数の試料について、図4の測定と同様なBT試験を行った。図8に結果を示す。グラフD~Hは、印加された電圧による電界を9.3MV/cm、10MV/cm、10.6MV/cm、11.3MV/cm、及び12.4MV/cmとした試料における測定結果をそれぞれ示している。同図において、グラフHの試料では時間が20秒程度で破壊し、その他の試料では測定時間内では破壊していない。半導体装置40では、半導体装置30の場合と異なり、破壊した試料及び破壊しなかった試料の何れにおいても、電圧印加中にリーク電流が安定せず、徐々に増大している。

40

#### 【0033】

図8の測定において破壊しなかったグラフD~Gの試料について、図5の測定と同様に、室温で上部電極35に対して正負の電圧を印加し、リーク電流の大きさを測定した。結果を図9に示す。半導体装置40では、半導体装置30と異なり、グラフD~Gの試料でリーク電流が、グラフAにおける初期測定の数値に戻っていない。

#### 【0034】

グラフD~Gの試料におけるリーク電流の増加は、印加された電界が大きいほど大きく、図8においてリーク電流の増加が比較的小さいグラフDの試料についても、リーク電流が大幅に増加している。リーク電流の増加は、電界を印加した時間の長さにも依存し、同じ電界であれば、印加時間が長いほど増加している。図7、8の結果によれば、半導体装置

50

40の劣化は、高温下の電界印加中に酸化アルミニウムが劣化することによって生じていることが明らかである。なお、このような半導体装置の劣化は、半導体装置40のように容量絶縁膜を酸化アルミニウムの単層で構成した場合だけでなく、半導体装置40の構成において、容量絶縁膜を、酸化アルミニウムと酸化ハフニウムとの積層膜など、酸化アルミニウムを含んで構成した場合にも生じた。

【0035】

ところで、半導体装置40の劣化は、上部電極35に負の電圧を印加した場合にのみ発生し、正の電圧を印加した場合には発生しない。上部電極35に負の電圧を印加した場合には、図10に示すように、下部電極33を構成するn型の多結晶シリコンの表面近傍に空乏層42が形成されるため、本発明者は、この空乏層42が半導体装置40の劣化に関与していると推察した。しかし、容量絶縁膜を酸化タンタルで構成した半導体装置30でも、多結晶シリコンの表面近傍には空乏層が同様に形成されるが、この場合には劣化は生じなかった。そこで、本発明者は、劣化が半導体装置40にのみ生じた原因として、酸化アルミニウム41中の負電荷の存在に着目した。

10

【0036】

酸化アルミニウム中に負電荷が存在することは、酸化アルミニウムを容量絶縁膜とするMOS(Metal Oxide Semiconductor)型キャパシタの容量 電圧特性から明らかである。つまり、このようなMOS型キャパシタでは、酸化シリコンを容量絶縁膜とする通常のMOS型キャパシタに比して、容量 電圧特性が1V以上、正の電圧側にシフトする。

【0037】

容量 電圧特性が1V以上、正の電圧側にシフトすることは、酸化シリコンを容量絶縁膜とするキャパシタでは、上部電極に電圧を印加しない状態でも下部電極の表面が電荷蓄積状態にあるのに対し、酸化アルミニウムを容量絶縁膜とするキャパシタでは、+1V以上の電圧を上部電極に印加しなければ、下部電極の表面に電荷蓄積状態が現れないことを示している。つまり、酸化アルミニウムを容量絶縁膜とするキャパシタでは、電圧を印加していない通常の状態でも、下部電極を構成するn型シリコンの表面は常に空乏化しており、空乏層が形成されるのに必要な電荷量にほぼ等しい量の負電荷が、酸化アルミニウム中に含まれていると考えられる。

20

【0038】

酸化アルミニウム中の負電荷の実体については、明らかにされていないが、 $Al_2O_3$ の前駆体となる $Al(OH)_3^-$ のような負イオンに起因するものと考えている。この場合、キャパシタを形成した直後には、膜中に負イオンが多数含有された状態にあるため、リーク電流を制限するバランスが保持されている。しかし、上部電極に負の電圧が印加されると、下部電極の表面に空乏層が形成され、空乏層中に存在する正の固定電荷に、電界の効果が加わって負イオンが引き寄せられる。これによって、酸化アルミニウムが構造変化を生じ、リーク電流を発生させるリークパスが生成され、リーク電流を制限するバランスが崩壊するものと考えた。

30

【0039】

ここで、半導体装置40では、酸化アルミニウム41を形成した後に温度が750以上の熱処理を行えば、酸化アルミニウム41中の負イオンを消滅させることが可能である。しかし、本発明で対象とするスタック型のキャパシタにおいては、キャパシタの製造工程が、熱処理に敏感なトランジスタの不純物拡散層や金属コンタクト等が既に形成された後に行われるため、そのような熱処理を施すことが出来ない。従って、本発明者は、下部電極をシリコンとするMIS構造では、容量絶縁膜に酸化アルミニウムを含むスタック型のキャパシタの劣化を回避することは困難であると結論した。

40

【0040】

なお、単結晶のシリコン基板表面に形成されるMOS型トランジスタのゲート絶縁膜を、酸化アルミニウムと酸化ハフニウムとの積層膜を含んだ材料で構成することが提案されている。この場合、ゲート絶縁膜において上記負イオンの存在によって膜中含有電荷量が変動するため、MOSトランジスタにおいて最も重要な性能因子である閾値電圧を制御できな

50

い問題がある。しかし、ゲート絶縁膜の形成は、半導体装置を製造する工程全体の初期であって、上記熱処理に敏感な構造が形成される前に行われるため、ほぼ自由な熱処理条件を選択することができ、製造段階で膜中に含有される負イオンを消滅させることが出来る。

#### 【0041】

本発明者は、上記考察に基づき、下部電極の材料として、多結晶シリコンに代えて空乏層が形成されない金属又は金属化合物を用いることに想到した。つまり、酸化アルミニウムは、リーク電流の低減を目的とした酸化性雰囲気での熱処理が不要であるため、下部電極を金属又は金属化合物で構成しても、下部電極の酸化を十分に抑制できる。この場合、劣化の一要因である下部電極の空乏化が抑制されるので、BT試験の際の半導体装置の劣化を抑制できるのではないかと考えた。下記実験1において、下部電極に窒化チタンを用いた半導体装置を試作し、その試作した試料について評価を行った。

10

#### 【0042】

図11に、容量絶縁膜を酸化アルミニウムで、下部電極を窒化チタンでそれぞれ構成した実験1の試料の半導体装置について、層構造を示す。半導体装置50は、下部電極が窒化チタン51で、容量絶縁膜が膜厚が5nmの酸化アルミニウム52でそれぞれ構成されることを除いては、図6に示した半導体装置40と同様の構成を有している。半導体装置50の製造に際しては、窒化チタン51から成る下部電極を形成することを除いては、図6に示した半導体装置40と同様に製造できる。

#### 【0043】

図11の試料について、図3の測定と同様にリーク電流の大きさを測定した。図12に結果を示す。同図によれば、半導体装置50では、半導体装置40の場合と異なり、グラフCの室温再測定で、リーク電流がグラフAの初期測定の数値に略戻っている。

20

#### 【0044】

半導体装置50の別の複数の試料について、図4の測定と同様なBT試験を行った。図13に結果を示す。グラフD~Iは、印加された電圧による電界を8.8MV/cm、10MV/cm、11.1MV/cm、12.5MV/cm、13.9MV/cm、及び15.3MV/cmとした試料の結果をそれぞれ示している。グラフH及びグラフIでは時間が100秒程度で破壊した。その他の試料では測定時間内で破壊していない。半導体装置50では、半導体装置40の場合と異なり、破壊した試料及び破壊しなかった試料の何れも、電圧印加中にリーク電流が安定している。

30

#### 【0045】

図13の測定において破壊しなかったグラフD~Hの試料について、図5の測定と同様に、室温で上部電極35に対して正負の電圧を印加し、リーク電流の大きさを測定した。結果を図14に示す。何れもグラフAの初期測定の数値に略戻っており、半導体装置の劣化は見られない。

#### 【0046】

実験2として、実験1の半導体装置50において、酸化アルミニウムの膜厚を7nmとした半導体装置を試作した。その試作した試料について、図3の測定と同様にリーク電流の大きさを測定した。高温測定に際して、先ず温度を60℃に上昇させた測定を行い、次に温度を90℃に上昇させた測定を行い、更に温度を120℃に上昇させた測定を行った。結果を図15に示す。同図中、グラフAが初期測定の結果を、グラフBが温度が60℃の高温測定の結果を、グラフCが温度が90℃の高温測定の結果を、グラフDが温度が120℃の高温測定の結果を、グラフEが室温再測定の結果をそれぞれ示している。同図より、実験2の半導体装置では、膜厚が5nmの実験1の半導体装置50に比べ、リーク電流が大幅に低減されていることが判る。しかし、グラフB~Dに示されるように、測定温度の上昇に従い、リーク電流が印加電圧の変化に伴って不安定に変化し、特性が極めて不安定になっている。

40

#### 【0047】

実験2の半導体装置の別の複数の試料について、図4の測定と同様なBT試験を行った。図16に結果を示す。グラフF~Kは、印加した電圧による電界を10MV/cm、11.1MV/cm、13

50



.2MV/cm、14.2MV/cm、15.2MV/cm、及び16.2MV/cmとした試料の結果をそれぞれ示している。同図において、電界が15.2MV/cm以上のグラフJ、Kでは破壊している。破壊した試料及び破壊しなかった試料の何れも、リーク電流は時間の経過と共に減少し、電圧印加中のリーク電流の増大は見られない。

【0048】

図16の測定において破壊しなかったグラフF~Iの試料について、図5の測定と同様に、室温で上部電極35に対して正負の電圧を印加し、リーク電流の大きさを測定した。結果を図17に示す。同図より、グラフF~Iの試料の何れも、リーク電流がグラフAの初期測定値に戻っていないことが判る。また、リーク電流が印加電圧の変化に伴って不安定に変化し、特性が極めて不安定になっている。

10

【0049】

実験1の図12~14の測定結果、及び実験2の図15~17の測定結果を相互に比較すると、酸化アルミニウムの膜厚を7nmとすると、膜厚が5nmの場合に比してリーク電流は低減されるが特性が不安定になると言える。膜厚を7nmとした場合に特性が不安定となる原因は、酸化アルミニウムを厚くするほど、厚い酸化アルミニウムによって下地の下部電極を構成する窒化チタンがより多く酸化され、局所的に電位障壁が低下するためと考えている。更に実験を行った結果、このような特性の不安定さは、酸化アルミニウムの膜厚が5nmを超えた場合に生じ、また、酸化アルミニウムの膜厚が5nm以下である場合には、容量絶縁膜を酸化アルミニウムと酸化ハフニウムなどの他の材料とで組み合わせて構成しても、劣化は生じず且つ特性が安定することが判った。

20

【0050】

本発明者は、上記実験1、2の測定結果に基づき、キャパシタの容量絶縁膜が酸化アルミニウムを含む半導体装置において、酸化アルミニウムに接する下部電極を金属又は金属化合物で構成したMIM構造とすることにより、酸化アルミニウムの劣化を抑制し、これによって半導体装置の劣化を抑制することとした。また、酸化アルミニウムの膜厚を5nm以下に設定することによって、半導体装置の安定な特性を得ることとした。

【0051】

実験1、2との比較のために、実験3として、容量絶縁膜を、酸化アルミニウムに比べて大きな誘電率を有する酸化ハフニウムで、下部電極を窒化チタンでそれぞれ構成した半導体装置を試作した。図18に層構造を示す。試作した試料の半導体装置60は、容量絶縁膜が膜厚7nmの酸化ハフニウム61で構成されることを除いては、図11に示した半導体装置50と同様の構成を有している。半導体装置60の製造に際しては、下部電極を構成する窒化チタン51上に、容量絶縁膜を構成する膜厚が7nmの酸化ハフニウム61を成膜することを除いては、図11に示した半導体装置50と同様に製造できる。

30

【0052】

試料の半導体装置60について、図3の測定と同様にリーク電流の大きさを測定した。図19(a)に結果を示す。同図の測定では、室温再測定は行っていない。同図より、グラフAではリーク電流は安定しているが、グラフBではほぼ破壊された状態を示している。容量絶縁膜を膜厚が7nmの酸化アルミニウムで構成した半導体装置についての図15のグラフA、Cとそれぞれ比較すると、半導体装置60ではリーク電流が高温測定において極めて変動し易い。

40

【0053】

実験3との比較のために、実験4として、半導体装置60において、酸化ハフニウムの膜厚を11nmとした半導体装置を試作した。試作した試料について、室温でリーク電流の大きさを測定した。図19(b)に結果を示す。同図中、グラフC、Dは、実験3及び本実験の試料について測定した結果をそれぞれ示している。同図より、グラフDでは、グラフCよりリーク電流が約2桁減少し、他の一般的な絶縁膜と同様に、膜厚の増加による電界の緩和によってリーク電流が減少する傾向が示されている。しかし、符号62に示す絶縁破壊が発生した電圧を相互に比較すると、他の一般的な絶縁膜と異なり、膜厚の増加による変化は殆ど見られない。

50

## 【0054】

従来用いられている、酸化シリコン、窒化シリコン、又は、酸化タンタルなどの容量絶縁膜では、リーク電流が $1 \times 10^{-1}$  (A/cm<sup>2</sup>) 以上で且つ飽和傾向を有する電圧で絶縁破壊が生じ、膜厚が厚いほど破壊されにくい。これに対して、酸化ハフニウムから成る容量絶縁膜は、上記容量絶縁膜に比べてリーク電流が十分低いにも拘らず、絶縁破壊が容易に生じる特徴を有している。従って、酸化ハフニウムから成る容量絶縁膜は、上記他の容量絶縁膜には見られない、構造上の相違を有しているものと推察される。

## 【0055】

実験4との比較のために、実験5として、膜厚が11nmの酸化ハフニウムを成膜した後に、N<sub>2</sub>ガス雰囲気中で温度が700 で、3分間の熱処理を行い、酸化ハフニウムを完全に結晶化させた半導体装置を試作した。試作した試料について、室温でリーク電流の大きさを測定した。図19(c)に結果を示す。同図中、グラフD、Eは、実験4及び本実験の試料についてそれぞれ測定した結果を示している。同図より、熱処理を施したグラフEの試料において、グラフDに比してリーク電流が大幅に増加し、実用上許容されるリーク電流値である $1 \times 10^{-8}$  (A/cm<sup>2</sup>) 以下に維持することが出来ない。

10

## 【0056】

以上述べたように、酸化ハフニウムは、酸化アルミニウムに比して大きな誘電率を有するにも拘らず、絶縁破壊耐性が低く、印加される電圧や熱の影響を受け易いため、単層膜の容量絶縁膜として構成することは適さないと結論した。

## 【0057】

以下に、実施形態を挙げ、添付図面を参照して、本発明の実施の形態を具体的且つ詳細に説明する。図20に、本発明の第1実施形態に係る半導体装置の断面を示す。半導体装置10は、容量絶縁膜を酸化アルミニウムを含む2層膜で構成した半導体装置であって、N型基板11と、N型基板11表面に素子分離のために形成された厚い酸化シリコンから成るLOCOS12と、LOCOS12に囲まれたN型基板11の表面領域に形成されたチタンシリサイド13とを備える。チタンシリサイド13は接触抵抗の低減のために形成されている。

20

## 【0058】

チタンシリサイド13上には、順次に積層された下部電極14、容量絶縁膜15、及び上部電極16が形成されている。容量絶縁膜15は、下層を構成する膜厚が4nmの酸化アルミニウム17、及び上層を構成する膜厚が3nmの酸化ハフニウム18から成る。下部電極14及び上部電極16は、何れも窒化チタンから成る。

30

## 【0059】

半導体装置10の製造に際しては、先ず、N型基板11表面に酸化シリコンから成るLOCOS12を形成した後、LOCOS12に囲まれたN型基板11の表面領域にチタンシリサイド13を形成する。次いで、四塩化チタン及びアンモニアを原料ガスとするCVD法により窒化チタンを成膜した後、パターニングを行い下部電極14を形成する。

## 【0060】

引き続き、アルミニウム有機化合物を原料ガスとし、オゾン酸化剤とするパルス成膜法により厚さが4nmの酸化アルミニウム17を成膜する。更に、ハフニウム有機化合物を原料ガスとし、オゾン酸化剤とするパルス成膜法により厚さが3nmの酸化ハフニウム18を成膜する。その後、下部電極14の窒化チタンを成膜する際と同様の方法で、窒化チタンを成膜した後、パターニングを行い上部電極16を形成する。これによって、下部電極14、容量絶縁膜15、及び上部電極16から成るキャパシタを形成する。

40

## 【0061】

本実施形態の半導体装置によれば、容量絶縁膜15が、リーク電流の低減を目的とした熱処理を不要とする酸化アルミニウムを含むことによって、EOTを小さくして、キャパシタの容量を増大させることが出来る。また、酸化アルミニウム17が、空乏層が形成されない窒化チタンで構成される下部電極16に接するので、BT試験の際の半導体装置の劣化を抑制し、リーク電流の増大を抑制できる。

## 【0062】

50

本実施形態の半導体装置によれば、酸化アルミニウム 17 の上に、大きな誘電率を有する厚さが3nmの酸化ハフニウム 18 を積層して容量絶縁膜を2層構造とすることにより、容量絶縁膜 15 全体の誘電率を効果的に増大させ、キャパシタの容量を効果的に増大させることが出来る。

【 0 0 6 3 】

本実施形態の半導体装置 10 では、測定されたEOTが2.39nmであり、容量絶縁膜を酸化タンタルで構成した従来の半導体装置 30 に比して、EOTを50%小さく出来た。従って、同じ形状のキャパシタを形成する場合には、容量を2倍程度に増加させることができる。また、同じ容量の場合で比較すると、キャパシタを収容する孔（深孔）の深さを従来の半分程度にすることが出来るので、半導体装置の製造を容易にすることが出来る。

10

【 0 0 6 4 】

半導体装置 10 において、酸化アルミニウム 17 及び酸化ハフニウム 18 の最適な膜厚を得るために、半導体装置 10 と概ね同程度のEOTが得られるように、酸化アルミニウム 17 及び酸化ハフニウム 18 の膜厚をそれぞれ様々な値に設定して半導体装置を試作した。試作した試料の評価を行ったところ、下記の結果が得られた。

【 0 0 6 5 】

酸化アルミニウムの膜厚を2nmより小さく、酸化ハフニウムの膜厚を6nmより大きくすると、リーク電流が増大し、また熱等によって特性が不安定になる傾向を示した。酸化アルミニウムの膜厚を5nmより大きく、酸化ハフニウムの膜厚を3nmより小さくすると、容量絶縁膜が酸化アルミニウムの単層膜に近い構成となる。従って、前述の酸化アルミニウムの膜厚を7nmとした半導体装置のように、高温状態を経ることによって下部電極 13 を構成する窒化チタンが酸化され易く、図 15 ~ 17 に示したように特性が不安定になった。また、この場合、EOTを十分に小さくすることが出来ない。

20

【 0 0 6 6 】

上記評価結果により、酸化アルミニウムの膜厚を2nm以上で5nm以下の範囲に、酸化ハフニウムの膜厚を3nm以上で6nm以下の範囲にそれぞれ設定することによって、容量絶縁膜を十分に薄膜化しつつ、リーク電流の増大や特性の不安定化を十分に抑制できると言える。

【 0 0 6 7 】

本実施形態では、下層を酸化アルミニウム 17 で、上層を酸化ハフニウム 18 でそれぞれ構成したが、逆に、下層を酸化ハフニウム 18 で、上層を酸化アルミニウム 17 でそれぞれ構成しても同様の効果が得られる。この場合、本実施形態の効果に加えて、上部電極 16 を構成する窒化チタンを成膜する際に、酸化ハフニウム 18 が飛散することを抑制でき、成膜装置内での異物等の発生を抑制できる。本実施形態では、更に、酸化アルミニウム 17 が接しない側の電極を多結晶シリコンで構成することも出来る。

30

【 0 0 6 8 】

本実施形態の半導体装置 10 の評価するために、半導体装置 10 を試作した。その試作した試料について、図 1 に示したようにN型基板 11 を接地すると共に、上部電極 16 に対して正負の電圧  $V_{p1}$  を印加し、図 3 の測定と同様にリーク電流の大きさを測定した。図 2 1 に結果を示す。同図において、グラフBの高温状態で特性が安定し、実験 2 の半導体装置で図 1 5 に見られたような特性の不安定性は観察されていない。また、グラフCの室温再測定において、リーク電流はグラフAの初期測定の値に略戻っており、半導体装置の劣化は見られない。

40

【 0 0 6 9 】

半導体装置 10 の別の複数の試料について、図 4 の測定と同様なBT試験を行った。図 2 2 に結果を示す。グラフD~Jは、印加された電圧による電界を10MV/cm、11.3MV/cm、12.6 MV/cm、13.8MV/cm、16.3MV/cm、15.1MV/cm、及び17.6MV/cmとした試料の結果をそれぞれ示している。同図において、電界が15.1MV/cm以上のグラフI、Jの試料では破壊している。破壊した試料及び破壊しなかった試料の何れについても、リーク電流は時間の経過と共に減少し、半導体装置の劣化は見られない。

【 0 0 7 0 】

50

図 2 2 の測定において破壊しなかったグラフ D~G の試料について、図 5 の測定と同様に、室温で上部電極 1 6 に対して正負の電圧を印加し、リーク電流の大きさを測定した。結果を図 2 3 に示す。同図より、グラフ D~G の試料の何れも、リーク電流がグラフ A の初期測定値に略戻っており、半導体装置の劣化は見られない。

【 0 0 7 1 】

図 2 4 は、本発明の第 2 実施形態に係る半導体装置の断面を示す。半導体装置 2 0 は、容量絶縁膜を酸化アルミニウムを含む 3 層膜で構成した半導体装置であって、容量絶縁膜が、下層を構成する膜厚が 2nm の酸化アルミニウム 2 1、中間層を構成する膜厚が 3nm の酸化ハフニウム 2 2、及び上層を構成する膜厚が 2nm の酸化アルミニウム 2 3 から成ることを除いては、第 1 実施形態の半導体装置 1 0 と同様の構成を有している。半導体装置 2 0 の製造に際しては、下部電極 1 4 の形成工程に後続して、第 1 実施形態と同様にパルス成膜法を用いて、厚さが 2nm の酸化アルミニウム 2 1、厚さが 3nm の酸化ハフニウム 2 2、及び厚さが 2nm の酸化アルミニウム 2 3 を順次に成膜することによって、容量絶縁膜を形成する。

【 0 0 7 2 】

本実施形態によれば、酸化ハフニウムを酸化アルミニウムで挟持する構成を有しているため、リーク電流が比較的大きい酸化ハフニウムが電極に接しないので、第 1 実施形態の半導体装置 1 0 に比して、特に上部電極 1 6 側のリーク電流を大きく低減できる。また、上部電極 1 6 を構成する窒化チタンを成膜する際に、酸化ハフニウム 1 8 が飛散することを抑制できる。なお、容量絶縁膜を 3 層で構成した場合でも、各材料の積算膜厚が同じであれば、容量絶縁膜を 2 層で構成した場合と同じ EOT の値が得られる。半導体装置 2 0 の各材料の積算膜厚は、第 1 実施形態の半導体装置 1 0 と同様であり、半導体装置 2 0 で測定された EOT は、第 1 実施形態の半導体装置 1 0 で測定された EOT と略同様の 2.49nm であった。

【 0 0 7 3 】

本実施形態の半導体装置 2 0 を評価するために、半導体装置 2 0 を試作した。その試作した試料について、図 4 の測定と同様な BT 試験を行った。図 2 5 に結果を示す。グラフ B~G は、印加された電圧による電界を 10MV/cm、11.2MV/cm、12.4MV/cm、13.3MV/cm、15.3MV/cm、及び 16.5MV/cm とした試料の結果をそれぞれ示している。同図において、電界が 15.3MV/cm 以上のグラフ F、G の試料では破壊している。また、図には示していないが、電界を 14.5MV/cm とした試料でも破壊していることが確認された。破壊した試料及び破壊しなかった試料の何れも、リーク電流は時間と共に減少し、半導体装置の劣化は見られない。

【 0 0 7 4 】

図 2 5 の測定において破壊しなかったグラフ B~E の試料について、図 5 の測定と同様に、室温で上部電極 1 6 に対して正負の電圧を印加し、リーク電流の大きさを測定した。結果を図 2 6 に示す。同図より、グラフ B~E の試料の何れも、リーク電流が A の初期測定値に略戻っており、半導体装置の劣化は見られない。

【 0 0 7 5 】

ところで、第 1 実施形態の半導体装置 1 0 では、図 2 3 に示したように、印加電圧  $V_{p1}$  が +4.0(V) におけるリーク電流が約  $1 \times 10^{-5}$  (A/cm<sup>2</sup>) であり、-4.0(V) における約  $1 \times 10^{-6}$  (A/cm<sup>2</sup>) に比して 1 桁大きい。これに対して、本実施形態の半導体装置 2 0 では、4.0(V) 及び -4.0(V) の何れにおいてもリーク電流は  $3 \times 10^{-7}$  (A/cm<sup>2</sup>) あり、半導体装置 2 0 の測定結果に比して正負何れの印加電圧  $V_{p1}$  においてもリーク電流が 1 / 10 以下に低減され、特に正の印加電圧  $V_{p1}$  において大きく低減されている。これは、半導体装置 2 0 の上部電極 1 6 側でリーク電流が大きく低減されていることを示している。

【 0 0 7 6 】

本発明の第 2 実施形態の変形例に係る半導体装置は、容量絶縁膜の中間層を構成する酸化ハフニウムが多結晶の状態に形成されていることを除いては、第 2 実施形態の半導体装置と同様の構成を有している。なお、本発明で多結晶の状態とは、形成された何れの領域においても結晶化が完結し、且つ非晶質の状態が存在していない状態をいう。このような

状態は、X線回折法や透過電子顕微鏡による観察によって確認することが可能である。

【0077】

本変形例の半導体装置の製造に際しては、下部電極14の形成工程に後続して、第2実施形態と同様に、厚さが2nmの酸化アルミニウム21、厚さが3nmの酸化ハフニウム22、及び厚さが2nmの酸化アルミニウム23を順次に成膜する。次いで、窒素雰囲気中で、温度が700で3分間の熱処理を施す。酸化ハフニウム22が完全に結晶化する温度は550であるので、この熱処理により酸化ハフニウム22は完全に結晶化して多結晶状態となり、下層を構成する非晶質の酸化アルミニウム21、中間層を構成する多結晶の酸化ハフニウム22、及び上層を構成する非晶質の酸化アルミニウム23から成る容量絶縁膜が形成される。なお、酸化ハフニウム22の成膜に後続して、酸化ハフニウム22を多結晶化させる熱処理を行ってもよく、或いは、上部電極16を構成する窒化チタンを成膜する際の熱によって酸化ハフニウム22を多結晶化させても構わない。

10

【0078】

本変形例によれば、中間層を構成する酸化ハフニウム22が多結晶化されていることによって、電圧ストレスによる破壊耐性を向上させることが出来る。なお、本変形例の半導体装置で測定されたEOTは2.38nmであった。

【0079】

本変形例の半導体装置を評価するために、本変形例の半導体装置を試作した。その試作した試料について、図4の測定と同様なBT試験を行った。図27に結果を示す。グラフB~Gは、印加された電圧による電界を10.5MV/cm、13.0MV/cm、14.3MV/cm、15.5MV/cm、16.8MV/cm、18.1MV/cm、及び19.3MV/cmとした試料の結果をそれぞれ示している。同図において、電界が18.1MV/cm以上のグラフG、Hでは破壊している。高い電界を印加した試料では、リーク電流がやや上昇する傾向を示しているが、リーク電流の上昇は電圧の印加を開始した時の値と同等以下であり、リーク電流の顕著な増大は見られない。

20

【0080】

第1実施形態の半導体装置10では、図22において15.1MV/cm以上の電界で破壊しており、13.8MV/cmでは破壊が見られない。また、第2実施形態の半導体装置20では、前述のように14.5MV/cm以上の電界で破壊しており、13.3MV/cmでは破壊が見られない。本変形例の半導体装置では、16.8MV/cmまで破壊が見られない。これら破壊しなかった電界における印加電圧は、第1実施形態及び第2実施形態の場合には3.3Vで、本変形例の場合には4.0Vであった。従って、本変形例の場合には前記2つの実施形態の場合よりも0.7V高くなっている。この印加電圧の差は、キャパシタにおいて100倍程度の寿命の差に相当し、本変形例の半導体装置は、寿命向上に大きな効果を示している。

30

【0081】

図27の測定において破壊しなかったグラフB~Fの試料について、図5の測定と同様に、室温で上部電極16に対して正負の電圧を印加し、リーク電流の大きさを測定した。結果を図28に示す。グラフB~Fの試料の何れも、グラフAの初期測定の値に略戻っており、半導体装置の劣化は見られない。

【0082】

図29に、本発明の第3実施形態に係る半導体装置の断面を示す。半導体装置100は、DRAMとして構成され、複数のメモリセルが配置されるメモリアレイ領域100Aの表面近傍にnウエル102が形成されたp型のシリコン基板101を備える。nウエル102の表面近傍には、更に第一のpウエル103が形成されている。シリコン基板101の周辺回路領域100Bの表面近傍には第二のpウエル104が形成され、第一のpウエル103と第二のpウエル104とは素子分離領域105で分離されている。

40

【0083】

第一のpウエル103の表面近傍には個々のメモリセルの一部を構成するスイッチングトランジスタ106、107が形成されている。トランジスタ106は、ドレイン108と、ソース109と、ゲート絶縁膜110を介して形成されたゲート電極111とから構成されている。トランジスタ107は、トランジスタ106と共通のソース109と、ド

50

レイン 112 と、ゲート絶縁膜 110 を介して形成されたゲート電極 111 とから構成されている。トランジスタ 106, 107 を覆って、シリコン基板 101 上には第一の層間絶縁膜 113 で成膜されている。

【0084】

第一の層間絶縁膜 113 には、膜を貫通してソース 109 に達するコンタクト孔 114 が形成され、コンタクト孔 114 の内部に多結晶シリコン 115 が充填されている。コンタクト孔 114 に接して第一の層間絶縁膜 113 上には、窒化タングステン 119 及びタングステン 120 から成るビット線が形成されている。ビット線と多結晶シリコン 115 との間には、ビット線コンタクト 143 が形成されている。ビット線コンタクト 143 は、多結晶シリコン 115 上に形成されたチタンシリサイド 116 と、チタンシリサイド 116 上及びチタンシリサイド 116 より上のコンタクト孔 114 の壁面に成膜された窒化チタン 117 と、窒化チタン 117 を介してコンタクト孔 114 の内部に充填されたタングステン 118 とから構成されている。ビット線を覆って第一の層間絶縁膜 113 上には第二の層間絶縁膜 121 が成膜されている。

10

【0085】

第一の層間絶縁膜 113 及び第二の層間絶縁膜 121 にはこれらの膜を貫通して、トランジスタのドレイン 108, 112 に達するコンタクト孔 122a が形成されている。コンタクト孔 122a の内部には、シリコンから成るシリコンプラグ 122 と、シリコンプラグ 122 上であって、コンタクト孔 122a の開口付近に形成された金属シリサイド 124 とが充填されている。

20

【0086】

第二の層間絶縁膜 121 上には第三の層間絶縁膜 123 が成膜されている。第三の層間絶縁膜 123 は、メモリアレイ領域 100A では、その上面が周辺回路領域 100B における上面よりも低く形成されている。第三の層間絶縁膜 123 には膜を貫通してコンタクト孔 122a を露出させる深孔 144 が形成されている。深孔 144 は、水平断面が円形に近い楕円形に形成されている。第三の層間絶縁膜 123 には、また、メモリアレイ領域 100A の周辺にメモリアレイ領域 100A を囲むように膜を貫通して形成された、ダミー孔 ¥ が形成されている。ダミー孔 ¥ は、コンタクト孔 122a には達していない。

【0087】

深孔 144 の内部には、擬似王冠型の下部電極 125 が形成されている。下部電極 125 は、深孔 144 の底面に形成された底部 125a と、深孔 144 の壁面及び深孔 144 より上に突出して、略円筒形に形成された筒状部 125b とを有する。下部電極 125 の表面及びメモリアレイ領域 100A で露出した第三の層間絶縁膜 123 の表面に、容量絶縁膜 126 が成膜されている。本実施形態では、容量絶縁膜 126 は 2 層膜で構成され、下層を構成する膜厚が 4nm の酸化アルミニウム 145、及び上層を構成する膜厚が 3nm の酸化ハフニウム 146 から成る。

30

【0088】

容量絶縁膜 126 を介して、深孔 144 の内部及び第三の層間絶縁膜 123 上に、上部電極 127 が堆積されている。上部電極 127 は、その上面が、周辺回路領域 100B における第三の層間絶縁膜 123 の上面よりも高くなるように堆積されている。下部電極 125、容量絶縁膜 126、及び上部電極 127 は、キャパシタを構成する。容量絶縁膜 126 及び上部電極 127 は、周辺回路領域 100B における第三の層間絶縁膜 123 上に、メモリアレイ領域 100A から連続して延在し、延在部分の上部電極 127 は引出し配線 136 を構成している。

40

【0089】

上部電極 127 上及び露出した第三の層間絶縁膜 123 上には第四の層間絶縁膜 128 が成膜されている。第四の層間絶縁膜 128 に、膜を貫通して引出し配線 136 に達するコンタクト孔 142a が形成され、コンタクト孔 142a の内部にはプラグ 142 が形成されている。プラグ 142 は、コンタクト孔 142a の壁面及び底面に成膜された窒化チタン 137 と、窒化チタン 137 を介してコンタクト孔 142a の内部に充填されたタン

50

グステン 138 とから構成されている。

【0090】

周辺回路領域 100B において、第二の p ウエル 103 の表面近傍には、ソース 109 と、ドレイン 112 と、ゲート絶縁膜 110 を介して形成されたゲート電極 111 とから成り、周辺回路の一部を構成するトランジスタが形成されている。第一の層間絶縁膜 113 には、膜を貫通してソース 109 及びドレイン 112 に達するコンタクト孔 129a が形成され、コンタクト孔 129a の内部にはコンタクトプラグ 129 が形成されている。コンタクトプラグ 129 は、コンタクト孔 129a の壁面及び底面に成膜された窒化チタン 117 と、窒化チタン 117 を介してコンタクト孔 129a の内部に充填されたタングステン 118 とから構成されている。コンタクトプラグ 129 に接するソース 109 及びドレイン 112 の表面部分にはチタンシリサイド 116 が形成されている。

10

【0091】

コンタクトプラグ 129 に接して、第一の層間絶縁膜 113 上には、順次に成膜された窒化タングステン 119 及びタングステン 120 から成る第一の配線が形成されている。第一の配線は、第二の層間絶縁膜 121 に被覆されている。

【0092】

第二の層間絶縁膜 121、第三の層間絶縁膜 123、及び第四の層間絶縁膜 128 を貫通して、一方の第一の配線に達するコンタクト孔 130a が形成され、コンタクト孔 130a の内部には、プラグ 130 が形成されている。プラグ 130 は、コンタクト孔 130a の壁面及び底面に成膜された窒化チタン 131 と、窒化チタン 131 を介してコンタクト孔 130 の内部に充填されたタングステン 132 とから構成されている。

20

【0093】

プラグ 130 に接して第四の層間絶縁膜 128 上には、順次に成膜された、窒化チタン 133、アルミニウム 134、及び窒化チタン 135 から成る第二の配線が形成されている。プラグ 142 に接して第四の層間絶縁膜 128 上には、第二の配線と同様に、順次に成膜された、窒化チタン 139、アルミニウム 140、及び窒化チタン 141 から成る第三の配線が形成されている。半導体装置 100 には、その他、DRAM を構成するのに必要な、層間絶縁膜、コンタクトプラグ、及び配線等が形成されている。本実施形態の半導体装置によれば、第 1 実施形態の半導体装置 10 と同様の効果を得ることが出来る。

【0094】

図 30 (a) ~ (d) 及び図 31 (e) ~ (g) に、第 3 実施形態に係る半導体装置の製造方法について、製造段階を順次に示す。これらの図は、図 1 の符号 A に相当する部分を示している。まず、シリコン基板にソース、ドレイン等を形成し、シリコン基板上にゲート絶縁膜を介してゲート電極を形成する。次いで、ゲート電極を覆ってシリコン基板上に第一の層間絶縁膜を形成する。

30

【0095】

引き続き、第一の層間絶縁膜上に第二の層間絶縁膜 201 を成膜し、第一の層間絶縁膜及び第二の層間絶縁膜 201 を貫通して、ドレインに達するコンタクト孔 202a を形成する。次いで、CVD 法によりコンタクト孔 202a が埋まる程度に、リンをドーブした多結晶のシリコンを堆積する。更に、コンタクト孔 202a の外部に堆積されたシリコンを CMP 法 (化学的機械研磨法) により除去し、コンタクト孔 202a の内部のシリコンを残存させることによって、シリコンプラグ 202 を形成する。

40

【0096】

次いで、CVD 法により、窒化シリコンから成る第三の層間絶縁膜 203 及び酸化シリコンから成る厚い第四の層間絶縁膜 204 をそれぞれ成膜する。引き続き、第三の層間絶縁膜 203 及び第四の層間絶縁膜 204 をエッチングし、シリコンプラグ 202 の表面が露出する深孔 205 を形成する。深孔 205 は、その水平断面が円形に近い楕円形になるように形成する。この工程では、メモリアレイ領域 200A を取り囲むダミー溝 206 を同時に形成する (図 30 (a))。

【0097】

50

次いで、CVD法によりチタンを成膜しつつ、シリコンプラグ202の表面からシリサイド反応を生じさせる。これによって、シリコンプラグ202の表面部分をチタンシリサイド207に形成すると共に、全面に厚さが20nmの窒化チタン215を成膜する。CVD法を用いた窒化チタンの成膜は、四塩化チタンとアンモニアとの反応を利用して行う。窒化チタンの成膜は、CVD法以外にも、酸化アルミニウムと同様に、パルス成膜法で成膜することも出来る。引き続き、公知のリソグラフィ技術を用い、ホトレジストから成る第五の絶縁膜209を深孔205及びダミー溝206の内部に選択的に充填する(図30(b))。

#### 【0098】

次いで、公知のドライエッチング法により、表面に露出した窒化チタン215を除去する。深孔205の底面及び壁面に残留した窒化チタン215は、下部電極208の底部208a及び筒状部208bをそれぞれ構成する。引き続き、除去液を用いて、深孔205内の第五の絶縁膜209を除去する(図30(c))。なお、深孔205の開口幅と深さによるアスペクト比が7以上になると、深孔の底面の窒化チタンはエッチングされなくなる。従って、アスペクト比が7以上の場合には、深孔205内を第五の絶縁膜209で充填しなくても、深孔205の底面に窒化チタンを残存させたまま、第四の層間絶縁膜204上に露出した窒化チタン215を除去することができる。

#### 【0099】

次いで、周辺回路領域200B及びその近傍をホトレジスト210で被覆する。この際に、ホトレジスト210の端部がダミー溝206の内部に位置するようにする(図30(d))。引き続き、弗化水素酸溶液を用いた湿式エッチング法により、露出した第四の層間絶縁膜204をその厚さの半分程度で除去する。これによって、下部電極208の一部を第四の層間絶縁膜204より上に突出させると共に、その外壁の一部を露出させる(図31(e))。

#### 【0100】

ホトレジスト210を除去した後、有機アルミニウム化合物を原料とし、オゾンを経酸剤とするパルス成膜法により、膜厚が4nmの酸化アルミニウム211を成膜する。更に、連続して、有機ハフニウム化合物を原料とし、オゾンを経酸剤とするパルス成膜法により、膜厚が3nmの酸化ハフニウム212を成膜する。これによって、下層を構成する酸化アルミニウム211、及び上層を構成する酸化ハフニウム212から成る容量絶縁膜213を形成する(図31(f))。

#### 【0101】

引き続き、CVD法により、窒化チタンを深孔205の内部を充填しつつ全面に堆積し、上部電極214を形成する(図31(g))。更に、スルーホール形成、及び配線層の形成などを行うことによって、DRAMとして半導体装置を完成させることが出来る。なお、上部電極214は、CVD法によって窒化チタンを成膜した後、スパッタ法で窒化チタンやタングステンを堆積して形成することも出来る。或いは、下部電極208と同様にパルス成膜法を用いて成膜することもでき、この場合、ステップカバレッジを良好に維持できるので、薄い膜厚の電極を形成でき、より微細な構造のキャパシタを形成できる。

#### 【0102】

なお、本実施形態では、容量絶縁膜を2層膜で構成したが、第2実施形態のように3層膜で構成してもよく、更に、第2実施形態の変形例のように、酸化ハフニウムを多結晶化させても構わない。

#### 【0103】

図32に、第3実施形態の第1変形例に係る半導体装置の断面を示す。半導体装置230では、第四の層間絶縁膜204が、メモリアレイ領域200Aにおいて周辺回路領域200Bと同じ高さまで形成されている。また、下部電極208の上部が第四の層間絶縁膜204より上に突出せず、筒状部208bが、深孔205の壁面のみに形成されている。半導体装置230の製造に際しては、図30(d)、図31(e)に示した、ホトレジスト210の被覆、第四の層間絶縁膜204のエッチング、及びホトレジスト210の除去

10

20

30

40

50



を行わず、図30(c)に示したの工程に後続して、容量絶縁膜の形成を行う。本変形例によれば、下部電極208が第四の層間絶縁膜204より上に突出しないので、下部電極208の倒壊等を抑制できる。

【0104】

図33に、第3実施形態の第2変形例に係る半導体装置の断面を示す。半導体装置231では、メモリアレイ領域200Aにおける第四の層間絶縁膜204が全て除去されている。また、下部電極208が王冠構造に形成され、筒状部208bの外壁面の殆どが容量絶縁膜213に覆われ、且つ酸化アルミニウム211の一部が第三の層間絶縁膜203に接している。半導体装置231の製造に際しては、図31(e)に示した工程において、露出した第四の層間絶縁膜204を全て除去する。本変形例によれば、大きな電極面積を確保できるので、キャパシタの容量を増大させることが出来る。

10

【0105】

図34に、第3実施形態の第3変形例に係る半導体装置の断面を示す。半導体装置240では、第一の層間絶縁膜241におけるシリコンプラグ202の上部が、金属シリサイド242に形成され、第二の層間絶縁膜201におけるコンタクト孔202aの内部には、金属プラグ243が形成されている。本変形例によれば、下部電極208を構成する窒化チタンが、金属プラグ243及び金属シリサイド242を介して、シリコンプラグ202に接続されることによって、下部電極208とシリコンプラグ202との間の抵抗を低減できる。これによって、半導体装置の動作速度を向上させることが出来る。

20

【0106】

以上、本発明をその好適な実施形態に基づいて説明したが、本発明に係る半導体装置及びその製造方法は、上記実施形態の構成にのみ限定されるものではなく、上記実施形態の構成から種々の修正及び変更を施した半導体装置及びその製造方法も、本発明の範囲に含まれる。

【図面の簡単な説明】

【0107】

【図1】容量絶縁膜を酸化タンタルで構成した従来の半導体装置の構成を示す断面図である。

【図2】図1のキャパシタの層構造を模式的に示す断面図である。

【図3】図1、2の半導体装置について、リーク電流と印加電圧との関係を示すグラフである。

30

【図4】図1、2の半導体装置について、リーク電流と電圧の印加時間との関係を示すグラフである。

【図5】図1、2の半導体装置について、BTストレス印加後のリーク電流と印加電圧との関係を示すグラフである。

【図6】容量絶縁膜を酸化アルミニウムで構成した従来の半導体装置の層構造を模式的に示す断面図である。

【図7】図6の半導体装置について、リーク電流と印加電圧との関係を示すグラフである。

【図8】図6の半導体装置について、リーク電流と電圧の印加時間との関係を示すグラフである。

40

【図9】図6の半導体装置について、BTストレス印加後のリーク電流と印加電圧との関係を示すグラフである。

【図10】図6の半導体装置の上部電極に負の電圧を印加した際の様子を模式的に示す断面図である。

【図11】実験1の半導体装置について、キャパシタの層構造を模式的に示す断面図である。

【図12】実験1の半導体装置について、リーク電流と印加電圧との関係を示すグラフである。

【図13】実験1の半導体装置について、リーク電流と電圧の印加時間との関係を示すグ

50

ラフである。

【図14】実験1の半導体装置について、BTストレス印加後のリーク電流と印加電圧との関係を示すグラフである。

【図15】実験2の半導体装置について、リーク電流と印加電圧との関係を示すグラフである。

【図16】実験2の半導体装置について、リーク電流と電圧の印加時間との関係を示すグラフである。

【図17】実験2の半導体装置について、BTストレス印加後のリーク電流と印加電圧との関係を示すグラフである。

【図18】実験3に用いた半導体装置について、キャパシタの層構造を模式的に示す図である。

10

【図19】図19(a)~(c)は、実験3~5の半導体装置について、リーク電流と印加電圧との関係をそれぞれ示すグラフである。

【図20】本発明の第1実施形態に係る半導体装置の構成を示す断面図である。

【図21】第1実施形態の半導体装置について、リーク電流と印加電圧との関係を示すグラフである。

【図22】第1実施形態の半導体装置について、リーク電流と電圧の印加時間との関係を示すグラフである。

【図23】第1実施形態の半導体装置について、BTストレス印加後のリーク電流と印加電圧との関係を示すグラフである。

20

【図24】本発明の第2実施形態に係る半導体装置について、キャパシタの層構造を模式的に示す図である。

【図25】第2実施形態の半導体装置について、リーク電流と電圧の印加時間との関係を示すグラフである。

【図26】第2実施形態の半導体装置について、BTストレス印加後のリーク電流と印加電圧との関係を示すグラフである。

【図27】第2実施形態の変形例の半導体装置について、リーク電流と電圧の印加時間との関係を示すグラフである。

【図28】第2実施形態の変形例の半導体装置について、BTストレス印加後のリーク電流と印加電圧との関係を示すグラフである。

30

【図29】本発明の第3実施形態に係る半導体装置の構成を示す断面図である。

【図30】図30(a)~(d)は、第3実施形態に係る半導体装置の製造方法について、製造段階を順次に示す断面図である。

【図31】図31(e)~(g)は、第3実施形態に係る半導体装置の製造方法について、図30に後続する製造段階を順次に示す断面図である。

【図32】第3実施形態の第1変形例に係る半導体装置の構成を示す断面図である。

【図33】第3実施形態の第2変形例に係る半導体装置の構成を示す断面図である。

【図34】第3実施形態の第3変形例に係る半導体装置の構成を示す断面図である。

【符号の説明】

【0108】

40

10、20、100、230、231、240：半導体装置

11：N型基板

12：LOCOS

13：チタンシリサイド

14：下部電極

15：容量絶縁膜

16：上部電極

17：酸化アルミニウム

18：酸化ハフニウム

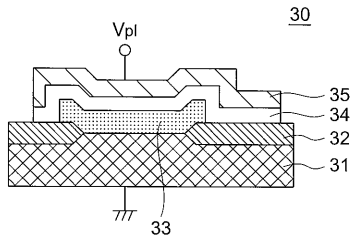
21：酸化アルミニウム

50

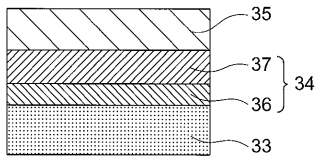
2 2	: 酸化ハフニウム	
2 3	: 酸化アルミニウム	
3 1	: N型基板	
3 2	: LOCOS	
3 3	: 下部電極	
3 4	: 容量絶縁膜	
3 5	: 上部電極	
3 6	: シリコンオキシナイトライド	
3 7	: 酸化タンタル	
4 1 , 5 2	: 酸化アルミニウム	10
4 2	: 空乏層	
5 1	: 窒化チタン	
6 1	: 酸化ハフニウム	
1 0 0 A	: メモリアレイ領域	
1 0 0 B	: 周辺回路領域	
1 0 1	: シリコン基板	
1 0 2	: n ウエル	
1 0 3	: 第一の p ウエル	
1 0 4	: 第二の p ウエル	
1 0 5	: 素子分離領域	20
1 0 6 , 1 0 7	: スイッチングトランジスタ	
1 0 8 , 1 1 2	: ドレイン	
1 0 9	: ソース	
1 1 0	: ゲート絶縁膜	
1 1 1	: ゲート電極	
1 1 3	: 第一の層間絶縁膜	
1 1 4	: コンタクト孔	
1 1 5	: シリコン	
1 1 6	: チタンシリサイド	
1 1 7	: 窒化チタン	30
1 1 8	: タングステン	
1 1 9	: 窒化タングステン	
1 2 0	: タングステン	
1 2 1	: 第二の層間絶縁膜	
1 2 2	: シリコンプラグ	
1 2 2 a	: コンタクト孔	
1 2 3	: 第三の層間絶縁膜	
1 2 4	: 金属シリサイド	
1 2 5	: 下部電極	
1 2 5 a	: (下部電極の) 底部	40
1 2 5 b	: (下部電極の) 筒状部	
1 2 6	: 容量絶縁膜	
1 2 7	: 上部電極	
1 2 8	: 第四の層間絶縁膜	
1 2 9	: コンタクトプラグ	
1 2 9 a	: コンタクト孔	
1 3 0	: プラグ	
1 3 0 a	: コンタクト孔	
1 3 1	: 窒化チタン	
1 3 2	: タングステン	50

1 3 3	:窒化チタン	
1 3 4	:アルミニウム	
1 3 5	:窒化チタン	
1 3 6	:引出し配線	
1 3 7	:窒化チタン	
1 3 8	:タンゲステン	
1 3 9	:窒化チタン	
1 4 0	:アルミニウム	
1 4 1	:窒化チタン	
1 4 2	:プラグ	10
1 4 2 a	:コンタクト孔	
1 4 3	:ビット線コンタクト	
1 4 4	:深孔	
1 4 5	:酸化アルミニウム	
1 4 6	:酸化ハフニウム	
2 0 0 A	:メモリアレイ領域	
2 0 0 B	:周辺回路領域	
2 0 1	:第二の層間絶縁膜	
2 0 2	:シリコンプラグ	
2 0 2 a	:コンタクト孔	20
2 0 3	:第三の層間絶縁膜	
2 0 4	:第四の層間絶縁膜	
2 0 5	:深孔	
2 0 6	:ダミー溝	
2 0 7	:チタンシリサイド	
2 0 8	:下部電極	
2 0 8 a	: (下部電極の) 底部	
2 0 8 b	: (下部電極の) 筒状部	
2 0 9	:第五の絶縁膜	
2 1 0	:ホトレジスト	30
2 1 1	:酸化アルミニウム	
2 1 2	:酸化ハフニウム	
2 1 3	:容量絶縁膜	
2 1 4	:上部電極	
2 1 5	:窒化チタン	
2 4 1	:第一の層間絶縁膜	
2 4 2	:金属シリサイド	
2 4 3	:金属プラグ	
2 4 4	:シリコン基板	
2 4 5	:ゲート電極	40

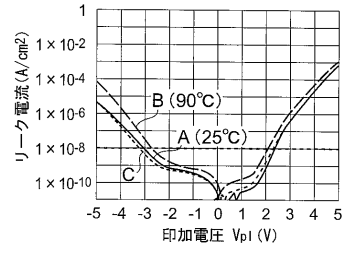
【図1】



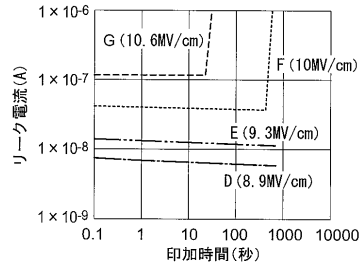
【図2】



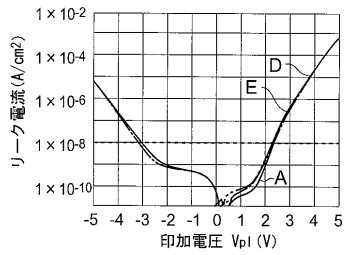
【図3】



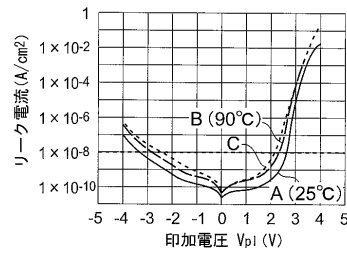
【図4】



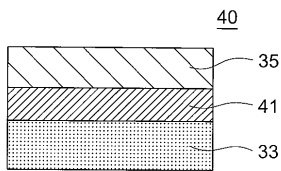
【図5】



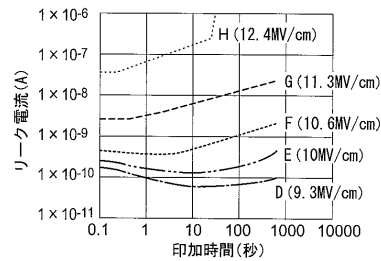
【図7】



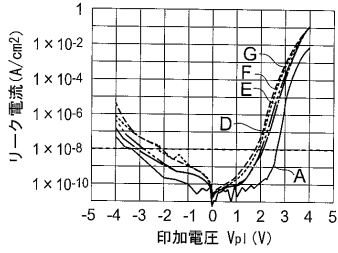
【図6】



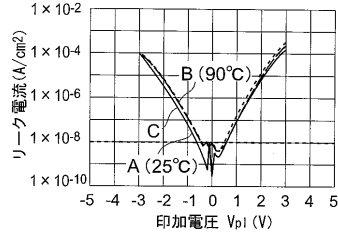
【図8】



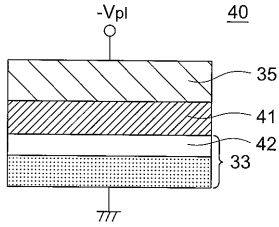
【図9】



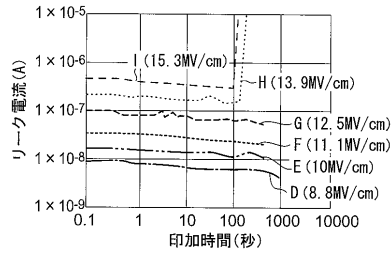
【図12】



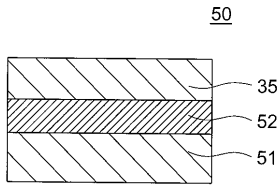
【図10】



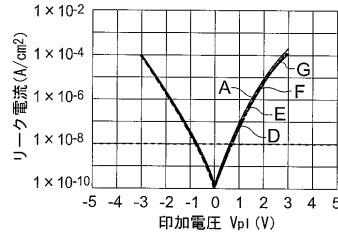
【図13】



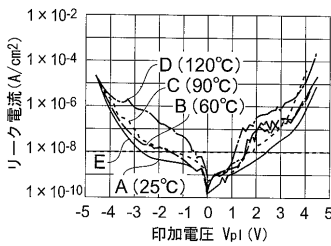
【図11】



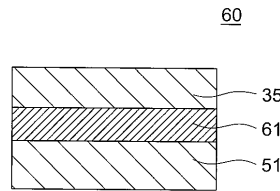
【図14】



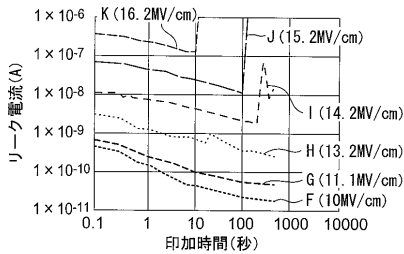
【図15】



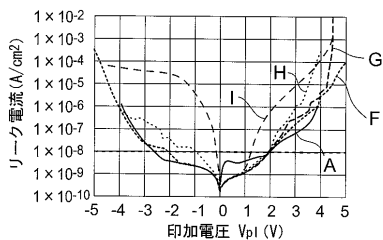
【図18】



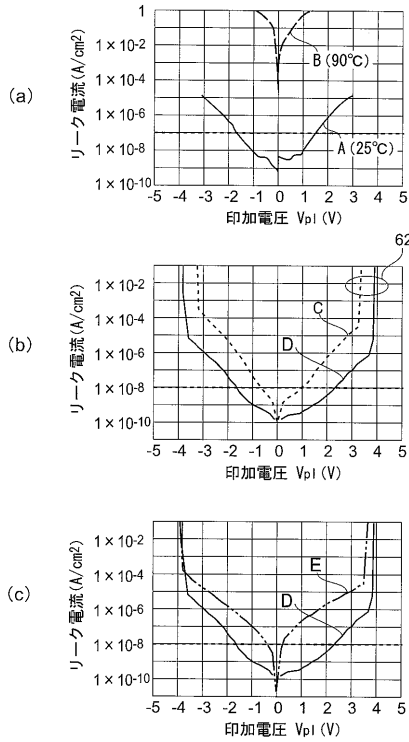
【図16】



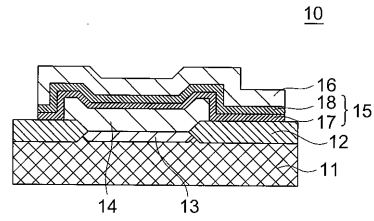
【図17】



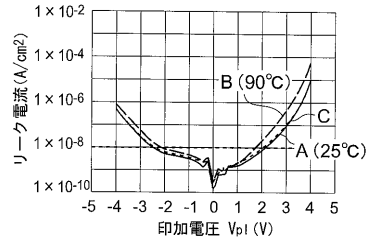
【図 19】



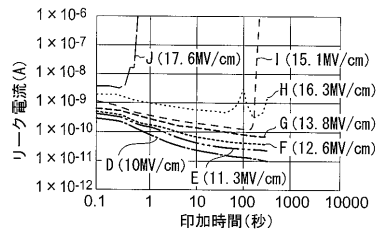
【図 20】



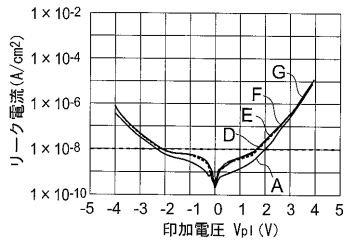
【図 21】



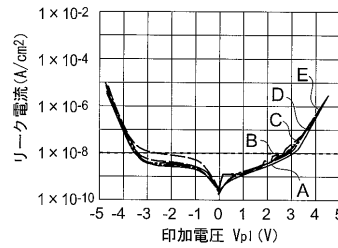
【図 22】



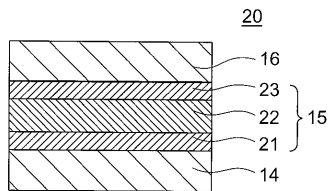
【図 23】



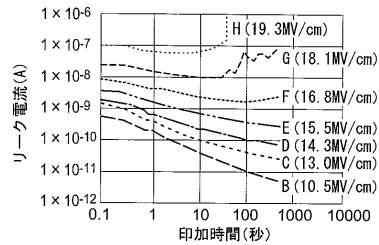
【図 26】



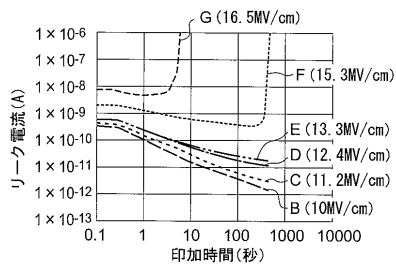
【図 24】



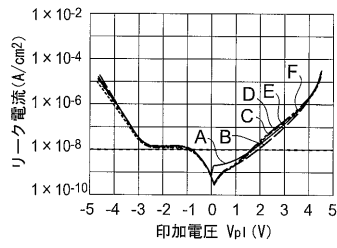
【図 27】



【図 25】

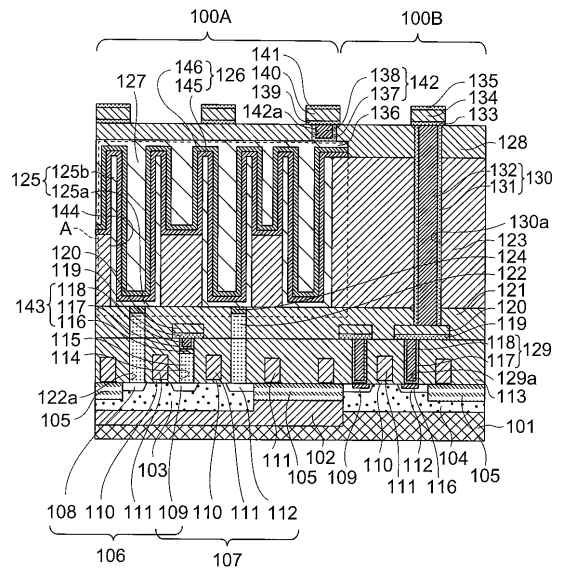


【図28】

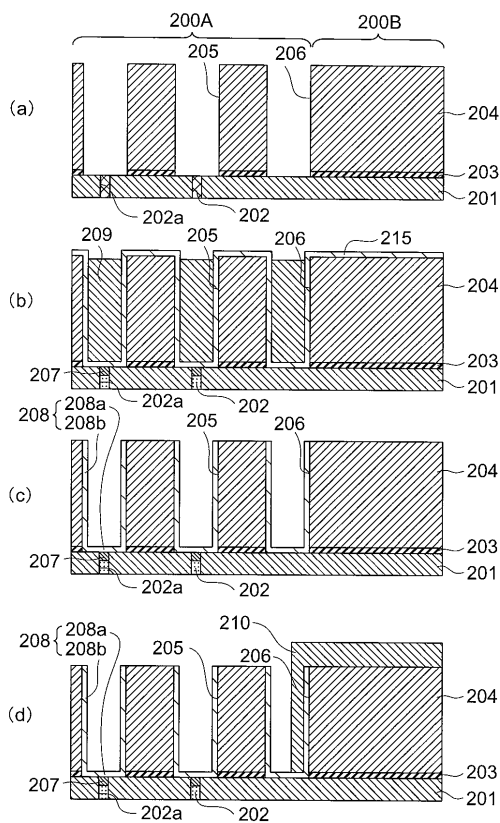


【図29】

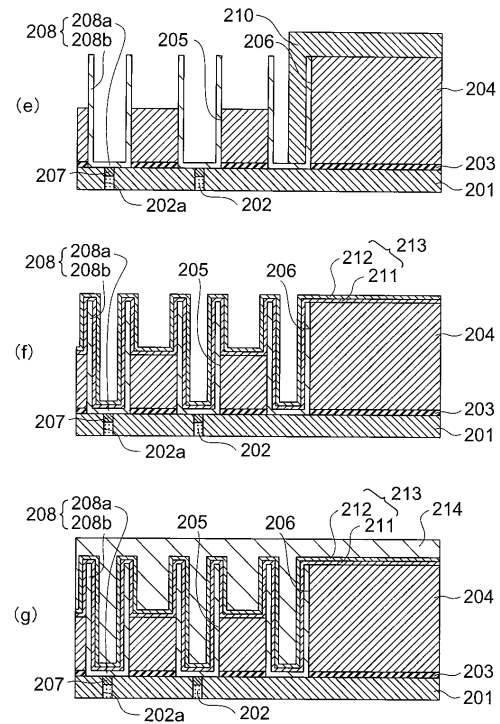
100



【図30】

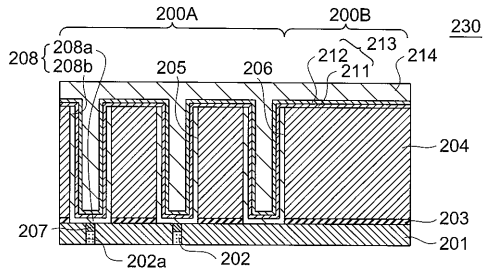


【図31】

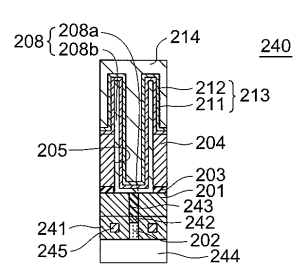




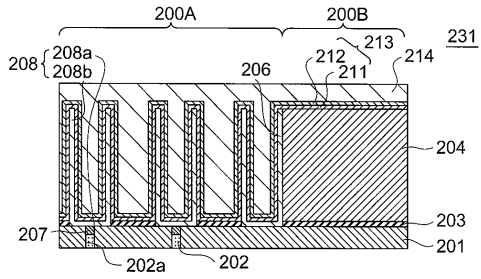
【図 3 2】



【図 3 4】



【図 3 3】



---

フロントページの続き

審査官 小森 重樹

(56)参考文献 特開2004-311937(JP,A)  
特開2002-373945(JP,A)  
特開2004-214602(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 27/108