

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5222297号
(P5222297)

(45) 発行日 平成25年6月26日(2013.6.26)

(24) 登録日 平成25年3月15日(2013.3.15)

(51) Int.Cl.

F I

H03F 3/38 (2006.01)

H03F 3/38

請求項の数 12 (全 14 頁)

(21) 出願番号	特願2009-529536 (P2009-529536)	(73) 特許権者	509088077
(86) (22) 出願日	平成19年9月28日(2007.9.28)		パスカル・アー／エス
(65) 公表番号	特表2010-505305 (P2010-505305A)		デンマーク国, デーコー-2730 ヘル
(43) 公表日	平成22年2月18日(2010.2.18)		レフ, マリエルトフェイ 46ペー
(86) 国際出願番号	PCT/DK2007/050132	(74) 代理人	100080322
(87) 国際公開番号	W02008/037261		弁理士 牛久 健司
(87) 国際公開日	平成20年4月3日(2008.4.3)	(74) 代理人	100104651
審査請求日	平成22年7月29日(2010.7.29)		弁理士 井上 正
(31) 優先権主張番号	PA200601247	(74) 代理人	100114786
(32) 優先日	平成18年9月28日(2006.9.28)		弁理士 高城 貞晶
(33) 優先権主張国	デンマーク (DK)	(72) 発明者	ヘンゲル・ラルス・ロセンクフィスト
			デンマーク国, デーコー-2450 コペ
			ンハーゲン スフ, ファースト フロア,
			ベン ヴェブステルスフェイ 146

最終頁に続く

(54) 【発明の名称】 被制御パワー・コンバータ

(57) 【特許請求の範囲】

【請求項 1】

入力信号(3)および第1フィードバック信号(4)に基づいて第1制御信号(2)を生成する入力ステージ(1)であって、少なくとも1つの極を有するレギュレータを備え、上記入力信号(3)と上記第1フィードバック信号(4)の間の信号差をローパスフィルタリングし、上記ローパスフィルタリングされた結果として得られる信号を上記第1制御信号(2)として出力する入力ステージ(1)、

上記第1制御信号に基づいてパルス幅変調信号(6)を生成するヒステリシスを有するコンパレータ(5)、

増幅されたパルス幅変調信号(9)を生成するパワー・ステージ(8)、および

上記増幅されたパルス幅変調信号(9)をフィルタリングしてアナログ出力信号(11)を生成する2次LC出力フィルタ(10)を備え、

上記第1フィードバック信号(4)は、第2フィードバック信号(12)および第3フィードバック信号(13)の組合わせとして形成され、

上記第2フィードバック信号(12)は、第1の所定伝達関数(14)を利用して上記増幅されたパルス幅変調信号(9)から導出されるものであり、

上記第3フィードバック信号(13)は、第2の所定伝達関数(15)を利用して上記アナログ出力信号(11)から導出されるものであり、

上記第2の所定伝達関数(15)が少なくとも一つの零点を含んでいる、

自励発振パルス変調コンバータを備える被制御パワー・コンバータ。

10

20

【請求項 2】

上記第 1 の所定伝達関数(14)が少なくとも一つの零点を含んでいる，請求項 1 に記載の被制御パワー・コンバータ。

【請求項 3】

上記第 1 の所定伝達関数が，少なくとも一つの極および少なくとも一つの零点を含んでいる，請求項 1 に記載の被制御パワー・コンバータ。

【請求項 4】

上記第 1 の所定伝達関数(14)が伝達関数利得を含み，極および零点のいずれもを含まないものである，請求項 1 に記載の被制御パワー・コンバータ。

【請求項 5】

上記第 1 の所定伝達関数(14)が，少なくとも一つの極および零点を含む，請求項 1 に記載の被制御パワー・コンバータ。

【請求項 6】

上記入力ステージ(1)は，上記入力信号(3)と上記フィードバック信号(4)の間の信号差を積分する積分器，および上記積分の結果として得られる信号を上記制御信号(2)として出力する手段を備えている，請求項 1 から 5 のいずれか一項に記載の被制御パワー・コンバータ。

【請求項 7】

シングルエンド実装における上記第 1 の所定伝達関数(14)が，キャパシタ(17)と直列の少なくとも一つの抵抗器(18)を利用して実装され，上記第 2 の所定伝達関数(15)が，抵抗器(20)と並列の少なくとも一つのキャパシタ(19)を利用して実装されている，請求項 2 に記載の被制御パワー・コンバータ。

【請求項 8】

第 1 の所定伝達関数(14)は，負の電圧フィードバック・ループを利用して実装されている，請求項 1 から 7 のいずれか一項に記載の被制御パワー・コンバータ。

【請求項 9】

上記第 1 の所定伝達関数(14)は，負の電流フィードバック・ループを利用して実装されている，請求項 5 に記載の被制御パワー・コンバータ。

【請求項 10】

上記入力ステージが，非常に低い周波数において実装される極を少なくとも含む，請求項 1 から 9 のいずれか一項に記載の被制御パワー・コンバータ。

【請求項 11】

上記第 1 の所定伝達関数(14)は，上記第 2 の所定伝達関数(15)の実装に用いられる DC インピーダンスの少なくとも 5 倍を超える DC インピーダンスを用いて実装されている，請求項 1 から 10 のいずれか一項に記載の被制御パワー・コンバータ。

【請求項 12】

上記入力ステージは，少なくとも一つの極および少なくとも一つの零点を利用して実装されている，請求項 1 から 11 のいずれか一項に記載の被制御パワー・コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

この発明はパルス変調コンバータ (a pulse modulated converter) に関し，限定されないが，より詳細には，入力信号および第 1 フィードバック信号に基づいて第 1 制御信号を生成する入力ステージ，上記第 1 制御信号および基準信号に基づいてパルス幅変調信号を生成するコンパレータ，上記パルス幅変調信号を生成する際にヒステリシスを提供する手段，増幅されたパルス幅変調信号を生成するパワー・ステージ，ならびに上記増幅されたパルス幅変調信号をフィルタリングしてアナログ出力信号を生成する出力フィルタを含む，パルス変調コンバータに関する。この発明は，特に，パルス幅変調 (PWM) 増幅器

10

20

30

40

50

などのタイプのスイッチング増幅器による信号の増幅に関する。

【背景技術】

【0002】

当初のPWM増幅器(PWM amplifiers)は三角発生器(triangular generators)を含むものであった。三角発生器からの三角信号は、通常、コンパレータによって入力信号と比較されて、コンパレータはその出力にPWM信号を形成する。これは、スイッチング増幅器を設計する際の典型的な模範例である。このような従来の増幅器は、米国特許公開第2004/0846281号に記載されている。

【0003】

三角発生器のアプローチにはいくつかの欠点がある。変調器(modulator)は、一般に、フィードバック補正を全く行わず、導出されるPWM信号は三角発生器の非線形性(the non-linearities of the triangular generator)を含む。制御ループが増幅器に適用される場合、ナイキスト安定基準を満たすようにするために、帯域幅およびループ利得に制限がかけられることになる。その結果、ひずみレベルが高くなるとともに、増幅器の閉ループ伝達関数に高い負荷依存性(high load dependency)が生じる。

10

【0004】

三角発生器を利用するのに代えて、従来のPWM増幅器の中には、自励発振変調器(a self-oscillating modulator)を使用するものもある。自励発振変調器は、三角発生器のパルス幅変調における主な欠点を排除したものである。これは、ナイキスト安定基準に対する制約が少ないので、変調器が持つ帯域幅とループ利得のレベルが向上するからである。

20

【0005】

スイッチング増幅器では、変調器および制御システムによって、THD+n(全高調波歪み(Total Harmonic Distortion)+ノイズ)、相互変調ひずみ、閉ループ-3db帯域、ステップ応答能力、負荷依存性、負荷ステップ応答、出力インピーダンスなどのパラメータが定義される。

【0006】

自励発振変調器を実現する一つの方法として、自励発振ローカル・ループ変調器を利用することが知られている。

【0007】

30

ローカル・ループのみを含む、自励発振のローカル・ループ変調器システムおよび制御システムは、米国特許第6,300,825号など、いくつかの文献で確認することができる。この明細書において、「ローカル・ループ」という用語は、出力フィルタよりも前段において、フィードバック信号が導出されるフィードバック・ループとして理解されたい。

【0008】

このタイプの変調器では、パワー・コンバータ内の復調フィルタを制御する機能が欠けているので、主に出力フィルタの構成要素の非線形性によって規定される、たとえば、出力インピーダンスおよび歪みのレベルが、高くなる。

【0009】

40

自励発振変調器を実現する他の方法として、自励発振グローバル・ループ変調器を利用することが知られている。この明細書において、「グローバル・ループ」という用語は、出力フィルタよりも後段において、フィードバック信号が導出されるフィードバック・ループとして理解されたい。

【0010】

単一のグローバル・ループ内に変調器を含む自励発振グローバル・ループ変調には、出力インピーダンスがより低く、ステップ応答により優れているという利点があることに加え、変調器の線形性をより改善できる潜在的可能性がある。このような変調器は、国際公開第2004/100356号の「Global loop integrating modulator(グローバル・ループ積分変調器)」という特許出願で確認することができる。このタイプの変調器には

50

、ときに感度と変調器線形性が両立しないという欠点がある。より高い感度を得るために、グローバル・ループを、入れ子型ループとして (as nested loops) カスケードすることができるが、しかしながら、同時に、負荷ステップの安定度および過渡安定度の能力に妥協することになる。

【0011】

一般に、国際公開第01/71905号に開示されているような、発振しない通常のグローバル・ループ・フィードバックは、概して、適用されるローカル変調器ループのエラー抑制能力が低いのみならず、負荷ステップ能力とステップ応答能力を減少させるので、自励発振制御システムと比べて、グローバル・ループの感度と安定度とを両立させることができない。全体的に妥協すると、出力インピーダンスが高く、負荷ステップ能力と入力ステップ能力の低いシステムになってしまう。

10

【0012】

グローバル・ループによって出力残差がローカル・ループ変調器に送られるので、変調器の歪みが生じることになる。また、このタイプのシステムは、スイッチ周波数に大きな変動もあり、増幅器の高出力増幅時におけるスイッチング周波数が非常に低くなる。このようなシステムは、米国特許第6,297,692号に記載されている。

【発明の概要】

【発明が解決しようとする課題】

【0013】

この発明の包括的な目的は、従来の変調器および制御システムにおける上述の欠点を克服することにある。

20

【0014】

この発明の第1の目的は、高いレベルの線形性を持つ変調器 (モジュレータ) を提供して、パワー増幅器 (パワー・アンプ) によってもたらされる歪みの総量を低減することである。

【0015】

この発明の第2の目的は、グローバル・ループによって、非常に低いエラー感度 (誤り感度) を得る制御および変調器システムを提供することである。

【0016】

第3の目的は、きわめて単純な変調器および制御構造を、適切な低エラー感度を得ることができる非カスケード・システム (a non-cascaded system) として提供することである。

30

【0017】

この発明の第4の目的は、スイッチング周波数の変動を低減して、パワー・コンバータを、高変調指数において高いスイッチ周波数を有するように構成することで、増幅器の出力における電源装置レール電圧の利用률을改善し、かつパワー・コンバータの負荷に対するスイッチング周波数依存性を少なくすることである。

【0018】

第5の目的は、応用ゾーベル回路網内のゾーベル抵抗器によって消費される電力を抑制し、構成要素の物理的サイズを低減し、かつ極めて安定した制御および変調器システムを得ることである。

40

【課題を解決するための手段】

【0019】

上記の目的は、この発明による、斬新なパルス変調コンバータ (pulse modulated converter) および制御システムによって達成される。

【0020】

この発明によると、パルス変調コンバータが提供され、このパルス変調コンバータは、入力信号および第1フィードバック信号に基づいて第1制御信号を生成する入力ステージ、上記第1制御信号および基準 (参照) 信号 (a reference signal) に基づいてパルス幅変調信号を生成するコンパレータ (比較器)、上記パルス幅変調信号の生成時にヒステリ

50

シスを提供する手段，増幅されたパルス幅変調信号を生成するパワー・ステージ，ならびに上記増幅されたパルス幅変調信号をフィルタリングしてアナログ出力信号を生成する出力フィルタを含む。また，上記第1フィードバック信号は，第2フィードバック信号および第3フィードバック信号の組み合わせ（a combination）として形成され，上記第2フィードバック信号は，第1の所定伝達関数を利用して上記増幅されたパルス幅変調信号から導出され，上記第3フィードバック信号は，第2の所定伝達関数を利用して上記アナログ出力信号から導出され，上記第2の所定伝達関数は少なくとも一つの零点（at least one zero）を含む。

【0021】

換言すると，この発明によると，2つのフィードバック信号が利用される。一方の信号は，増幅器のパワー・ステージにおいて測定される電圧または電流フィードバック信号であり，他方の信号は，増幅器出力において，すなわち，出力フィルタの前後のそれぞれ測定される電圧フィードバック信号である。これらの信号を合算することによって，線形変調が得られ，かつ非常に高いループ利得および低い出力インピーダンスが得られる。

【0022】

変調動作（modulating behaviour）は，レギュレータ，コンパレータ，ヒステリシス・ループ，パワー・ステージ，復調フィルタ，ならびに第1の所定伝達関数を有するローカル・ループおよび第2の所定伝達関数を有するグローバル・ループを備えるフィードバック・ループを含む順方向経路によって規定されるループ不安定性（loop instability）によって，もたらされる。

【0023】

増幅器の通過帯域におけるトータルのループ利得は，主にグローバル・ループによって決定され，他方，変調器の線形性（the modulator linearity）は，主にローカル・ループおよびグローバル・ループの高周波加算（the high frequency summation）によって決定される。このため，非常に低い歪み，低い出力インピーダンス，線形周波数応答，低ノイズレベル，および高電源除去比（a high Power Supply Rejection Ratio）（PSRR）が得られる，応用制御システムが提供される。

【0024】

ヒステリシス・ループは，主に増幅器のスイッチング周波数を制御すると共に，レギュレータならびにローカル・ループ伝達関数およびグローバル・ループ伝達関数における極および零点の配置（the pole and zero placement）を制御する。このヒステリシス・ループは，許容可能な効率を得ることができる領域まで，スイッチング周波数を十分に低減するために適用されるものであるが，最も重要なのはパワー・ステージ出力信号の線形変調を得ることができる点である。

【0025】

この変調器および制御システムは，より優れた効率が得られる可変スイッチング周波数をもたらし，かつ高周波ノイズ・スペクトラム拡散（a spread high frequency noise spectrum）をもたらす。このタイプの変調器ではスイッチング周波数の変動が制限されるので，増幅器は，電源装置レールを広範囲に利用して非常に大きな変調指数で（at very large modulation indexes）動作することができる。

【0026】

変調器システムおよび制御システムは，非常に少ない構成要素を用いて，複雑性が非常に低いシステムとして具現化（実現）（実施）（implemented）することができる。変調器および制御システムの安定度レベルが高いことによって，ゾーベル回路網を大幅に縮小できるので，ゾーベル回路網内の構成要素の効率がより向上し，かつその物理的サイズがより小さくなる。

【0027】

増幅器の順方向経路内のレギュレータは，特に限定するものではないが，積分器であってもよい。増幅器のフィードバック加算ポイントに対するローカル・ループ信号の寄与分は，グローバル・ループと比べて高周波において好ましく優勢になり，グローバル・ループ

10

20

30

40

50

プはその伝達関数によって低周波において優勢になり得るので、線形変調およびその結果低減された $THD + n$ を、得ることができる。

【0028】

フィルタの遮断周波数付近の高いグローバル・ループ利得によって、小さい信号帯域幅を、出力フィルタの遮断周波数よりもさらに大きく拡張することができる。また、このことは、復調フィルタの遮断周波数が増幅器の音声周波数帯域に近くなるので、増幅器の出力における残差リップル (the residual ripple) を抑制できることも意味する。

【0029】

増幅器は、所定の実施動作において理想的な電圧生成器に近いものになる。

【0030】

増幅器の出力からの出力信号をフィードバックするグローバル・フィードバック・ループは、主にパワー・コンバータの出力インピーダンスを規定するが、これは、特にパワー・ステージの出力信号をフィードバックするローカル・フィードバック・ループが、具現化される増幅器通過帯域において低利得の伝達関数を有する場合にあてはまり、上記通過帯域は、高域フィルタまたはグローバル・ループのインピーダンスと比べて高抵抗のインピーダンス・レベルに対応する。

【0031】

パワー・ステージの出力からの信号と増幅器の出力信号とを盲目的に (uncritically) 加算して低域フィルタリングを行うと、これらの信号は、増幅器の「部分電流駆動」 (partial current drive) を起こし、その結果、高すぎる出力インピーダンス (prohibitive output impedance) が生じる。さらに、ローカル・ループ信号とグローバル・ループ信号を盲目的に加算すると、非線形の制御信号が生じることになる。その結果、歪みのレベルが高くなる。非線形制御信号を回避するために、レギュレータ内に具現化された極および零点、ローカル・ループおよびグローバル・ループそれぞれの所定伝達関数、ならびに出力フィルタの極を、ヒステリシス・ループ利得および出力フィルタの Q 係数と共に、周波数内に慎重に配置して、線形のまたは線形に近い制御信号が得られるようにしなければならない。

【0032】

極および零点の慎重な配置を有利に具現化するこの発明の好ましい実施形態が、従属請求項の主題である。

【0033】

制御信号はコンパレータの入力に現れる信号であり、この信号は、通常グラウンド・レベルである基準レベルと比較される。この比較によって、コンパレータの出力にパルス信号が得られる。増幅器の通過帯域内において、上記パルス信号に含まれる信号は、増幅器の通過帯域内の周波数において制御信号に含まれる信号と同一でなければならない。

【0034】

図面の簡単な説明を下記に示す。図1から図3は従来のシステムを表し、図5から図8はこの発明の好ましい実施形態を表している。

【図面の簡単な説明】

【0035】

【図1】従来のローカル・ループ積分変調器を示す。

【図2】従来のグローバル・ループ積分変調器を示す。

【図3】従来の多ループ・カスケード型制御システムを示す。

【図4】この発明による第1実施形態のパルス変調コンバータを全体ブロック図として示すもので、完全な制御ループおよび変調器構造のアーキテクチャを表すものである。

【図5】この発明による第2実施形態のパルス変調コンバータを全体ブロック図として示すもので、完全な制御ループの伝達関数および変調器構造を一般的な記述で記載したものである。

【図6】この発明による第3実施形態のパルス変調コンバータを全体ブロック図として示すもので、完全な制御ループの伝達関数および変調器構造を一般的記述で記載したもので

10

20

30

40

50

ある。

【図 7】この発明による第 4 実施形態のパルス変調コンバータを全体ブロック図として示すもので、完全な制御ループの伝達関数および変調器構造を一般的記述で記載したものである。

【図 8】図 5 の第 1 および第 2 の所定伝達関数の実現可能な実装例を示す。

【図 9】図 5 のパルス変調コンバータ内の各種ポイントにおける信号の波形を示す。

【実施例】

【0036】

図 4 から図 8 は、この発明の好ましい実施形態を示している。

【0037】

図面中のブロックは好ましい伝達関数を表している。 s^{-1} は伝達関数に配置された極を表し、 s^{-2} は伝達関数に配置された 2 つの極を表し、 s^1 は伝達関数に配置された零点である。一般に、零点および極の組み合わせは、上述したもの以外の他の勾配 (slopes) を得るように組合せることができる。Kp は定数である。 s^{-1} 、 s^{-2} 、 s^1 または s^2 を含むブロックは、上述の極または零点と共に利得係数 (a gain factor) を含むこともできる。

【0038】

図 4 に示すように、この発明の第 1 実施形態が、制御および変調器手段を含む増幅器として実現されるパルス変調コンバータ (pulse modulated converter) の全体ブロック図として、示されている。

【0039】

図 4 におけるパルス変調コンバータは入力信号 3 (In) を含み、入力信号 3 はレギュレータ (regulator) 1 に与えられる。レギュレータ 1 は好ましくは積分器であり、または少なくとも極 (a pole) を含む。レギュレータ 1 の出力信号を、以下、変調信号または第 1 制御信号 2 と呼ぶ。

【0040】

第 1 制御信号 2 はコンパレータ (比較器) 5 に与えられ、ここで基準 (参照) レベル (Vref) といった基準 (参照) 信号 7 と比較される。第 1 制御信号 2 を基準レベル (Vref) と比較するコンパレータ 5 には、好ましくは、スイッチング速度を低下させ、かつ線形変調を得ることができるヒステリシス・ループ (a hysteresis loop) が組込まれる。コンパレータ 5 は、特に限定するものではないが、パルス幅変調信号 (a pulse width modulated signal) 6 といったパルス信号を、上記コンパレータ 5 の出力に生成する。

【0041】

パルス変調コンバータはさらに、コンパレータ 5 の出力であるパルス幅変調信号 6 によって制御されるパワー・ステージ (a power stage) (パワー段) 8 を含む。パワー・ステージ 8 は、上記パルス幅変調信号 6 の振幅を増幅して、その出力に増幅されたパルス幅変調信号 9 をもたらす。増幅されたパルス幅変調信号 9 は出力フィルタ 10 に与えられ、出力フィルタ 10 はパワー・ステージ 8 からの上記増幅されたパルス幅信号 9 の復調に利用される。出力フィルタ 10 は、前段のパワー・ステージ 8 からの増幅されたパルス幅変調信号 9 を復調して、正弦波出力信号 (Out) といったアナログ出力信号 11 をもたらす。

【0042】

出力フィルタ 10 は、好ましくは 2 次 LC ローパス・フィルタ (a 2nd order LC low pass filter) であって、特に限定されないが、好ましくはバタワース、ベッセル型 (a Butterworth, Bessel implementation) であり、これに代えて、特に限定されないが 2 次ハイ・フィルタ Q 型 (a 2nd order high filter Q implementation) であってもよい。

【0043】

レギュレータ 1 の前の加算ポイント 16 において、第 2 フィードバック信号 12 および第 3 フィードバック信号 13 から第 1 フィードバック信号 4 が生成される。

【0044】

これを行うために、ローカル・ループ電圧フィードバック (a local loop voltage fee

10

20

30

40

50

edback) が用いられて、パワー・ステージ 8 の出力からのパワー・ステージ出力信号 9 が第 1 の所定伝達関数 (a first predetermined transfer function) $L F(s)$ 14 を通されて、第 1 フィードバック信号 12 として、加算ポイント 16 にフィードバックされる。同様にして、グローバル・フィードバック (a global feedback) が用いられて、出力フィルタ 10 からのアナログ出力信号 11 が、第 2 の所定伝達関数 $G F(s)$ 15 を通されて、第 3 フィードバック信号 13 として、加算ポイント 16 にフィードバックされる。このように、加算ポイントは、ローカル・ループおよびグローバル・ループの両方からの加算フィードバック信号としての第 1 フィードバック信号 4 を生成する。

【0045】

加算ポイント 16 からの上記第 1 フィードバック信号は、所定伝達関数 $R(s)$ を持つレギュレータ 1 に戻され (fed back)、入力信号 (I_n) から減算される。レギュレータ 1、コンパレータ 5、パワー・ステージ 8、および出力フィルタ 10 を含む順方向経路のあらゆる非線形性の誤り訂正 (error correction of any non-linearity in the forward path) が、第 1 の所定伝達関数および第 2 の所定伝達関数、すなわち、ローカルおよびグローバル・ループの伝達関数を通した負のフィードバック (負帰還) (the negative feedback) によって得られる。開ループ利得 (the open loop gain) はパルス変調コンバータによって構成される増幅器のエラー感度 (the error sensitivity) に反比例するので、レギュレータ 1 の伝達関数 $R(s)$ は、可能な限り高いグローバル・ループ利得を持つように適用される。したがって、レギュレータ 1 は、複数の周波数帯内において可能な限り大きな利得を有するが、他方、依然として -180 度位相遅れにおいてループ不安定振動 (the loop instability oscillation) をもたらす。

【0046】

図 5 から図 8 から読み取れるように、ローカル・ループの第 1 の所定伝達関数 14 は、少なくとも極、または少なくとも零点、または少なくとも利得係数 (at least a pole or at least a zero or at least a gain factor) を含むことができる。図 5 ~ 図 8 において、機能的に同様または同一である要素は、同一の符号によって示す。

【0047】

グローバル・ループ伝達の第 2 の所定伝達関数 15 は零点を少なくとも含むことができ、システムを安定に維持するのに十分な開グローバル・ループ伝達関数を導く (lead the open global loop transfer function)。第 1 の所定伝達関数 14 および第 2 の所定第 2 伝達関数 15、すなわちローカル伝達関数 $L F(s)$ およびグローバル・ループ伝達関数 $G F(s)$ における極 (poles) および零点 (zeroes) は、ローカル・ループおよびグローバル・ループからの高周波信号成分 (the high frequency signal components) が合算されて、コンパレータ 5 の変調信号として線形制御信号 2 をもたらすように、配置されなければならない。これは、ローカル・ループおよびグローバル・ループにおいて異なる所定伝達関数を用いて実現することができる。線形変調を得るために、制御信号 2 は、好ましくは、図 9 に示すように、三角形状に形成されなければならない。この三角形状は、加算ポイント 16 において加算される高周波信号 (複数) の幾何形状を調整することによって得ることができ、またはスイッチング周波数領域の範囲内の極および零点から、加算された開ループ伝達関数が 1 次伝達関数をもつことによって (to have a 1st order transfer function in the summed open loop transfer function from the poles and zeroes in the area of the switching frequency) 得ることができる。盲目的に高周波信号を加算すると非線形変調が生じてしまうからである。

【0048】

変調器 (モジュレータ) の線形性 (modulator linearity) は、レギュレータ 1 の出力が、RC フィルタ処理された PWM 信号のような、三角形状または非対称形状でなければならないことによって、規定される。実際には、信号は、図 9 に示す理想的な信号形状から若干逸脱している場合もある。特に、出力信号 2 の三角形状は理想的な三角形ではない可能性もある。現実的には、レギュレータの出力信号 2 の線形性と、グローバル開ループの伝達関数利得との間にはトレードオフが存在する。開ループの伝達関数利得を向上させ

るために、レギュレータの出力信号 2 を三角形状から逸脱させてもよく、これは、レギュレータ出力信号 2 の非線形性を補償 (compensate) する。

【 0 0 4 9 】

安定したシステムとするためには、第 1 の所定伝達関数 1 4 および第 2 の所定伝達関数 1 5 は 0 d B よりも低い利得を持つ必要があることは、当業者であれば理解されよう。

【 0 0 5 0 】

この発明の好ましい第 2 実施形態が図 5 に示されている。ローカル・フィードバック・ループおよびグローバル・フィードバック・ループのそれぞれの第 1 の所定伝達関数 1 4 および第 2 の所定伝達関数 1 5 は、いずれも、零点を少なくとも用いて実現されている。レギュレータ 1 は好ましくは積分器であるが、他の低域フィルタ機能 (関数) を備えてもよい。レギュレータ 1 は、入力 2 (I n) からレギュレータ 1 を経て、コンパレータ 5 を経て、パワー・ステージ 8 を経て、出力フィルタ 1 0 を経て、ローカルおよびグローバル・ループの第 1 伝達関数 1 4 および第 2 伝達関数 1 5 を経て、加算ポイント 4 に至る経路によって規定される加算開ループ利得 (the summed open loop gain) を増やし、レギュレータ 1、コンパレータ 5、パワー・ステージ 8、および出力フィルタ 1 0 によって規定される順方向経路のあらゆるエラー源を抑制する。

【 0 0 5 1 】

コンパレータ 5 には、スイッチング周波数を低減するために、ヒステリシス・ループが実装されている。コンパレータ 5 の出力は好ましくはパルス幅変調信号である。好ましくは、ヒステリシス・ループは、コンパレータ 5 の入力に対するコンパレータ出力 6 の正のフィードバック (正帰還) (positive feedback) によって、またはコンパレータ 5 の入力に対するパルス幅変調信号 6 の正のフィードバックによって、形成される。このヒステリシス・ループは線形変調を実現することができる。

【 0 0 5 2 】

パルス幅変調信号 6 はパワー・ステージ 8 に与えられて振幅が増幅される。パワー・ステージ 8 は一または複数の半ブリッジを含むことができ、一または複数の電源装置レール (one or several power supply rails) によって給電される。パワー・ステージ 8 によって出力される増幅されたパルス幅変調信号は、復調のために出力フィルタ 1 0 に与えられる。

【 0 0 5 3 】

出力フィルタ 1 0 は、好ましくは 2 次 L C 低域フィルタである。

【 0 0 5 4 】

ローカルおよびグローバルのループの第 1 の所定伝達関数 1 4 および第 2 の所定伝達関数 1 5 における零点は、特に限定するものではないが、一致する周波数に (at coinciding frequencies) 配置することができる。これによって、図 9 に示すように、第 1 および第 2 の各フィードバック信号 1 2 および 1 3 の幾何的高周波加算のために (due to the geometrical high frequency summation of the respective first and second feedback signals 12 and 13)、線形変調に近づくことになる。

【 0 0 5 5 】

増幅器の通過帯域におけるローカル・ループのインピーダンスが高いので、ローカル・ループの第 1 の所定伝達関数 1 4 に零点を導入することによって、出力インピーダンスが低減される。この構成におけるグローバル・ループの高利得によって、増幅器の通過帯域付近に、出力フィルタの遮断周波数を配置することができる。出力フィルタのいずれのロールオフも補償される (compensated) ことになる。小さい信号の振幅特性は、通過帯域内において平坦化され、一般的設計では、5 0 k H z 付近において - 3 d B の限界 (-3dB limit) を有することになる。

【 0 0 5 6 】

ローカルおよびグローバル・ループのそれぞれの第 1 の所定伝達関数 1 4 および第 2 の所定伝達関数 1 5 に零点を導入することによって、次のことが成り立つ。すなわち、パワー・ステージ 8 の出力からフィードバック加算ポイント 4 までの間に 2 つの経路が存在す

ることになる。一つはローカル・ループを通り、他の一つは、好ましくは2次の出力フィルタ10およびグローバル・ループを通る。フィードバック加算ポイント4の信号は入力信号3から減算され、レギュレータ1を通過し、ここでその出力として制御信号2を生成する。ローカル・ループでは、フィードバック加算ポイント4に対する高周波伝達関数の信号の寄与度 (high frequency transfer function signal contribution) が支配的になり、他方、出力フィルタ10を含む経路およびグローバル・ループでは、フィードバック加算ポイント4に対する低周波信号が寄与する伝達関数信号の寄与度が支配的になる。図9において、出力フィルタを含む経路およびグローバル・ループからのアイドル状態における信号寄与度が (GF) として示されており、他方、ローカル・ループの信号寄与度は (LF) として示されている。ここで、アイドル状態は、レギュレータにいずれの入力信号3も印加されていない状態であると理解されたい。

10

【0057】

また、図9には、レギュレータ1の出力において、結果的に得られる制御信号2が示されている。

【0058】

すなわち、ローカル・ループの第1の所定伝達関数14は制御信号2に寄与し、制御信号2は高周波振幅では振幅が大きく、低周波振幅では振幅が小さくなる。好ましくは、加算1次開ループ関数 (a summed 1st order open loop function) は、周波数領域内において取得される。

【0059】

20

出力フィルタ10を通り、かつグローバル・ループの第2の所定伝達関数15を通るループ経路は、低周波信号に関して高い振幅レベルを有し、高周波信号に関して低い振幅レベルを有する。すなわち、ローカル・ループのみでは、増幅器の通過帯域内において、増幅器の感度関数全体に対して限定的な影響しか得られないことを意味する。

【0060】

実質的に、ローカル・ループは変調器線形性においてグローバル・ループをサポートし、可能な限り大きなグローバル開ループ利得を持つグローバル・ループの設計を可能にする。原理上、グローバル開ループの第2の所定伝達関数15は、少なくとも2次関数とすることができるので、非常に高いグローバル開ループ利得が得られ、それと同時に、ローカル・ループ・フィードバック信号12およびグローバル・ループ・フィードバック信号13の高周波合計 (the high frequency summation) から、線形化された変調が得られる。

30

【0061】

この発明の第3実施形態が図6に示されている。ローカル・ループの第1の所定伝達関数14が、利得 $1/K$ のみを含んで実装されている。ひどく高い出力インピーダンス (prohibitive output impedance) を避けるために、ローカル・ループのインピーダンスは、グローバル・ループの第2の所定伝達関数15のDCインピーダンスよりも高くなければならない。このことは、出力フィルタ10の出力におけるエラー感度が確実に低くなるようにする上で重要である。グローバル・ループの第2の所定伝達関数15のDCインピーダンスは、ローカル・ループの第1の伝達関数14のDCインピーダンスよりもC倍 (a factor C) だけ小さくなくてはならない。上記Cは、好ましくは5~10の範囲である。レギュレータ1は、極を少なくとも実装することができる。この極は、好ましくは非常に低い周波数に配置され、これにより積分伝達関数 $R(s)$ が得られる。さらに変調器線形性を必要とする場合には、レギュレータ1は、レギュレータ1の極配置と比べてさらに高い周波数に、零点を少なくとも含むこともできる。

40

【0062】

高い出力信号振幅において制御信号2は若干歪む場合もあるが、この歪みは高い開ループ利得 (the high open loop gain) によって補償される。

【0063】

この発明によるパルス変調コンバータの第4実施形態が図7に示されている。ここで、

50

グローバル・ループの第2の所定伝達関数15には、十分な安定度を有するように、零点が実装（具現化）されている。

【0064】

ローカル・ループの第2の所定伝達関数15には、零点および少なくとも一つ極が実装されている。ローカル・ループの第2の所定伝達関数14に二つの極が配置されている場合には帯域通過関数（機能）（a band-pass function）が生成され、一つの極のみが実装されている場合はリードラグ（遅延生成）関数（機能）（a lead-lag function）が生成される。ローカル・ループ・フィードバック信号のベースは、パワー・ステージ8からの電圧であっても、または出力フィルタ・インダクタへの電流であってもよい。熟練の技術者には明らかであるが、従来の電流測定方式でこの電流を測定することができ、また、出力フィルタ・インダクタの両端で電圧を測定することができ、さらに、この電圧を積分して仮想電流測定（a virtual current measurement）をもたらすことができる。いずれにしても、出力フィルタのインダクタへの電流は電圧として表現される。

【0065】

レギュレータ1は少なくとも一つの極を実装し、そのもっとも単純な形態では低域フィルタ機能を提供する。

【0066】

ここで、図9に戻って、図9には、図5のパルス変調コンバータ内の各種の信号の波形が示されている。これらの信号は、パルス変調コンバータがアイドル状態である場合、すなわち、入力信号3がない場合について示されている。信号は同一の時間スケール上に表されており、コンバータ内の各種のポイントにおける異なる信号を比較することができる。ただし、これらの信号は同一の電圧スケールでは表されていない、これは当業者であれば直ちに認識しよう。

【0067】

図5からの信号として、図9の上から下に向かって、パワー・ステージ8の出力信号9、復調出力フィルタ10からのアナログ出力信号11、ローカル・ループの第2フィードバック信号12、グローバル・ループの第3フィードバック信号13、加算ポイント16における加算によって生成される第1フィードバック信号4、およびレギュレータ1からの制御信号2が示されている。

【0068】

図9から分かるように、パワー・ステージ8の出力信号9は、パルス変調コンバータのアイドル状態に対応する、0.5のデューティサイクルを持つ一連の方形パルスを含む。出力フィルタ10の後のアナログ出力信号11は、パルス変調コンバータのスイッチング残差に対応する正弦波リップルを含むDC信号を含む。また、図示した正弦波リップルは、可聴領域、たとえば、約500kHzをはるかに超えるリップルであるので、出力信号11において可聴ではないことに留意されたい。

【0069】

アナログ出力信号11の下に、第2フィードバック信号12が示されている。第2フィードバック信号12の形状は、パワー・ステージ8の出力信号9が第1の所定伝達関数14を通してフィルタリングされた結果である。

【0070】

第2フィードバック信号12の下に、第3フィードバック信号13が示されている。第3フィードバック信号13の形状は、出力フィルタ10のアナログ出力信号11が第2の所定伝達関数15を通してフィルタリングされた結果である。ここでは、説明のために、第2フィードバック信号12および第3フィードバック信号13は、正しい縮尺によって図示されていないことを注記しておく。

【0071】

第3フィードバック信号13の下に、第1フィードバック信号4が、第2フィードバック信号12および第3フィードバック信号13の合計（the sum）として示されている。

【0072】

最後に、図 9 の最下段には、レギュレータ 1 によって生成された制御信号 2 が示されている。レギュレータは、入力信号 3 と第 1 フィードバック信号 4 との差を積分して、制御信号 2 を提供する。この例において上記入力信号 3 はゼロである。

【 0 0 7 3 】

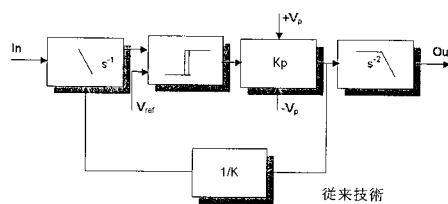
第 1 の所定伝達関数 1 4 および第 2 の所定伝達関数 1 5 を実装する簡単な方法の一つが、図 8 に示されている。ここで、これらの両方の伝達関数は、RC フィルタとして実装される。第 1 の所定伝達関数 1 4 は、キャパシタ (コンデンサ) 1 7 と抵抗器 1 8 の直列接続を含む RC フィルタとして実装される。第 2 の所定伝達関数 1 5 は、キャパシタ 1 9 と抵抗器 2 0 の並列接続を含む RC フィルタとして実装される。

【 0 0 7 4 】

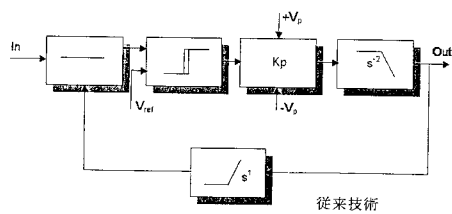
この発明について、特定の例を用いて詳細に説明したが、これらの例は、決してこの発明を限定するものとして理解されるべきではない。むしろ、当業者であれば、この発明の範囲から逸脱することなく、多数の変形態様も認識することができるであろう。特に、極と零点の組み合わせ、およびその配置を容易に選択して、各種の用途においてこの発明を実施することができよう。

10

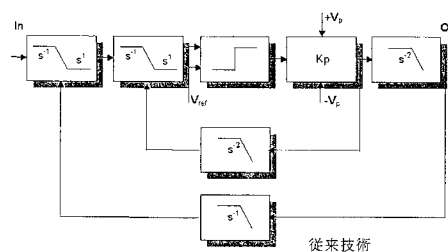
【 図 1 】



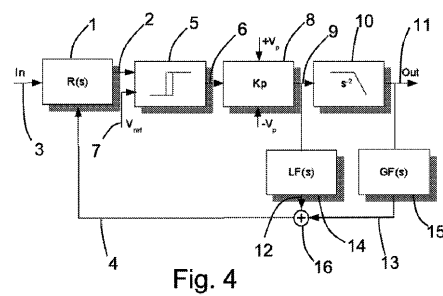
【 図 2 】



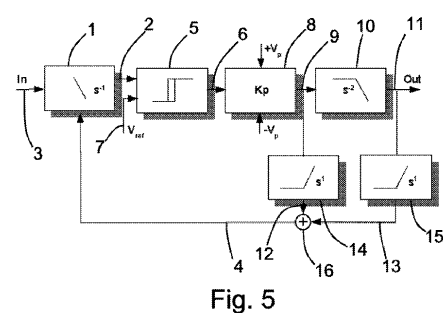
【 図 3 】



【 図 4 】



【 図 5 】



【図 6】

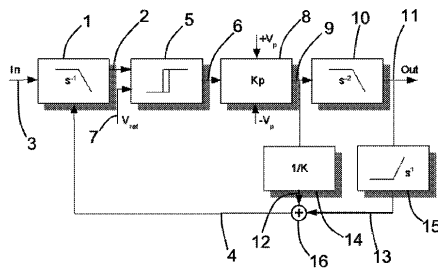


Fig. 6

【図 8】

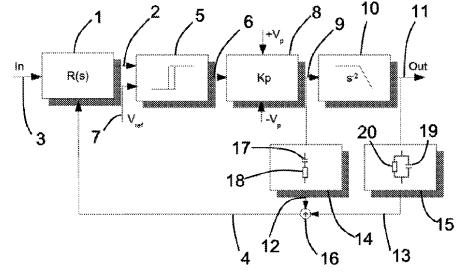


Fig. 8

【図 7】

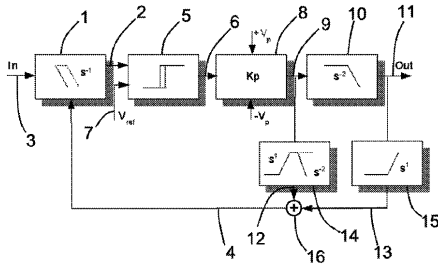
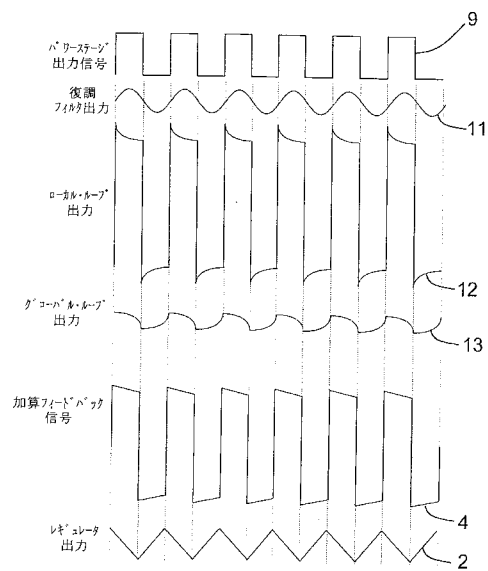


Fig. 7

【図 9】



フロントページの続き

(72)発明者 ハンセン・エスベル・リント
デンマーク国, デーコー - 2 6 1 0 ロドフレ, グランド フロア, ロドフレ パルクフェイ 2
7 5

審査官 吉田 隆之

(56)参考文献 特開2000-307359(JP, A)
特開2006-109039(JP, A)
特表2004-510397(JP, A)
特表2009-528746(JP, A)
ラジオ技術, Vol.56 No.2, p114-126

(58)調査した分野(Int.Cl., DB名)
H03F