

公告本

申請日期	85. 8. 28
案 號	85110437
類 別	H01K 21/10

A4
C4

318959

318959

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	使用非差動電流模式技術實施資料路徑之裝置及方法
	英 文	APPARATUS AND METHOD FOR A DATA PATH IMPLEMENTED USING NON-DIFFERENTIAL, CURRENT MODE TECHNIQUES
二、發明 人	姓 名	哈瑞特 (Brent S. Haukness)
	國 籍	美國
	住、居所	美國德州葛萊德市佛克大道5910號 5910 Firecrest Drive, Garland, Texas 75044, USA
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 姓 名	郝威廉 William E. Hiller

裝

訂

線

318959

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

美 國 (地 區) 申請專利，申請日期：西元1995年 案號：60/003,195，☐有 ☒無主張優先權
7月25日

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明之背景

1. 發明之技術範圍

本發明係大體上關於動態隨機存取記憶體(DRAM)單元，且特別有關於連接區域輸入／輸出(I/O)元件及儲存單元至動態半導體記憶體之訊號路徑。

2. 相關技術之描述

爲了增加DRAM單元之速度，使用用以對抗電壓模式技術之電流模式技術已被提出以最小化在長資料線上之寄生電容效應。然而，典型之電流模式電路係以差動電流技術來實施。雖然前述之差動技術擁有兩條互連線路簡化訊號偵測之優點，但此兩條互連線路導致在半導體晶片上實施此訊號路徑所需之面積過度地增加。

因此需要在實施面積不增加之情況下利用電流模式技術增加之速度之設備及相關之技術。

發明之綜合說明

藉由本發明之轉換來自動態隨機存取記憶體單元之感測放大器之差動輸出訊號至一非差動電流模式訊號之裝置可達到前述的以及其他的特點。此電流模式訊號係傳送至一資料線。藉由此資料線傳達之非差動電流模式訊號被傳送至一裝置，此裝置首先將前述之電流模式訊號轉換成一小的擺動電壓訊號，接著再將其轉換成一適合用於連接至動態隨機存取記憶體單元之電路之大的擺動電壓訊號。欲將小的擺動電壓訊號轉換成一大的擺動電壓訊號，取樣及保持裝置儲存一參考訊號，前述之小的擺動電壓訊號係與此

五、發明說明(2)

參考訊號相比較。前述之參考訊號與小的電壓訊號之比較取決於由感測放大器所偵測之邏輯狀態以產生一全電壓擺動輸出訊號。

本創作之詳細構造及其功能、效果，將由後面參考下列各附圖對其實施例所做之說明，而更加清楚。

圖式之簡單說明

圖1表示一本發明之資料路徑非差動電流模式裝置之流程圖。

圖2表示一本發明之資料路徑非差動電流模式裝置之圖解電路圖。

圖3表示一本發明之模擬READ '0'之變化。

圖4表示一本發明之模擬READ '1'之變化。

較佳實施例之詳細描述

1. 圖式之詳細描述

現在參考圖1，其中顯示一依照本發明之非差動電流模式路徑以及一記憶體單元之相關記憶體構件之方塊圖，前述之記憶體單元係用以從一儲存單元陣列取回資料。來自儲存單元陣列6之區域輸入／輸出訊號(LOCAL I/O SIGNAL)及邏輯補數(區域輸入／輸出訊號_(LOCAL I/O SIGNAL_))係傳送至差動電壓至電流轉換單元5。來自差動訊號至電流轉換單元之輸出訊號($I_0 \pm \Delta I$)係經由資料線2傳送至電流至全擺動電壓轉換單元10之電流至小的擺動電壓轉換子單元11。來自電流至小的擺動電壓轉換子單元之輸出訊號($V_0 \pm \Delta V$)係傳送至小的擺動電壓

五、發明說明(3)

至全擺動電壓轉換子單元12，子單元12提供輸出訊號 V_{OUT} ($0 \rightarrow V_{DD}$)至非差動電流模式資料路徑。此訊號 V_{OUT} 係傳送至緩衝器單元9。爲了儲存資料在儲存單元陣列6中，緩衝器單元9經由資料線發送器8傳送訊號至資料線2。經由資料線2發送之訊號經由資料線接受器單元7傳送至接至儲存單元陣列6之LOCAL I/O訊號端及LOCAL I/O_訊號端。

現在參考圖2，一依照本發明之非差動電流模式資料路徑之圖解圖形，如圖所示。LOCAL I/O SIGNAL傳送至一n通道場效果電晶體MN1之閘極端，同時LOCAL I/O SIGNAL_傳送至一n通道場效果電晶體MN2之閘極端。BIAS SIGNAL係傳送至一n通道場效果電晶體MN3之閘極端及n通道場效果電晶體MN9之閘極端，同時電晶體MN3之源極端係連接至供電端 V_{SS} 。一電晶體MN3之汲極端係連接至電晶體MN1之源極端及電晶體MN2之源極端。電晶體MN1之汲極端係連接至p通道場效果電晶體MP1之汲極端及閘極端及連接至p通道場效果電晶體MP2之閘極端。電晶體MP1之源極端及電晶體MP2之源極端係連接至供電端 V_{DD} 。電晶體MP2之汲極端係連接至電晶體MN2之汲極端，p通道場效果電晶體MP4之閘極端及汲極端，n通道場效果電晶體MN4之閘極端及汲極端，及p通道場效果電晶體MP3之閘極端。電晶體MN4之源極端係連接至電壓供電端 V_{SS} 。電晶體MP4之源極端及電晶體MP3之源極端係連接至電壓供電端 V_{DD} 。電晶體MP3之汲極端係經由資料線RES10連接至n通道場效果電晶

五、發明說明(4)

體MN5之汲極端及閘極端及連接至n通道場效果電晶體MN6之閘極端。資料線RES10伴隨有分佈電阻及分佈電容。電晶體MN5之源極端及電晶體MN6之汲極端係連接至電壓供電端V_{ss}。電晶體MN6之汲極端係連接至p通道場效果電晶體MP5之汲極端及閘極端，n通道場效果電晶體MN7之閘極端，及n通道場效果電晶體NM10之汲極端。電晶體MP5之源極端係連接至電壓供電端V_{DD}。電晶體MN7之汲極端係連接至p通道場效果電晶體MP6之汲極端及閘極端及連接至p通道場效果電晶體MP7之閘極端。電晶體MP6之源極端及電晶體MP7之源極端係連接至電壓供電端V_{DD}。電晶體MP7之源極端係連接至電晶體MN9之汲極端及n通道場效果電晶體MN8之源極端。電晶體MN9之源極端係連接至電壓供電端V_{ss}。電晶體MN10之閘極端係連接至一EQ SIGNAL。電晶體MN10之源極端係連接至電晶體MN8之閘極端及經由電容C1連接至電壓供電端V_{ss}。電晶體MN8之汲極端及電晶體MP7之汲極端係連接至輸出端。

參考圖3和圖4，對READ '0'變化(即LOCAL I/O SIGNAL→low, LOCAL I/O SIGNAL₋→high)及READ '1'(即LOCAL I/O SIGNAL→high, LOCAL I/O SIGNAL₋→low)模擬之波形分別如圖所示。在開始之20毫微秒間，電壓V₁(即施加於電晶體MN7之閘極端之電壓)及電壓V_{REF}(即施加於電晶體MN8之閘極端之電壓)係相等。在同等化期間之後，在圖3中之資料讀取'0'及在圖4中之資料讀取'1'開始運作。

五、發明說明(5)

2. 較佳實施例之運作

非差動電流模式資料路徑之一般觀念顯示在圖1。前述之LOCAL I/O SIGNAL(及它們的補數)係傳統之來自放大器之全擺動差動訊號。此等差動輸入訊號被轉換成一包含趨近常數之電壓及電流擺動 $I_0 \pm \Delta I$ 之非差動電流模式訊號。由於電壓擺動係有限制的(理想狀態是0)，故資料線之電容對傳播延遲有些許影響。在資料線之接收端，前述之電流模式訊號被轉換成一適合使用於耦合電路之全擺動CMOS輸出訊號大小。電流至全擺動轉換在實行兩個增加之後完成。第一增加將電流擺動轉換至一小的擺動電壓訊號 $V_0 \pm \Delta V$ 。此小的擺動電壓訊號接著在第二階段被轉換成一全擺動CMOS大小。

非差動電流模式資料線依照本發明之實施顯示在圖2。LOCAL I/O訊號之差動電壓被轉換成一使用一差動放大器(即電晶體MP1-MP2與MN1-MN3)之訊號電壓輸出。前述之差動放大器之輸出驅動電晶體MP3之閘極端，此電晶體MP3經由前述之資料線調節電流。施加在電晶體MP3之閘極端之電壓由電晶體MP4及MN4限制以確保電晶體MP3維持飽和。在資料線之接收端，一電流反射鏡藉由電晶體MN5及MN6形成。前述經過MN6之反射電流穿過一二極連接之電晶體MP5，藉此在電晶體MN7之閘極端製造出一電壓擺動。

在典型之差動資料線實施中，轉換成全電壓擺動訊號是很容易達成的，原因在於在兩條線間之差動電壓係正的增加或負的增加。在非差動之情況，此轉換較為困難，原因

五、發明說明(6)

在於電壓訊號係在正的電壓附近擺動。欲在一較佳實施例中執行此轉換，施加至電晶體MN7之閘極端之電壓應和一參考電壓相比較。在此較佳實施例中，此參考電壓係由一取樣及保持技術提供，即在預充電期間將初始電壓在MN7之閘極端處取樣，且在資料感測器運作期間保持此取樣電壓。此取樣方法去除參考電壓可能獨立於資料路徑電路之操作點而偏移的問題，此種情況下可能造成操作範圍減小。

此比較器包含一由電晶體MP6-MP7及MN7-NM9所形成之差動放大器。在電晶體MN7之閘極端之小擺動電壓被連接至此差動放大器之一端。在電晶體MN8之閘極端之電壓藉由使前述之EQ SIGNAL成為高值而在感測開始之前產生。前述之LOCAL I/O SIGNAL在此時等量化且在電晶體NM7之閘極端之電壓因此處於平衡中心值。當EQ SIGNAL為高，電晶體MN10係處於將施加於電晶體MN7之閘極端之電壓及施加於電晶體MN8之閘極端之電壓等量化及將電容C1充電之狀態。當EQ SIGNAL關閉時，電容C1維持此電晶體MN8之閘極端之電壓在預充電大小。只要前述之LOCAL I/O SIGNALs分離，在電晶體MN7之閘極端之電壓亦從初始值開始擺動上昇或擺動下降，擺動之極性取決於感測之狀態。此電壓V_{OUT}因此依照不同之情況正的或負的擺動。在實行上，下一個階段將會是一反向器或門鎖單元以確保維持全擺動電壓大小。

在發明詳細說明中所提出之具體的實施樣態或實施例僅

五、發明說明(7)

爲了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，在不超出本發明之精神及以下之申請專利範圍之情況，可作種種變化實施。例如，某些需要用以激發與協調前述之記憶體單元之控制訊號並未顯示出來。同樣地，在本發明之實施中，需做準備以免在元件處於運作之待命狀態時產生電流洩出。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

四、中文發明摘要(發明之名稱：使用非差動電流模式技術實施資料路徑之裝置及方法)

來自一動態隨機存取記憶體單元之感測放大器之差動輸出訊號係傳送至將此等輸出訊號轉換成一非差動電流模式訊號之裝置上。此非差動電流模式訊號係傳送至一資料線。來自前述資料線之訊號被轉換成小的擺動電壓訊號。將此小的擺動電壓訊號與一參考電壓大小相比較，藉此產生一全擺動電壓輸出訊號。前述之參考電壓大小係由一在來自感測器之差動訊號相等時對前述之小的擺動電壓大小取樣之取樣及保持電路產生。此取樣大小被儲存以與來自儲存電壓大小感測結果之小的擺動電壓大小相比較。前述之全擺動電壓輸出訊號適合用於動態隨機存取記憶體單元中的CMOS電路。

英文發明摘要(發明之名稱：Apparatus and method for a data path implemented using non-differential current mode techniques)

The differential output signals from the sense amplifiers of a dynamic random access memory unit are applied to an apparatus which converts these output signals to a non-differential current mode signal. The non-differential current mode signal is applied to a data line. The output signal from the data line is converted to a small swing voltage signal. The small swing voltage signal is compared with a reference voltage level thereby generating a full swing voltage output signal. The reference voltage level is generated by a sample and hold circuit which samples the small swing voltage level when the differential signals from the sensors are equal. The sampled level is stored for comparison with the small swing voltage level resulting from the sensing of the stored voltage level. The full swing voltage output signal is suitable for use with CMOS circuits associated with the dynamic random access memory unit.

六、申請專利範圍

1. 一種耦合至一資料線以接收一差動訊號及產生一邏輯位準輸出訊號之設備，包含：
 - 一差動電壓至電流轉換單元用以接收一差動電壓訊號且施加一電流訊號至該資料線；及
 - 一電流至全擺動電壓轉換單元，用以接受來自該資料線之電流訊號且用以產生一全擺動輸出電壓。
2. 如申請專利範圍第 1 項之設備，其中該電流至全擺動電壓轉換單元包含：
 - 一電流至小的擺動電壓轉換子單元用以接受來自該資料線之電流訊號且以此產生一小的擺動電壓訊號；及
 - 一小的擺動至全擺動電壓轉換子單元用以接收該小的擺動訊號且以此產生一全擺動訊號。
3. 如申請專利範圍第 2 項之設備，其中該小的擺動電壓至大的擺動電壓單元包含：
 - 一比較器；及
 - 一參考電壓裝置用以提供一參考電壓使得該小的擺動電壓可以對此做比較。
4. 如申請專利範圍第 3 項之設備，其中該參考電壓裝置包含一取樣及保持電路。
5. 如申請專利範圍第 4 項之設備，其中該差動訊號係由一動態隨機存取記憶體儲存單元之儲存單元中之感測放大器提供。
6. 如申請專利範圍第 5 項之設備，其中該全擺動訊號適合用於該動態隨機存取記憶體儲存單元中之 CMOS 電路。

六、申請專利範圍

7. 如申請專利範圍第 6 項之設備，其中該比較器包含一差動放大器。
8. 提供一非差動電流模式資料路徑之方法，該方法包含下列步驟：
 將來自感測放大器之差動輸出訊號轉換成一非差動電流模式訊號；
 將該非差動電流模式訊號傳送至一資料線；
 將由該資料線發送之該非差動電流模式訊號轉換成一小小的擺動電壓訊號；及
 將該小的擺動電壓訊號轉換成一全擺動電壓訊號。
9. 如申請專利範圍第 8 項之方法，其中該轉換該小的擺動電壓訊號之步驟包含下列步驟：將該小的擺動電壓訊號與一參考電壓相比較。
10. 如申請專利範圍第 9 項之方法，其中該轉換該小的擺動電壓訊號之步驟包含下列步驟：在該感測放大器未感測一儲存單元之電壓大小之期間，將該小的擺動電壓訊號取樣，該取樣提供該參考電壓。
11. 如申請專利範圍第 10 項之方法，其中轉換該小的擺動電壓訊號之該步驟包含儲存該參考電壓之步驟。
12. 如申請專利範圍第 10 項之方法，其中該轉換該小的擺動電壓訊號之步驟包含將該參考電壓與該小的擺動電壓相比較之步驟。
13. 在一動態隨機存取記憶體單元中，一用以從感測放大器發送訊號至耦合至該記憶體單元之資料線所伴隨的設

六、申請專利範圍

備，該設備包含：

用以將來自該感測放大器之差動電壓訊號轉換成一非差動電流模式訊號之第一裝置，該第一裝置將該非差動電流模式訊號傳送至一資料線；及

用以將來自該資料線之非差動電流模式訊號轉換成一適合用於CMOS電路之全擺動電壓訊號。

14. 如申請專利範圍第13項之設備，其中該第二裝置包含：

用以將該非差動電流模式訊號轉換成一小的擺動電壓訊號之第三裝置；及

用以將該小的擺動電壓訊號轉換成一全擺動電壓訊號之第四裝置。

15. 如申請專利範圍第14項之設備，其中該第四裝置包含：

儲存一參考電壓之儲存裝置；及

比較該小的擺動電壓訊號與該參考電壓之比較裝置。

16. 如申請專利範圍第15項之設備，其中該參考電壓係在來自該感測放大器之差動訊號為相等時之期間產生。

17. 如申請專利範圍第16項之設備，其中該比較裝置包含一差動放大器，該差動放大器包含傳送至第一輸入端之該參考電壓及傳送至第二輸入端之該小的擺動訊號。

18. 如申請專利範圍第17項之設備，其中該儲存裝置係一電容。

19. 如申請專利範圍第18項之設備，其中該第六裝置包含

六、申請專利範圍

電流反射鏡。

20. 一記憶體單元，包含：

一儲存單元陣列；

一緩衝器單元；

一資料線；

用以從該緩衝器單元經由該資料線傳送訊號至該儲存單元陣列之寫入裝置；及

用以從該儲存單元陣列經由該資料線傳送訊號至該緩衝器單元之讀出裝置，該讀出裝置係如申請專利範圍第1項所述者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

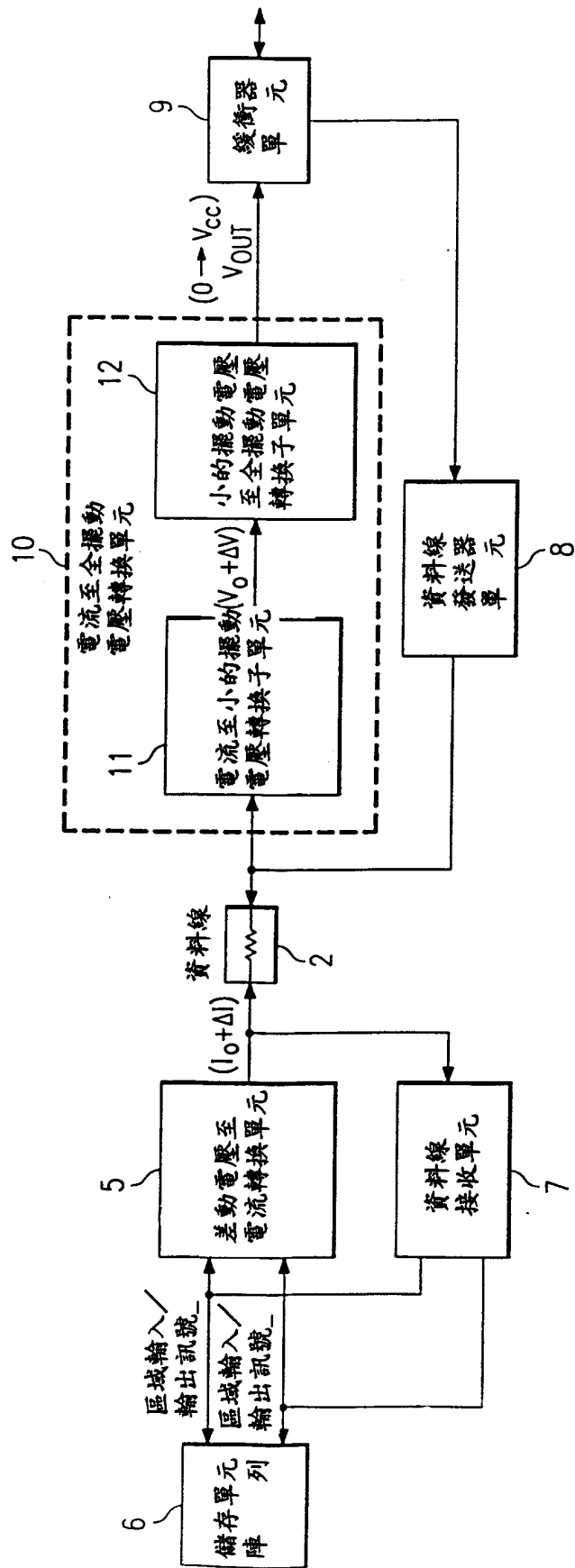
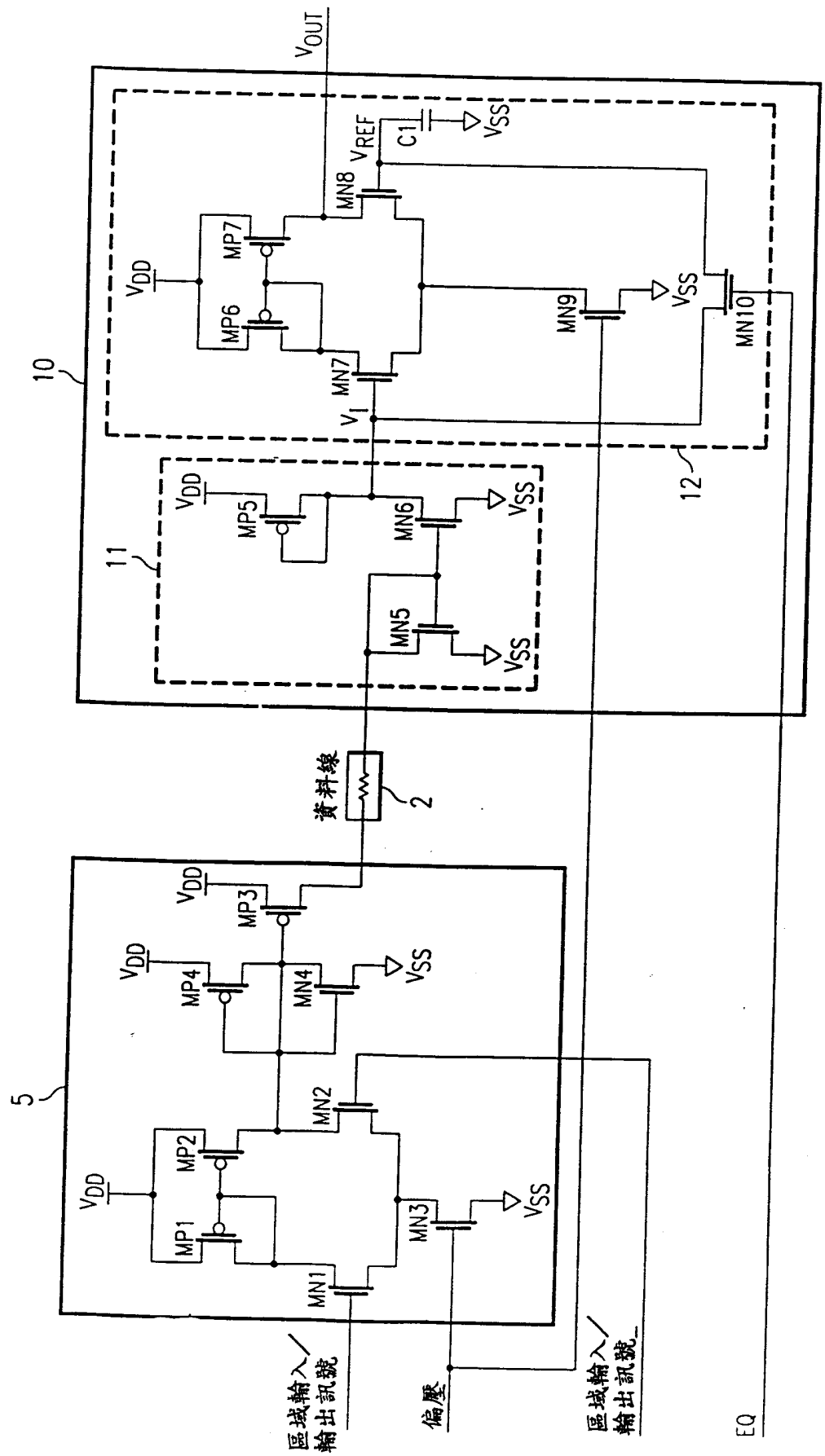


圖 1



318959

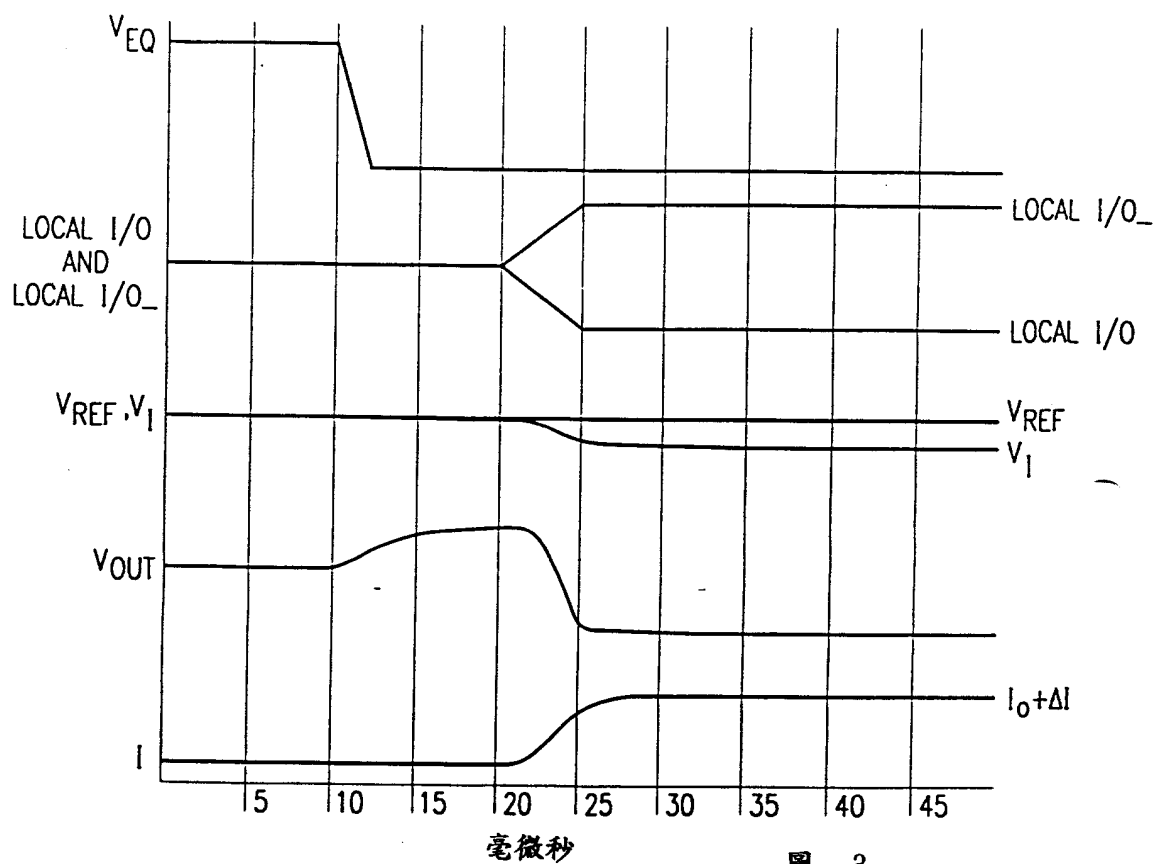


圖 3

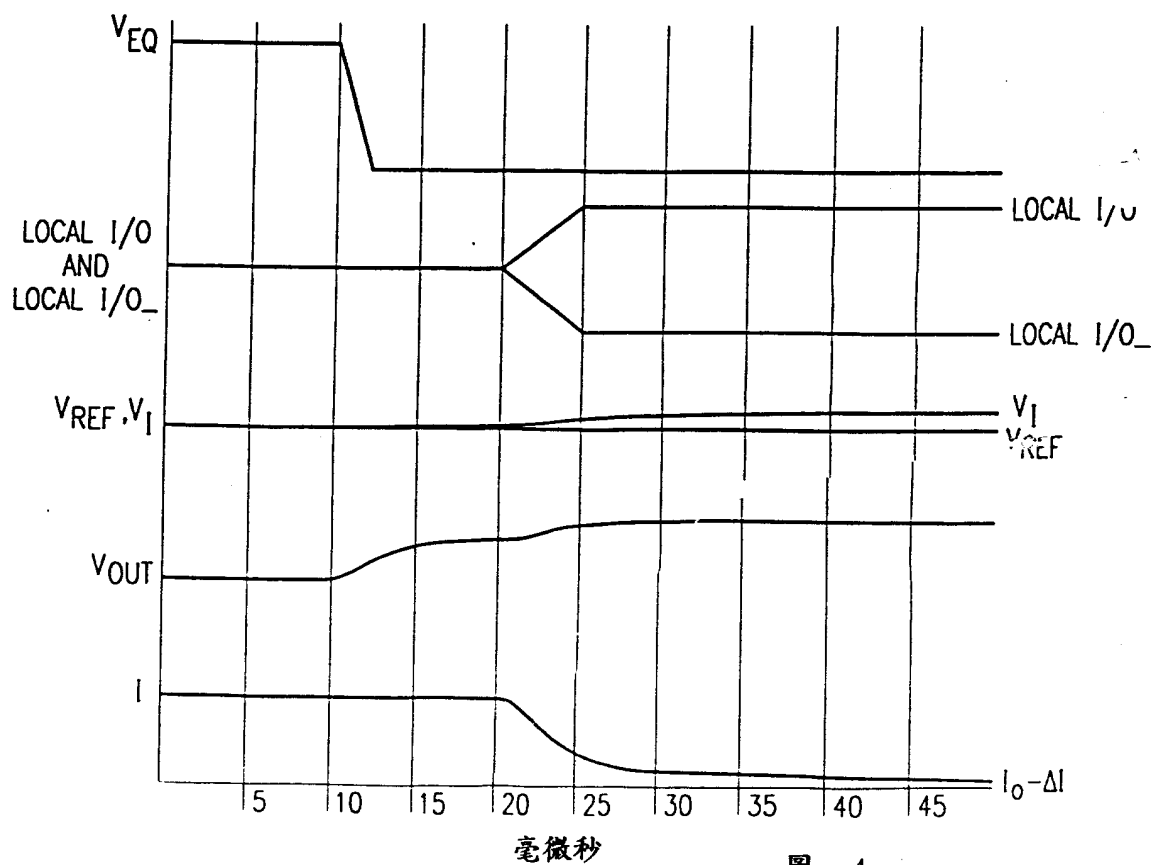


圖 4