

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和2年2月27日(2020.2.27)

【公開番号】特開2017-201685(P2017-201685A)

【公開日】平成29年11月9日(2017.11.9)

【年通号数】公開・登録公報2017-043

【出願番号】特願2017-76521(P2017-76521)

【国際特許分類】

H 01 L	21/338	(2006.01)
H 01 L	29/778	(2006.01)
H 01 L	29/812	(2006.01)
H 01 L	21/28	(2006.01)
H 01 L	21/283	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	29/49	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/78	(2006.01)

【F I】

H 01 L	29/80	H
H 01 L	21/28	3 0 1 B
H 01 L	21/283	C
H 01 L	29/50	M
H 01 L	29/58	G
H 01 L	29/78	3 0 1 B
H 01 L	29/78	3 0 1 N

【手続補正書】

【提出日】令和2年1月14日(2020.1.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の半導体材料と第2の半導体材料とヘテロ接合とであつて、前記ヘテロ接合が、前記第1の半導体材料と前記第2の半導体材料との間に配置される、前記第1の半導体材料と前記第2の半導体材料と前記ヘテロ接合と、

複数の複合パッシベーション層であつて、前記複数の複合パッシベーション層における第1の複合パッシベーション層が、第1の絶縁層と第1のパッシベーション層とを含み、前記複数の複合パッシベーション層における第2の複合パッシベーション層が、第2の絶縁層と第2のパッシベーション層とを含み、前記第1の絶縁層と前記第2の絶縁層とが、前記第1のパッシベーション層および前記第2のパッシベーション層より幅の広いバンドギャップをもち、前記第2のパッシベーション層が、前記第1の絶縁層と前記第2の絶縁層との間に配置される、前記複数の複合パッシベーション層と、

前記第1のパッシベーション層と前記第2の半導体材料との間に配置されたゲート誘電体と、

前記ゲート誘電体と前記第1のパッシベーション層との間に配置されたゲート電極と、

前記第1のパッシベーション層と前記第2のパッシベーション層との間に配置された第1のゲートフィールドプレートであって、前記第1のゲートフィールドプレートが、前記ゲート電極に結合されている、前記第1のゲートフィールドプレートと、

ソース電極とドレイン電極とであって、前記ソース電極と前記ドレイン電極とが、前記第2の半導体材料に結合される、前記ソース電極と前記ドレイン電極と、

ソースフィールドプレートであって、前記ソースフィールドプレートが、前記ソース電極に結合される、前記ソースフィールドプレートと、

を備える、高電圧電界効果トランジスタ(HFET)。

【請求項2】

前記第1のゲートフィールドプレートが、前記ゲート電極に結合される、
請求項1に記載のHFET。

【請求項3】

第3のパッシベーション層をさらに備え、

前記第2の絶縁層が、前記第2のパッシベーション層と前記第3のパッシベーション層との間に配置される、

請求項1に記載のHFET。

【請求項4】

前記第2の絶縁層と前記第3のパッシベーション層との間に配置された第2のゲートフィールドプレートをさらに備える、

請求項3に記載のHFET。

【請求項5】

前記ソースフィールドプレートが、前記第2のパッシベーション層と前記第3のパッシベーション層との間に配置され、

前記第1のゲートフィールドプレートが、前記第1の絶縁層と前記第2のパッシベーション層との間に配置される、

請求項3に記載のHFET。

【請求項6】

前記第1の絶縁層の横境界が、前記ソースフィールドプレートの横境界と実質的に同一の範囲に広がり、

前記第2の絶縁層の横境界が、前記ソースフィールドプレートの前記横境界と実質的に同一の範囲に広がる、

請求項5に記載のHFET。

【請求項7】

前記第3のパッシベーション層と第3の絶縁層とを含む第3の複合パッシベーション層と、

第4のパッシベーション層であって、前記第3の絶縁層が、前記第3のパッシベーション層と前記第4のパッシベーション層との間に配置される、前記第4のパッシベーション層と、

前記第1のゲートフィールドプレートに結合された第2のゲートフィールドプレートであって、前記第2のゲートフィールドプレートが、前記第2のパッシベーション層と前記第3のパッシベーション層との間に配置され、前記ソースフィールドプレートが、前記第3のパッシベーション層と前記第4のパッシベーション層との間に配置される、前記第2のゲートフィールドプレートと、

をさらに備える、請求項3に記載のHFET。

【請求項8】

前記第2のゲートフィールドプレートに結合され、前記第3のパッシベーション層と前記第4のパッシベーション層との間に配置された、第3のゲートフィールドプレートをさらに備える、

請求項7に記載のHFET。

【請求項9】

前記第1の絶縁層の横境界が、前記第1のゲートフィールドプレートの横境界と実質的に同一の範囲に広がり、

前記第2の絶縁層の横境界が、前記第2のゲートフィールドプレートの横境界と実質的に同一の範囲に広がり、

前記第3の絶縁層の横境界が、前記ソースフィールドプレートの横境界と実質的に同一の範囲に広がる、

請求項7に記載のH F E T。

【請求項10】

前記複数の複合パッシベーション層における前記ゲート誘電体と前記第1の絶縁層とが、同じ材料組成で製造された、

請求項1に記載のH F E T。

【請求項11】

前記複数の複合パッシベーション層における前記第1のパッシベーション層と前記第2のパッシベーション層とが、SiNを含み、

前記ゲート誘電体と前記第1の絶縁層とが、金属酸化物を含む、

請求項1に記載のH F E T。

【請求項12】

前記複数の複合パッシベーション層における絶縁層が、前記複数の複合パッシベーション層におけるパッシベーション層の充電を防ぐために配置される、

請求項1に記載のH F E T。

【請求項13】

前記ドレイン電極が、前記第2の半導体材料から、前記複数の複合パッシベーション層の少なくとも1つを通って延びる、

請求項1に記載のH F E T。

【請求項14】

第1の半導体材料と第2の半導体材料とヘテロ接合とであって、前記ヘテロ接合が、前記第1の半導体材料と前記第2の半導体材料との間に配置される、前記第1の半導体材料と前記第2の半導体材料と前記ヘテロ接合と、

第1の複合パッシベーション層と第2の複合パッシベーション層と第3の複合パッシベーション層とを含む複数の複合パッシベーション層であって、前記第1の複合パッシベーション層が、第1の絶縁層と第1のパッシベーション層とを含み、前記第1の絶縁層が、前記第1のパッシベーション層より幅の広いバンドギャップをもち、前記第1のパッシベーション層が、前記第2の半導体材料と前記第1の絶縁層との間に配置され、前記第2の複合パッシベーション層が、第2の絶縁層と第2のパッシベーション層とを含み、前記第2の絶縁層が、前記第2のパッシベーション層より幅の広いバンドギャップをもち、前記第2のパッシベーション層が、前記第1の絶縁層と前記第2の絶縁層との間に配置され、前記第3の複合パッシベーション層が、第3の絶縁層と第3のパッシベーション層とを含み、前記第3のパッシベーション層が、前記第2の絶縁層と前記第3の絶縁層との間に配置される、前記複数の複合パッシベーション層と、

前記第1のパッシベーション層と前記第2のパッシベーション層との間に配置された第1のゲートフィールドプレートであって、前記第1のゲートフィールドプレートが、ゲート電極に結合されている、前記第1のゲートフィールドプレートと、

前記第1のゲートフィールドプレートに結合された第2のゲートフィールドプレートであって、前記第2のゲートフィールドプレートが、前記第2のパッシベーション層から前記第3の絶縁層を通って延びる、前記第2のゲートフィールドプレートと、

を備える、高電圧電界効果トランジスタ(H F E T)。

【請求項15】

前記第1のパッシベーション層と前記第2の半導体材料との間に配置されたゲート誘電体と、

前記ゲート誘電体と前記第1のパッシベーション層との間に配置されたゲート電極と、

をさらに備える、請求項 1 4 に記載の H F E T。

【請求項 1 6】

第 4 のパッシベーション層をさらに備え、

前記第 3 の絶縁層が、前記第 4 のパッシベーション層と前記第 3 のパッシベーション層との間に配置され、

前記第 2 のゲートフィールドプレートが、前記第 2 のパッシベーション層から、前記第 2 の絶縁層を通り、前記第 3 のパッシベーション層を通り、前記第 4 のパッシベーション層内まで延びる、

請求項 1 4 に記載の H F E T。

【請求項 1 7】

前記第 2 のゲートフィールドプレートが、金属を含み、連続している、

請求項 1 4 に記載の H F E T。

【請求項 1 8】

ソース電極に結合されたソースフィールドプレートをさらに備え、

前記第 3 のパッシベーション層が、前記ソースフィールドプレートと前記第 2 の絶縁層との間に配置される、

請求項 1 4 に記載の H F E T。

【請求項 1 9】

第 1 の半導体材料と第 2 の半導体材料との間にヘテロ接合を形成することと、

ソース電極とドレイン電極とを形成することであって、前記ソース電極と前記ドレイン電極とが、前記第 2 の半導体材料に結合される、前記ソース電極と前記ドレイン電極とを形成することと、

ゲート誘電体を堆積させることであって、前記第 2 の半導体材料が、前記ゲート誘電体と前記第 1 の半導体材料との間に配置される、前記ゲート誘電体を堆積させることと、

複数の複合パッシベーション層を堆積させることであって、前記複数の複合パッシベーション層における第 1 の複合パッシベーション層が、第 1 の絶縁層と第 1 のパッシベーション層とを含み、前記第 1 の絶縁層が、前記第 1 のパッシベーション層より幅の広いバンドギャップをもち、前記第 1 のパッシベーション層が、前記ゲート誘電体と前記第 1 の絶縁層との間に配置される、前記複数の複合パッシベーション層を堆積させることと、

前記ゲート誘電体と前記複数の複合パッシベーション層との間にゲート電極を形成することと、

第 2 の絶縁層と第 2 のパッシベーション層とを含む、前記複数の複合パッシベーション層における第 2 の複合パッシベーション層を堆積させることであって、前記第 2 の絶縁層が、前記第 2 のパッシベーション層より幅の広いバンドギャップをもち、前記第 2 のパッシベーション層が、前記第 1 の絶縁層と前記第 2 の絶縁層との間に配置される、前記第 2 の複合パッシベーション層を堆積させることと、

前記第 1 のパッシベーション層と前記第 2 のパッシベーション層との間に第 1 のゲートフィールドプレートを形成することであって、前記第 1 のゲートフィールドプレートが、前記ゲート電極に結合される、前記第 1 のゲートフィールドプレートを形成することと、を含む、高電圧電界効果トランジスタ (H F E T) の製造方法。

【請求項 2 0】

前記第 1 の絶縁層が、前記第 1 のパッシベーション層より大きなバンドギャップをもつ、請求項 1 9 に記載の方法。

【請求項 2 1】

前記第 1 のゲートフィールドプレートが、前記ゲート電極に結合される、

請求項 1 9 に記載の方法。

【請求項 2 2】

前記第 2 の絶縁層上にソースフィールドプレートを形成することをさらに含む、

請求項 1 9 に記載の方法。

【請求項 2 3】

前記第1のゲートフィールドプレートに結合された第2のゲートフィールドプレートを形成することをさらに含み、

前記第2のゲートフィールドプレートが、前記第2の絶縁層上に配置される、
請求項19に記載の方法。

【請求項 2 4】

前記複数の複合パッシベーション層を堆積させることが、前記第1の絶縁層の横境界が、前記第1のゲートフィールドプレートを越えて広がっているとともに、前記ドレイン電極をドレインに電気的に接続するピア部材より手前で終わっており、前記第2の絶縁層の横境界が、ソースフィールドプレートを越えて広がっているとともに、前記ドレイン電極を前記ドレインに電気的に接続するピア部材の手前で終わっており、前記第1の絶縁層と前記第2の絶縁層との前記横境界が、前記ソース電極と前記ドレイン電極との間の横方向距離未満であるように、前記第1の絶縁層と前記第2の絶縁層とを堆積させることを含む、

請求項19に記載の方法。

【請求項 2 5】

第3の絶縁層と第3のパッシベーション層とを含む第3の複合パッシベーション層を堆積させることであって、前記第3のパッシベーション層が、前記第2の絶縁層と前記第3の絶縁層との間に配置される、前記第3の複合パッシベーション層を堆積させることと、

前記第1のゲートフィールドプレートに結合された第2のゲートフィールドプレートを形成することであって、前記第2のゲートフィールドプレートが、前記第2のパッシベーション層と前記第3のパッシベーション層との間に配置される、前記第2のゲートフィールドプレートを形成することと、

ソースフィールドプレートを形成することであって、前記第3のパッシベーション層が、前記ソースフィールドプレートと前記第2の絶縁層との間に配置される、前記ソースフィールドプレートを形成することと、

をさらに含む、請求項19に記載の方法。

【請求項 2 6】

前記第2のゲートフィールドプレートに結合され、前記第3の絶縁層上に配置された第3のゲートフィールドプレートを形成することをさらに含む、

請求項25に記載の方法。

【請求項 2 7】

第4のパッシベーション層を堆積させることをさらに含み、

前記第4のパッシベーション層が、前記ソースフィールドプレートと前記第3の絶縁層との上に配置される、

請求項25に記載の方法。

【請求項 2 8】

前記第1のゲートフィールドプレートが、前記第1の絶縁層と前記第2のパッシベーション層との間に配置される、

請求項20に記載の方法。

【請求項 2 9】

前記第1のパッシベーション層が、SiNを含み、前記ゲート誘電体と前記第1の絶縁層とが、金属酸化物を含む、

請求項20に記載の方法。