

(19)



URZĄD  
PATENTOWY  
RZECZYPOSPOLITEJ  
POLSKIEJ

(10) **PL 246165 B1**

(12)

## Opis patentowy

(21) Numer zgłoszenia: **443809**

(22) Data zgłoszenia: **2023.02.16**

(43) Data publikacji o zgłoszeniu: **2024.08.19 BUP 34/2024**

(45) Data publikacji o udzieleniu patentu: **2024.12.09 WUP 50/2024**

(51) MKP:

**G04F 10/00** (2006.01)

**H03M 1/38** (2006.01)

- (73) Uprawniony z patentu:  
**AKADEMIA GÓRNICZO-HUTNICZA  
IM.STANISŁAWA STASZICA W KRAKOWIE,  
Kraków, PL**
- (72) Twórca(-y) wynalazku:  
**DARIUSZ KOŚCIELNIK, Kraków, PL  
KONRAD JURASZ, Świnna, PL  
JAKUB SZYDUCZYŃSKI, Szczepczeszyn, PL**
- (74) Pełnomocnik:  
**rzecz. pat. Patrycja Rosół, Kraków, PL**

(54) Tytuł:

**Układ do bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe**

**PL 246165 B1**

## Opis wynalazku

Przedmiotem wynalazku jest układ do bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe, znajdujący zastosowanie w systemach kontrolno-pomiarowych o wymaganej bardzo wysokiej sprawności energetycznej, takich jak aparatura biomedyczna oraz urządzenia mobilne.

Z opisu patentowego US 9612581 B1 znany jest układ do bezpośredniego przetwarzania interwału czasu na słowo cyfrowe. Układ ten zawiera zespół  $n$  kondensatorów o binarnie skalowanych pojemnościach, przy czym  $n$  jest liczbą bitów wyjściowego słowa cyfrowego. Pojemność każdego kolejnego kondensatora zestawu jest dwukrotnie mniejsza od pojemności kondensatora bezpośrednio go poprzedzającego. Sumaryczna pojemność wykorzystywanych kondensatorów wynosi zatem  $(2^n - 1)C_0$ , przy czym pojemność  $C_0$ , nazywana jednostką, jest pojemnością kondensatora o najmniejszej pojemności w zestawie kondensatorów. Powierzchnia zajmowana przez zestaw kondensatorów w układzie monolitycznym jest natomiast wprost proporcjonalna do sumarycznej pojemności kondensatorów tego zestawu. Dolna okładka każdego kondensatora zestawu kondensatorów jest połączona z masą układu, a górna okładka każdego kondensatora zestawu kondensatorów jest połączona ze stykiem ruchomym przełącznika zestawu przypisanego temu kondensatorowi. Pierwszy styk nieruchomy każdego przełącznika zestawu jest połączony z szyną referencyjną, drugi styk nieruchomy każdego przełącznika zestawu jest połączony z masą układu, a trzeci styk nieruchomy każdego przełącznika zestawu jest połączony z szyną sygnałową. Układ zawiera ponadto moduł sterujący wyposażony w wejście przetwarzanego interwału czasu, wyjście sygnalizujące zakończenie przetwarzania, wejście referencyjne połączone z wyjściem komparatora referencyjnego i wejście sygnałowe połączone z wyjściem komparatora sygnałowego. Moduł sterujący jest także wyposażony w wyjście referencyjne połączone z wejściem sterującym źródła prądowego referencyjnego i wyjście sygnałowe połączone z wejściem sterującym źródła prądowego sygnałowego, a także wyjścia sterujące przełącznikami zestawu oraz wyjście  $n$ -bitowego wyjściowego słowa cyfrowego. Wejście nieodwracające komparatora referencyjnego, monitorującego napięcie narastające na kondensatorze ładowanym za pomocą źródła prądowego referencyjnego, jest połączone z szyną referencyjną oraz wyjściem źródła prądowego referencyjnego. Wejście tego źródła prądowego jest połączone z napięciem zasilania. Wejście odwracające komparatora referencyjnego jest połączone z napięciem progowym. Wejście nieodwracające komparatora sygnałowego, monitorującego napięcie narastające na kondensatorze ładowanym za pomocą źródła prądowego sygnałowego, jest połączone z szyną sygnałową oraz wyjściem źródła prądowego sygnałowego. Wejście tego źródła prądowego jest połączone z napięciem zasilania. Wejście odwracające komparatora sygnałowego jest połączone z napięciem progowym oraz wejściem odwracającym komparatora referencyjnego.

Celem wynalazku jest opracowanie układu do bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe, przeznaczonego do stosowania w systemach kontrolno-pomiarowych o wysokiej sprawności energetycznej.

Układ do bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe, według wynalazku, zawiera moduł sterujący wyposażony w wejście przetwarzanego interwału czasu, wyjście zakończenia przetwarzania, wejście referencyjne połączone z wyjściem komparatora referencyjnego i wejście sygnałowe połączone z wyjściem komparatora sygnałowego. Moduł sterujący jest ponadto wyposażony w wyjście referencyjne połączone z wejściem sterującym źródła prądowego referencyjnego i wyjście sygnałowe połączone z wejściem sterującym źródła prądowego sygnałowego, a także wyjścia sterujące połączone z wejściami sterującymi przełączników zestawu oraz wyjście  $n$ -bitowego wyjściowego słowa cyfrowego. Wyjściowe słowo cyfrowe zawiera natomiast  $r$  najbardziej znaczących bitów oraz  $n-r$  najmniej znaczących bitów, gdzie  $r$  jest stopniem linearyzacji.

Wejście nieodwracające komparatora referencyjnego jest połączone z szyną referencyjną oraz wyjściem źródła prądowego referencyjnego. Wejście źródła prądowego referencyjnego jest połączone z napięciem zasilania. Wejście odwracające komparatora referencyjnego jest połączone z napięciem progowym. Wejście nieodwracające komparatora sygnałowego jest połączone z szyną sygnałową oraz wyjściem źródła prądowego sygnałowego. Wejście źródła prądowego sygnałowego jest połączone z napięciem zasilania. Wejście odwracające komparatora sygnałowego jest połączone z napięciem progowym oraz wejściem odwracającym komparatora referencyjnego.

Zestaw kondensatorów zawiera  $n-r$  kondensatorów, a pojemność każdego kolejnego kondensatora zestawu kondensatorów jest dwukrotnie mniejsza od pojemności kondensatora bezpośrednio go poprzedzającego. Dolna okładka każdego kondensatora zestawu kondensatorów jest połączona

z masą układu. Górna okładka każdego kondensatora zestawu kondensatorów jest połączona ze stykiem ruchomym przełącznika zestawu przypisanego temu kondensatorowi. Pierwszy styk nieruchomy każdego przełącznika zestawu jest połączony z szyną referencyjną. Drugi styk nieruchomy każdego przełącznika zestawu jest połączony z masą układu. Trzeci styk nieruchomy każdego przełącznika zestawu jest natomiast połączony z szyną sygnałową.

Istotą rozwiązania jest to, że moduł sterujący zawiera  $r$ -bitowy licznik, którego wyjścia są połączone z wyjściami  $r$  najbardziej znaczących bitów wyjściowego słowa cyfrowego. Moduł sterujący jest ponadto wyposażony w wyjścia licznikowe, z których każde jest połączone z wejściem sterującym innego przełącznika licznikowego. Ze stykiem ruchomym każdego przełącznika licznikowego jest natomiast połączona górna okładka innego kondensatora licznikowego. Pierwszy styk nieruchomy każdego przełącznika licznikowego jest połączony z szyną referencyjną, a drugi styk nieruchomy każdego przełącznika licznikowego jest połączony z masą układu. Z masą układu jest także połączona dolna okładka każdego kondensatora licznikowego. Pojemność każdego kondensatora licznikowego jest taka sama.

Korzystne jest, gdy stopień linearyzacji  $r$  jest liczbą naturalną, większą od jeden i mniejszą od liczby  $n$  bitów wyjściowego słowa cyfrowego.

Korzystne jest także, gdy układ zawiera dwa kondensatory licznikowe.

Korzystne jest, gdy wydajność źródła prądowego referencyjnego jest taka sama jak wydajność źródła prądowego sygnałowego. Jednocześnie pojemność każdego kondensatora licznikowego jest dwukrotnie większa od pojemności kondensatora o największej pojemności w zestawie kondensatorów.

Korzystne jest także, gdy wydajność źródła prądowego referencyjnego jest regulowana. Wydajność źródła prądowego referencyjnego jest utrzymywana za pomocą modułu sterującego na wartości  $k$ -krotnie mniejszej od wydajności źródła prądowego sygnałowego lub równej wydajności źródła prądowego sygnałowego. Jednocześnie pojemność każdego kondensatora licznikowego jest  $k$ -krotnie mniejsza od podwojonej pojemności kondensatora o największej pojemności w zestawie kondensatorów.

Zaletą rozwiązania jest utrzymanie zdolności samotaktowania całego procesu przetwarzania, który nie wymaga stosowania energochłonnego źródła sygnału zegarowego. W rozwiązaniu zapewniono także trwałe połączenie dolnych okładek wszystkich kondensatorów z masą układu. Dzięki powyższemu eliminuje się lub znacząco ogranicza wpływ większości pojemności pasożytniczych na dokładność otrzymywanych wyników procesu przetwarzania.

Dzięki wielokrotnemu używaniu tych samych dwóch kondensatorów licznikowych w układzie zmniejszono liczbę niezbędnych kondensatorów oraz towarzyszących im przełączników. Spośród kondensatorów wykorzystywanych w znanym rozwiązaniu zbędne stały się te o największych pojemnościach, zajmujące największą ilość powierzchni w strukturze monolitycznej. Dla współczynnika linearyzacji  $r = 2, 3, 4$  sumaryczna pojemność niezbędnych kondensatorów jest zredukowana o, odpowiednio: 25%, 62,5%, 81,25%. W takim samym stopniu jest zmniejszana powierzchnia zajmowana przez te elementy w układzie monolitycznym. Zredukowana jest także ilość energii czerpanej ze źródła zasilania i związanej z napełnianiem kondensatorów. Dla współczynnika linearyzacji  $r = 2, 3, 4$  jej uśredniona wartość maleje o, odpowiednio: 28,75%, 32,81%, 41,02%. Dalsze zwiększanie wartości współczynnika linearyzacji  $r$  poprawia wymienione parametry, ale równocześnie prowadzi do zwiększenia wielokrotności wykorzystywania kondensatorów licznikowych i związanego z tym podniesienia poboru energii dynamicznej. Średnia liczba przełączeń stanu układu, która w znanym rozwiązaniu wynosi zawsze  $n+1$ , dla współczynnika linearyzacji  $r = 2, 3, 4$  rośnie o, odpowiednio: 0,25, 1,375, 4,438.

Zastosowanie źródła prądowego referencyjnego o zmniejszonej wydajności pozwala wielokrotnie zredukować pojemność obu kondensatorów licznikowych, która w przeciwnym przypadku stanowi ponad dwie trzecie sumarycznej pojemności wszystkich niezbędnych kondensatorów. Proporcjonalnie do tymczasowej redukcji wydajności źródła prądowego referencyjnego maleje ilość powierzchni i energii wymaganej przez kondensatory licznikowe.

Przedmiot wynalazku jest objaśniony w przykładach wykonania na rysunku, gdzie przedstawiono:

- Fig. 1 – układ w stanie oczekiwania na pojawienie się początku przetwarzanego interwału czasu,
- Fig. 2 – wzajemne relacje odcinka czasu referencyjnego  $RT$  i odcinka czasu sygnałowego  $ST$  dla przetwarzanego interwału czasu o długości nie wykorzystującej pełnej pojemności licznika  $C_t$ ,
- Fig. 3 – wzajemne relacje odcinka czasu referencyjnego  $RT$  i odcinka czasu sygnałowego  $ST$  dla przetwarzanego interwału czasu o długości wykorzystującej pełną pojemność 3-bitowego licznika  $C_t$ .

Zgodnie z wynalazkiem układ do bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe, w pierwszym przykładowym rozwiązaniu (Fig. 1), zawiera moduł sterujący CM wyposażony w wejście przetwarzanego interwału czasu  $I_n$ , wyjście zakończenia przetwarzania RDY, wejście referencyjne  $I_{nR}$  oraz wejście sygnałowe  $I_{nS}$ . Moduł sterujący CM jest ponadto wyposażony w wyjście referencyjne  $P_R$ , wyjście sygnałowe  $P_S$ , wyjścia sterujące  $P_{n-r-1, \dots, P_0}$ , dwa wyjścia licznikowe  $P_{n-r}$  oraz wyjście  $n$ -bitowego wyjściowego słowa cyfrowego B. Wyjściowe słowo cyfrowe B zawiera  $r$  najbardziej znaczących bitów  $b_{n-1, \dots, b_r}$  oraz  $n-r$  najmniej znaczących bitów  $b_{n-r-1, \dots, b_0}$ . Parametr  $r$  jest przy tym stopniem linearyzacji, a jego najkorzystniejsze wartości wynoszą: 2, 3 lub 4. Moduł sterujący CM zawiera także  $r$ -bitowy licznik  $C_t$ , którego wyjścia są połączone z wyjściami  $r$  najbardziej znaczących bitów  $b_{n-1, \dots, b_{n-r}}$  wyjściowego słowa cyfrowego B.

Wejście referencyjne  $I_{nR}$  modułu sterującego CM jest połączone z wyjściem komparatora referencyjnego  $K_R$ , a wejście sygnałowe  $I_{nS}$  modułu sterującego CM jest połączone z wyjściem komparatora sygnałowego  $K_S$ . Wyjście referencyjne  $P_R$  modułu sterującego CM jest połączone z wejściem sterującym źródła prądowego referencyjnego  $I_R$ , a wyjście sygnałowe  $P_S$  modułu sterującego CM jest połączone z wejściem sterującym źródła prądowego sygnałowego  $I_S$ . W tym przykładowym układzie wydajność źródła prądowego referencyjnego  $I_R$  jest taka sama jak wydajność źródła prądowego sygnałowego  $I_S$ . Wyjścia sterujące  $P_{n-r-1, \dots, P_0}$  modułu sterującego CM są połączone, odpowiednio, z wejściami sterującymi przełączników zestawu  $S_{n-r-1, \dots, S_0}$ . Każde wyjście licznikowe  $P_{n-r}$  modułu sterującego CM jest połączone z wejściem sterującym innego z dwóch przełączników licznikowych  $S_{n-r}$ .

Wejście nieodwracające komparatora referencyjnego  $K_R$  jest połączone z szyną referencyjną R oraz wyjściem źródła prądowego referencyjnego  $I_R$ , którego wejście jest połączone z napięciem zasilania  $U_{DD}$ . Wejście odwracające komparatora referencyjnego  $K_R$  jest połączone z napięciem progowym  $U_{TH}$ . Wejście nieodwracające komparatora sygnałowego  $K_S$  jest połączone z szyną sygnałową S oraz wyjściem źródła prądowego sygnałowego  $I_S$ , którego wejście jest połączone z napięciem zasilania  $U_{DD}$ . Wejście odwracające komparatora sygnałowego  $K_S$  jest połączone z napięciem progowym  $U_{TH}$  oraz wejściem odwracającym komparatora referencyjnego  $K_R$ .

Zestaw kondensatorów CS zawiera  $n-r$  kondensatorów  $C_{n-r-1, \dots, C_0}$ , a pojemność każdego kolejnego kondensatora  $C_{n-r-1, \dots, C_0}$  zestawu kondensatorów CS jest dwukrotnie mniejsza od pojemności kondensatora bezpośrednio poprzedzającego. Dolna okładka każdego kondensatora  $C_{n-r-1, \dots, C_0}$  zestawu kondensatorów CS jest połączona z masą układu. W tym przykładowym układzie pojemność każdego z dwóch kondensatorów licznikowych  $C_{n-r}$  jest taka sama i jednocześnie dwukrotnie większa od pojemności kondensatora  $C_{n-r-1}$  o największej pojemności w zestawie kondensatorów CS. Dolna okładka każdego z dwóch kondensatorów licznikowych  $C_{n-r}$  jest połączona z masą układu.

Górna okładka każdego kondensatora  $C_{n-r-1, \dots, C_0}$  zestawu kondensatorów CS jest połączona, odpowiednio, ze stykiem ruchomym przełącznika zestawu  $S_{n-r-1, \dots, S_0}$ . Pierwszy styk nieruchomy każdego przełącznika zestawu  $S_{n-r-1, \dots, S_0}$  jest połączony z szyną referencyjną R. Drugi styk nieruchomy każdego przełącznika zestawu  $S_{n-r-1, \dots, S_0}$  jest połączony z masą układu. Trzeci styk nieruchomy każdego przełącznika zestawu  $S_{n-r-1, \dots, S_0}$  jest natomiast połączony z szyną sygnałową S.

Górna okładka każdego z dwóch kondensatorów licznikowych  $C_{n-r}$  jest połączona ze stykiem ruchomym innego z dwóch przełączników licznikowych  $S_{n-r}$ . Pierwszy styk nieruchomy każdego przełącznika licznikowego  $S_{n-r}$  jest połączony z szyną referencyjną R. Drugi styk nieruchomy każdego przełącznika licznikowego  $S_{n-r}$  jest natomiast połączony z masą układu.

Zgodnie z wynalazkiem układ do bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe, w drugim przykładowym rozwiązaniu, różni się tym od pierwszego, że wydajność źródła prądowego referencyjnego  $I_R$  jest regulowana. Wydajność źródła prądowego referencyjnego  $I_R$  jest utrzymywana za pomocą modułu sterującego CM na wartości pięciokrotnie mniejszej od wydajności źródła prądowego sygnałowego  $I_S$  lub równej wydajności źródła prądowego sygnałowego  $I_S$ . Ponadto pojemność każdego kondensatora licznikowego  $C_{n-r}$  jest taka sama i jednocześnie pięciokrotnie mniejsza od podwojonej pojemności kondensatora  $C_{n-r-1}$  o największej pojemności w zestawie kondensatorów CS.

W poniższym opisie przebiegu przetwarzania przyjęto następujące oznaczenia:

- x jest indeksem kondensatora  $C_x$  z zestawu kondensatorów CS, ładowanego aktualnie za pomocą źródła prądowego referencyjnego  $I_R$ ,
- y jest indeksem kondensatora  $C_y$  z zestawu kondensatorów CS, ładowanego aktualnie za pomocą źródła prądowego sygnałowego  $I_S$ ,

z jest indeksem kondensatora  $C_z$ , którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów zestawu kondensatorów CS.

Bezzegarowe i bezpośrednie przetwarzanie interwału czasu na słowo cyfrowe, realizowane według wynalazku w pierwszym przykładowym układzie (Fig. 1), przebiega następująco. Przed rozpoczęciem procesu przetwarzania moduł sterujący CM przy pomocy sygnału z wyjścia referencyjnego  $P_R$  powoduje wyłączenie źródła prądowego referencyjnego  $I_R$ , zaś przy pomocy sygnału z wyjścia sygnałowego  $P_S$  moduł sterujący CM powoduje wyłączenie źródła prądowego sygnałowego  $I_S$ . Przy pomocy sygnałów z wyjść sterujących  $P_{n-r-1}, \dots, P_0$  moduł sterujący CM powoduje przełączenie przełączników zestawu  $S_{n-r-1}, \dots, S_0$  w drugie położenie i tym samym połączenie górnych okładek wszystkich kondensatorów  $C_{n-r-1}, \dots, C_0$  zestawu kondensatorów CS z masą układu, wymuszając całkowite rozładowanie wszystkich kondensatorów  $C_{n-r-1}, \dots, C_0$  zestawu kondensatorów CS. Przy pomocy sygnałów z obu wyjść licznikowych  $P_{n-r}$  moduł sterujący CM powoduje przełączenie obu przełączników licznikowych  $S_{n-r}$  w drugie położenie i tym samym połączenie górnych okładek obu kondensatorów licznikowych  $C_{n-r}$  z masą układu, wymuszając całkowite rozładowanie obu kondensatorów licznikowych  $C_{n-r}$ . Następnie moduł sterujący CM rozpoczyna kontrolowanie stanu wejścia przetwarzanego interwału czasu  $I_n$  w celu wykrycia początku przetwarzanego interwału czasu  $T$ .

W chwili  $t_1$  wykrycia przez moduł sterującego CM początku przetwarzanego interwału czasu  $T$ , sygnalizowanego na wejściu przetwarzanego interwału czasu  $I_n$ , moduł sterujący CM rozpoczyna kontrolowanie stanu wejścia przetwarzanego interwału czasu  $I_n$  w celu wykrycia końca przetwarzanego interwału czasu  $T$ . Równocześnie moduł sterujący CM wprowadza wyjście zakończenia przetwarzania RDY w stan nieaktywny oraz zeruje stan licznika  $C_t$ . Następnie moduł sterujący CM rozpoczyna odmierzenie zgrubne początkowego fragmentu SRT odcinka czasu referencyjnego  $R_T$  metodą liniową (Fig. 2). Moduł sterujący CM wybiera wpiery dowolny z dwóch kondensatorów licznikowych  $C_{n-r}$  oraz przełącznik licznikowy  $S_{n-r}$  i wyjście licznikowe  $P_{n-r}$  przypisane wybranemu kondensatorowi licznikowemu  $C_{n-r}$ . Następnie moduł sterujący CM powoduje przy pomocy sygnału z wybranego wyjścia licznikowego  $P_{n-r}$  przełączenie wybranego przełącznika licznikowego  $S_{n-r}$  w pierwsze położenie i tym samym połączenie górnej okładki wybranego kondensatora licznikowego  $C_{n-r}$  z wyjściem źródła prądowego referencyjnego  $I_R$ . Jednocześnie, przy pomocy sygnału z wyjścia referencyjnego  $P_R$ , moduł sterujący CM powoduje włączenie źródła prądowego referencyjnego  $I_R$ . Moduł sterujący CM rozpoczyna odmierzenie interwału licznikowego  $C_l$  (Fig. 2). Napięcie referencyjne  $U_R$  narastające na wybranym kondensatorze licznikowym  $C_{n-r}$ , ładowanym za pomocą źródła prądowego referencyjnego  $I_R$ , porównuje się za pomocą komparatora referencyjnego  $K_R$  z napięciem progowym  $U_{TH}$ . Gdy napięcie referencyjne  $U_R$  osiągnie wielkość napięcia progowego  $U_{TH}$ , wówczas, na podstawie sygnału wyjściowego komparatora referencyjnego  $K_R$ , moduł sterujący CM kończy odmierzenie interwału licznikowego  $C_l$ . W tym celu moduł sterujący CM powoduje przy pomocy sygnału z wybranego wyjścia licznikowego  $P_{n-r}$  przełączenie wybranego przełącznika licznikowego  $S_{n-r}$  w drugie położenie i tym samym odłączenie górnej okładki wybranego kondensatora licznikowego  $C_{n-r}$  od wyjścia źródła prądowego referencyjnego  $I_R$  oraz jednoczesne połączenie górnej okładki wybranego kondensatora licznikowego  $C_{n-r}$  z masą układu, wymuszając całkowite rozładowanie tego kondensatora.

Jeżeli podczas odmierzenia interwału licznikowego  $C_l$  moduł sterujący nie wykryje końca przetwarzanego interwału czasu  $T$ , wówczas moduł sterujący CM inkrementuje zawartość licznika  $C_t$  (Fig. 2 i Fig. 3). Następnie moduł sterujący CM sprawdza nową zawartość licznika  $C_t$ . Jeżeli którykolwiek z bitów tego licznika ma wartość zero, co oznacza, iż stan licznika nie osiągnął swej maksymalnej wartości, wówczas moduł sterujący CM rozpoczyna odmierzenie kolejnego interwału licznikowego  $C_l$  (Fig. 2). W tym celu moduł sterujący CM wybiera inny kondensatorów licznikowych  $C_{n-r}$  niż ładowany bezpośrednio wcześniej oraz przełącznik licznikowy  $S_{n-r}$  i wyjście licznikowe  $P_{n-r}$  przypisane temu kondensatorowi licznikowemu  $C_{n-r}$ . Przy pomocy sygnału z wybranego wyjścia licznikowego  $P_{n-r}$  moduł sterujący CM powoduje przełączenie wybranego przełącznika licznikowego  $S_{n-r}$  w pierwsze położenie, a zatem połączenie górnej okładki wybranego kondensatora licznikowego  $C_{n-r}$  z wyjściem źródła prądowego referencyjnego  $I_R$  i tym samym rozpoczęcie ładowania wybranego kondensatora licznikowego  $C_{n-r}$ . Moduł sterujący CM powtarza czynności związane z odmierzeniem interwałów licznikowych  $C_l$  aż do zakończenia odmierzenia interwału licznikowego  $C_l$ , podczas którego moduł sterujący CM wykryje koniec przetwarzanego interwału czasu  $T$  (Fig. 2) lub gdy po inkrementacji zawartości licznika  $C_t$  moduł sterujący CM sprawdzi, iż nowa zawartość licznika  $C_t$  składa się wyłącznie z bitów o wartości jeden (Fig. 3).

W obu wymienionych przypadkach najbardziej znaczącym  $r$  bitom  $b_{n-1}, \dots, b_{n-r}$  wyjściowego słowa cyfrowego  $B$  moduł sterujący  $CM$  przypisuje ostateczną wartość za pomocą wyjść  $r$ -bitowego licznika  $Ct$ . Jednocześnie moduł sterujący rozpoczyna precyzyjne odmierzenie końcowego fragmentu  $ERT$  odcinka czasu referencyjnego  $RT$  metodą kompensacji wagowej (Fig. 2 i Fig. 3). Moduł sterujący  $CM$  wybiera w pierw z zestawu kondensatorów  $CS$  kondensator  $C_z$ , którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów  $C_{n-r-1}, \dots, C_0$  zestawu kondensatorów  $CS$ . Następnie moduł sterujący  $CM$  powoduje przy pomocy sygnału z wyjścia sterującego  $P_z$  przełączenie przełącznika zestawu  $S_z$  w pierwsze położenie i tym samym połączenie górnej okładki kondensatora  $C_z$  z wyjściem źródła prądowego referencyjnego  $I_R$ . Moduł sterujący  $CM$  rozpoczyna odmierzenie interwału referencyjnego. Napięcie referencyjne  $U_R$  narastające na kondensatorze  $C_x$ , ładowanym za pomocą źródła prądowego referencyjnego  $I_R$ , porównuje się za pomocą komparatora referencyjnego  $K_R$  z napięciem progowym  $U_{TH}$ . Gdy napięcie referencyjne  $U_R$  osiągnie wielkość napięcia progowego  $U_{TH}$ , wówczas, na podstawie sygnału wyjściowego komparatora referencyjnego  $K_R$ , moduł sterujący  $CM$  kończy odmierzenie interwału referencyjnego. W tym celu moduł sterujący  $CM$  powoduje przy pomocy sygnału z wyjścia sterującego  $P_x$  przełączenie przełącznika zestawu  $S_x$  w drugie położenie i tym samym odłączenie górnej okładki kondensatora  $C_x$  od wyjścia źródła prądowego referencyjnego  $I_R$  oraz jednoczesne połączenie górnej okładki kondensatora  $C_x$  z masą układu, wymuszając całkowite rozładowanie tego kondensatora. Równocześnie moduł sterujący  $CM$  przypisuje bitowi  $b_x$  wartość jeden, jeżeli podczas ładowania za pomocą źródła prądowego referencyjnego  $I_R$  kondensatora  $C_x$  nie rozpoczęto ładowania kolejnego kondensatora za pomocą źródła prądowego sygnałowego  $I_s$ . W przeciwnym przypadku moduł sterujący  $CM$  przypisuje bitowi  $b_x$  wartość zero. Jednocześnie moduł sterujący  $CM$  rozpoczyna odmierzenie kolejnego interwału referencyjnego. W tym celu moduł sterujący  $CM$  wybiera z zestawu kondensatorów  $CS$  kondensator  $C_z$ , którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów  $C_{n-r-1}, \dots, C_0$  zestawu kondensatorów  $CS$ . Następnie moduł sterujący  $CM$  powoduje przy pomocy sygnału z wyjścia sterującego  $P_z$  przełączenie przełącznika zestawu  $S_z$  w pierwsze położenie, a zatem połączenie górnej okładki kondensatora  $C_z$  z wyjściem źródła prądowego referencyjnego  $I_R$  i tym samym rozpoczęcie ładowania tego kondensatora. Czynności te powtarza się aż do momentu  $t_3$  zakończenia odmierzenia odcinka czasu referencyjnego  $RT$ .

W chwili  $t_2$  wykrycia końca przetwarzanego interwału czasu  $T$  przez moduł sterujący  $CM$ , sygnalizowanego na wejściu przetwarzanego interwału czasu  $I_n$ , moduł sterujący  $CM$  rozpoczyna precyzyjne odmierzenie odcinka czasu sygnałowego  $ST$  metodą kompensacji wagowej (Fig. 2 i Fig. 3). Moduł sterujący  $CM$  wybiera w pierw z zestawu kondensatorów  $CS$  kondensator  $C_z$ , którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów  $C_{n-r-1}, \dots, C_0$  zestawu kondensatorów  $CS$ . Następnie moduł sterujący  $CM$  powoduje przy pomocy sygnału z wyjścia sterującego  $P_z$  przełączenie przełącznika zestawu  $S_z$  w trzecie położenie i tym samym połączenie górnej okładki kondensatora  $C_z$  z wyjściem źródła prądowego sygnałowego  $I_s$ . Jednocześnie, przy pomocy sygnału z wyjścia sygnałowego  $P_s$ , moduł sterujący  $CM$  powoduje włączenie źródła prądowego sygnałowego  $I_s$ . Moduł sterujący  $CM$  rozpoczyna odmierzenie interwału referencyjnego. Napięcie sygnałowe  $U_s$  narastające na kondensatorze  $C_y$ , ładowanym za pomocą źródła prądowego sygnałowego  $I_s$ , porównuje się za pomocą komparatora sygnałowego  $K_s$  z napięciem progowym  $U_{TH}$ . Gdy napięcie sygnałowe  $U_s$  osiągnie wielkość napięcia progowego  $U_{TH}$ , wówczas, na podstawie sygnału wyjściowego komparatora sygnałowego  $K_s$ , moduł sterujący  $CM$  kończy odmierzenie interwału referencyjnego. W tym celu moduł sterujący  $CM$  powoduje przy pomocy sygnału z wyjścia sterującego  $P_y$  przełączenie przełącznika zestawu  $S_y$  w drugie położenie i tym samym odłączenie górnej okładki kondensatora  $C_y$  od wyjścia źródła prądowego sygnałowego  $I_s$  oraz jednoczesne połączenie górnej okładki kondensatora  $C_y$  z masą układu, wymuszając całkowite rozładowanie tego kondensatora. Równocześnie moduł sterujący  $CM$  przypisuje bitowi  $b_y$  wartość jeden, jeżeli podczas ładowania za pomocą źródła prądowego sygnałowego  $I_s$  kondensatora  $C_y$  rozpoczęto ładowania kolejnego kondensatora za pomocą źródła prądowego referencyjnego  $I_R$ . W przeciwnym przypadku moduł sterujący  $CM$  przypisuje bitowi  $b_y$  wartość zero. Jednocześnie moduł sterujący  $CM$  rozpoczyna odmierzenie kolejnego interwału referencyjnego. W tym celu moduł sterujący  $CM$  wybiera z zestawu kondensatorów  $CS$  kondensator  $C_z$ , którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów  $C_{n-r-1}, \dots, C_0$  zestawu kondensatorów  $CS$ . Następnie moduł sterujący  $CM$  powoduje przy pomocy sygnału z wyjścia sterującego  $P_z$  przełączenie przełącznika zestawu  $S_z$  w trzecie położenie, a zatem połączenie górnej okładki kondensatora  $C_z$  z wyjściem źródła prądowego sygnałowego  $I_s$  i tym samym rozpoczęcie ładowania tego kondensatora. Czynności te powtarza się aż do momentu  $t_3$  zakończenia odmierzenia odcinka czasu sygnałowego  $ST$ .

Odmierzanie odcinka czasu referencyjnego  $RT$  i odcinka czasu sygnałowego  $ST$  moduł sterujący  $CM$  kończy w chwili  $t_3$  (Fig. 2 i Fig. 3), gdy podczas ładowania kondensatora  $C_0$  o najmniejszej pojemności w zestawie kondensatorów  $CS$  moduł sterujący  $CM$  wykryje, albo na podstawie sygnału wyjściowego komparatora referencyjnego  $K_R$ , że napięcie referencyjne  $U_R$  narastające na kondensatorze  $C_x$  ładowanym za pomocą źródła prądowego referencyjnego  $I_R$  jest równe napięciu progowemu  $U_{TH}$ , albo na podstawie sygnału wyjściowego komparatora sygnałowego  $K_S$ , że napięcie sygnałowe  $U_S$  narastające na kondensatorze  $C_y$  ładowanym za pomocą źródła prądowego sygnałowego  $I_S$  jest równe napięciu progowemu  $U_{TH}$ . Moduł sterujący  $CM$  przy pomocy sygnału z wyjścia referencyjnego  $P_R$  powoduje wówczas wyłączenie źródła prądowego referencyjnego  $I_R$  i jednocześnie przy pomocy sygnału z wyjścia sygnałowego  $P_S$  moduł sterujący  $CM$  powoduje wyłączenie źródła prądowego sygnałowego  $I_S$ . Przy pomocy sygnałów z wyjść sterujących  $P_{n-r-1}, \dots, P_0$  moduł sterujący  $CM$  powoduje przełączenie przełączników zestawu  $S_{n-r-1}, \dots, S_0$  w drugie położenie i tym samym połączenie górnych okładek wszystkich kondensatorów  $C_{n-r-1}, \dots, C_0$  zestawu kondensatorów  $CS$  z masą układu, wymuszając całkowite rozładowanie wszystkich kondensatorów  $C_{n-r-1}, \dots, C_0$  zestawu kondensatorów  $CS$ . Równocześnie moduł sterujący  $CM$  powoduje przełączenie obu przełączników licznikowych  $S_{n-r}$  w drugie położenie i tym samym połączenie górnych okładek obu kondensatorów licznikowych  $C_{n-r}$  z masą układu, wymuszając całkowite rozładowanie obu kondensatorów licznikowych  $C_{n-r}$ . Następnie moduł sterujący  $CM$  wprowadza wyjście zakończenia przetwarzania  $RDY$  w stan aktywny. Jednocześnie moduł sterujący  $CM$  rozpoczyna kontrolowanie stanu wejścia przetwarzanego interwału czasu  $I_n$  w celu wykrycia początku kolejnego przetwarzanego interwału czasu  $T$ .

Bezzegarowe i bezpośrednie przetwarzanie interwału czasu na słowo cyfrowe, realizowane według wynalazku w drugim przykładowym układzie, różni się od realizowanego w pierwszym przykładowym układzie tym, że w czasie odmierzania początkowego fragmentu  $SRT$  odcinka czasu referencyjnego  $RT$  modułu sterującego  $CM$  przy pomocy sygnału z wyjść referencyjnego  $P_R$  utrzymuje wydajność źródła prądowego referencyjnego  $I_R$  na wartości pięciokrotnie mniejszej od wydajności źródła prądowego sygnałowego  $I_S$ . Natomiast w czasie odmierzania końcowego fragmentu  $ERT$  odcinka czasu referencyjnego  $RT$  modułu sterującego  $CM$  przy pomocy sygnału z wyjść referencyjnego  $P_R$  utrzymuje wydajność źródła prądowego referencyjnego  $I_R$  na wartości równej wydajności źródła prądowego sygnałowego  $I_S$ .

## Zastrzeżenia patentowe

1. Układ do bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe, zawierający moduł sterujący wyposażony w wejście przetwarzanego interwału czasu, wyjście zakończenia przetwarzania, wejście referencyjne połączone z wyjściem komparatora referencyjnego i wejście sygnałowe połączone z wyjściem komparatora sygnałowego oraz wyjście referencyjne połączone z wejściem sterującym źródła prądowego referencyjnego i wyjście sygnałowe połączone z wejściem sterującym źródła prądowego sygnałowego, a także wyjścia sterujące połączone z wejściami sterującymi przełączników zestawu oraz wyjście  $n$ -bitowego wyjściowego słowa cyfrowego, zawierającego  $r$  najbardziej znaczących bitów oraz  $n-r$  najmniej znaczących bitów, gdzie  $r$  jest stopniem linearyzacji, a ponadto wejście nieodwracające komparatora referencyjnego jest połączone z szyną referencyjną oraz wyjściem źródła prądowego referencyjnego, którego wejście jest połączone z napięciem zasilania, a wejście odwracające komparatora referencyjnego jest połączone z napięciem progowym, zaś wejście nieodwracające komparatora sygnałowego jest połączone z szyną sygnałową oraz wyjściem źródła prądowego sygnałowego, którego wejście jest połączone z napięciem zasilania, a wejście odwracające komparatora sygnałowego jest połączone z napięciem progowym oraz wejściem odwracającym komparatora referencyjnego, natomiast zestaw kondensatorów zawiera  $n-r$  kondensatorów, przy czym pojemność każdego kolejnego kondensatora zestawu kondensatorów jest dwukrotnie mniejsza od pojemności kondensatora bezpośrednio go poprzedzającego, zaś dolna okładka każdego kondensatora zestawu kondensatorów jest połączona z masą układu, a górna okładka każdego kondensatora zestawu kondensatorów jest połączona ze stykiem ruchomym przełącznika zestawu przypisanego temu kondensatorowi, przy czym pierwszy styk nieruchomy każdego przełącznika zestawu jest połączony z szyną referencyjną, drugi styk nieruchomy każdego przełącznika zestawu jest połączony z masą układu,

zaś trzeci styk nieruchomy każdego przełącznika zestawu jest połączony z szyną sygnałową, **znamienny tym**, że moduł sterujący (CM) zawiera  $r$ -bitowy licznik (Ct), którego wyjścia są połączone z wyjściami  $r$  najbardziej znaczących bitów ( $b_{n-1}, \dots, b_{n-r}$ ) wyjściowego słowa cyfrowego (B), a ponadto moduł sterujący (CM) jest wyposażony w wyjścia licznikowe ( $P_{n-r}$ ), z których każde jest połączone z wejściem sterującym innego przełącznika licznikowego ( $S_{n-r}$ ), natomiast ze stykiem ruchomym każdego przełącznika licznikowego ( $S_{n-r}$ ) jest połączona górna okładka innego kondensatora licznikowego ( $C_{n-r}$ ), zaś pierwszy styk nieruchomy każdego przełącznika licznikowego ( $S_{n-r}$ ) jest połączony z szyną referencyjną R, a drugi styk nieruchomy każdego przełącznika licznikowego ( $S_{n-r}$ ) jest połączony z masą układu, z którą połączona jest także dolna okładka każdego kondensatora licznikowego ( $C_{n-r}$ ), przy czym pojemność każdego kondensatora licznikowego ( $C_{n-r}$ ) jest taka sama.

2. Układ według zastrz. 1, **znamienny tym**, że stopień linearyzacji  $r$  jest liczbą naturalną, większą od jeden i mniejszą od liczby  $n$  bitów ( $b_{n-1}, \dots, b_{n-r}, b_{n-r-1}, \dots, b_0$ ) wyjściowego słowa cyfrowego (B).
3. Układ według zastrz. 2, **znamienny tym**, że zawiera dwa kondensatory licznikowe ( $C_{n-r}$ ).
4. Układ według zastrz. 3, **znamienny tym**, że wydajność źródła prądowego referencyjnego ( $I_R$ ) jest taka sama jak wydajność źródła prądowego sygnałowego ( $I_S$ ) i jednocześnie pojemność każdego kondensatora licznikowego ( $C_{n-r}$ ) jest dwukrotnie większa od pojemności kondensatora ( $C_{n-r-1}$ ) o największej pojemności w zestawie kondensatorów (CS).
5. Układ według zastrz. 3, **znamienny tym**, że wydajność źródła prądowego referencyjnego ( $I_R$ ) jest regulowana i utrzymywana za pomocą modułu sterującego (CM) na wartości  $k$ -krotnie mniejszej od wydajności źródła prądowego sygnałowego ( $I_S$ ) lub równej wydajności źródła prądowego sygnałowego ( $I_S$ ) i jednocześnie pojemność każdego kondensatora licznikowego ( $C_{n-r}$ ) jest  $k$ -krotnie mniejsza od podwojonej pojemności kondensatora ( $C_{n-r-1}$ ) o największej pojemności w zestawie kondensatorów (CS).

Rysunki

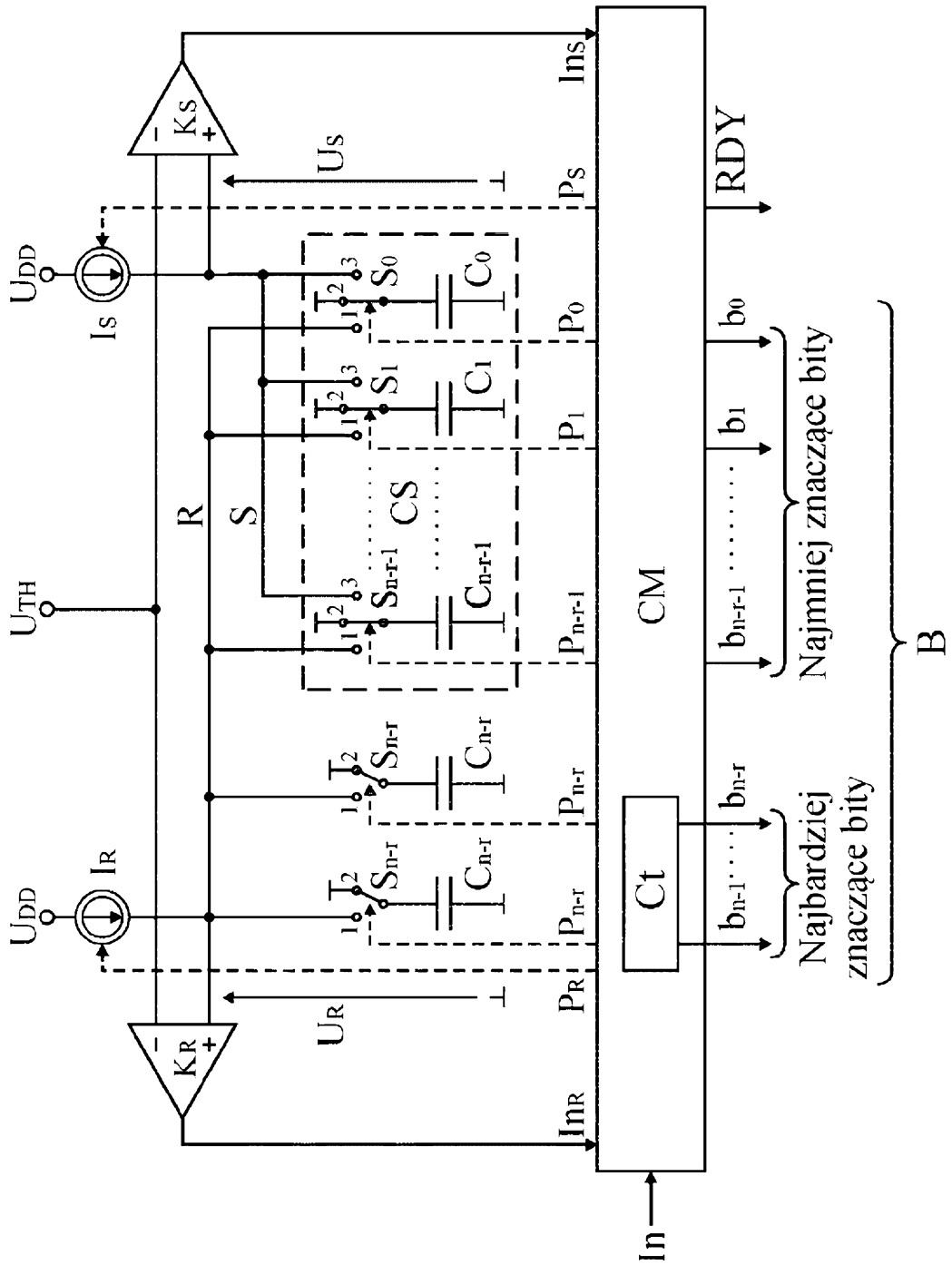


Fig. 1

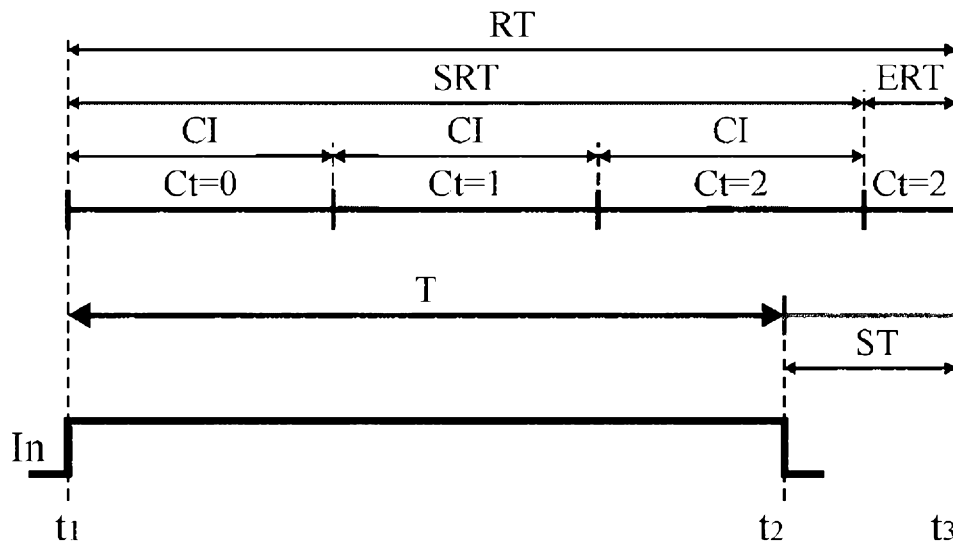


Fig. 2

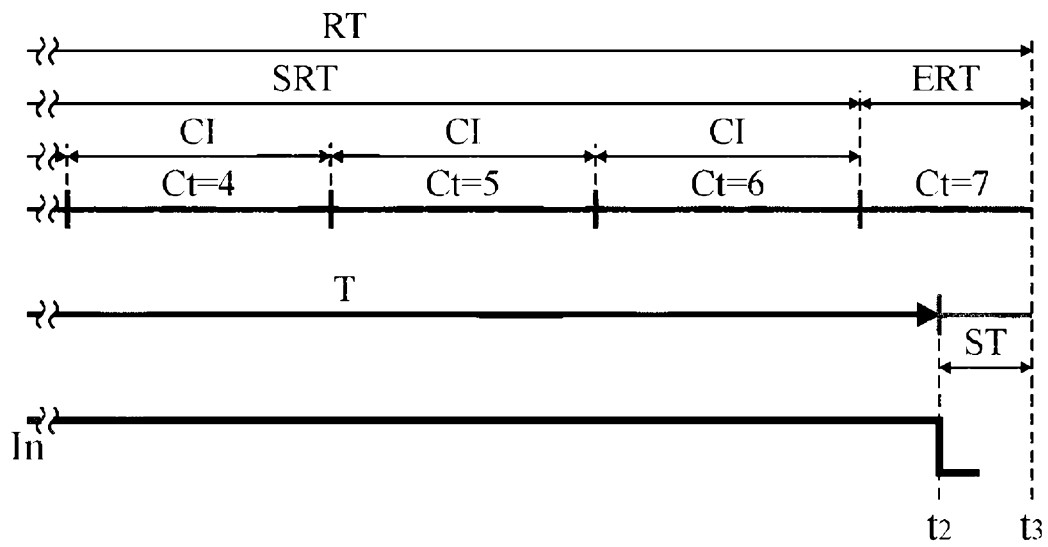


Fig. 3