

특허청구의 범위

청구항 1

병렬로 감지될 메모리 셀의 개별 페이지를 갖는 비휘발성 메모리 디바이스에서, 각 메모리 셀은 소스, 드레인, 전하 저장 유닛 및 상기 드레인과 소스를 따라 전도 전류를 제어하기 위한 제어 게이트를 갖는, 메모리 디바이스에 있어서,

페이지에서 각 메모리 셀의 소스에 접속 가능한 페이지 소스 라인과,

구조 블록의 개별 페이지 소스 라인에 결합된 집합 노드와,

메모리 동작을 위해 선택 페이지의 페이지 소스 라인에 상기 집합 노드를 통해 결합된 소스 차단 스위치와,

제 1 기준 전압에 접속된 제 1 입력 및 상기 집합 노드에 접속 가능한 피드백 루프로서 접속된 제 2 입력을 갖는 능동 회로 소자를 포함하는 소스 전위 조절 회로를

포함하는, 비휘발성 메모리 디바이스.

청구항 2

제 1항에 있어서, 상기 제 2 입력은 상기 능동 회로 소자의 출력에 의해 제어되는 트랜지스터를 통해 그라운드 기준에 접속되는, 비휘발성 메모리 디바이스.

청구항 3

제 1항에 있어서, 상기 소스 차단 스위치는 상기 집합 노드가 그라운드 기준에 접속되는 트랜지스터를 포함하고, 상기 트랜지스터는 상기 피드백 루프에 의해 제어되는, 비휘발성 메모리 디바이스.

청구항 4

제 1항에 있어서, 제어 회로를 더 포함하여, 상기 피드백 루프는 감지 동작 동안 상기 집합 노드에 접속되는, 비휘발성 메모리 디바이스.

청구항 5

제 1항에 있어서,

상기 선택 페이지의 각 메모리 셀의 드레인에 접속 가능한 관련 비트 라인과,

감지 동작을 위해 선택된 상기 페이지의 각 메모리 셀의 상기 관련 비트 라인에 미리 결정된 비트 라인 전압을 제공하는 비트 라인 전압원과,

상기 선택 페이지의 각 메모리 셀의 제어 게이트에 접속 가능한 워드 라인과,

상기 감지 동작을 위해 상기 선택 페이지의 각 메모리 셀의 워드 라인에 미리 결정된 워드 라인 전압을 제공하는 워드 라인 전압원을

더 포함하고,

상기 제 1 기준 전압은 상기 감지 동작 동안 상기 워드 라인 전압과 상기 비트 라인 전압에 무관한, 비휘발성 메모리 디바이스.

청구항 6

제 1항에 있어서, 상기 집합 노드에 접속 가능한 풀-업 소자를 더 포함하는, 비휘발성 메모리 디바이스.

청구항 7

제 6항에 있어서, 상기 풀-업 소자는 상기 능동 회로 소자에 의해 조절되는, 비휘발성 메모리 디바이스.

청구항 8

제 1항에 있어서, 상기 제 1 기준 전압은 0.5 V 내지 1.0 V의 범위인, 비휘발성 메모리 디바이스.

청구항 9

제 1항에 있어서, 상기 제 1 기준 전압은 그라운드 기준인, 비휘발성 메모리 디바이스.

청구항 10

제 1항에 있어서, 상기 메모리 디바이스는 복수의 플레이인을 갖고, 상기 소스 전위 조절 회로는 상기 플레이인 중 제 1 플레이인을 위한 것이고, 상기 플레이인 중 다른 플레이인은 서로 상이한 소스 전위 조절 회로를 갖는, 비휘발성 메모리 디바이스.

청구항 11

제 1항에 있어서, 상기 메모리 셀은 NAND 유형 아키텍처에 따라 구성되는, 비휘발성 메모리 디바이스.

청구항 12

병렬로 감지될 메모리 셀의 개별 페이지를 갖는 비휘발성 메모리 디바이스에서, 각 메모리 셀은 소스, 드레인, 전하 저장 유닛 및 상기 드레인과 소스를 따라 전도 전류를 제어하기 위한 제어 게이트를 갖는, 메모리 셀의 페이지를 감지하는 방법에 있어서,

페이지 소스 라인을 제공하는 단계와,

상기 페이지 소스 라인에 상기 페이지의 각 메모리 셀의 소스를 결합시키는 단계와,

감지 동작을 위한 소스 전압 제어 회로에 접속하기 위해 구조 블록 집합 노드에 상기 페이지 소스 라인을 결합시키는 단계와,

제 1 입력을 갖고 피드백 루프에 접속된 제 2 입력을 갖는 능동 회로 소자를 포함하는 소스 전위 조절 회로의 피드백 루프에 상기 집합 노드를 결합시키는 단계와,

상기 제 1 입력에 제 1 기준 전압을 인가하는 단계를

포함하는, 메모리 셀의 페이지 감지 방법.

청구항 13

제 12항에 있어서, 상기 제 2 입력은 트랜지스터를 통해 그라운드 기준에 접속 가능하고, 상기 메모리 셀의 페이지 감지 방법은,

상기 능동 회로 소자의 출력에 의해 상기 트랜지스터를 제어하는 단계를

더 포함하는, 메모리 셀의 페이지 감지 방법.

청구항 14

제 12항에 있어서, 상기 소스 차단 스위치는 상기 집합 노드가 그라운드 기준에 접속되는 트랜지스터를 포함하고, 상기 메모리 셀의 페이지 감지 방법은,

상기 피드백 루프에 의해 상기 트랜지스터를 제어하는 단계를

더 포함하는, 메모리 셀의 페이지 감지 방법.

청구항 15

제 12항에 있어서, 상기 집합 노드에 상기 피드백 루프를 접속시키는 단계를 더 포함하는, 메모리 셀의 페이지 감지 방법.

청구항 16

제 12항에 있어서, 상기 메모리 디바이스는 상기 페이지의 각 메모리 셀의 드레인에 대한 관련 비트 라인 결합

과 상기 페이지의 각 메모리 셀의 제어 게이트에 대한 워드 라인 결합을 갖고, 상기 메모리 셀의 페이지 감지 방법은,

감지 동작을 위해 상기 페이지의 각 메모리 셀의 관련 비트 라인에 미리결정된 비트 라인 전압을 제공하는 단계와,

상기 감지 동작을 위해 상기 페이지의 각 메모리 셀의 워드 라인에 미리결정된 워드 라인 전압을 제공하는 단계를

더 포함하고,

상기 제 1 기준 전압은 상기 감지 동작 동안 상기 워드 라인 전압과 상기 비트 라인 전압에 무관한, 메모리 셀의 페이지 감지 방법.

청구항 17

제 12항에 있어서, 상기 집합 노드에 접속 가능한 풀-업 소자를 접속시키는 단계를 더 포함하는, 메모리 셀의 페이지 감지 방법.

청구항 18

제 17항에 있어서, 상기 능동 회로 소자에 의해 상기 풀-업 소자를 조절하는 단계를 더 포함하는, 메모리 셀의 페이지 감지 방법.

청구항 19

병렬로 감지될 메모리 셀의 개별 페이지를 갖는 비휘발성 메모리 디바이스에서, 각 메모리 셀은 소스, 드레인, 전하 저장 유닛 및 상기 드레인과 소스를 따라 전도 전류를 제어하기 위한 제어 게이트를 갖는, 메모리 디바이스에 있어서,

페이지에서 각 메모리 셀의 소스에 접속 가능한 페이지 소스 라인과,

구조 블록의 개별 페이지 소스 라인에 결합된 집합 노드와,

메모리 동작을 위해 선택 페이지의 페이지 소스 라인에 상기 집합 노드를 통해 결합된 소스 차단 스위치와,

상기 집합 노드와 그라운드 기준 사이에 접속 가능한 비-선형 저항성 소자를

포함하는, 비휘발성 메모리 디바이스.

청구항 20

제 19항에 있어서, 상기 비-선형 저항성 소자는 다이오드인, 비휘발성 메모리 디바이스.

청구항 21

제 19항에 있어서, 제어 회로를 더 포함하여 상기 비-선형 저항 소자가 감지 동작 동안 상기 집합 노드에 접속 되는, 비휘발성 메모리 디바이스.

청구항 22

병렬로 감지될 메모리 셀의 개별 페이지를 갖는 비휘발성 메모리 디바이스에서, 각 메모리 셀은 소스, 드레인, 전하 저장 유닛 및 상기 드레인과 소스를 따라 전도 전류를 제어하기 위한 제어 게이트를 갖는, 메모리 셀의 페이지를 감지하는 방법에 있어서,

페이지 소스 라인을 제공하는 단계와,

상기 페이지 라인 소스 라인에 상기 페이지의 각 메모리 셀의 소스를 결합시키는 단계와,

감지 동작을 위한 소스 전압 제어 회로로의 접속을 위해 구조 블록 집합 노드에 상기 페이지 소스 라인을 결합 시키는 단계와,

접속 가능한 비-선형 저항성 소자에 의해 그라운드 기준에 상기 집합 노드를 결합시키는 단계를

포함하는, 메모리 셀의 페이지 감지 방법.

청구항 23

제 22항에 있어서, 상기 비-선형 저항성 소자는 다이오드인, 메모리 셀의 페이지 감지 방법.

청구항 24

제 22항에 있어서, 상기 집합 노드에 상기 비-선형 저항성 소자를 접속시키는 단계를 더 포함하는, 메모리 셀의 페이지 감지 방법.

명세서

기술 분야

[0001]

본 발명은, 일반적으로 전기적으로 소거 가능하고 프로그래밍 가능한 판독-전용 메모리(EEPROM) 및 플래시 EEPROM과 같은 비휘발성 반도체 메모리에 관한 것이고, 보다 구체적으로는, 그라운드 루프(ground loop)에서 한정된 저항으로 인한 소스 바이어스 에러(source bias error)를 보상하는 개선된 감지 회로를 갖는 비휘발성 반도체 메모리에 관한 것이다.

배경 기술

[0002]

특히 작은 폼 팩터 카드(form factor card)로서 패키징(packaging)된 EEPROM 및 플래시 EEPROM 형태의, 전하의 비휘발성 저장이 가능한 고체-상태 메모리는 최근에 다양한 모바일 및 휴대형 디바이스(mobile and handheld device), 특히, 정보 어플라이언스(information appliance) 및 소비자 전자 제품(consumer electronics product)에서 선택되는 저장장치가 되었다. 또한 고체-상태 메모리인 RAM(랜덤 액세스 메모리)와 달리, 플래시 메모리는 비휘발성이며, 전력이 턴 오프(turn off)된 이후조차도 자신의 저장된 데이터를 유지한다. 더 고가임에도 불구하고, 플래시 메모리는 대량 저장 애플리케이션들에서 점점 더 사용되고 있다. 하드 드라이브(hard drive) 및 플로피 디스크(floppy disk)와 같은 회전하는 자기 매체를 기반으로 한 종래의 대량 저장장치는 모바일 및 휴대형 환경에 적합하지 않다. 이것은 디스크 드라이브가 부피가 큰 경향이 있고, 기계적인 고장이 나기 쉽고, 높은 대기시간 및 높은 전력 요건들을 가지기 때문이다. 이러한 바람직하지 않은 속성들은 디스크-기반 저장장치가 대부분의 모바일 및 휴대용 애플리케이션들에서 비실용적이도록 한다. 한편, 임베딩(embedding)되고 제거 가능한 카드 형태인 플래시 메모리는 작은 크기, 낮은 전력 소모, 빠른 속도, 및 높은 신뢰성 특징들 때문에 모바일 및 휴대형 환경에서 이상적으로 적합하다.

[0003]

EEPROM 및 전기적으로 프로그래밍 가능한 판독 전용 메모리(EPROM)는 소거될 수 있고 새로운 데이터가 자신들의 메모리 셀 내로 기록 또는 "프로그래밍"되도록 할 수 있는 비휘발성 메모리이다. EEPROM 및 EPROM 둘 모두는 전계 효과 트랜지스터 구조에서, 소스 및 드레인 영역(source and drain region) 사이에 반도체 기판 내의 채널 영역을 통해 위치되는 플로팅 (비접속) 전도성 게이트를 사용한다. 그 후, 제어 게이트가 플로팅 게이트 위에 제공된다. 트랜지스터의 임계 전압 특성은 플로팅 게이트 상에 유지되는 전하량에 의해 제어된다. 즉, 플로팅 게이트 상의 소정 레벨의 전하에 대하여, 트랜지스터가 자신의 소스 및 드레인 영역들 사이의 전도를 허용하도록 턴 "온"(turn "on")되기 전에, 제어 게이트에 인가되어야 하는 대응하는 전압(임계값)이 존재한다.

[0004]

플로팅 게이트는 일정 범위의 전하를 유지할 수 있으므로, 임계 전압 윈도우(threshold voltage window) 내의 임의의 임계 전압 레벨로 프로그래밍될 수 있다. 임계 전압 윈도우의 크기는 플로팅 게이트 상으로 프로그래밍될 수 있는 전하들의 범위에 대응하는 디바이스의 최소 및 최대 임계 레벨들에 의해 범위가 정해진다. 임계 윈도우는 일반적으로, 메모리 디바이스의 특성들, 동작 조건 및 이력(history)에 따른다. 윈도우 내의 각각의 다른, 분석 가능한 임계 전압 레벨 범위가 원칙적으로 셀의 명확한 메모리 상태를 나타내는데 사용될 수 있다.

[0005]

메모리 셀의 역할을 하는 트랜지스터는 전형적으로 2개의 메커니즘(mechanism) 중 하나에 의해 "프로그래밍된" 상태로 프로그래밍된다. "열 전자 주입(hot electron injection)"에서, 드레인에 인가된 높은 전압이 기판 채널 영역에 걸쳐서 전자들을 가속시킨다. 동시에, 제어 게이트에 인가된 높은 전압이 얇은 게이트 유전체를 통해 플로팅 게이트 상으로 열 전자들을 끌어당긴다. "터널링 주입(tunneling injection)"에서, 높은 전압이 기판과 관련된 제어 게이트에 인가된다. 이 방식으로, 전자들은 기판으로부터 개재된 플로팅 게이트로 끌어당겨진다.

[0006]

메모리 디바이스는 다수의 메커니즘에 의해 소거될 수 있다. EPROM의 경우에, 메모리는 자외선 방사에 의해 플로팅 게이트로부터 전하를 제거함으로써 별크 소거 가능하다(bulk erasable). EEPROM의 경우에, 메모리 셀은 플

로팅 게이트 내에 전자들을 유도하여 얇은 산화물을 통해 기판 채널 영역으로 터널링(즉, Fowler-Nordheim 터널링)하기 위하여 제어 게이트와 관련된 기판에 높은 전압을 인가함으로써 전기적으로 소거 가능하다. 전형적으로, EEPROM은 바이트 단위로 소거 가능하다. 플래시 EEPROM의 경우에, 메모리는 동시에 모두 또는 한번에 하나 이상의 블록들씩 전기적으로 소거 가능하고, 여기서, 블록은 메모리의 512 바이트 또는 그 이상으로 이루어질 수 있다.

[0007] 비휘발성 메모리 셀의 예

메모리 디바이스는 전형적으로 카드 상에 장착될 수 있는 하나 이상의 메모리 칩(memory chip)을 포함한다. 각 메모리 칩은 디코더(decoder) 및 소거, 기록 및 판독 회로와 같은 주변 회로에 의해 지원되는 메모리 셀의 어레이(array)를 포함한다. 더 복잡한 메모리 디바이스에는 또한 지능적이고 더 높은 레벨의 메모리 동작 및 인터페이싱(interfacing)을 수행하는 제어기가 수반된다. 많은 상업적으로 성공한 비휘발성 고체-상태 메모리 디바이스가 오늘날 사용되고 있다. 이러한 메모리 디바이스는 하나 이상의 전하 저장 소자를 각각 갖는 상이한 유형들의 메모리 셀을 사용할 수 있다.

도 1a 내지 1e는 비휘발성 메모리 셀의 상이한 예를 개략적으로 도시한다.

도 1a는 전하를 저장하기 위한 플로팅 게이트를 갖는 EEPROM 셀 형태의 비휘발성 메모리를 개략적으로 도시한다. 전기적으로 소거 가능하고 프로그래밍 가능한 판독 전용 메모리(EEPROM)는 EPROM과 유사한 구조를 갖지만, UV 방사에 노출될 필요 없이 적절한 전압의 인가 시에 자신의 플로팅 게이트로부터 전하를 로딩 및 제거하는 메커니즘을 추가 제공한다. 이와 같은 셀의 예와 이를 제조하는 방법이 미국 특허 번호 제 5,595,924호에 제공되어 있다.

도 1b는 선택 게이트 및 제어 또는 스티어링 게이트(control or steering gate) 둘 모두를 갖는 EEPROM 셀을 개략적으로 도시한다. 메모리 셀(10)은 소스(14)와 드레인(16) 확산 사이에 "분리-채널(split-channel)"(12)을 갖는다. 셀에는 실제로 2개의 트랜지스터(T1 및 T2)가 직렬로 형성된다. T1은 플로팅 게이트(20) 및 제어 게이트(30)를 갖는 메모리 트랜지스터의 역할을 한다. 플로팅 게이트는 선택 가능한 전하량을 저장할 수 있다. 채널의 T1의 부분을 통해 흐를 수 있는 전류량은 제어 게이트(30) 상의 전압 및 개재된 플로팅 게이트(20) 상에 존재하는 전하량에 따른다. T2는 선택 게이트(40)를 갖는 선택 트랜지스터의 역할을 한다. T2가 선택 게이트(40)에서의 전압에 의해 턴 온될 때, 상기 T2는 채널의 T1의 부분에서의 전류가 소스 및 드레인 사이를 통과하도록 한다. 선택 트랜지스터는 제어 게이트에서의 전압에 관계없이 소스-드레인 채널을 따라 스위치를 제공한다. 하나의 장점은 자신들의 플로팅 게이트에서의 자신들의 전하 디플리션(charge depletion)(포지티브(positive))으로 인하여 0 제어 게이트 전압(zero control gate voltage)에서 여전히 도통되고 있는 그러한 셀을 턴 오프하는데 상기 트랜지스터가 사용될 수 있다는 것이다. 다른 장점은 상기 트랜지스터가 소스 측 주입 프로그래밍이 더 용이하게 구현되도록 한다는 것이다.

분리-채널 메모리 셀의 하나의 간단한 실시예는 도 1b에 도시된 점선에 의해 개략적으로 표시되는 바와 같이 선택 게이트 및 제어 게이트가 동일한 워드 라인(word line)에 접속되는 경우이다. 이것은 하나의 채널 부분 위에 위치되는 전하 저장 소자(플로팅 게이트) 및 다른 채널 부분 뿐만 아니라, 전하 저장 소자 위에 위치되는 (워드 라인의 부분인) 제어 게이트 구조를 가짐으로써 성취된다. 이것은 실제로 직렬인 2개의 트랜지스터들, 즉, 전자 저장 소자 상의 전하량 및 자신의 채널 부분을 통해 흐를 수 있는 전류량을 제어하는 워드 라인 상의 전압의 조합을 갖는 하나(메모리 트랜지스터) 및 자신의 게이트의 역할만을 하는 워드 라인을 갖는 다른 하나(선택 트랜지스터)를 갖는 셀을 형성한다. 이와 같은 셀의 예들, 메모리 시스템들에서의 이들의 용도들 및 이들을 제조하는 방법들은 미국 특허 번호 제 5,070,032호, 제 5,095,344호, 제 5,315,541호, 제 5,343,063호, 및 제 5,661,053호에 제공되어 있다.

도 1b에 도시된 분리-채널 셀의 더 개선된 실시예는 선택 게이트 및 제어 게이트가 독립적이고 자신들 사이의 점선에 의해 접속되지 않는 경우이다. 하나의 구현에는 워드 라인에 수직인 제어(또는 스티어링) 라인에 접속되는 셀의 어레이에서 하나의 컬럼(column)의 제어 게이트들을 갖는다. 효과는 선택된 셀을 판독 또는 프로그래밍 할 때 워드 라인이 동시에 2개의 기능들을 수행하지 않아도 되도록 하는 것이다. 이러한 2개의 기능들은 (1) 선택 트랜지스터의 게이트의 역할을 해서, 선택 트랜지스터를 턴 온 또는 오프하기 위해 적절한 전압을 요구하는 것, 및 (2) 워드 라인 및 전하 저장 소자 사이의 전계(용량성) 결합을 통해 전하 저장 소자의 전압을 희망하는 레벨로 구동시키는 것이다. 단일 전압으로 최적으로 방식으로 이러한 기능들 둘 모두를 수행하는 것은 종종 어렵다. 제어 게이트 및 선택 게이트의 별도의 제어의 경우에, 워드 라인은 기능 (1)만을 수행할 필요가 있는 반면, 추가된 제어 라인이 기능 (2)를 수행한다. 이 능력은 프로그래밍 전압이 타겟화된 데이터에 기어링

(gearing)되는 경우에 더 높은 성능 프로그래밍의 설계를 허용한다. 플래시 EEPROM 어레이에서의 독립적인 제어 (또는 스티어링) 게이트의 사용은 예를 들어, 미국 특허 번호 제 5,313,421호 및 제 6,222,762호에 설명되어 있다.

[0014] 도 1c는 이중 플로팅 게이트를 및 독립적인 선택 및 제어 게이트들을 갖는 또 다른 플래시 EEPROM 셀을 개략적으로 도시한다. 메모리 셀(10)은 자신이 실제로 직렬인 3개의 트랜지스터들을 갖는다는 점을 제외하고는 도 1b의 메모리 셀과 유사하다. 이 유형의 셀에서, 2개의 저장 소자(즉, T1-좌측 및 T1-우측의 저장 소자)가 자신 사이에 선택 트랜지스터(T1)를 가지면서, 소스 및 드레인 확산 사이에서 자신의 채널을 통해 포함된다. 메모리 트랜지스터는 플로팅 게이트(20 및 20'), 및 제어 게이트(30 및 30')를 각각 포함한다. 선택 트랜지스터(T2)는 선택 게이트(40)에 의해 제어된다. 어느 한 시간에, 메모리 트랜지스터 쌍 중 하나만이 판독 또는 기록을 위해 액세스(access)된다. 저장 유닛(T1-좌측)이 액세스되고 있을 때, T2 및 T1-우측 둘 모두는 채널의 T1-좌측 부분의 전류가 소스 및 드레인 사이를 통과하도록 하기 위하여 턴 온된다. 유사하게, 저장 유닛(T1-우측)이 액세스되고 있을 때, T2 및 T1-좌측이 턴 온된다. 소거는 플로팅 게이트에 매우 근접한 선택 게이트 폴리실리콘의 부분을 가지며 선택 게이트에 상당한 양 전압(예를 들어, 20V)을 인가하여, 플로팅 게이트 내에 저장된 전자들이 선택 게이트 폴리실리콘으로 터널링할 수 있도록 함으로써 이루어진다.

[0015] 도 1d는 NAND 체인(chain)으로 구성된 메모리 셀의 스트링(string)을 개략적으로 도시한다. NAND 체인(50)은 자신들의 소스들 및 드레인들에 의해 데이지-체인(daisy-chain)된 일련의 메모리 트랜지스터(M1, M2, ..., Mn)(n= 4, 8, 16 또는 그 이상)로 이루어진다. 한 쌍의 선택 트랜지스터(S1, S2)가 NAND 체인의 소스 단자(54) 및 드레인 단자(56)를 통한 외부로의 메모리 트랜지스터 체인의 접속을 제어한다. 메모리 어레이에서, 소스 선택 트랜지스터(S1)가 턴 온될 때, 소스 단자가 소스 라인에 결합된다. 유사하게, 드레인 선택 트랜지스터(S2)가 턴 온될 때, NAND 체인의 드레인 단자가 메모리 어레이의 비트 라인(bit line)에 결합된다. 체인 내의 각 메모리 트랜지스터는 의도된 메모리 상태를 나타내기 위하여 소정의 전하량을 저장하는 전하 저장 소자를 갖는다. 각 메모리 트랜지스터의 제어 게이트는 판독 및 기록 동작들에 대한 제어를 제공한다. 선택 트랜지스터(S1, S2) 각각의 제어 게이트는 각각 NAND 체인의 소스 단자(54) 및 드레인 단자(56)를 통해 NAND 체인으로의 제어 액세스를 제공한다.

[0016] NAND 체인 내의 어드레싱(addressing)된 메모리 트랜지스터가 판독되고 프로그래밍 동안 겹증될 때, 이의 제어 게이트에는 적절한 전압이 공급된다. 동시에, NAND 체인(50) 내의 어드레싱되지 않은 나머지 메모리 트랜지스터는 자신들의 제어 게이트들 상의 충분한 전압의 인가에 의해 완전히 턴 온된다. 이 방식으로, 전도성 경로가 개별 메모리 트랜지스터의 소스로부터 NAND 체인의 소스 단자(54)까지 효율적으로 생성되고, 개별 메모리 트랜지스터의 드레인으로부터 체인의 드레인 단자(56)까지에 대해서도 마찬가지이다. 이와 같은 NAND 체인 구조들을 갖는 메모리 디바이스는 미국 특허 번호 제 5,570,315호, 제 5,903,495호, 제 6,046,935호에 설명되어 있다.

[0017] 도 1e는 전하를 저장하기 위한 유전체 층을 갖는 비휘발성 메모리를 개략적으로 도시한다. 이전에 설명된 전도성 플로팅 게이트 소자들 대신에, 유전체 층이 사용된다. 유전체 저장 소자를 사용하는 이와 같은 메모리 디바이스는 Eitan 등의 "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell", IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp. 543-545에 의해 설명되었다. ONO 유전체 층이 소스 및 드레인 확산들 사이에서 채널을 통해 신장된다. 하나의 데이터 비트에 대한 전하가 드레인에 인접한 유전체 층 내에 로컬화(localizing)되고, 다른 데이터 비트에 대한 전하가 소스에 인접한 유전체 층 내에 로컬화된다. 예를 들어, 미국 특허 번호들 제 5,768,192호 및 6,011,725호는 2개의 이산화 실리콘 층들 사이에 샌드위칭(sandwiching)되는 트랩핑 유전체(trapping dielectric)를 갖는 비휘발성 메모리 셀을 개시한다. 다중-상태 데이터 저장장치가 유전체 내의 공간적으로 분리된 전하 저장 영역들의 이진 상태들을 개별적으로 판독함으로써 구현된다.

[0018] 메모리 어레이

[0019] 메모리 디바이스는 전형적으로 로우(row) 및 컬럼들 내에 배열되고 워드 라인들 및 비트 라인에 의해 어드레싱 가능한 메모리 셀의 2-차원 어레이를 포함한다. 상기 어레이에는 NOR 유형 또는 NAND 유형 아키텍처(architecture)에 따라 형성될 수 있다.

[0020] NOR 어레이

[0021] 도 2는 메모리 셀의 NOR 어레이의 예를 도시한다. NOR 유형 아키텍처를 갖는 메모리 디바이스는 도 1b 또는 1c에 도시된 유형의 셀들로 구현되었다. 메모리 셀의 각각의 로우는 데이지-체인 방식으로 자신들의 소스들 및 드

레인들에 의해 접속된다. 이 설계는 종종 가장 그라운드 설계라 불린다. 각 메모리 셀(10)은 소스(14), 드레인(16), 제어 게이트(30) 및 선택 게이트(40)를 포함한다. 로우 내의 셀들은 워드 라인(42)에 접속되는 자신들의 선택 게이트들을 갖는다. 컬럼 내의 셀들은 선택된 비트 라인(34 및 36)에 각각 접속되는 자신들의 소스들 및 드레인들을 갖는다. 메모리 셀은 독립적으로 제어되는 자신들의 제어 게이트 및 선택 게이트를 갖는 일부 실시 예들에서, 스티어링 라인(30)이 또한 컬럼 내의 셀의 제어 게이트들을 접속시킨다.

[0022] 많은 플래시 EEPROM 디바이스는 함께 접속된 자신의 제어 게이트 및 선택 게이트가 각각에 형성되는 메모리 셀들로 구현된다. 이 경우에, 스티어링 라인들 및 워드 라인이 각각의 로우를 따라 모든 제어 게이트들 및 선택 게이트들을 접속시킬 필요가 없다. 이러한 설계들의 예들은 미국 특허 번호 제 5,172,338호 및 제 5,418,752호에 개시되어 있다. 이러한 설계들에서, 워드 라인은 본질적으로 2개의 기능들: 판독 및 프로그래밍을 위한 로우 선택 및 로우 내의 모든 셀들로의 제어 게이트 전압 전달을 수행한다.

NAND 어레이

[0024] 도 3은 도 1d에 도시된 것과 같은 메모리 셀의 NAND 어레이의 예를 도시한다. NAND 체인의 각각의 컬럼을 따라, 비트 라인이 각각의 NAND 체인의 드레인 단자(56)에 결합된다. NAND 체인들의 각각의 로우를 따라, 소스 라인에 모든 이들의 소스 단자(54)를 접속시킬 수 있다. 또한, 로우를 따라 NAND 체인들의 제어 게이트들이 일련의 대응하는 워드 라인에 접속된다. NAND 체인들의 전체 로우는 접속된 워드 라인들을 통해 이들의 제어 게이트들 상에서 적절한 전압들로 선택 트랜지스터들의 쌍(도 1d 참조)을 턴 온함으로써 어드레싱될 수 있다. NAND 체인 내의 메모리 셀을 나타내는 메모리 트랜지스터가 판독되고 있을 때, 체인 내의 나머지 메모리 트랜지스터는 자신들의 관련된 워드 라인들을 통해 강하게 턴 온되어, 체인을 통해 흐르는 전류가 본질적으로 판독되는 셀에 저장된 전하의 레벨에 종속되게 된다. NAND 아키텍처의 예 및 메모리 시스템의 부분으로서의 이의 동작은 미국 특허 번호 제 5,570,315호, 제 5,774,397호 및 제 6,046,935호에서 발견된다.

블록 소거

[0026] 전하 저장 메모리 디바이스들의 프로그래밍은 단지 이의 전하 저장 소자들에 더 많은 전하를 추가하도록 할 수 있다. 그러므로, 프로그래밍 동작 이전에, 전하 저장 소자 내의 기준 전하는 소거(또는 소거)되어야 한다. 메모리 셀의 하나 이상의 블록들을 소거하기 위하여 소거 회로(도시되지 않음)가 제공된다. EEPROM과 같은 비휘발성 메모리는 셀의 전체 어레이, 또는 어레이의 셀의 상당한 그룹들이 함께 전기적으로 소거될 때 "플래시" EEPROM으로 불린다 (즉, 플래시에서). 일단 소거되면, 셀의 그룹은 재프로그래밍될 수 있다. 함께 소거 가능한 셀의 그룹은 하나 이상의 어드레싱 가능한 소거 단위로 이루어질 수 있다. 소거 단위 또는 블록은 전형적으로 하나 이상의 데이터 페이지를 저장하며, 상기 페이지는 하나 이상의 페이지가 단일 동작으로 프로그래밍 또는 판독될 수 있을지라도, 프로그래밍 및 판독의 단위이다. 각각의 페이지는 전형적으로 하나 이상의 데이터 섹터들을 저장하며, 섹터의 크기는 호스트 시스템에 의해 규정된다. 예는 자기 디스크 드라이브들과 함께 설정된 표준에 따르는 512 바이트의 사용자 데이터의 섹터, 플러스 사용자 데이터에 관한 어떤 수의 바이트의 오버헤드 정보(overhead information) 및/또는 이와 저장되는 블록이다.

판독/기록 회로

[0028] 통상적인 2-상태 EEPROM 셀에서, 전도 원도우를 2개의 영역들로 분할하기 위하여 적어도 하나의 전류 브레이크 포인트 레벨(current breakpoint level)이 설정된다. 셀이 미리결정된 고정 전압들을 인가함으로써 판독될 때, 셀의 소스/드레인 전류가 브레이크포인트 레벨(또는 기준 전류(reference current)(I_{REF}))과 비교됨으로써 메모리 상태로 분석된다. 판독된 전류가 브레이크포인트 레벨의 전류보다 더 높은 경우에, 셀은 하나의 논리적 상태(예를 들어, "0" 상태)인 것으로 결정된다. 반면, 전류가 브레이크포인트 레벨의 전류보다 더 낮은 경우에, 셀은 다른 논리적 상태(예를 들어, "1" 상태)인 것으로 결정된다. 따라서, 이와 같은 2-상태 셀은 1 비트의 디지털 정보를 저장한다. 외부적으로 프로그래밍 가능할 수 있는 기준 전류원이 종종 브레이크포인트 레벨 전류를 발생시키기 위하여 메모리 시스템의 부분으로서 제공된다.

[0029] 메모리 용량을 증가시키기 위하여, 플래시 EEPROM 디바이스는 반도체 기술의 상태가 진보함에 따라 점점 더 높은 밀도로 제조되고 있다. 저장 용량을 증가시키는 또 다른 방법은 각 메모리 셀이 2개 이상의 메모리 상태들을 저장하도록 하는 것이다.

[0030] 다중-상태 또는 다중-레벨 EEPROM 메모리 셀의 경우에, 전도 원도우는 하나 이상의 브레이크포인트에 의해 2개 이상의 영역들로 분할되어, 각각의 셀이 1 비트 이상의 데이터를 저장할 수 있게 된다. 따라서, 소정의 EEPROM 어레이가 저장할 수 있는 정보가 각각의 셀이 저장할 수 있는 상태들의 수에 따라 증가된다. 다중-상태 또는 다

중-레벨 메모리 셀을 갖는 EEPROM 또는 플래시 EEPROM은 미국 특허 번호 제 5,172,338호에 설명되어 있다.

[0031] 실제로, 셀의 메모리 상태는 통상적으로 기준 전압이 제어 게이트에 인가될 때 셀의 소스 및 드레인 전극들에 걸친 전도 전류를 감지함으로써 판독된다. 따라서, 셀의 플로팅 게이트 상의 각각의 소정 전하에 대하여, 고정된 기준 제어 게이트 전압에 대한 대응하는 전도 전류가 검출될 수 있다. 유사하게, 플로팅 게이트 상으로 프로그래밍 가능한 전하의 범위는 대응하는 임계 전압 윈도우 또는 대응하는 전도 전류 윈도우를 규정한다.

[0032] 대안적으로, 분할된 전류 윈도우 사이에서 전도 전류를 검출하는 대신에, 제어 게이트에서의 테스트로 소정의 메모리 상태에 대한 임계 전압을 세팅하고 전도 전류가 임계 전류보다 더 낮은지 또는 더 높은지를 검출하는 것이 가능하다. 하나의 구현예에서, 임계 전류와 관련된 전도 전류의 검출은 전도 전류가 비트 라인의 커페시턴스를 통해 방출하고 있는 레이트를 조사함으로써 성취된다.

[0033] 도 4는 플로팅 게이트가 어느 한 시간에 선택적으로 저장하고 있을 수 있는 4개의 상이한 전하(Q1 내지 Q4)에 대한 소스-드레인 전류(I_D) 및 제어 게이트 전압(V_{CG}) 사이의 관계를 도시한다. 4개의 실선 I_D 대 V_{CG} 곡선들은 4개의 가능한 메모리 상태들에 각각 대응하는, 메모리 셀의 플로팅 게이트 상에 프로그래밍될 수 있는 4개의 가능한 전하 레벨들을 나타낸다. 예로서, 셀의 모집단(population)의 임계 전압 윈도우는 0.5V로부터 3.5V까지의 범위일 수 있다. 6개의 메모리 상태들은 임계 윈도우를 각각 0.5V의 간격의 5개의 영역들로 분할함으로써 경계가 표시될 수 있다. 예를 들어, 도시된 바와 같이 $2\mu A$ 의 기준 전류(I_{REF})가 사용되는 경우에, Q1으로 프로그래밍된 셀은 이의 곡선이 $V_{CG}=0.5V$ 및 $1.0V$ 에 의해 경계가 표시되는 임계 윈도우의 범위 내에서 I_{REF} 와 교차하기 때문에 메모리 상태 "1"인 것으로 간주될 수 있다. 유사하게, Q4는 메모리 상태 "5"이다.

[0034] 상기의 설명으로부터 인식될 수 있는 바와 같이, 메모리 셀이 저장을 위하여 만들어질 수 있는 메모리 상태들이 많을수록, 이의 임계 윈도우가 더 미세하게 분할된다. 이것은 필요한 레졸루션(resolution)을 성취할 수 있도록 하기 위하여 프로그래밍 및 판독 동작들에서 더 높은 정확도를 필요로 할 것이다.

[0035] 미국 특허 번호 제 4,357,685호는 셀이 소정의 상태로 프로그래밍될 때, 상기 셀이 플로팅 게이트에 충분적인 전하를 추가할 때마다 연속적인 프로그래밍 전압 펄스들을 겪게 되는 2-상태 EEPROM을 프로그래밍하는 방법을 개시한다. 펄스들 사이에서, 셀은 브레이크포인트 레벨과 관련된 자신의 소스-드레인 전류를 결정하기 위하여 리드 백(read back) 및 검증된다. 프로그래밍은 전류 상태가 희망하는 상태에 도달하였다는 것이 검증되었을 때 중단된다. 사용된 프로그래밍 펄스 트레인(programming pulse train)은 증가하는 기간 또는 진폭을 가질 수 있다.

[0036] 종래 기술의 프로그래밍 회로는 타겟 상태에 도달할 때까지 단순히 소거 또는 그라운드 상태로부터 임계 윈도우를 통해 단계로 프로그래밍 펄스들을 적용한다. 실제로, 적절한 레졸루션을 허용하기 위하여, 각각의 분할되거나 경계가 표시된 영역은 적어도 약 5개의 프로그래밍 단계들이 트래버싱(traversing)하는 것을 필요로 할 것이다. 성능은 2-상태 메모리 셀들에 대해 수용 가능하다. 그러나, 다중-상태 셀의 경우에, 필요한 단계들의 수가 분할들의 수에 따라 증가하므로, 프로그래밍 정확도 또는 레졸루션이 증가되어야 한다. 예를 들어, 16-상태 셀은 타겟 상태로 프로그래밍되기 위하여 평균적으로 적어도 40개의 프로그래밍 펄스들을 필요로 할 수 있다.

[0037] 도 5는 로우 디코더(130) 및 컬럼 디코더(160)를 통해 판독/기록 회로(170)에 의해 액세스 가능한 메모리 어레이(100)의 전형적인 배열을 갖는 메모리 디바이스를 개략적으로 도시한다. 도 2 및 3과 관련하여 설명된 바와 같이, 메모리 어레이(100) 내의 메모리 셀의 메모리 트랜지스터는 한 세트의 선택된 워드 라인(들) 및 비트 라인(들)을 통해 어드레싱 가능하다. 어드레싱된 메모리 트랜지스터의 각각의 게이트들에 적절한 전압들을 인가하기 위하여 로우 디코더(130)는 하나 이상의 워드 라인들을 선택하고 컬럼 디코더(160)는 하나 이상의 비트 라인들을 선택한다. 어드레싱된 메모리 트랜지스터들의 메모리 상태들을 판독 또는 기록(프로그래밍)하기 위하여 판독/기록 회로(170)가 제공된다. 판독/기록 회로(170)는 비트 라인을 통해 어레이 내의 메모리 소자들에 접속 가능한 다수의 판독/기록 모듈들을 포함한다.

[0038] 판독/기록 성능 및 정확도에 영향을 주는 인자(factor)

[0039] 판독 및 프로그램 성능을 개선시키기 위하여, 어레이 내의 다수의 전하 저장 소자들 또는 메모리 트랜지스터는 병렬로 판독 또는 프로그래밍된다. 따라서, 메모리 소자들의 논리적 "페이지"가 함께 판독 또는 프로그래밍된다. 기존의 메모리 아키텍처들에서, 로우는 전형적으로 여러 인터리빙된 페이지(interleaved page)를 포함한다. 페이지의 모든 메모리 소자들은 함께 판독 또는 프로그래밍될 것이다. 컬럼 디코더는 인터리빙된 페이지들 중 각각의 페이지를 대응하는 수의 판독/기록 모듈들에 선택적으로 접속시킬 것이다. 예를 들어,

하나의 구현예에서, 메모리 어레이에는 532 바이트(512 바이트 플러스 20 바이트의 오버헤드)의 페이지 크기를 갖도록 설계된다. 각각의 컬럼이 드레인 비트 라인을 포함하고 로우 당 2개의 인터리빙된 페이지가 존재하는 경우에, 이것은 8512개의 컬럼들에 달하며, 각각의 페이지는 4256 컬럼들과 관련된다. 모든 짹수 비트 라인들 또는 홀수 비트 라인들 중 하나를 병렬로 판독 또는 기록하기 위하여 접속 가능한 4256개의 감지 모듈들이 존재할 것이다. 이 방식으로, 병렬의 4256 비트(즉, 532 바이트)의 데이터의 페이지가 메모리 소자들의 페이지로부터 판독되거나 메모리 소자들의 페이지 내로 프로그래밍된다. 판독/기록 회로(170)를 형성하는 판독/기록 모듈들은 다양한 아키텍처들로 배열될 수 있다.

[0040] 상술된 바와 같이, 종래의 메모리 디바이스는 한 번에 모든 짹수 또는 모든 홀수 비트 라인들 상에서 대량 병렬 방식으로 동작함으로써 판독/기록 동작들을 개선시킨다. 2개의 인터리빙된 페이지들로 이루어지는 로우의 이 "교호-비트-라인" 아키텍처는 판독/기록 회로의 블록을 맞추는 문제를 경감시키는 것을 도울 것이다. 이것은 또한 비트-라인 대 비트-라인 용량성 결합을 제어하는 고려사항에 의해 구술된다. 블록 디코더는 짹수 페이지 또는 홀수 페이지 중 하나로 판독/기록 모듈들의 세트를 멀티플렉싱(multiplexing)하는데 사용된다. 이 방식으로, 하나의 세트의 비트 라인들이 판독 또는 프로그래밍되고 있을 때마다, 중간 이웃 결합을 최소화하기 위하여 인터리빙 세트가 그라운드될 수 있다.

[0041] 그러나, 인터리빙 페이지 아키텍처는 적어도 3개의 면들에서 유용하지 않다. 첫째, 이것은 추가적인 멀티플렉싱 회로를 필요로 한다. 둘째, 이것은 성능이 느린다. 로우 내에 또는 워드 라인에 의해 접속된 메모리 셀의 판독 또는 프로그램을 완료하기 위하여, 2개의 판독 또는 2개의 프로그램 동작들이 필요하다. 셋째, 이것은 또한 홀수 및 짹수 페이지들에서 개별적으로와 같이, 2개의 이웃들이 상이한 시간들에 프로그래밍될 때 플로팅 게이트 레벨에서 이웃하는 전하 저장 소자들 사이에 필드 결합(field coupling)과 같은 다른 방해 효과(distrib effect)를 처리하는데 있어서 최적이 아니다.

[0042] 미국 특허 출원 번호 제 2004-0057318-A1호는 복수의 인접한 메모리 셀을 병렬로 감지하도록 하는 메모리 디바이스 및 이의 방법을 개시한다. 예를 들어, 동일한 워드 라인들을 공유하는 로우를 따른 모든 메모리 셀은 페이지로서 함께 판독 또는 프로그래밍된다. 이 "모든-비트-라인" 아키텍처는 이웃하는 방해 효과들에 기인하는 에러들을 최소화하면서, "교호-비트-라인" 아키텍처의 성능을 2배로 만든다. 그러나, 모든 비트 라인들을 감지하는 것이 이들의 상호 커피시턴스로부터 유도된 전류들에 기인하는 이웃하는 비트 라인 사이의 크로스-토크(cross-talk) 문제를 초래한다. 이것은 각각의 인접한 쌍의 비트 라인 사이의 전압 차를 이들의 전도 전류들이 감지되고 있는 시간과 실질적으로 무관하게 유지함으로써 처리된다. 이 조건이 부과될 때, 다양한 비트 라인의 커피시턴스에 기인하는 모든 변위 전류들이 떨어지는데, 그 이유는 상기 변위 전류 모두가 시변 전압차(time-varying voltage difference)에 종속되기 때문이다. 각각의 비트 라인에 결합된 감지 회로는 비트 라인 상에서 전압 클램프(voltage clamp)를 가져서, 임의의 인접한 쌍의 접속된 비트 라인들 상의 전위차는 시불변(time-independent) 이게 된다. 클램핑되는 비트 라인 전압에 의하여, 비트 라인 커피시턴스에 기인한 방전을 감지하는 종래의 방법이 적용될 수 없다. 그 대신에, 감지 회로 및 방법은 메모리 셀의 전도 전류가 비트 라인과 무관하게 소정의 커피시터를 방전 또는 충전하는 레이트를 인식함으로써 메모리 셀의 전도 전류를 결정하도록 한다. 이것은 감지 회로가 메모리 어레이의 아키텍처에 무관하도록(즉, 비트 라인 커피시턴스에 무관하도록) 할 것이다. 특히, 이것은 비트 라인 크로스토크를 피하기 위하여 비트 라인 전압들이 감지 동안 클램핑되도록 한다.

[0043] 상술된 바와 같이, 종래의 메모리 디바이스는 대량 병렬 방식으로 동작함으로써 판독/기록 동작들을 개선시킨다. 이 방법은 성능을 개선시키지만, 판독 및 기록 동작들의 정확도에 대한 반향(repercussion)을 갖는다.

[0044] 하나의 문제는 소스 라인 바이어스 에러이다. 이것은 많은 수의 메모리 셀은 소스 라인에서 그라운드에 함께 결합되는 자신들의 소스를 갖는 메모리 아키텍처의 경우에 특히 심각하다. 공통 소스를 갖는 이러한 메모리 셀의 병렬 감지는 소스 라인을 통한 상당한 전류를 발생시킨다. 소스 라인에서의 0이 아닌 저항 때문에, 이것은 이어서, 각 메모리 셀의 소스 전극 및 실제 그라운드 사이에 인식 가능한 전위차를 발생시킨다. 감지 동안, 각 메모리 셀의 제어 게이트에 공급된 임계 전압은 메모리 셀의 소스 전극과 관련되지만, 시스템 전원은 실제 그라운드와 관련된다. 따라서, 감지는 소스 라인 바이어스 에러의 존재로 인하여 부정확해질 수 있다.

[0045] 미국 특허 출원 번호 제 2004-0057287-A1호는 복수의 인접한 메모리 셀을 병렬로 감지하도록 하는 메모리 디바이스 및 이의 방법을 개시한다. 소스 라인 바이어스의 감소는 다중-경로 감지를 위한 특성들 및 기술들을 갖는 판독/기록 회로들에 의해 성취된다. 메모리 셀의 페이지가 병렬로 감지되고 있을 때, 각각의 경로는 소정의 경계 전류 값보다 더 높은 전도 전류를 갖는 메모리 셀을 식별하고 셋 다운(shut down)하는 것을 돋는다. 식별된

메모리 셀들은 자신들의 관련 비트 라인들을 그라운드로 끌어당김으로써 셋 다운된다. 즉, 더 높은 전도 전류를 가지며 현재 감지와 무관한 그러한 셀은 식별되고, 이들의 전류가 전류 감지의 실제 데이터가 판독되기 전에 셋 다운되게 된다.

[0046] 그러므로, 감소된 전력 소모를 갖는 고성능 및 고용량 비휘발성 메모리가 일반적으로 필요하다. 특히, 강화된 판독 및 프로그램 성능을 가지며 전력 효율적인 콤팩트한 비휘발성 메모리가 요구된다.

발명의 내용

해결하려는 과제

[0047] 본 발명의 목적은 감소된 전력 소모를 갖는 고성능 및 고용량 비휘발성 메모리를 제공하는 것이다.

과제의 해결 수단

[0048] 고용량 및 고성능 비휘발성 메모리 디바이스에 대한 이러한 요구들은 메모리 셀의 대응하는 페이지를 병렬로 판독 및 기록하는 판독/기록 회로의 많은 페이지를 가짐으로써 충족된다. 특히, 판독 및 프로그래밍 내에 에러들을 도입할 수 있는 고밀도 칩 통합에서 고유한 상호작용 잡음 효과(interactive noises effect)가 제거 또는 최소화된다.

[0049] 소스 라인 바이어스는 판독/기록 회로의 그라운드 루프(ground loop)에서의 0이 아닌 저항에 의해 도입되는 에러이다. 상기 에러는 전류가 흐를 때 칩의 그라운드의 소스 경로의 저항 양단의 전압 강하에 기인한다.

[0050] 제 1 세트의 실시예들은 병렬로 감지되고 각각 소스, 드레인, 전하 저장 유닛 및 상기 드레인 및 소스를 따르는 전도 전류를 제어하는 제어 게이트를 갖는 메모리 셀의 개별 페이지를 갖는 메모리 디바이스에 대한 것이다. 상기 메모리는 페이지에서 각 메모리 셀의 소스에 접속 가능한 페이지 소스 라인, 개별 페이지 소스 라인에 접속 가능한 구조 블록에 대한 집합 노드(aggregate node), 및 메모리 동작을 위해 상기 집합 노드를 통해 상기 구조 블록 내의 선택 페이지의 페이지 소스 라인에 결합된 소스 차단 스위치(source isolation switch)를 포함한다. 상기 메모리 디바이스는 또한 제 1 기준 전압에 접속된 제 1 입력 및 상기 집합 노드에 접속 가능한 피드백 루프(feedback loop)로서 접속된 제 2 입력을 갖는 능동 회로 소자를 포함하는 소스 전위 조절 회로를 포함한다.

[0051] 또 다른 세트의 실시예들에서, 병렬로 감지되고 각각 소스, 드레인, 전하 저장 유닛 및 상기 드레인 및 소스를 따르는 전도 전류를 제어하는 제어 게이트를 갖는 메모리 셀의 개별 페이지를 갖는 메모리 디바이스가 제공된다. 상기 메모리는 페이지에서 각 메모리 셀의 소스에 접속 가능한 페이지 소스 라인, 개별 페이지 소스 라인에 접속 가능한 구조 블록에 대한 집합 노드, 및 메모리 동작을 위해 상기 집합 노드를 통해 상기 구조 블록 내의 선택 페이지의 페이지 소스 라인에 결합된 소스 차단 스위치를 포함한다. 상기 메모리 디바이스는 또한 상기 집합 노드 및 그라운드 기준 사이에 접속 가능한 비-선형 저항성 소자를 포함한다.

[0052] 본 발명의 다양한 양상들, 장점들 및 실시예들은 첨부 도면들과 함께 취해져야 하는 본 발명의 예시적인 예들의 다음의 설명에 포함된다. 본원에 참조된 모든 특허들, 특히 출원들, 논문들, 다른 공개물들, 문서들 등은 모든 목적들을 위하여 본원에 완전히 참조되어 있다. 참조된 공개물들, 문서들 등 중 어느 하나 및 본 출원 사이의 용어의 사용 또는 정의에서의 임의의 불일치가 존재하는 경우에, 본 출원의 용어가 우세할 것이다.

발명의 효과

[0053] 본 발명에 의하면, 감소된 전력 소모를 갖는 고성능 및 고용량 비휘발성 메모리가 제공된다.

도면의 간단한 설명

[0054] 도 1a 내지 1e는, 비휘발성 메모리 셀의 상이한 예를 개략적으로 도시한 도면.

도 2는, 메모리 셀의 NOR 어레이의 예를 도시한 도면.

도 3은, 도 1d에 도시된 것과 같은 메모리 셀의 NAND 어레이의 예를 도시한 도면.

도 4는, 플로팅 게이트가 어느 한 시간에 저장하고 있을 수 있는 4개의 상이한 전하(Q1 내지 Q4)에 대한 소스-드레인 전류 및 제어 게이트 전압 사이의 관계를 도시한 도면.

도 5는, 로우 및 컬럼 디코더를 통해 판독/기록 회로에 의해 액세스 가능한 메모리 어레이의 전형적인 배열을

개략적으로 도시한 도면.

도 6a는, 본 발명이 구현되는 콘텍스트(context)를 제공하는 판독/기록 회로의 뱅크(bank)를 갖는 콤팩트한 메모리 디바이스를 개략적으로 도시한 도면.

도 6b는, 도 6a에 도시된 콤팩트한 메모리 디바이스의 바람직한 배열을 도시한 도면.

도 7a는, 비트 라인 전압 제어부, 워드 라인 전압 제어부 및 소스 전압 제어부가 모두 IC 메모리 칩의 동일한 그라운드로부터 레퍼런싱(referencing)되고 있는 종래의 배열을 도시한 도면.

도 7b는, 소스 라인 전압 강하에 기인하는 메모리 셀의 게이트 전압 및 드레인 전압 둘 모두에서의 에러를 도시한 도면.

도 8은, 4-상태 메모리에 대한 메모리 셀의 페이지의 예시적 모집단 분포에서의 소스 바이어스 에러들의 영향을 도시한 도면.

도 9a는, 본 발명의 하나의 바람직한 실시예에 따른, 셀 소스 신호가 소스 라인에 액세스하는 노드에서 기준 포인트를 가짐으로써 비트 라인 전압 제어부와 워드 라인 전압 제어부가 소스 바이어스에 대해 보상받는 배열을 도시한 도면.

도 9b는, 본 발명의 또 다른 바람직한 실시예에 따른, 페이지 소스 라인에 대해 레퍼런싱함으로써 비트 라인 전압 제어부와 워드 라인 전압 제어부가 소스 바이어스에 대해 보상받는 것을 도시한 도면.

도 10은, 소스 바이어스에 대해 보상받는 비트 라인 전압을 제공하기 위하여 추적 비트 라인 전압 제어 회로와 함께 동작하는 도 9a 및 9b에 도시된 바람직한 감지 모듈의 개략도.

도 11은, 도 9a 및 9b에 도시된 추적 비트 라인 전압 제어 회로의 바람직한 실시예를 도시한 도면.

도 12는, 도 9a 및 9b에 도시된 추적 워드 라인 전압 제어 회로의 바람직한 실시예를 도시한 도면.

도 13은, 조절된 소스 전위의 사용을 설명하는데 있어서 사용하기 위하여 간소화된 메모리 셀의 NAND 어레이의 일부를 도시한 도면.

도 14는, 보상 비트 라인 바이어스의 인가를 도시한 도면.

도 15a 내지 15c는, 그라운드로의 자신의 경로에서의 저항 또는 소스 라인 내의 전류와 무관하게 소스 라인 전위를 세팅하는 레귤레이터(regulator)의 사용을 도시한 도면.

도 16은, 소스 라인 전위를 세팅하기 위한 클램프의 사용을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0055] 도 6a는 본 발명이 구현되는 콘텍스트를 제공하는 판독/기록 회로의 뱅크를 갖는 콤팩트한 메모리 디바이스를 개략적으로 도시한다. 상기 메모리 디바이스는 메모리 셀의 2-차원 어레이(300), 제어 회로(310), 및 판독/기록 회로(370)를 포함한다. 메모리 어레이(300)는 로우 디코더(330)를 통해 워드 라인에 의하여, 그리고 컬럼 디코더(360)를 통해 비트 라인에 의하여 액세스 가능하다. 판독/기록 회로(370)는 감지 모듈(480)의 뱅크로서 구현되고, 메모리 셀의 블록("페이지"로도 불림)이 병렬로 판독 또는 프로그래밍되도록 한다. 바람직한 실시예에서, 페이지는 메모리 셀의 인접한 로우로부터 구성된다. 메모리 셀의 로우가 다수의 블록들 또는 페이지들로 분할되는 또 다른 실시예에서, 판독/기록 회로(370)를 개별 블록으로 멀티플렉싱하기 위하여 블록 멀티플렉서(350)가 제공된다.

[0056] 제어 회로(310)는 메모리 어레이(300) 상에서 메모리 동작들을 수행하기 위하여 판독/기록 회로(370)와 협동한다. 제어 회로(310)는 상태 기계(312), 온-칩 어드레스 디코더(on-chip address decoder)(314) 및 전력 제어 모듈(316)을 포함한다. 상태 기계(312)는 메모리 동작들의 칩 레벨 제어를 제공한다. 온-칩 어드레스 디코더(314)는 호스트(host) 또는 메모리 제어기에 의해 사용되는 것 대 디코더(330 및 370)에 의해 사용되는 하드웨어 어드레스 사이의 어드레스 인터페이스를 제공한다. 전력 제어 모듈(316)은 메모리 동작 동안 워드 라인들 및 비트 라인에 공급되는 전력 및 전압들을 제어한다.

[0057] 도 6b는 도 6a에 도시된 콤팩트한 메모리 디바이스의 바람직한 배열을 도시한다. 다양한 주변 회로들에 의한 메모리 어레이(300)로의 액세스는 어레이의 대향 측들 상에서 대칭 방식으로 구현되어, 각 측 상의 액세스 라인들 및 회로가 절반으로 감소된다. 따라서, 로우 디코더는 로우 디코더(330A 및 330B)로 분할되고, 컬럼 디코더는

컬럼 디코더(360A 및 360B)로 분할된다. 메모리 셀의 로우가 다수의 블록으로 분할되는 실시예에서, 블록 멀티 플렉서(350)는 블록 멀티플렉서(350A 및 350B)로 분할된다. 유사하게, 판독/기록 회로는 어레이(300)의 하부로부터 비트 라인에 접속되는 판독/기록 회로(370A) 및 어레이(300)의 상부로부터 비트 라인에 접속되는 판독/기록 회로(370B)로 분할된다. 이 방식으로, 판독/기록 모듈들의 밀도 및 이에 따른 감지 모듈(480)의 군의 밀도가 본질적으로 1/2 만큼 감소된다.

[0058] 병렬로 동작하는 p개의 감지 모듈(480)의 전체 뱅크는 로우를 따른 p개의 셀의 블록(또는 페이지)이 병렬로 판독 또는 프로그래밍되도록 한다. 일례의 메모리 어레이에는 $p=512$ 바이트(512×8 비트)를 가질 수 있다. 바람직한 실시예에서, 블록은 셀의 전체 로우의 런(run)이다. 또 다른 실시예에서, 블록은 로우 내의 셀의 서브셋(subset)이다. 예를 들어, 셀의 서브셋은 전체 로우의 1/2 또는 전체 로우의 1/4일 수 있다. 셀의 서브셋은 인접한 셀들 또는 하나 걸러 하나의 셀, 또는 하나의 모든 미리결정된 수의 셀의 런일 수 있다. 각각의 감지 모듈은 메모리 셀의 전도 전류를 감지하는 감지 증폭기를 포함한다. 바람직한 감지 증폭기는 전체 명세서가 본원에 참조되어 있는 미국 특허 출원 번호 제 2004-0109357-A1호에 개시되어 있다.

소스 라인 에러 관리

[0059] 감지 메모리 셀들에 의한 하나의 잠재적인 문제점은 소스 라인 바이어스이다. 많은 수의 메모리 셀은 병렬로 감지될 때, 이들의 결합 전류들은 한정된 저항을 갖는 그라운드 루프에서 상당한 전압 강하를 발생시킬 수 있다. 이것은 임계 전압 감지를 사용하는 감지 동작에서 에러를 초래하는 소스 라인 바이어스를 발생시킨다. 또한, 셀이 라인 영역에 가깝게 동작하고 있는 경우에, 전도 전류는 상기 영역에서 소스-드레인 전압에 한 번 민감하고, 소스 라인 바이어스는 드레인 전압이 바이어스에 의해 오프셋(offset)될 때 감지 동작에서 에러를 초래할 것이다.

[0060] 도 7a는 비트 라인 전압 제어부, 워드 라인 전압 제어부 및 소스 전압 제어부가 모두 IC 메모리 칩의 동일한 그라운드로부터 레퍼런싱되고 있는 종래의 배열을 도시한다. 판독/기록 회로(370)는 메모리 셀의 페이지 상에서 동시적으로 동작한다. 판독/기록 회로 내의 각각의 감지 모듈(480)은 비트 라인(36)과 같은 비트 라인을 통해 대응하는 셀에 결합된다. 예를 들어, 감지 모듈(480)은 메모리 셀(10)의 전도 전류(i_1)(소스-드레인 전류)를 감지한다. 전도 전류는 감지 모듈로부터 비트 라인(36)을 통해 메모리 셀(10)의 드레인 내로 흐르고, 소스 라인(34) 및 통합된 소스 라인(40)을 통해 진행하기 전에 소스(14)로부터 밖으로 흐르고 나서, 소스 제어 회로(400)를 통해 칩의 그라운드(401)로 흐른다. 소스 라인(34)은 전형적으로 메모리 어레이의 로우를 따른 경로에서 메모리 셀의 모든 소스를 연결한다. 집적 회로 칩에서, 메모리 어레이 내의 개별 로우들의 소스 라인(34)은 모두 소스 제어 회로(400)에 접속되는 통합된 소스 라인(40)의 다수의 브랜치(branch)로서 함께 연결된다. 소스 제어 회로(400)는 통합된 소스 라인(40)을 궁극적으로 메모리 칩의 외부 그라운드 패드(external ground pad) (예를 들어, Vss 패드)에 접속되는 칩의 그라운드(401)로 끌어당기도록 제어되는 풀-다운 트랜지스터(pull-down transistor)(402)를 갖는다. 소스 라인의 저항을 감소시키기 위하여 금속 스트랩핑(metal strapping)이 사용될 때에도, 메모리 셀의 소스 전극 및 그라운드 패드 사이에 0이 아닌 저항이 유지된다. 전형적으로, 평균 그라운드 루프 저항(R)은 50 옴만큼 높을 수 있다.

[0061] 병렬로 감지되는 메모리의 전체 페이지에 대하여, 통합된 소스 라인(40)을 통해 흐르는 총 전류는 모든 전도 전류의 합으로, $i_{TOT} = i_1 + i_2 + \dots + i_p$ 이다. 일반적으로, 각 메모리 셀은 자신의 전하 저장 소자 내로 프로그래밍되는 전하량에 따르는 전도 전류를 갖는다. 메모리 셀의 소정의 제어 게이트 전압에 대하여, 더 작은 프로그래밍된 전하는 비교적 더 높은 전도 전류를 산출할 것이다(도 4 참조). 메모리 셀의 소스 전극 및 그라운드 패드 사이의 경로에서 한정된 저항이 존재할 때, 저항 양단의 전압 강하는 $V_{drop} \sim i_{TOT}R$ 에 의해 제공된다.

[0062] 예를 들어, 4256개의 비트 라인들이 각각 $1\ \mu A$ 의 전류로 동시에 방전하는 경우에, 소스 라인 전압 강하는 4000 라인들 $\times 1\ \mu A/\text{라인} \times 50\text{옴} \sim 0.2$ 볼트와 동일할 것이다. 이것은 그라운드 전위인 대신에, 유효 소스가 지금 0.2 V라는 것을 의미한다. 비트 라인 전압 및 워드 라인 전압이 동일한 칩의 그라운드(401)에 대해 레퍼런싱되기 때문에, 0.2 볼트의 이 소스 라인 바이어스는 0.2 V만큼 감소되는 유효 드레인 전압 및 제어 게이트 전압 둘 모두를 가질 것이다.

[0063] 도 7b는 소스 라인 전압 강하에 기인하는 메모리 셀의 임계 전압 레벨에서의 에러를 도시한다. 메모리 셀(10)의 제어 게이트(30)에 공급된 임계 전압(V_T)은 칩의 그라운드(401)와 관련된다. 그러나, 메모리 셀에 의해 인식되는 유효 V_T 는 메모리 셀의 제어 게이트(30) 및 소스(14) 사이의 전압차이다. (소스(14)로부터 소스 라인까지의

전압 강하의 더 작은 컨트리뷰션(contribution)을 무시하면) 공급된 V_T 및 유효 V_T 사이에 대략 V_{drop} 또는 ΔV 의 차이가 존재한다. 이 ΔV 또는 소스 라인 바이어스는 메모리 셀의 임계 전압들이 감지될 때 예를 들어, 0.2 V의 감지 에러에 기여할 것이다. 이 바이어스는 데이터-종속적이기 때문에, 즉, 페이지의 메모리 셀의 메모리 상태에 종속되기 때문에 용이하게 제거될 수 없다.

[0065] 도 7b는 또한 소스 라인 전압 강하에 기인하는 메모리 셀의 드레인 전압 레벨에서의 에러를 도시한다. 메모리 셀(10)의 드레인(16)에 인가된 드레인 전압은 칩의 그라운드(401)와 관련된다. 그러나, 메모리 셀에 의해 인식되는 유효 드레인 전압(V_{DS})은 메모리 셀의 드레인(16) 및 소스(14) 사이의 전압차이다. 공급된 V_{DS} 및 유효 V_{DS} 사이에 대략 ΔV 의 차이가 존재한다. 이 ΔV 또는 소스 라인 바이어스는 메모리 셀은 V_{DS} 에 민감한 동작 모드에서 감지될 때 감지 에러에 기여할 것이다. 상술된 바와 같이, 이 바이어스는 데이터-종속적이기 때문에, 즉, 페이지의 메모리 셀의 메모리 상태에 종속되기 때문에 용이하게 제거될 수 없다.

[0066] 도 8은 4-상태 메모리에 대한 메모리 셀의 페이지의 예시적 모집단 분포에서의 소스 바이어스 에러들의 영향을 도시한다. 메모리 상태의 각각의 클러스터(cluster)는 서로로부터 명백하게 분리된 도전 전류(I_{SD})의 범위 내에서 프로그래밍된다. 예를 들어, 브레이크포인트(381)는 "1" 및 "2" 메모리 상태들을 각각 나타내는 2개의 클러스터들 사이의 경계를 표시하는 전류 값이다. "2" 메모리 상태에 필요한 조건은 상기 메모리 상태가 브레이크포인트(381)보다 더 적은 전도 전류를 갖는 것일 것이다. 소스 라인 바이어스들이 없다면, 공급된 임계 전압(V_T)에 대한 모집단 분포는 실선을 갖는 곡선에 의해 제공될 것이다. 그러나, 소스 라인 바이어스 에러 때문에, 메모리 셀의 제어 게이트에서의 메모리 셀들 각각의 유효 임계 전압은 그라운드에 대해 공급된 전압은 그라운드와 관련된 공급된 전압으로부터 소스 라인 바이어스(ΔV)만큼 감소된다. 유사하게, 유효 드레인 전압이 또한 공급된 전압으로부터 소스 라인 바이어스만큼 감소된다.

[0067] 소스 라인 바이어스는 유효 전압에서의 부족분(shortfall)을 보상하기 위하여 상기 분포가 더 높은 공급 V_T 쪽으로 시프팅(shifting)되도록 한다. 상기 시프팅은 더 높은(더 낮은 전류) 메모리 상태들에 대해 더 많을 것이다. 브레이크포인트(381)가 소스 라인 에러가 없는 경우에 대해 설계되는 경우에, 소스 라인 에러의 존재는 전도 전류를 갖는 "1" 상태들의 맨끝의 일부가 비 전도 영역에서 나타나도록 할 것이며, 이는 브레이크포인트(381)보다 더 높다는 것을 의미한다. 이것은 "1" 상태의 일부(더 전도적)가 "2" 상태(덜 전도적)로서 잘못 경계가 표시되도록 할 것이다.

소스 라인 바이어스의 드레인 보상

[0069] 본 발명의 하나의 양상에 따르면, 메모리 셀의 페이지가 별별로 감지되고 메모리 셀의 소스들이 집합 액세스 노드에서 셀 소스 신호를 수신하기 위하여 함께 결합될 때, 비트 라인에 공급되는 동작 전압은 칩의 그라운드라기보다는 오히려, 집합 액세스 노드와 동일한 기준 포인트를 갖는다. 이 방식으로, 집합 액세스 노드 및 칩의 그라운드 사이의 임의의 소스 바이어스 차이들이 공급된 비트 라인 전압에서 추적 및 보상될 것이다.

[0070] 일반적으로, 각 메모리 셀로부터 칩의 그라운드까지의 소스 경로는 각 메모리 셀이 칩의 그라운드로의 상이한 네트워크 경로를 가질 것이기 때문에 범위에 걸쳐 변화한다. 또한, 각 메모리 셀의 전도 전류는 메모리 셀 내로 프로그래밍된 데이터에 종속된다. 페이지의 메모리 셀들 사이에서도, 소스 바이어스들의 어떤 변화들이 존재할 것이다. 그러나, 기준 포인트가 메모리 셀의 소스들에 가능한 한 가까운 것으로 선택될 때, 에러들은 적어도 최소화될 것이다.

[0071] 도 9a는 본 발명의 하나의 바람직한 실시예에 따른, 셀 소스 신호가 소스 라인에 액세스하는 노드에서 기준 포인트를 가짐으로써 비트 라인 전압 제어부와 워드 라인 전압 제어부가 소스 바이어스에 대해 보상받는 배열을 도시한다. 도 7a와 유사하게, 판독/기록 회로(370)는 동시에 메모리 셀의 페이지 상에서 동작한다. 판독/기록 회로 내의 각각의 감지 모듈(480)은 비트 라인(36)과 같은 비트 라인을 통해 대응하는 셀에 결합된다. 페이지 소스 라인(34)은 메모리 어레이 내의 로우를 따라 페이지의 각 메모리 셀의 소스에 결합된다. 다수의 로우들은 서로, 그리고 집합 액세스 노드(35)를 통해 소스 제어 회로(400)에 결합되는 자신들의 페이지 소스 라인들을 갖는다. 소스 제어 회로(400)는 저항(R_S)을 갖는 통합된 소스 라인에 의해 형성되는 그라운드 경로를 통해 칩의 그라운드(401)로 집합 액세스 노드(35)를 끌어당기므로, 페이지 소스 라인(34)을 끌어당기도록 제어되는 풀-다운 트랜지스터(402)를 갖는다. 그라운드(401)는 궁극적으로 메모리 칩의 외부 그라운드 패드(예를 들어, V_{SS} 패드)에 접속된다. 따라서, 소스 제어 회로(400)는 집합 액세스 노드(35)에서 셀 소스 신호를 제어한다. 한정된

저항 그라운드 경로로 인하여, 셀 소스 신호는 0 V가 아니라, ΔV_t 의 소스 바이어스를 갖는다.

[0072] 추적 비트 라인 전압 클램프(700)로서 구현되는 비트 라인 전압 제어부는 데이터 종속적 소스 바이어스를 보상하도록 구현된다. 이것은 외부 그라운드 패드 대신에 집합 액세스 노드(35)에서의 셀 소스 신호와 동일한 포인트에서 레퍼런싱하고 있는 출력 전압(V_{BLC})을 출력(703)에서 발생시킴으로써 성취된다. 이 방식으로, 통합된 소스 라인의 저항(R_S)으로 인한 소스 바이어스가 제거된다.

[0073] 본 발명의 또 다른 양상에 따르면, 메모리 셀의 페이지가 병렬로 감지되고 메모리 셀의 소스들이 동일한 페이지 소스 라인에 결합될 때, 비트 라인에 공급되는 동작 전압은 칩의 그라운드라기보다는 오히려, 페이지 소스 라인의 액세스 노드에 대해 레퍼런싱된다. 이 방식으로, 페이지 액세스 노드로부터 칩의 그라운드까지의 임의의 소스 바이어스 차이들이 공급된 비트 라인 전압에서 추적 및 보상될 것이다.

[0074] 도 9b는 본 발명의 또 다른 바람직한 실시예에 따른, 페이지 소스 라인에 대해 레퍼런싱함으로써 비트 라인 전압 제어부와 워드 라인 전압 제어부가 소스 바이어스에 대해 보상받는 것을 도시한다.

[0075] 상기 배열은 비트 라인 전압 제어부(700) 및 워드 라인 전압 제어부(800)가 이제 본질적으로 선택 페이지 소스 라인에서 취해진다는 점을 제외하고는 도 9a의 배열과 유사하다. 페이지 소스 라인 멀티플렉서(780)는 선택 페이지 소스 라인을 기준 포인트의 역할을 하는 페이지 액세스 노드(37)에 선택적으로 결합시키는데 사용된다.

[0076] 추적 비트 라인 전압 클램프(700)로서 구현되는 비트 라인 전압 제어부는 데이터 종속적 소스 바이어스를 보상하도록 구현된다. 이것은 외부 그라운드 패드에 레퍼런싱하는 대신에 페이지 소스 라인(34)의 액세스 노드(38)에서의 전압에 대해 레퍼런싱하고 있는 출력 전압(V_{BLC})을 출력(703)에서 발생시킴으로써 성취된다. 이 방식으로, 소스 바이어스는 페이지에 특정한 액세스 노드(37)에서의 기준 포인트의 위치로 인해 더 양호하게 수정된다.

[0077] 도 10은 소스 바이어스에 대해 보상받는 비트 라인 전압을 제공하기 위하여 추적 비트 라인 전압 제어 회로와 함께 동작하는 도 9a 및 9b에 도시된 바람직한 감지 모듈의 개략도이다. 도시된 예에서, 감지 모듈(480)은 결합된 비트 라인(36)을 통해 NAND 채인(50) 내의 메모리 셀의 전도 전류를 감지한다. 상기 감지 모듈은 비트 라인에 선택적으로 결합될 수 있는 감지 노드(481), 감지 증폭기(600) 또는 판독출력 버스(readout bus)(499)를 갖는다. 초기에, 차단 트랜지스터(482)는 신호 BLS에 의해 인에이블(enable)될 때, 비트 라인(36)을 감지 노드(481)에 접속시킨다. 감지 증폭기(600)는 감지 노드(481)를 감지한다. 감지 증폭기는 예비충전/클램프 회로(640), 셀 전류 구별기(650) 및 래치(latch)(660)를 포함한다.

[0078] 감지 모듈(480)은 NAND 채인 내의 선택된 메모리 셀의 전도 전류가 감지될 수 있도록 한다. 전도 전류는 메모리 셀 내로 프로그래밍된 전하 및 메모리 셀의 소스 및 드레인 사이에 공정 전압차가 존재할 때 인가된 $V_T(i)$ 의 함수이다. 감지 이전에, 선택된 메모리 셀의 게이트들에 대한 전압들이 적절한 워드 라인들 및 비트 라인을 통해 세팅되어야 한다.

[0079] 예비충전 동작은 선택된 워드 라인을 고려 중인 소정의 메모리 상태에 대한 미리결정된 임계 전압($V_T(i)$)으로 충전하기에 앞서 선택되지 않은 워드 라인이 전압(V_{read})로 충전되는 것에서 시작된다.

[0080] 그 후, 예비충전 회로(640)는 비트 라인 전압을 감지에 적합한 미리결정된 드레인 전압에 이르게 한다. 이것은 소스-드레인 전도 전류가 NAND 채인(50) 내의 선택된 메모리 셀에서 흐르도록 하는데, 이는 NAND 채인의 채널로부터 결합된 비트 라인(36)을 통해 검출된다.

[0081] $V_T(i)$ 전압이 안정될 때, 선택된 메모리 셀의 전도 전류 또는 프로그래밍된 임계 전압이 결합된 비트 라인(36)을 통해 감지될 수 있다. 그 후, 감지 증폭기(600)가 메모리 셀에서의 전도 전류를 감지하기 위하여 감지 노드에 결합된다. 셀 전류 구별기(650)는 전류 레벨들의 구별기 또는 비교기의 역할을 한다. 셀 전류 구별기는 전도 전류가 소정의 경계 전류 $I_0(j)$ 보다 더 높은지 또는 더 낮은지를 효율적으로 결정한다. 상기 전도 전류가 더 높은 경우에, 래치(660)는 신호 INV=1을 갖는 미리결정된 상태로 세팅된다.

[0082] 풀-다운 회로(486)는 래치(660)가 신호 INV를 HIGH로 세팅하는 것에 응답하여 활성화된다. 상기 풀-다운 회로는 감지 노드(481)를 그라운드 전압으로 끌어내릴 것이므로, 접속된 비트 라인(36)을 그라운드 전압으로 끌어내릴 것이다. 이것은 메모리 셀의 소스 및 드레인 사이의 전압차가 존재하지 않을 것이기 때문에, 전도 전류가 제어 게이트 전압에 무관하게 메모리 셀(10)에서 흐르지 않도록 할 것이다.

[0083]

도 9a 및 9b에 도시된 바와 같이, 대응하는 수의 감지 모듈(480)에 의해 동작되는 메모리 셀의 페이지가 존재할 것이다. 페이지 제어기(498)는 감지 모듈들 각각에 제어 및 타이밍 신호들을 공급한다. 페이지 제어기(498)는 동작들의 미리결정된 시퀀스를 통해 감지 모듈(480) 각각을 순환시키고, 또한 동작 동안 미리결정된 경계 전류 값($I_0(j)$)을 공급한다. 당업계에 널리 공지된 바와 같이, 경계 전류 값은 또한 경계 임계 전압 또는 감지를 위한 시간 기간으로서 구현될 수 있다. 마지막 것이 통과한 후에, 페이지 제어기(498)는 신호 NCO로 전달 케이트(488)가 판독출력 버스(499)로의 데이터로서 감지되는 바와 같은 감지 노드(481)의 상태를 판독할 수 있도록 한다. 모든 것에서, 감지 데이터의 페이지는 다중-경로 모듈(480)로부터 판독 출력될 것이다. 유사한 감지 모듈들은 Cernea 등에 의해 2004년 12월 16일자로 출원되고 명칭이 "IMPROVED MEMORY SENSING CIRCUIT AND METHOD FOR LOW VOLTAGE OPERATION"인 미국 특허 출원 번호 제 11/015,199호에 개시되어 있다. 미국 특허 출원 번호 제 11/015,199호의 전체 명세서는 본원에 참조되어 있다.

[0084]

감지 모듈(480)은 정전압원을 포함하고, 비트 라인 대 비트 라인 결합을 피하기 위하여 감지 동안 비트 라인을 정전압으로 유지한다. 이것은 바람직하게는, 비트 라인 전압 클램프(610)에 의해 구현된다. 비트 라인 전압 클램프(610)는 비트 라인(36)과 직렬인 트랜지스터(612)를 갖는 다이오드 클램프(diode clamp)와 같이 동작한다. 비트 라인 전압 클램프의 케이트는 비트 라인 전압 클램프의 임계 전압(V_{TN}) 위의 희망하는 비트 라인 전압(V_{BL})과 동일한 정전압(V_{BLC})으로 바이어스된다. 이 방식으로, 비트 라인 전압 클램프는 비트 라인을 감지 노드(481)로부터 분리시키고, 희망하는 $V_{BL} = 0.4$ 내지 0.7 볼트들과 같은 비트 라인에 대한 정전압 레벨을 세팅한다. 일반적으로, 비트 라인 전압 레벨은 긴 예비충전 시간을 피하도록 충분히 낮지만, 그라운드 잡음 또는 V_{DC} 가 0.2 볼트 위인 포화된 영역에서 동작하는 것과 같은 다른 인자를 피하도록 충분히 높은 레벨로 세팅된다.

[0085]

따라서, 낮은 V_{BL} 특히, 선형 영역에 근접하는 것에서 동작할 때, 작은 변화들이 전도 전류들의 상당한 변화들을 초래할 수 있기 때문에, V_{BL} 이 정확히 렌더링(rendering)된다. 이것은 소스 라인 바이어스를 최소화하기 위하여 $V_{BLC} = V_{BL} + V_{TN}$ 이 정확하게 세팅되어야 한다는 것을 의미한다.

[0086]

도 11은 도 9a 및 9b에 도시된 추적 비트 라인 전압 제어 회로의 바람직한 실시예를 도시한다. 트랙 비트 라인 전압 제어 회로(700)는 기본적으로 출력 라인(703) 상에 출력 전압(V_{BLC})을 제공한다. 출력 전압은 본질적으로 조정 가능한 저항(R)(720)에 걸친 기준 전류(I_{REF})에 의해 발생된다. 캐스코드 전류 미러 회로(cascode current mirror circuit)(730)는 V_{BLC} 의 범위에 걸쳐 I_{REF} 를 일정하게 유지하는데 사용된다. 상기 캐스코드 전류 미러 회로(730)는 2개의 브랜치들을 갖는데, 제 1 브랜치는 직렬로 다이오드들로서 접속되는 2개의 n-트랜지스터(732, 734)에 의해 형성되고, 제 2 미러링된 브랜치는 직렬로 접속되는 2개의 다른 n-트랜지스터(736, 738)에 의해 형성된다. 트랜지스터(732 및 736)의 케이트들이 상호접속되고, 트랜지스터(734 및 738)의 케이트가 상호접속된다. I_{REF} 소스가 트랜지스터(732)의 드레인에 접속되어, I_{REF} 가 제 1 브랜치를 흐르게 되고, 또한 제 2 브랜치에서 미러링된다. V_{HIG} 소스가 트랜지스터(736)의 드레인에 접속된다. 트랜지스터(734 및 738)의 소스가 상호접속되어 베이스 레일(base rail)(701)을 형성한다.

[0087]

출력 전압은 직렬로 접속된 트랜지스터(736 및 738) 사이의 탭(tap)으로부터 취해진다. 베이스 레일(701)의 전압이 V_1 인 경우에, $V_{BLC} = V_1 + V_{TN}$ 이다. 이것은 트랜지스터(734)의 드레인 상의 전압이 V_1 플러스 n-트랜지스터의 임계 전압이고, 동일한 I_{REF} 가 또한 제 2 브랜치에서 미러링되어, 동일한 전압이 트랜지스터(738)의 드레인 상에서 나타나도록 하기 때문이다.

[0088]

베이스 레일(701)의 전압(V_1)은, 전류($2I_{REF}$)에 의한 저항(R)(720) 양단의 전압 강하 및 노드(721)에서의 베이스 전압에 의해 설정된다. 노드(721)에서의 베이스 전압은 베이스 전압 선택기(740)에 의해 선택 가능하다. 베이스 전압 선택기(740)는 자신의 케이트에서 제어 신호(ConSL)가 어서팅(asserting)될 때 트랜지스터(742)를 통해 노드(721)를 선택적으로 접합 액세스 노드(35)(도 9a 참조) 또는 페이지 소스 라인의 페이지 액세스 노드(37)(도 9b 참조)에 접속시킨다. 대안적으로, 선택기 회로(720)는 자신의 케이트에서 제어 신호(ConGND)가 어서팅될 때 트랜지스터(744)를 통해 노드(721)를 선택적으로 그라운드(401)에 접속시킨다. 따라서, 제어 신호(ConSL)가 어서팅될 때, $V_1 = \Delta V_1 + 2I_{REF}R$ 이고, 추적 비트 라인 전압 제어 회로의 출력 $V_{BLC} = \Delta V_1 + 2I_{REF}R + V_{TN}$ 이다. 비트 라인 전압 클램프(610)(도 10 참조)를 제어하는 경우, n-트랜지스터(734)가 비트 라인 전압 클램프(610)를 형성하는 트랜지스터와 동일한 V_{TN} 을 갖도록 선택된다. 그 후, 저항(R)이 조정되어, 희망하는 비트 라인 전압(V_{BL})이

$2I_{REFR}$ 에 의해 세팅된다. 집합 액세스 노드(35) 또는 페이지 액세스 노드(37)에 대해 레퍼런싱함으로써, 그라운드 전위 위의 소스 바이어스(ΔV_1)의 상당한 부분이 V_{BLC} 에서 자동적으로 보상될 것이다.

[0089] 소스 라인 바이어스의 제어 게이트 보상

본 발명의 또 다른 양상에 따르면, 메모리 셀의 페이지가 병렬로 감지되고 메모리 셀의 소스들이 집합 액세스 노드에서 셀 소스 신호를 수신하기 위하여 서로 결합될 때, 워드 라인에 공급되는 동작 전압은 칩의 그라운드라기보다는 오히려, 집합 액세스 노드와 동일한 기준 포인트를 갖는다. 이 방식으로, 집합 액세스 노드 및 칩의 그라운드 사이의 임의의 소스 바이어스 차이들이 공급된 워드 라인 전압에서 추적 및 보상될 것이다.

[0091] 도 9a에 도시된 바와 같이, 추적 워드 라인 전압 클램프(800)로서 구현되는 워드 라인 전압 제어부는 데이터 종속적 소스 바이어스를 보상하도록 구현된다. 이는, 외부 그라운드 패드 대신 집합 노드(35)에서 셀 소스 신호와 동일한 포인트를 레퍼런싱하는 출력(803)에서 출력 전압(V_{WL})을 생성하여 이루어진다. 이러한 방식으로, 적어도 통합된 소스 라인(도 7a 참조)의 저항으로 인한 소스 바이어스가 제거된다.

[0092] 본 발명의 또 다른 양상에 따르면, 메모리 셀의 페이지가 병렬로 감지되고 메모리 셀의 소스들이 동일한 페이지 소스 라인에 결합될 때, 워드 라인에 공급되는 동작 전압은 칩의 그라운드라기보다는 페이지 소스 라인의 액세스 노드에 대해 레퍼런싱된다. 이 방식으로 페이지 액세스 노드로부터 칩의 그라운드까지의 임의의 소스 바이어스 차이들이 공급된 워드 라인 전압에서 추적 및 보상될 것이다.

[0093] 도 9b에 도시된 바와 같이, 추적 워드 라인 전압 클램프(800)로서 구현되는 워드 라인 전압 제어부는 데이터 종속적 소스 바이어스를 보상하도록 구현된다. 이는, 외부 그라운드 패드 대신에 선택 페이지 소스 라인에 대한 액세스 노드(38)와 동일한 지점을 레퍼런싱하는 출력(803)에서 출력 전압(V_{WL})을 생성하여 이루어진다. 이러한 방식으로, 페이지에 특정한 액세스 노드(38)에서의 기준 포인트의 위치로 인하여 소스 바이어스가 보다 양호하게 수정된다.

[0094] 도 12는 도 9a 및 9b에 도시된 추적 워드 라인 전압 제어 회로의 바람직한 실시예를 도시한다. 추적 워드 라인 전압 제어 회로(800)는 본질적으로 출력(803) 상에서 희망하는 출력 전압(V_{WL})을 획득하기 위하여 기준 전압에 대한 전위 분할기를 사용한다. 기준 전압(V_{REF})이 VREF 회로(820)에 의해 제공된다. V_{REF} 는 조절되는 출력 드라이버(830)에 의해 구동된다. 구동된 V_{REF} 의 출력 레벨은 출력(803)에서 프로그래밍된 V_{WL} 을 생성하기 위하여 DAC-제어되는 전위 분할기에 의해 제어된다.

[0095] 조절되는 출력 드라이버(830)는 비교기(834)로부터의 출력을 구동시키는 p-트랜지스터(832)를 포함한다. p-트랜지스터(832)의 드레인은 전압원에 접속되고, V_{HIGH} 및 상기 트랜지스터의 게이트는 비교기(834)의 출력에 의해 제어된다. 비교기(834)는 자신의 "-" 단자에서 V_{REF} 를 수신하고, 이를 p-트랜지스터의 소스로부터 피드백(feedback)된 신호와 비교한다. 또한, 비교기의 출력을 "+" 단자와 AC 결합하기 위하여 커�패시터(836)가 사용된다. p-트랜지스터(832)의 소스에서의 전압이 V_{REF} 보다 더 낮은 경우에, 비교기의 출력은 로우(low)여서, p-트랜지스터(832)를 턴 온시키고, 이는 소스에서의 전압을 V_{REF} 의 레벨까지 상승하도록 한다. 반면, V_{REF} 가 초과되는 경우에, 비교기 출력은 p-트랜지스터(832)를 턴 오프하여, 구동되는 조절된 V_{REF} 가 전위 분할기(840)에 걸쳐 나타나도록 조절을 이행할 것이다. 전위 분할기(840)는 일련의 저항들에 의해 형성되며; 임의의 2개의 저항들 사이의 각각의 텁은 DAC1과 같은 신호에 의해 턴 온되는 트랜지스터(844)와 같은 트랜지스터에 의해 출력(803)으로 스위칭 가능하다. 이 방식으로, 전위 드라이버 내의 텁으로 출력(803)을 선택적으로 접속시킴으로써, V_{REF} 의 희망하는 프랙션(fraction); 즉, $(n*r/r_{TOT})*V_{REF}$ 이 획득될 수 있고, 여기서, n 은 선택된 r DAC 세팅의 수이다.

[0096] V_{REF} 및 이에 따른 V_{WL} 은 노드(821)에 대해 레퍼런싱된다. 노드(821)에서의 베이스 전압은 베이스 전압 선택기(850)에 의해 선택 가능하다. 베이스 전압 선택기(740)는 제어 신호(ConSL)가 자신의 게이트에서 어서팅될 때 트랜지스터(742)를 통해 노드(721)를 선택적으로 접합 액세스 노드(35)(도 9a 참조) 또는 페이지 소스 라인의 페이지 액세스 노드(37)(도 9b 참조)에 접속시킨다. 대안적으로, 선택기 회로(850)가 자신의 게이트에서 제어 신호(ConGND)가 어서팅될 때 트랜지스터(854)를 통해 노드(821)를 선택적으로 그라운드(401)에 접속시킨다. 따라서, 제어 신호(ConSL)가 어서팅될 때, ΔV_1 이 노드(821)에서 나타날 것이며, 이는 VREF 회로(820) 및 전위 분할기(840)에 대한 베이스 전압이 될 것이다. 그러므로, 추적 워드 라인 전압 제어 회로(800)의 출력은

$V_{WL} = (n * r / r_{TOT}) * V_{REF} + \Delta V_1$ 을 가질 것이다. 집합 액세스 노드(35) 또는 페이지 액세스 노드(37)에 대해 레퍼런싱 함으로써, 그라운드 전위 위인 소스 바이어스(ΔV_1)의 상당한 부분이 V_{WL} 에서 자동적으로 보상될 것이다.

[0097] 추적 전압 제어 회로(800)는 대안적으로 비트 라인 전압 클램프(610)(도 10 참조)를 제어할 시에 사용되는 V_{BLC} 에 대한 소스 바이어스를 추적하는데 사용될 수 있다. 본질적으로, 출력 전압은 $V_{BL} + V_{TN} + \Delta V_1$ 을 제공하도록 세팅된다.

[0098] 조절되는 소스 전위

[0099] 본 단락은 소스 전위를 조절하는 소자들을 소개하는 한 세트의 대안적인 실시예를 설명한다. 제 1 세트 실시예들은 소스 전위를 감지하고 이를 말하자면 0.5 V 또는 1.0 V와 같은 어떤 전압으로 일정하도록 조절하는 피드백 회로를 사용하는 것에 의존한다. 대안 세트의 실시예들은 그라운드 위의 레벨로 소스 라인을 배치하기 위하여 비-선형 저항성 소자(예를 들어, 다이오드)를 사용한다. 본 단락의 실시예들이 이들이 단독으로 또는 조합하여 사용될 수 있다는 점에서, 이전 단락들에서 제공된(그리고, 미국 특허들 제 7,173,854호 및 제 7,170,784호에서 또한 개발된) 것들에 보완적이라는 점이 주의되어야 한다.

[0100] 도 13은 이전 도면들로부터의 소자들 중 다수를 포함하지만, 다수의 회로 소자들을 명시적으로 도시하지 않음으로써 본 논의를 위해 간소화된다. 여러 대표적인 NAND 스트링(50)은 드레인 단자(56)를 통해 자신들의 대응하는 비트 라인(36)을 접속시키는 것으로 도시되어 있다. 소정의 NAND 스트링 또는 더 일반적으로, 소정의 메모리 셀이 소스 라인(940)에 직접적으로 접속되는 것으로 도시되어 있을지라도, 전형적으로 다수의 개재된 소자(NAND 스트링 내의 다른 메모리 셀들, 선택 게이트들, 다양한 스위치들 및 멀티플렉서들 등)가 존재할 것이며, 선택 페이지의 메모리 셀의 소스가 페이지의 소스 라인(도 7a의 34)에 접속되고, 이로부터 복합 소스 라인(940) 내로 접속된다는 점이 주의되어야 한다. 본 논의를 위하여, 다양한 비트 라인 바이어스 및 감지 증폭기 회로들이 원(480)에 의해 개략적으로 표시되며, 이중 하나가 선택된 것(Se1.)으로서 표시된다. 통합된 소스 라인(940)은 "구조 블록"이라 불릴 셀 모두에 대한 전류를 수용하고, 도 7a 및 9a의 소자(40)에 대응한다. 이 소스 라인(940)을 따른 전류(I_{CS})는 소스 차단 스위치(402)를 통해 칩의 그라운드(이전 도면들에서의 401)로 통과할 것이다. 여기서, 도 7b와 관련하여 상술된 바와 같이, 소스 라인이 ΔV 만큼 상승되도록 하는 다양한 저항들이 $R_{CS}(901)$ 로서 런핑(lumping)되어, $\Delta V = I_{CS} \times R_{CS}$ 가 되도록 한다.

[0101] 이전 단락들에서, 보상이 필요한 소정의 페이지를 감지하기 위하여 사용되는 것이 비트 라인 또는 워드 라인 회로들에 대한 것이었기 때문에, 소스 전압에 대한 비트 라인 또는 워드 라인 전압의 레퍼런싱이 주로 페이지 면에서 논의되었다. 본 단락의 실시예들에서, 가변 ΔV 값에 대한 워드 라인, 비트 라인, 또는 이를 둘 모두에 대한 기준이라기보다는 오히려, 감지 동작 동안 소스 라인을 기준 값으로 유지하는 회로 소자들이 소개된다. 결과적으로, 소스 차단 스위치를 통한 전류에 기여할 수 있고 도 7a 및 9a의 소자(40)에 대응하는 구조 블록은 모든 소자들 중에서 소스 라인(940)과 관련된다. 유사하게, 노드(910)는 도 9a 및 9b에서의 노드(35 및 37)와 각각 비교되어야 한다. NAND 아키텍처에서, 물리적인 블록은 워드 라인의 폭을 스팍닝(spanning)하는 NAND 스트링들의 컬렉션(collection)으로 간주되어, 구조 블록은 도 3에 도시된 것과 같이, 워드 라인 폭 및 NAND 스트링 길이이다. NOR 또는 다른 배열들에서, 대응하는 구조는 공통 소스 라인에 의해 드레이닝(drainning)되는 것일 것이다. 여기서 사용된 구조 블록이 플래시 메모리에서 "블록"의 더 통상적인 사용인 "소거 블록", 또는 소거 단위와 상이하게 규정된다는 점이 주의되어야 한다. 이것은 이러한 2개의 구조들이 충돌하지만, 이것이 더 일반적인 상황에서 그러할 필요가 없는 경우일 수 있고, 종종 상기 경우이다.

[0102] 도 13을 참조하면, 이 단락의 실시예들은 전위를 일정한 값이 되도록 조절함으로써 전위가 집합 노드(910)에서 변화하는 량만큼 상승되는 문제를 다룬다. 예를 들어, 구조 블록에 대한 소스 라인 상의 바운스(bounce)가 노드(910)를 0.5 V 내지 1.0 V의 범위에서 유지함으로써 높을 수 있기 때문에, 예를 들어, 전형적인 전류 설계에서 0.3 V일 수 있기 때문에, 충분한 헤드룸(headroom)이 존재하여 이 바운스가 소스 전압에 영향을 주지 않게 될 것이다. 제 1 세트의 실시예들은 노드(910)에서의 전위를 조절하기 위하여 피드백 회로를 사용해서 이것을 성취한다. 제 2 세트의 실시예들은 노드(910)에서의 전위에 대한 비-선형 저항성 소자를 사용한다. 이러한 기술들이 소스 라인을 기준 값에서 다소 일정하게 유지할지라도, 감지 동작 동안 노드(910)에서의 임의의 잔여 변화들이 희망된다면 이전 단락들의 기술들에 의해 보상될 수 있다.

[0103] 또한, 소스 라인(940) 및 워드 라인들, 비트 라인들, 기판, 또는 이들의 일부 조합 사이의 전압차를 조절하기 위하여 능동 회로 소자들을 사용하는 것과 같이, 다른 보완적인 기술들이 또한 사용될 수 있다. 비트 라인 바이

어스를 보상하기 위하여 라인(701)을 따라 능동 회로 소자(799)를 사용하는 이와 같은 방법이 도 14에 도시되어 있다. 세부사항이 이 간소화된 도면에 도시되어 있지 않을지라도, 소자(799)는 또한 적절한 비트 라인 전압을 발생시킬 것이며, 피드백 루프를 포함할 것이다. 워드 라인 전압을 보상하기 위한 이와 같은 배열은 본 출원과 동시에 출원되고 적절한 회로들에 대한 더 많은 세부사항을 제공하는 Feng Pan, Trung Pham, 및 Byungki Woo에 의한 명칭이 "Read, Verify Word Line Reference Voltage to Track Source Level"인 미국 특허 출원에서 개발되어 있다.

[0104] 도 15a는 능동 회로를 사용함으로써 칩의 그라운드 및 노드(910)에서의 소스 라인(940) 양단의 전압 강하를 조정하는 제 1 실시예를 제공한다. 트랜지스터(923)가 노드(910) 및 칩의 그라운드 사이에 접속되고, 상기 트랜지스터의 제어 게이트가 연산 증폭기(921)에 의해 구동된다. 연산 증폭기(921)의 - 입력은 기준 전압에 접속되고, + 입력은 노드(910)의 레벨에 피드백 루프로서 접속된다. 이 회로의 순 효과는 소스 라인(940)에서의 전압을 라인 상의 전류 또는 소스 차단 스위치(402)를 통한 경로 상의 저항 강하와 무관하게, 기준 값에서 고정되도록 조절하여, 상대적인 바이어스들이 적절하게 결정될 수 있도록 하는 것이다. 당업자들에 의해 이해되는 바와 같이, 연산 증폭기(921)는 표준 설계에 의해 구현될 수 있고, 상기 회로는 안정성 및 다른 동작적인 관심사들을 위해 필요에 따라 통상적으로 통합되는 추가적인 소자들을 포함할 수 있다.

[0105] 도 15a에 추가된 회로 소자들이 감지 동작(판독, 검증) 동안 소스 전위를 조절하기 위하여 추가되기 때문에, 스위치들 및 제어 회로(도시되지 않음)가 전형적으로 감지 동작 동안 이들 소자들을 결합시키기 위하여 포함될 것이다. 추가적으로, 단일의 구조 블록을 조절하는 구현예가 도시되어 있을지라도, 대안적인 버전들에서, 플레인(plane) 내에 다수의 구조 블록들이 존재할 때, 단일의 이와 같은 회로가 전반적으로 플레인에 대해 사용될 수 있다. 유사하게, 단일의 이와 같은 회로는 또한 다수의 플레인들에 대해 사용될 수 있다. 이 경우에, 피드백 루프에 의해 기준 값으로 조절되는 노드는 스위치(402)가 단일 블록에 특정하기 때문에 스위치(402)의 다른 측 상에 있을 것이다. 반대로, 더 가까운 조절이 필요한 경우, 집합 소스 노드(910)에서 전체 구조 블록을 함께 조절하기보다는 오히려, 개별 페이지가 또한 조절될 수 있지만(즉, 합성 라인(40) 대신에 도 7a의 소스 라인(34) 각각이 조절될 수 있지만); 이 대가로, 회로 및 복잡성이 증가할 것이다. 이러한 논평들은 도 15b, 15c 및 16의 실시예에도 적용된다.

[0106] 선택적으로, 소스 차단 스위치(402)는 또한 라인(923)을 따른 피드백 루프에 스위치(402)의 게이트를 접속시킴으로써 풀 다운 회로의 부분으로서 사용될 수 있다. 이것은 923에 더 작은 트랜지스터를 사용하는 것이 가능해질 수 있기 때문에 에어리어를 절약하도록 할 수 있다. 스위치(402)가 적절하게 선택된다면, 일부 경우들에서, 923 없이 행하는 것이 가능할 수 있지만; 스위치(402)가 추가적인 기능들을 가지고, 결과적으로 이 조절 기능에 대해 최적화될 수 있기 때문에, 대부분의 경우, 트랜지스터(923)가 조절 프로세스를 제공하거나 증가시키는데 사용된다는 것이 예상된다.

[0107] 연산 증폭기(921)에 인가된 기준 전압에 대해 선택된 값이 그라운드로서 취해질 수 있는데, 이는 일부 애플리케이션들에 바람직할 수 있지만; 전압을 소정의 레벨로 조절하는 것이 통상적으로 희망하는 레벨의 양측 상의 전압의 범위를 사용할 수 있기 때문에, 0V에서 조절하는 것은 전형적으로 음 전압의 이용 가능성을 필요로 할 것인데, 이의 복잡성은 통상적으로 바람직하지 않다. 대부분의 경우, 발생하는 소스 전위에서의 최고 예상 바운스 다소 위의 기준 값을 사용하는 것이 더 실용적일 것이다. 예를 들어, ΔV 의 최고값이 0.3 V 정도의 어떤 값일 것이라고 예상되는 경우에, 기준 전압은 0.5 V 또는 1.0 V로서 취해질 수 있다. 그 후, 판독 및 검증 레벨 동안의 바이어스 레벨들이 이 상승되지만, 주로 일정한 소스 바이어스를 반영하기 위하여 조정될 것이다.

[0108] 도 15a의 배열은 아래쪽으로만 조절한다. 회로에서 풀-업(pull-up)의 량이 불충분한 경우에, 도 15b와 같은 실시예가 사용될 수 있다. 도 15b에서, 전류 사용이 증가되어도, 최소 바이어스를 보장하기 위하여 보상되지 않은 전류원(Ibias)(930)이 추가되어, 안정성을 증가시켜서, 소스 전위가 너무 낮게 떨어지지 않도록 한다.

[0109] 도 15c의 실시예에서, 전류원은 피드백 루프에 이르게 된다. 보다 구체적으로, 전류원(930)은 제어 게이트 전압이 경로(931)에 따른 연산 증폭기(921)의 출력에 의해 설정되는 PMOS 트랜지스터로 구현된다. 조절되는 풀-업 소자의 사용은 풀-업 또는 풀-다운의 량이 더 정확하게 보상되도록 한다. 소정의 애플리케이션에서 어느 것이 바람직할 것인지에 관한 도 15a 내지 15c의 실시예들 사이의 선택은 회로 설계에서 친숙한 바와 같은, 평형 안정성, 복잡성, 전력 소모, 레이아웃 에어리어(layout area) 등인 디자인 선택일 것이다.

[0110] 소스 전위를 상승된 일정한 레벨로 유지하는 대안적인 실시예가 도 16에 도시되어 있다. 이 실시예에서, 도 15a 내지 15c의 능동 소자들은 다이오드 접속 트랜지스터 또는 다른 친숙한 배열에 의해 구현될 수 있는 다이오드(950)와 같은 비-선형 저항성 소자로 교체된다. 이와 같은 클램프의 사용은 도 15a 내지 15c에 비하여 더 적은

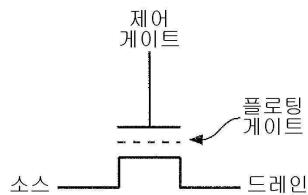
레이아웃 에어리어를 필요로 하는 장점을 갖는다. 다이오드(950)가 적절하게 선택되는 것을 필요로 하는 것 이외에, 여기에 도시된 기본적인 배열은 능동 회로 기반 구현예로서 온도 및 전압 변화들에 대해 적절하게 제어할 능력이 없다.

[0111]

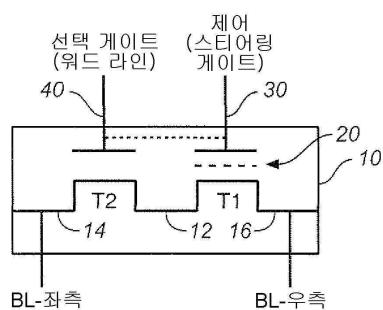
본 발명의 다양한 양상들이 일부 실시예와 관련하여 설명되었을지라도, 본 발명이 첨부된 청구항들의 전체 범위 내에서 보호를 받을 자격이 있다는 점이 이해된다.

도면

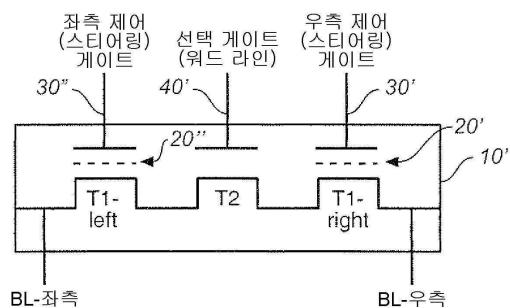
도면1a



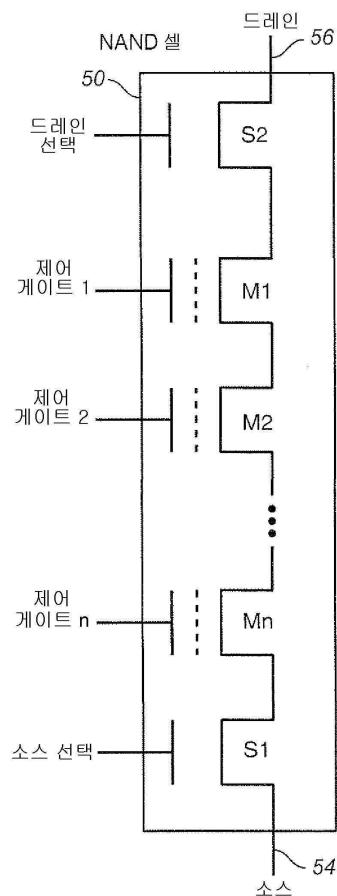
도면1b



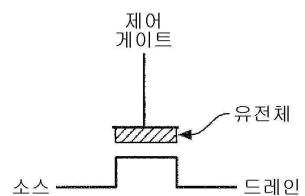
도면1c



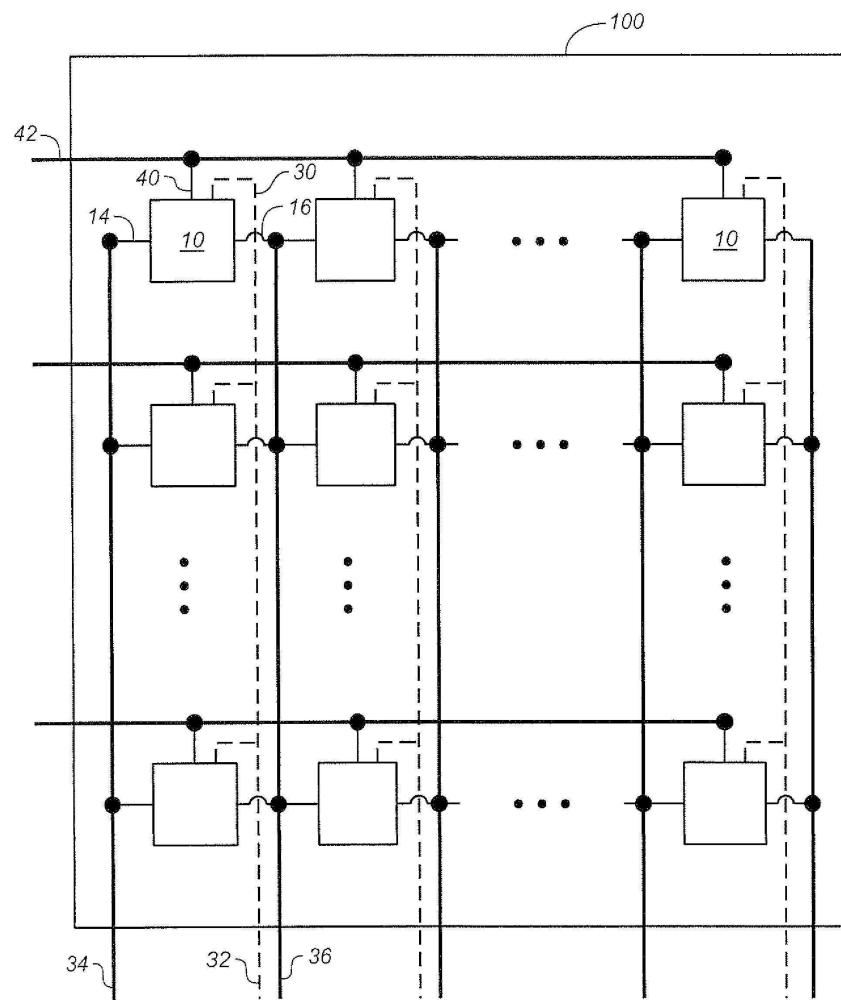
도면1d



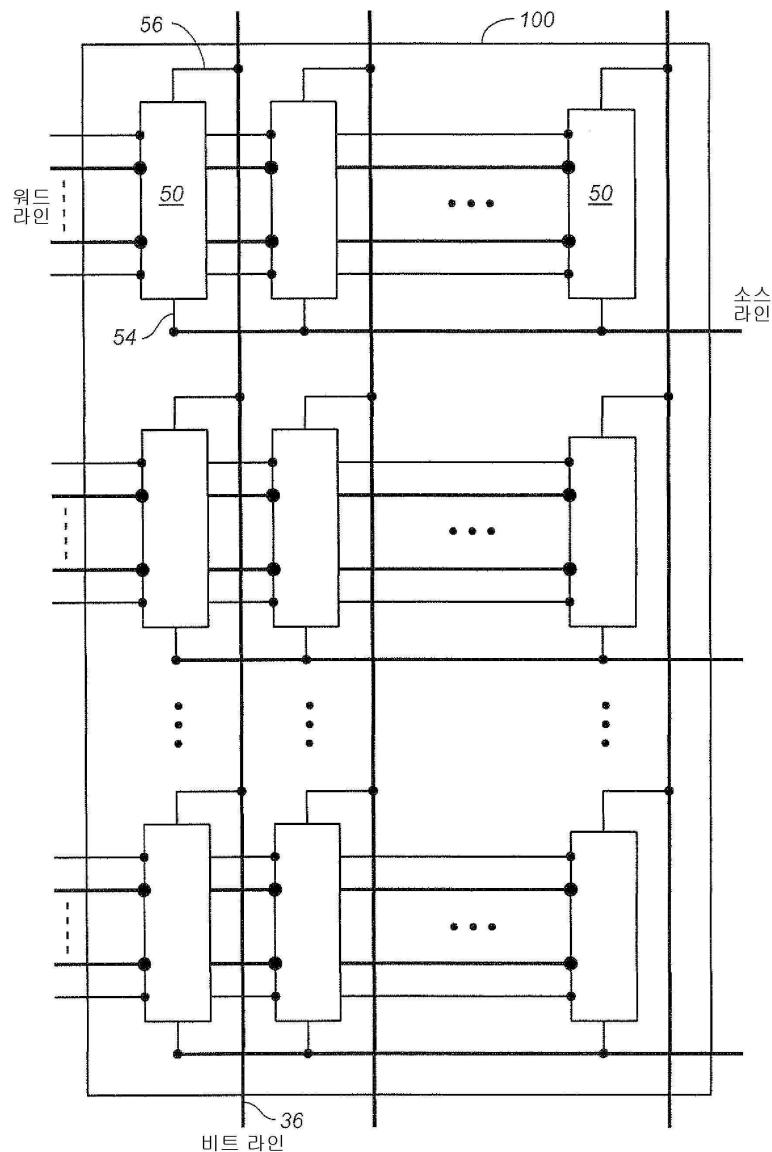
도면1e



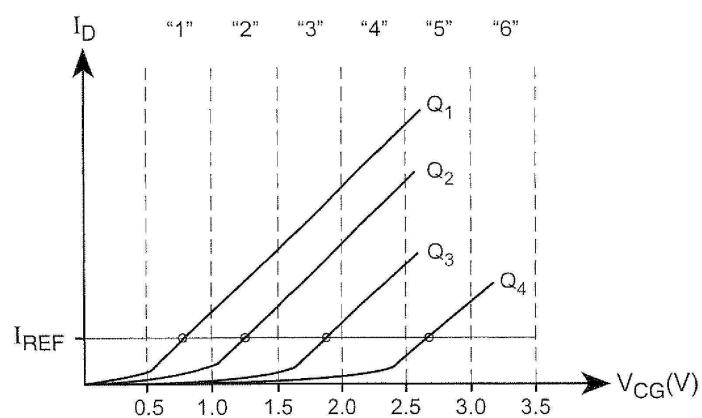
도면2



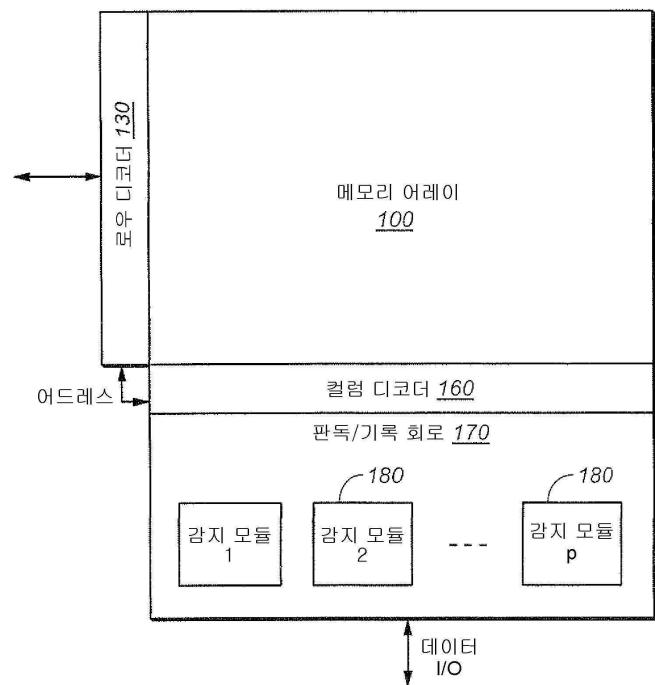
도면3



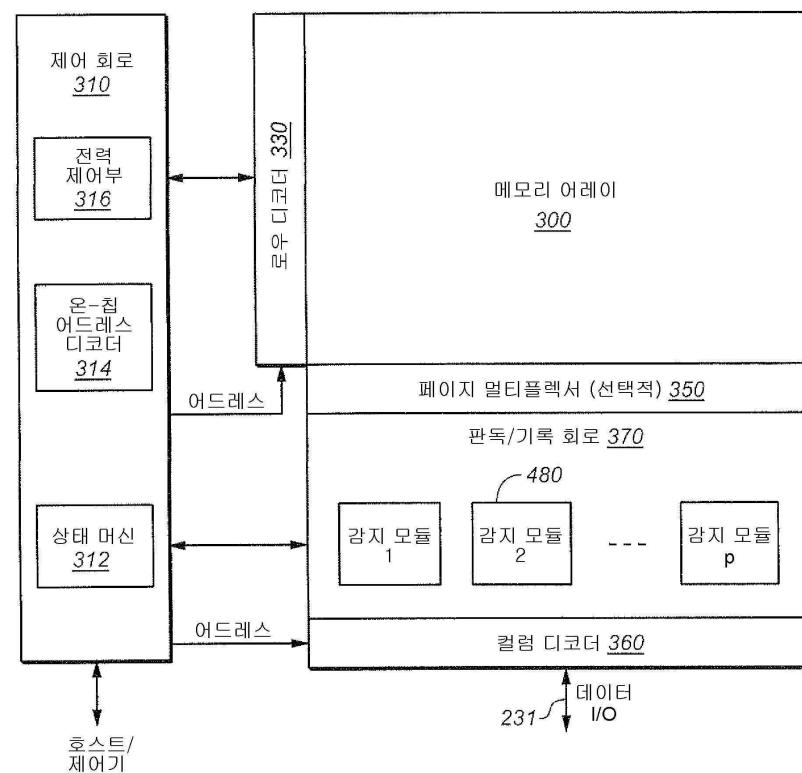
도면4



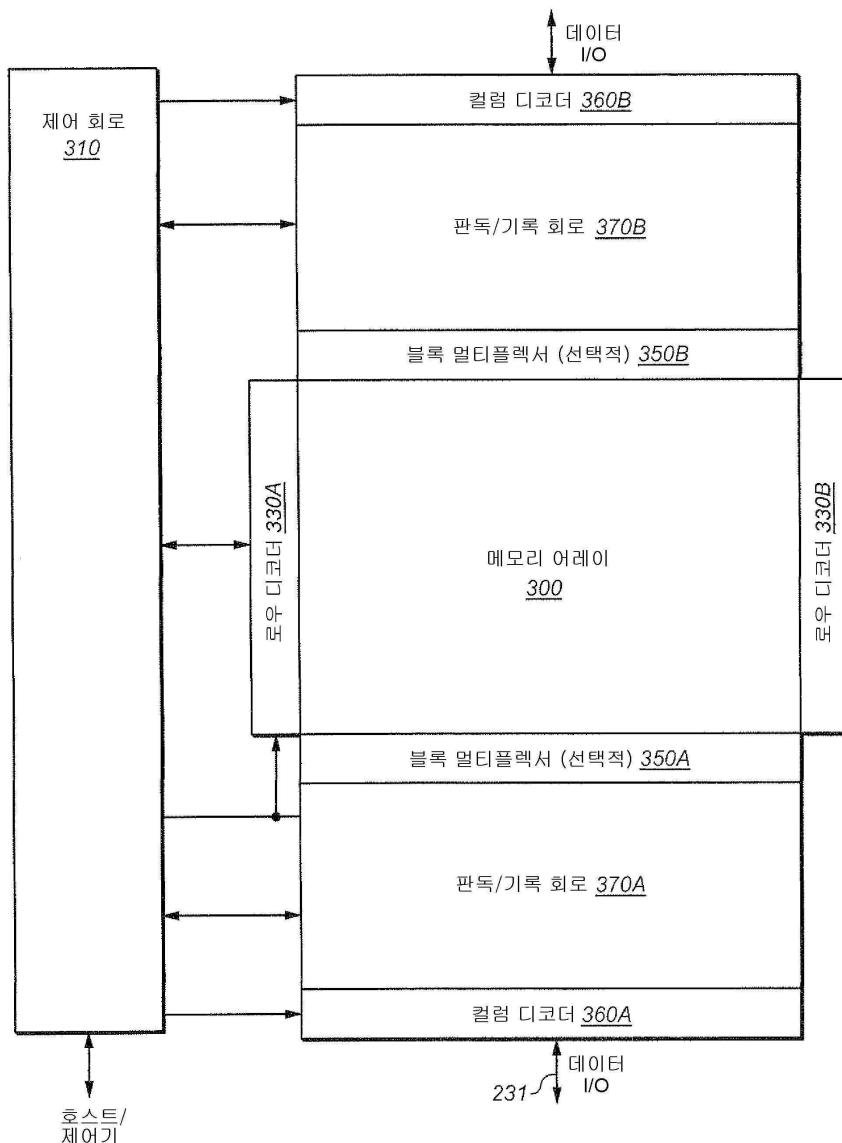
도면5



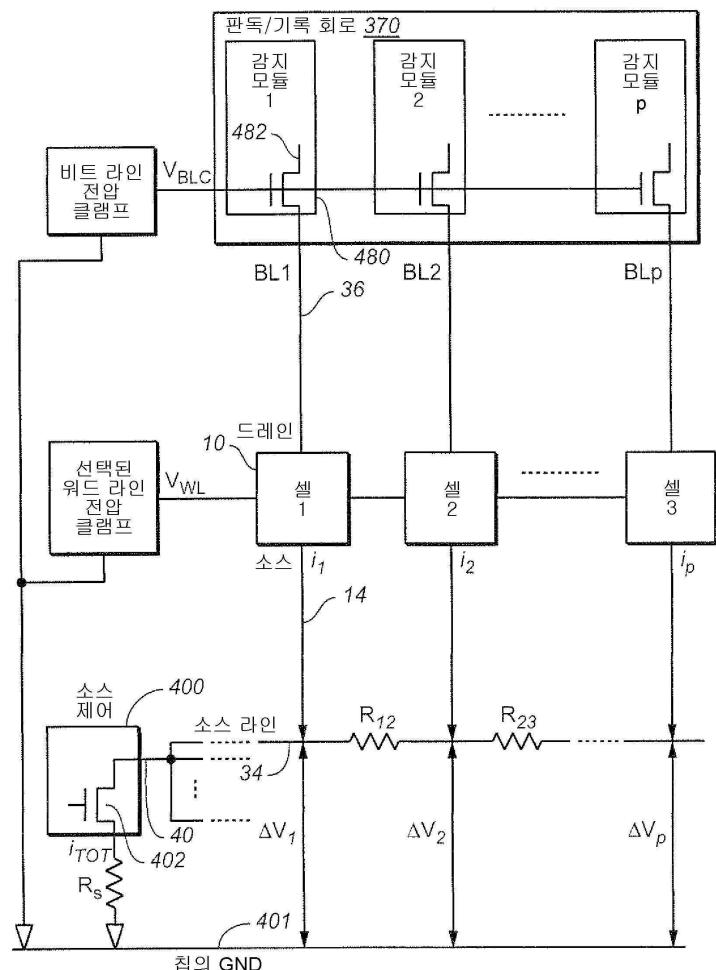
도면6a



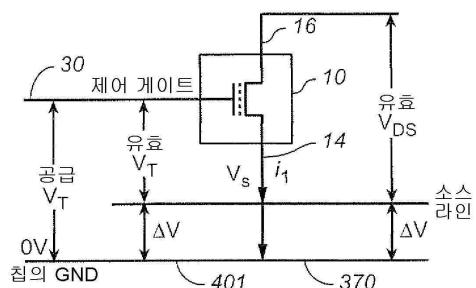
도면6b



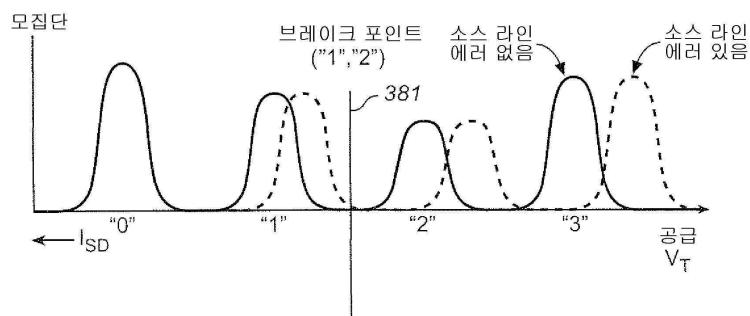
도면7a



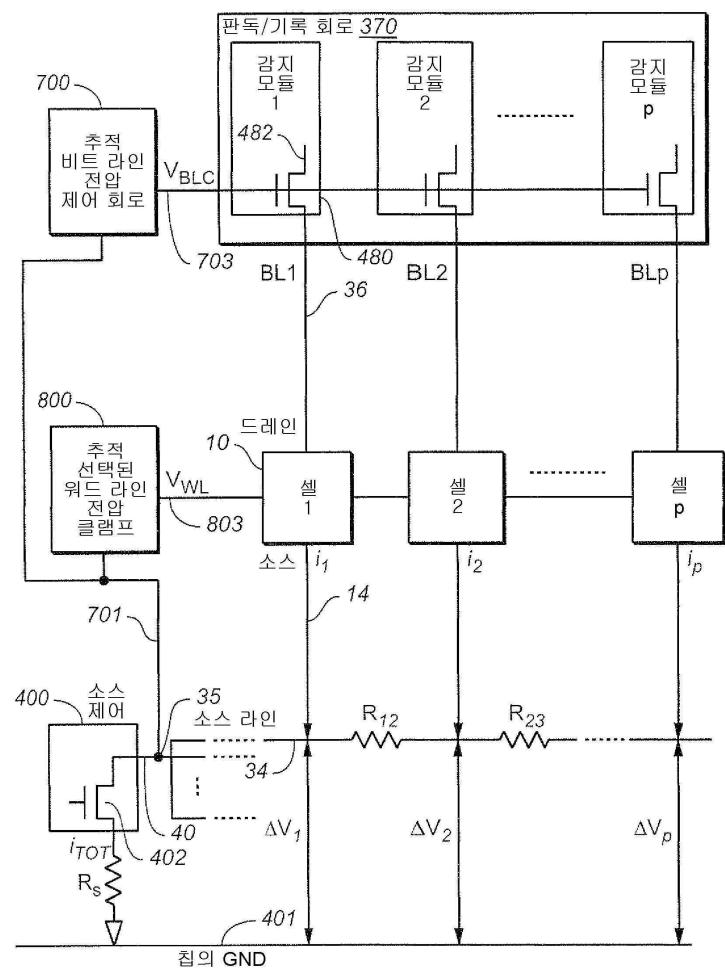
도면7b



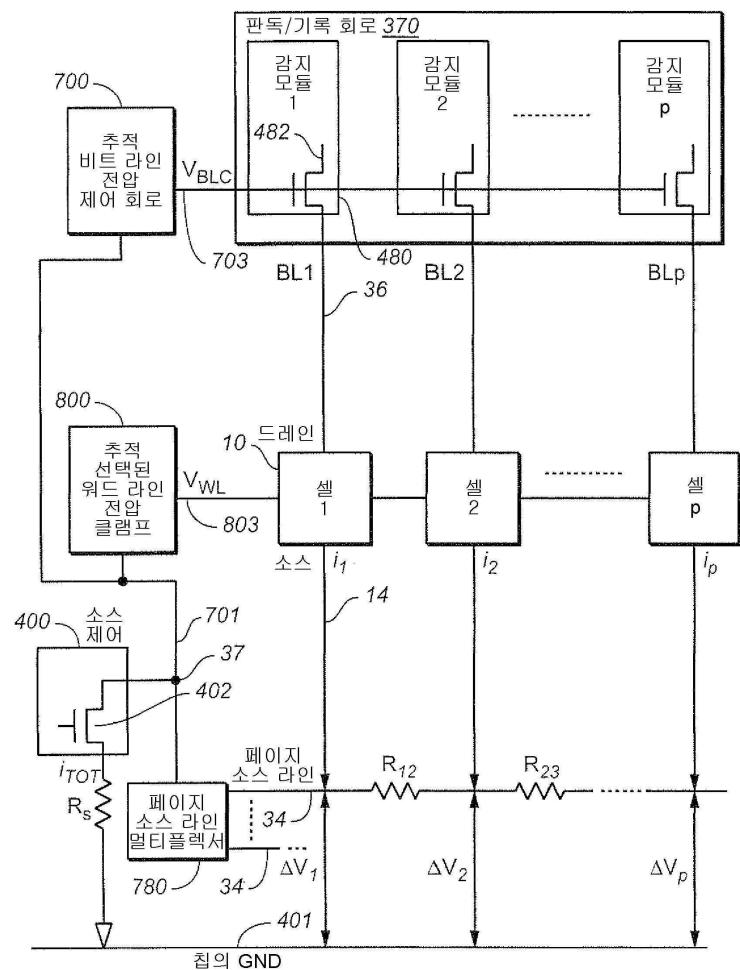
도면8



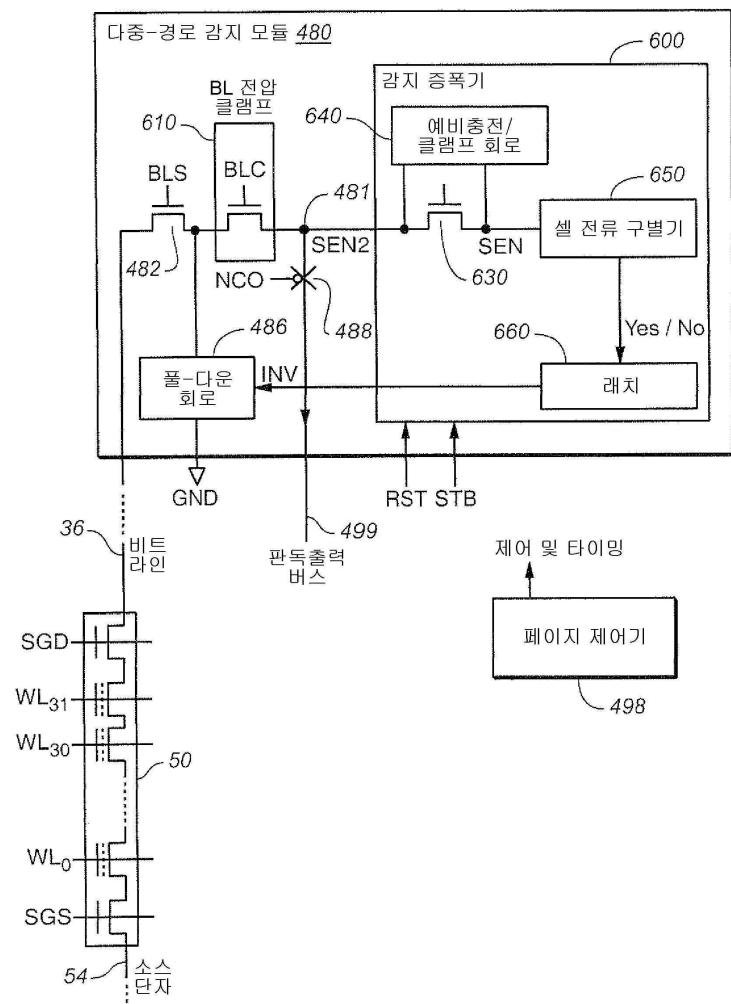
도면9a



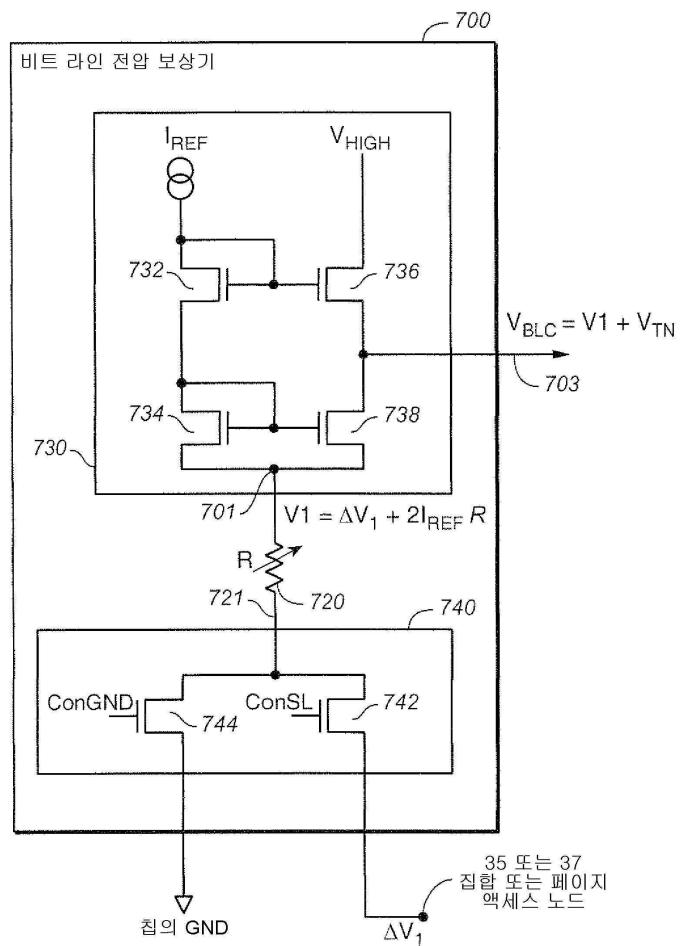
도면9b



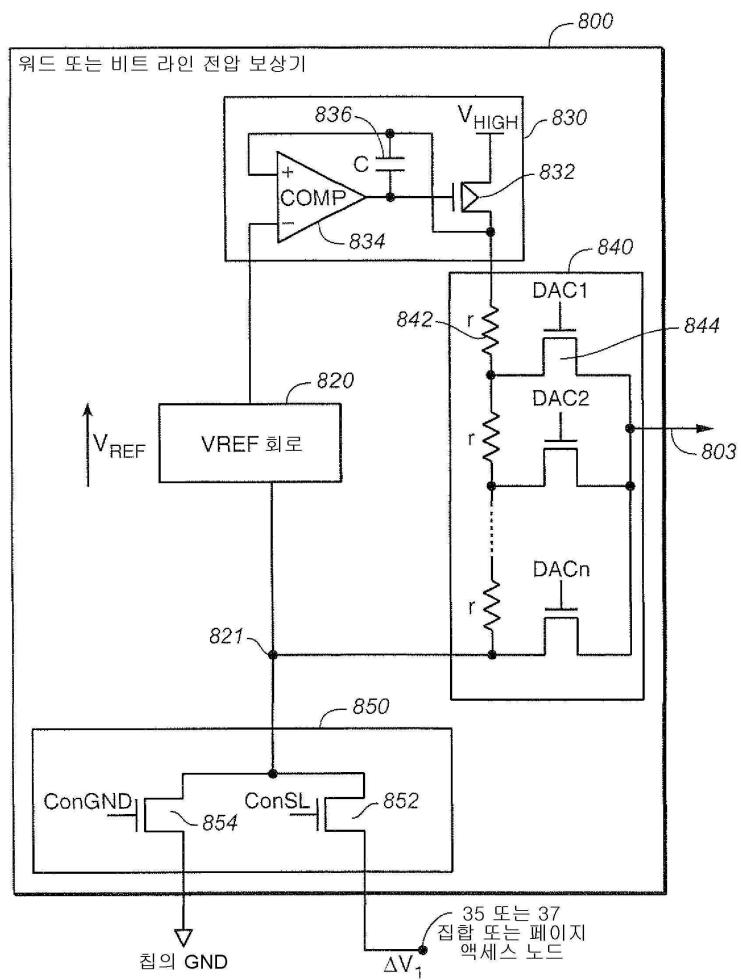
도면10



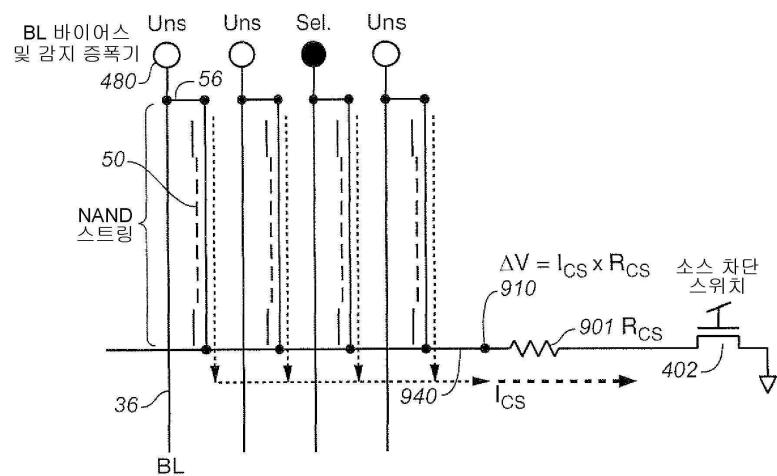
도면11



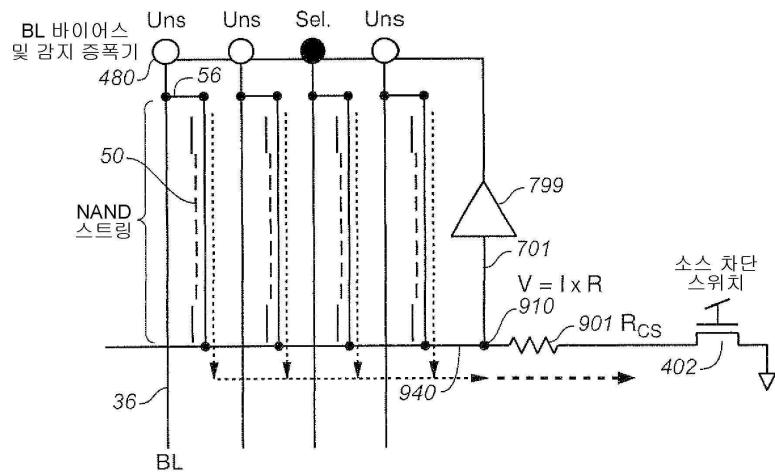
도면12



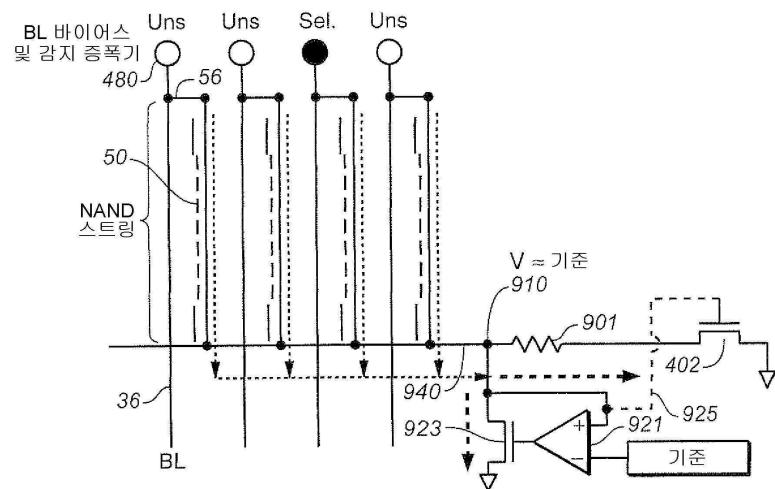
도면13



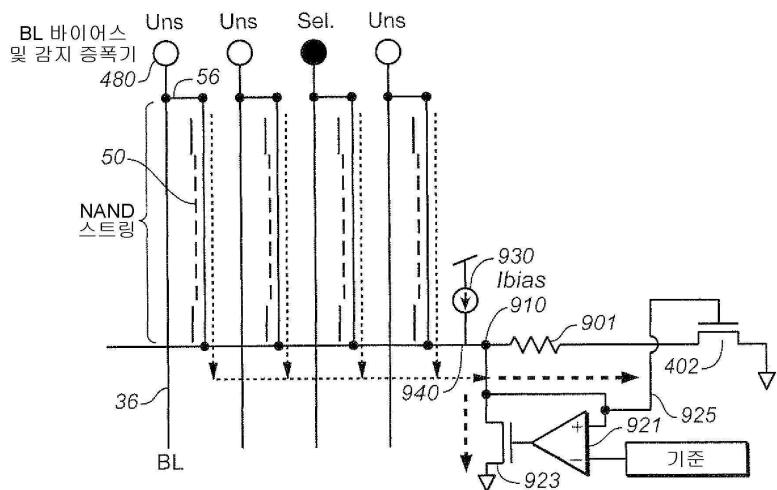
도면14



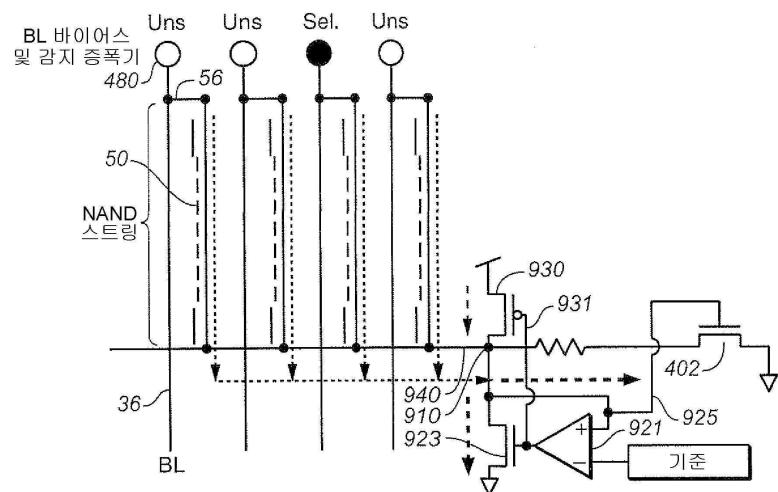
도면15a



도면15b



도면 15c



도면16

