(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
G11C 16/02 (2006.01)
G11C 16/10 (2006.01)
G11C 16/12 (2006.01)

(11) 공개번호 10-2007-0007267
(43) 공개일자 2007년01월15일

(21) 출원번호 10-2006-7013555
(22) 출원일자 2006년07월05일
심사청구일자 없음
번역문 제출일자 2006년07월05일
(86) 국제출원번호 PCT/US2004/040318
국제출원일자 2004년12월02일
(87) 국제공개번호 WO 2005/057585
국제공개일자 2005년06월23일

(30) 우선권주장 10/729, 844 2003년12월05일 미국(US)

(71) 출원인 샌디스크 3디 엘엘씨
미국, 캘리포니아 95035-7932, 밀피타스, 맥카씨 블러바드 601

(72) 발명자 천, 언-싱
미국, 캘리포니아 95054, 써니베일, # 83, 폰데로사 애비뉴 931
워커, 앤드류 제이.
미국, 캘리포니아 94040, 마운틴 뷰, 코넬 드라이브 1638
쇼이어를레인, 로이 이.
미국, 캘리포니아 95014, 쿠퍼티노, 오차드 씨티 22145
날라모스우, 슈케타
미국, 캘리포니아 95129, 산 호세, 샤론 드라이브 7203
일크바하르, 알퍼
미국, 캘리포니아 95131, 산 호세, 포우 오크스 로드 1418
파소리, 루카 지.
미국, 캘리포니아 95131, 산 호세, 알티스시모 플레이스 1229

(74) 대리인 박경재
송범엽

전체 청구항 수 : 총 27 항

(54) 개별 메모리 셀들의 다중 기입 펄스 프로그래밍을 통합하는낸드 메모리 어레이 및 상기 어레이의 동작 방법

(57) 요약

예시적인 NAND 스트링 메모리 어레이는 하프 선택 셀의 프로그램 교란 효과들을 감소시키기 위하여 하프 선택 메모리 셀 채널의 용량성 승압을 제공한다. 승압된 레벨의 누설 전류 품질 저하 효과를 감소시키기 위하여, 더 짧은 기간의 다중 프로

그래밍 펄스들은 그러한 누설 전류가 비선택 NAND 스트링들 내의 전압을 감소시킬 수 있는 동안 시간 기간을 제한하도록 사용된다. 게다가, 각 NAND 스트링의 하나 또는 둘 모두의 단부들에서의 다수의 직렬 선택 장치들은 추가로 그러한 선택 장치들을 통해 비선택 및 선택 NAND 스트링에 대한 감소된 누설량을 보장한다.

대표도

도 14

특허청구의 범위

청구항 1.

복수의 직렬-연결된 NAND 스트링으로 배열된 메모리 셀을 포함하는 메모리 어레이를 구비한 집적 회로 작동 방법에 있어서, 상기 메모리 셀은 변경 가능한 전도 스위치 장치를 포함하고, 상기 방법은 선택된 메모리 셀에 대해 합계의 프로그래밍 시간을 얻도록 여러 번 프로그래밍 전압으로 선택된 워드 라인에 펄스를 발생하는 단계를 포함하는 반면에, 합계의 프로그래밍 시간보다 실제로 더 작은 간격으로 개별 프로그래밍 펄스를 제한하여 선택된 블록의 NAND 스트링 내에 누설 전류 효과를 제한하는 것을 특징으로 하는, 집적회로 동작 방법.

청구항 2.

제 1항에 있어서, 적어도 두 개 프로그래밍 펄스 이후에 오직 읽기 동작을 실행하는 단계를 더 포함하는, 집적회로 동작방법.

청구항 3.

제 1항에 있어서, 상기 프로그래밍 펄스 사이에 연관된 어레이 라인 상에 금지 전압을 유지하는 단계를 더 포함하는, 집적회로 동작방법.

청구항 4.

제 1항에 있어서, 상기 누설 전류 효과는 NAND 스트링 내에 하나 혹은 그 이상의 위치에서 전압 바이어스의 변화를 포함하고, 달리 전압 바이어스 변화가 긴 프로그래밍 펄스 동안에 일어나는 것을 특징으로 하는, 집적회로 동작방법.

청구항 5.

제 4항에 있어서, 상기 각각의 그러한 프로그래밍 펄스 이전에 선택된 블록의 선택되고 선택되지 않은 NAND 스트링 내에 각각의 바이어스 조건을 재설정하는 단계를 더 포함하는, 집적회로 동작방법.

청구항 6.

제 1항에 있어서, 그러한 선택되지 않은 NAND 스트링 내에 바이어스 조건을 설정하도록 선택된 메모리 블록내의 선택되지 않은 NAND 스트링을, 금지전압을 전달하는 연관된 어레이 라인에 연결하는 단계; 및

이미 분리가 되지 않았다면, 금지 전압이외의 바이어스 전압을 전달하는 연관된 어레이 라인에서 선택된 메모리 블록내 선택되지 않은 NAND 스트링을 분리하는 단계를 더 포함하는, 집적회로 동작방법.

청구항 7.

제 6항에 있어서, 상기 프로그래밍 펄스 사이에 연관된 어레이 라인 상에 금지 전압을 유지하는 단계를 더 포함하는, 집적회로 동작방법.

청구항 8.

제 6항에 있어서, 상기 선택되지 않은 NAND 스트링이 금지 전압을 전달하는 연관된 어레이 라인에 연결되는 동안, 선택된 워드 라인을 프로그래밍 전압보다 작은 전압으로 구동하는 단계와; 다음에

상기 금지 전압을 전달하는 연관된 어레이 라인에서 선택되지 않은 NAND 스트링을 분리하는 단계; 및 다음에

상기 선택된 워드 라인을 프로그래밍 전압으로 펄스를 발생하는 단계를 더 포함하는, 집적회로 동작방법.

청구항 9.

제 8항에 있어서, 상기 금지 전압을 전달하는 연관된 어레이 라인에서 선택되지 않은 NAND 스트링을 분리하기 전에 선택된 워드 라인이 접지되고, 다음에 프로그래밍 전압으로 유도되는 것을 특징으로 하는, 집적회로 동작방법.

청구항 10.

제 6항에 있어서, 상기 선택되지 않은 NAND 스트링의 분리 단계는 선택된 NAND 스트링의 종단에서 복수의 직렬 선택 장치 중 적어도 하나를 오프시키는 단계를 포함하는, 집적회로 동작방법.

청구항 11.

제 1항에 있어서, 상기 선택된 메모리 셀을 프로그램 하도록 하는 비트 라인 프로그래밍 전압과 선택된 메모리 셀의 프로그램을 금지하도록 하는 비트 라인 전압 중에서 하나를 전달하는 연관된 어레이 라인에 선택된 NAND 스트링을 연결하는 단계; 및

다른 연관된 어레이 라인에서 선택된 NAND 스트링을 분리하는 단계를 더 포함하는, 집적회로 동작방법.

청구항 12.

제 11항에 있어서, 상기 선택된 NAND 스트링의 분리 단계는 선택된 NAND 스트링의 종단에서 복수의 직렬 선택 장치 중 적어도 하나를 오프시키는 단계를 포함하는, 집적회로 동작방법.

청구항 13.

제 10항 또는 12항에 있어서, 상기 각각의 복수의 선택 장치들과 각각의 NAND 스트링을 형성하는 메모리 셀 장치들은 구조적으로 실제로 동일한, 집적회로 동작방법.

청구항 14.

제 12항에 있어서, 상기 오프시키는 단계는 선택된 NAND 스트링의 종단에서 복수의 직렬 선택 장치들 중 적어도 두 개의 각각의 것에 해당하는 상이한 레벨의 각각의 선택 신호로 구동하는 단계를 포함하는, 집적회로 동작방법.

청구항 15.

제 14항에 있어서, 상기 상이한 레벨 중에 하나는 접지이고, 상이한 레벨 중에 다른 하나는 접지와 선택된 워드 라인 상으로 전달된 프로그래밍 전압 사이의 전압인, 집적회로 동작방법.

청구항 16.

제 1 항 내지 제 15 항 중 어느 한 항에 있어서, 개별 프로그래밍 펄스는 1 마이크로초보다 더 짧고, 합계의 프로그래밍 시간은 10 마이크로초보다 더 긴 것을 특징으로 하는, 집적회로 동작방법.

청구항 17.

제 1 항 내지 제 16 항 중 어느 한 항에 있어서, 상기 프로그래밍 전압은 10 내지 16볼트의 범위 내인 것을 특징으로 하는, 집적회로 동작방법.

청구항 18.

제 1 항 내지 제 17 항 중 어느 한 항에 있어서, 상기 변경 가능한 전도 스위치 장치들은 저어도 얼마 동안 소모 모드 임계 전압을 갖는 트랜지스터를 포함하는, 집적회로 동작방법.

청구항 19.

제 1 항 내지 제 18 항 중 어느 한 항에 있어서, 상기 변경 가능한 전도 스위치 장치들은 박막 트랜지스터(TFT) 장치를 포함하는, 집적회로 동작방법.

청구항 20.

제 1 항 내지 제 19 항 중 어느 한 항에 있어서, 상기 메모리 셀 스위치 장치는 메모리 셀 당 1비트의 데이터 이상을 저장하기 위해 두 개의 전도 값 이상을 갖는, 집적회로 동작방법.

청구항 21.

제 1 항 내지 제 20 항 중 어느 한 항에 있어서, 변경 가능한 전도 스위치 장치는 전하 저장 유전체를 갖는 트랜지스터를 포함하는, 집적회로 동작방법.

청구항 22.

제 21항에 있어서, 상기 메모리 셀 트랜지스터는 두 개 데이터 상태 중에 적어도 하나에 대해 소모 모드 임계 전압을 갖는, 집적회로 동작방법.

청구항 23.

제 1 항 내지 제 22 항 중 어느 한 항에 있어서, 메모리 어레이는 기판 위에 형성된 적어도 두 개 플레인의 메모리 셀을 구비한 3-차원 메모리 어레이를 포함하는, 집적회로 동작방법.

청구항 24.

제 23항에 있어서, 상기 기판은 메모리 어레이에 접속된 회로를 포함하는 모노크리스털 기판을 포함하는, 집적회로 동작방법.

청구항 25.

제 24항에 있어서, 주어진 메모리 플레인의 NAND 스트링은 기판 위에 형성된 선택 장치를 포함하는, 집적회로 동작방법.

청구항 26.

집적 회로에 있어서, 변경 가능한 전도 스위치 장치를 포함하는 메모리 셀로서, 복수의 직렬-연결된 NAND 스트링으로 배열된 상기 메모리 셀을 포함하는 메모리 어레이; 및

상기 메모리 어레이에 접속된 어레이 지지 회로를 포함하고;

상기 집적회로가 상기 선행 항에 나타난 방법을 실행하도록 구성되는, 집적 회로.

청구항 27.

제 26항에 있어서, 상기 집적회로의 설계, 테스트 혹은 제조에 이용하는데 알맞은 컴퓨터 판독 가능한 기술 형태로 구현되는 집적회로.

명세서

기술분야

본 발명은 직렬 접속된 메모리 셀들을 가진 메모리 어레이들을 포함하는 반도체 집적 회로들에 관한 것이고, 바람직한 실시예에서 본 발명은 특히 모놀리식 3차원 메모리 어레이들에 관한 것이다.

배경기술

반도체 처리 기술들 및 메모리 셀 기술들에서 최근 개발들은 집적 회로 메모리 어레이들에 달성되는 밀도를 증가시키는 방향으로 이루어졌다. 예를들어, 특정 패시브 엘리먼트 메모리 셀 어레이들은 특정 워드 라인 상호접속 층에 대해 최소 피쳐 크기(F) 및 최소 피쳐 간격에 접근하는 워드 라인들, 및 특정 비트 라인 상호접속 층에 대해 최소 피쳐 폭 및 최소 피쳐 간격에 접근하는 비트 라인들을 가지도록 제조될 수 있다. 게다가, 메모리 셀들의 하나 이상의 평면 또는 레벨을 가진 3차원 메모리 어레이들은 각각의 메모리 평면상에서 소위 $4F^2$ 메모리 셀들을 구현하게 제조되었다. 예시적인 3차원 메모리 어레이들은 Johnson에 의한 발명의 명칭이 "Vertically Stacked Field programmable Nonvolatile Memory and Method of Fabrication"인 미국특허 6,034,882에 기술된다.

다양한 다른 메모리 셀 기술들 및 장치들은 공지된다. 예를들어 NAND 플래시 및 NROM 플래시 EEPROM 메모리 어레이들은 비교적 작은 메모리 셀들을 달성하기 위하여 공지되었다. 다른 작은 플래시 EEPROM 셀들은 공지되고 NROM 및 플로팅 게이트 NOR 플래시 메모리 어레이들 같은 핫 전자 프로그래밍을 사용한다.

극히 밀집된 메모리 어레이는 메모리 셀 장치들의 직렬 접속된 NAND 스트링(string)들을 포함하는 NAND 스타일 장치를 사용하여 달성될 수 있다. 메모리 셀들의 각각의 NAND 스트링은 통상적으로 글로벌 라인에 NAND 스트링의 한쪽 단부를 결합하는 제 1 블록 선택 장치, 다수의 직렬 접속된 메모리 셀들, 및 상기 스트링과 연관된 바이어스 노드에 NAND 스트링의 다른 단부를 결합하는 제 2 블록 선택 장치를 포함한다. 메모리 어레이는 다수의 메모리 블록들을 포함할 수 있고, 각각의 블록은 동일한 워드 라인들을 공유하는 다수의 NAND 스트링들을 포함한다. 블록에 대한 두 개의 블록 선택 신호들은 블록의 각각의 NAND 스트링에 라우팅된다.

기본적인 NAND 스트링은 증분 트랜지스터 메모리 셀에 대해 $4F^2$을 달성할 수 있는 매우 효율적인 구조이다. 밀도는 블록 선택 라인들이 NAND 스트링들로 형성된 몇몇이지만 전부가 아닌 블록 선택 트랜지스터들에 블록 선택 신호를 접촉하기 위하여 요구되는 임의의 준비없이 워드 라인들 같은 어레이 블록을 가로질러 연속적인 폴리실리콘 스트라이프들(stripe)에 라우트될 수 있기 때문에, 개선된다.

많은 NAND 스트링 메모리 어레이들(즉, 직렬 접속 메모리 셀들을 사용)에 대해, 트레이오프들은 프로그래밍 동안 선택되고 선택되지 않은 메모리 셀들에 인가된 다양한 바이어스 전압들 및 이들 전압의 인가시 상대적 타이밍을 선택할때, 존재한다. 조건들은 선택된 메모리 셀들의 적당한 프로그래밍을 보장하기 위하여 선택되어야 하지만, 선택된 NAND 스트링내의 선택되지 않은 메모리 셀들이 우연히 "교란되어 프로그램되지 않고" 선택된 스트링(즉, 동일한 워드 라인들 공유)에 인접한 선택되지 않은 NAND 스트링의 메모리 셀들이 프로그래밍 동안 우연히 교란되지 않는 것을 보장하기 위하여 선택되어야 한다. 지금까지 진행에도 불구하고, 메모리 어레이 구조들 및 그 동작 방법들의 연속적인 개선은 바람직하다. 게다가, 3차원 메모리 어레이로 형성될 수 있는 상기 메모리 어레이 구조들의 개선들은 매우 바람직하다.

발명의 상세한 설명

NAND 스트링 메모리 어레이의 프로그래밍때, 트레이드 오프는 선택되지 않은 NAND 스트링들내의 선택되지 않은 메모리 셀들에 인가된 바이어스 전압들, 및 특히 선택된 메모리 셀을 가진 선택된 워드 라인을 공유하는 선택되지 않은 메모리 셀들에 관련한 선택된 NAND 스트링내의 선택되지 않은 메모리 셀들에 인가된 바이어스 전압들의 선택시 존재할 수 있다. 선택되지 않은 NAND 스트링에 전달된 보다 높은 방지 전압은 선택된 워드 라인(즉, "하프 선택 메모리 셀")과 연관된 메모리 셀상에 프로그램 교란 효과들을 감소시킨다. 그러나, 보다 높은 방지 전압은 만약 선택되지 않은 워드 라인들의 전압이 대응하여 높으면 선택된 NAND의 비 선택 셀들이 프로그래밍 동안 교란되게 할 수 있다.

하프 선택 메모리 셀들상 프로그램 교란 효과들은 제 1 전압에 하프 선택된 셀의 채널을 처음에 바이어싱하고, 선택된 워드 라인상에 프로그래밍 펄스에 의해 보다 높은 전압으로 채널을 용량적으로 승압함으로써 실질적으로 감소될 수 있다. 이것은 하프 선택 메모리 셀 양단 전압을 감소시키고 결과적으로 우연한 프로그램 교란 효과들을 감소시킨다. 그러나, 선택되지 않은 채널들내의 상기 승압된 전압 레벨들은 선택되지 않은 NAND 스트링들의 선택 장치들을 통하여 증가된 누설 전류를 유발할 수 있다.

이들 누설 전류들은 각각의 NAND 스트링의 하나 또는 양쪽 단부들에서 다수의 직렬 선택 장치들의 사용에 의해 감소될 수 있다. 바람직하게는, 보다 낮은 전압은 스트링이 차단되는 것을 보장하기 위하여 장치의 임계치 이하의 적어도 하나의 직렬 장치에 제공되고, 다른 보다 높은 전압은 누설 전류 크기를 감소시키기 위하여 적어도 하나의 다른 직렬 장치에 제공되고, 그렇지 않으면 흐를 수 있다.

훨씬 더 짧은 기간의 다중 프로그래밍 펄스들은 그러한 누설 전류들이 비선택 NAND 스트링들 내의 전압을 낮출 수 있는 동안 시간 기간을 제한하기 위해 사용될 수 있다. 이러한 다중 프로그래밍 펄스들의 수와 기간은 충분한 프로그래밍을 보장하기 위해 선택된 메모리 셀 상의 총 프로그램 스트레스 시간을 유지하도록 선택된다. 바람직하게는 비선택 NAND 스트링들 내의 초기 바이어스 조건들은 하나의 프로그래밍 펄스가 프로그래밍되는 동안 그 승압된(boosted) 누설 전류 품질 저하 효과가 다음의 프로그래밍 펄스들에 누적되지 않도록 각각의 그런 프로그래밍 펄스 전에 재수립된다. 다양한 실시예들에서, 각 프로그래밍 펄스는 다중 레벨 펄스일 수 있으며 초기에 비선택 NAND 스트링을 방지 전압으로 바이어스하고, 그 후 바이어스 전압원으로부터 상기 스트링 내의 다른 메모리 셀 채널들의 용량성 로딩 없이 방지 전압 이상으로 채널이 승압되도록 적어도 하프 선택 메모리 셀 채널을 분리하기 위해 비선택 워드 라인들 및 선택 라인들 상의 각각의 다중 레벨

펄스에 의해 달성될 수 있다. 특정 실시예에서, 그러한 다중 레벨 펄스는 다른 크기의 두개의 개별 펄스들을 사용하여 달성될 수 있으며, 이는 단일 프로그래밍 펄스에 상당한다. 본 발명에서 계획된 다수의 프로그래밍 펄스는 종래기술에서 보여진 것처럼 선택된 셀 추가 시간을 리딩 및 재프로그래밍의 실행과는 다르다. 다중 프로그래밍 펄스들은 프로그램된 셀의 연속적인 리딩 동작들 간에 적용되며, 이는 그 셀들을 프로그램하는데 필요한 총 시간을 상당히 감소시킨다. 본 발명의 특정 예시적인 실시예들에서, 글로벌 비트 라인들 상의 데이터 상태는 다수의 프로그래밍 펄스들의 각각의 펄스들 간에 변경되지 않는다.

특정 예시적인 실시예들에서, 플래시 메모리 어레이는 예를들어 SONOS 장치들 같은 전하 저장 유전체를 가진 메모리 셀 트랜지스터들의 직렬 접속 NAND 스트링들을 포함한다. 메모리 셀들의 각각의 NAND 스트링은 글로벌 비트 라인에 NAND 스트링의 한쪽 단부를 결합하는 적어도 하나의 선택 장치의 제 1 그룹, 및 스트링과 연관된 공유 바이어스 노드에 NAND 스트링의 다른 단부를 결합하는 적어도 두 개의 블록 선택 장치들의 제 2 그룹을 포함한다. 바람직하게, 선택 장치들은 SONOS 장치들이고 메모리 셀 트랜지스터들과 동일한 방식으로 형성될 수 있고, 따라서 각각의 NAND 스트링에 필요한 다수의 다른 구조들을 감소시킨다.

특정 실시예들에서, 메모리 어레이 레벨상 메모리 블록내의 NAND 스트링들의 쌍들은 동일한 글로벌 비트 라인을 공유할 수 있다. 다른 실시예들에서, 블록내의 각각의 NAND 스트링은 동일한 워드 라인들을 공유하는 다른 NAND 스트링들에 의해 공유되지 않은 각각 자신의 글로벌 비트 라인과 연관된다.

특정 실시예에서, 선택 장치들 및 메모리 셀 장치들은 SONOS 장치들이다. 임계 전압의 범위는 고려되지만, 바람직하게 상기 장치들은 공핍 모드 임계 전압을 가지고 형성된다. 보다 바람직하게 선택 장치들 및 메모리 셀 장치들은 2 내지 3 볼트의 열적 등가 임계치를 가진 N 채널 장치들이다. 메모리 셀들에 대해, 상기 임계 전압은 바람직하게 소거 데이터 상태에 해당되고, 메모리 셀들은 거의 1 볼트에서 0 볼트의 감소(depletion) 임계 전압으로 프로그램된다. 선택 장치들은 동일한 열적 등가 임계 전압을 가지고 제조되지만 인핸스먼트 모드 임계 전압을 가진 프로그램 상태로 유지된다.

몇몇 측면들에서 본 발명은 집적 회로내에서 구현하는데 특히 적합하고, 여기에 보다 상세히 기술되고 첨부된 청구항들에 나타나는 메모리 어레이를 가진 집적 회로들, 메모리 어레이 구조들, 상기 집적 회로들 및 메모리 어레이들을 동작시키는 방법, 및 상기 집적 회로들 또는 메모리 어레이들의 컴퓨터 판독 가능 매체 인코딩을 포함한다. 폭넓은 다양한 상기 집적 회로들은 특히 고안되고, 상기 기판상에 형성된 3차원 메모리 어레이, 몇몇의 메모리 평면들(즉, 메모리 레벨들)의 각각에 형성된 메모리 셀들을 가진다.

상기는 요약이고 필수적으로 단순성, 간략성, 보편화 및 상세한 것의 생략들을 포함한다. 결과적으로, 당업자는 상기 요약이 도시만을 위한 것이고 본 발명을 제한하는 임의의 방식으로 의도되지 않는 것을 인식할 것이다. 청구항들에 의해 유일하게 정의된 바와같이 다른 측면들, 본 발명의 피쳐들, 및 본 발명의 장점들은 하기 상세한 설명으로부터 명백해질 수 있다.

본 발명은 보다 잘 이해될 수 있고, 그 다수의 목적들, 특징들, 및 장점들은 첨부 도면들을 참조하여 당업자에게 명백하다.

실시예

다른 도면들에서 동일한 참조 부호들의 사용은 유사하거나 동일한 아이템들을 가리킨다.

도 1을 참조하여, 전기 배선도는 예시적인 메모리 어레이(100)의 일부를 도시한다. 도시된 부분은 메모리 셀들의 하나의 평면만을 가진 2 차원 어레이를 나타내거나, 메모리 셀들의 하나 이상의 레벨(즉, 하나 이상의 평면)을 가진 3차원 메모리 어레이의 하나의 레벨을 나타낼 수 있다. 다수의 직렬 접속 NAND 트랜지스터 스트링들(102,104,106)은 도시된다. 각각의 스트링은 직렬 접속된 다수의 SONOS 트랜지스터들을 포함하고, 각각은 다수의 워드 라인들(117)의 각각 하나에 의해 게이트된다. NAND 스트링(102)은 노드(113)상에 전달된 블록 선택 신호 TOP SELECT에 따라 글로벌 비트 라인(103)에 NAND 스트링의 한쪽 단부를 결합하기 위한 블록 선택 장치(114)를 포함하고, 노드(115)상에 전달된 블록 선택 신호 BOTTOM SELECT에 따라 공유된 바이어스 노드(101)에 NAND 스트링의 다른쪽 단부를 결합하기 위한 제 2 블록 선택 장치(116)를 더 포함한다.

각각의 NAND 스트링(102,104,106)은 메모리 어레이내의 동일한 블록내에 배치되고, 각각은 연관된 글로벌 비트 라인(103,105,107)에 각각 결합된다. 상기 글로벌 비트 라인들은 어레이 아래 기입 레벨, 또는 선택적으로 어레이 위, 또는 선택적으로 어레이내의 기입 레벨상(예를들어, 하나 이상의 레벨을 가진 3차원 어레이에서)에 전달될 수 있다. NAND 스트

링들(102,104,106)은 비록 상기 스트링들이 글로벌 비트 라인들을 공유하지 않을지라도, 상기 스트링들이 동일한 워드 라인들(즉, 어레이의 동일한 블록내)을 공유하기 때문에, "인접한" NAND 스트링들이라 불린다. 도시된 장치에서, 공유된 바이어스 노드(101)는 글로벌 소스 라인으로서 공지될 수 있다.

블록 선택 신호들 TOP SELECT 및 BOTTOM SELECT, 워드 라인들(117), 및 글로벌 소스 라인(101) 모두는, 그들이 하기된 바와같이 적당한 레벨들로 편리하게 디코드되고 구동될 수 있도록, 동일한 방향(편리함을 위하여, 여기서 수평으로 도시됨)으로 메모리 어레이를 가로질러 횡단한다. 단지 4개의 상기 통과 워드 라인들(111) 및 하나의 선택된 워드 라인(109)은 도시되지만, 실제로 각각의 NAND 스트링이 16개의 총 워드 라인들 같은 많은 워드 라인들을 포함할 수 있는 것이 인식되어야 한다.

상기된 바와같이, NAND 스트링들의 메모리 셀들(즉, 워드 라인들중 하나에 의해 게이트된 것)은 바람직하게 SONOS 구조들이다. 여기에 사용된 바와같이, 용어 SONOS는 폭넓게 사용되고 게이트 및 하부 채널 사이의 전하 저장 유전체 층을 가진 트랜지스터 장치들의 일반적인 클래스라 불리는 것으로 이해되고, 측면 실리콘 산화물 질화물 산화물 실리콘 층 스택을 단순히 포함하는 것으로 제한 측면에서 사용되지 않는다. 예를들어, 다른 종류의 전하 저장 유전체 층들은 이하에 보다 상세히 기술된 바와같이, 산화질화물들 처럼 사용되고, 다른 종류의 메모리 셀 구조들이 사용될 수 있다.

기본적인 NAND 스트링은 증분 트랜지스터 메모리 셀에 대해 $4F^2$ 레이아웃을 달성할 수 있는 매우 효과적인 구조이다. 밀도는 두 개의 블록 선택 라인들(113,115)이 NAND 스트링들에 형성된 몇몇이지만 전부가 아닌 블록 선택 트랜지스터들에 블록 선택 신호 라인을 접촉하기 위하여 요구되는 임의의 준비없이 워드 라인들과 같이, 어레이 블록을 가로질러 연속적으로 폴리실리콘 스트라이프들에 라우트되기 때문에 개선된다.

이런 어레이 구조의 효율성에 공헌하는 다른 인자는 메모리 셀 장치에 동일하게 제조될 블록 선택 장치들의 능력이다. 다른 말로, 블록 선택 장치들은 메모리 셀 장치들과 같이 SONOS 장치들일 수 있다. 반도체 기판상에 형성된 하나 이상의 메모리 레벨을 가진 3D 어레이 실시예들에서, 각각의 메모리 레벨은 결과적으로 장치의 한가지 형태를 포함하고, 추가로 각각의 레벨의 제조를 간략화한다. 블록 선택 장치들은 메모리 셀 장치들과 동일한 크기일 수 있지만, 특정 실시예들에서 블록 선택 장치들의 브레이크다운 전압을 증가시키기 위하여 더 긴 채널 길이(즉, 블록 선택 신호들에 대해 보다 넓은 폴리실리콘 스트라이프)를 가질 수 있다. 다른 실시예들에서, 블록 선택 라인들은 전하 저장 유전체없이 일반적인 TFT MOS 장치들일 수 있다. 이것은 처리 복잡성을 부가하지만 보다 낮은 누설을 위하여 선택 장치를 보다 최적화한다.

바람직한 실시예에서, 메모리 셀 장치들 및 블록 선택 장치들은 열적 평형(즉, 질소에 최소 트랩 네가티브 전압) 임계 전압(V_T)을 공핍 모드로 이동시키기 위하여 주입된 양쪽 SONOS 장치들이다. 느린 확산물인 공핍 모드 주입물, 바람직하게 안티몬 또는 비소는 바람직하게 결정 기판과 비교하여 다결정 층에서 도판트들의 비교적 높은 확산으로 인해, 및 장치들의 극히 작은 크기로 인해 바람직하게 사용된다. 소거 상태(V_T)는 실질적으로 공핍 모드, 바람직하게 -2V 내지 -3V 임계치이고, 프로그램 상태(V_T)는 약 영 볼트이다. 메모리 셀들은 데이터 상태에 따라 두 개의 임계 전압들 중 하나로 프로그램되거나 소거되지만, 블록 선택 장치들은 바람직하게 1 볼트 임계 전압을 가지도록 바람직하게 프로그램되고 이 프로그램된 상태에서 유지된다. 적당한 제조 방법들은 전체적으로 여기에 참조로써 통합되고, 2002년 12월 31일 출원되고, 발명자가 Andrew J. Walker 등이고, 발명의 명칭이 "Method for Fabrication Programmable Memory Array Strutures Incorporating Seriew-Connected Tranistor Strings인 미국출원 10/335,089에 기술된다.

하기 설명에서, NAND 스트링(102)이 프로그래밍을 위하여 선택되고, 메모리 셀(108)이 프로그램될 것을 가정한다. 선택된 NAND 스트링(102)(즉, 선택된 글로벌 비트 라인)과 연관된 글로벌 비트 라인(103)은 통상적으로 접지(또는 유지된)된다. TOP SELECT 신호 및 선택된 메모리 셀(108)과 선택 장치(114)(즉, "통과" 워드 라인들) 사이의 다른 워드 라인들은 각각의 장치를 턴온하기 위하여 충분히 높은 전압으로 구동되고 따라서 글로벌 비트 라인 전압을 선택된 메모리 셀(108)의 채널에 결합한다. 그 다음, 선택된 메모리 셀(108)(즉, 선택된 워드 라인)과 연관된 워드 라인(109)은 통상적으로 약 13V(특정 실시예들에서) 같은 높은 레벨 프로그래밍 전압으로 통상적으로 구동된다. 결과적으로, 프로그래밍 스트레스는 워드 라인 프로그래밍 전압(즉, V_{PROG}) 마이너스 선택된 채널 전압(예를들어, 접지)과 크기와 같이 선택된 메모리 셀(여기서 "S" 셀이라 라벨이 붙음) 양단에 전개되고, 상기 프로그래밍 스트레스는 선택된 셀을 프로그램하기 위하여, 선택된 워드 라인에 인가된 프로그래밍 펄스의 길이와 동일한 시간 동안 전개된다.

메모리 셀(112) 같은 선택된 워드 라인과 연관된 다른 메모리 셀들은 동일한 워드 라인 프로그래밍 전압을 경험하지만 프로그램이 방지되어야 한다. 상기 셀(112)은 "하프 선택"되고 "H" 셀이라 한다. H 셀(112)의 프로그래밍을 방지하기 위하여, 선택되지 않은 NAND 스트링(104)과 연관된 글로벌 비트 라인(105)(즉, 방지된 글로벌 비트 라인)은 통상적으로 방지

전압이라 불릴 수 있는 접지 및 프로그램 전압 사이의 전압(예를들어, 프로그램 전압 미만의 포지티브 전압)으로 된다. TOP SELECT 신호 및 선택되지 않은 메모리 셀(112) 및 선택 장치(118) 사이의 통과 워드 라인들은 각각의 장치를 턴온하기에 충분한 전압으로 구동되고, 하프 선택 메모리 셀(112)의 채널에 방지 전압을 결합한다. 선택된 워드 라인(109)이 프로그래밍 전압으로 구동될때, 하프 선택된 메모리 셀 양단에서 전개된 스트레스는 선택된 셀에서 프로그래밍 스트레스 미만이고, 프로그래밍은 방지된다. 예를들어, 만약 6V의 방지 전압이 하프 선택 메모리 셀에 결합되면, 하프 선택 셀(112) 상 "교란" 스트레스는 워드 라인 프로그래밍 전압(즉, V_{PROG}) 마이너스 선택된 채널 전압(예를들어, 6V)의 크기와 동일하고 상기 교란 스트레스는 선택된 워드 라인에 인가된 프로그래밍 펄스의 길이와 동일한 시간 동안 전개된다.

인식될 바와같이, 트레이드오프는 방지 전압(V_{INH}) 및 통과 워드 라인 전압(V_{PASS})의 선택시 존재한다. 이들 전압들의 값이 프로그래밍 전압에 접근하기 때문에, 하프 선택된 메모리 셀에 인가된 교란 스트레스는 감소되고, 상기 셀들은 보다 덜 우연히 프로그래밍(즉, V_{INH} 교란)된다. 그러나, 상기 높은 통과 워드 라인 전압으로 인해, 선택된 NAND 스트링(102)("F" 셀 110 같은) 내의 다른 메모리 셀들은 선택된 메모리 셀(즉, V_{PASS} 교란)과 같이 접지이다. 바람직한 구조들 및 동작 조건들은 이들 두 개의 완전한 현상 사이의 밸런스를 달성한다. 게다가, 상기 큰 회로 노드들을 집적 회로에 의해 수신된 상한 전력 공급 전압보다 통상적으로 높은 전압으로 구동하는 것은 상당한 전력을 소비시키고 달성하기 위하여 큰 회로 구조들을 요구한다. 게다가, "U" 셀(120)은 V_{INH} 및 V_{PASS} 전압 양쪽에 의해 달성된다. 서로에 대해 1 또는 2 볼트내의 V_{INH} 및 V_{PASS} 전압을 유지하는 것이 바람직하도록 U 셀들 양단 전압 스트레스는 1 또는 2 볼트이다. U 셀은 F 셀 또는 H 셀보다 다수의 사이클에 대해 스트레스를 받고 따라서 낮은 스트레스 전압이 바람직하다.

상기 밸런스는 낮은 방지 전압 및 낮은 통과 워드 라인 전압(적어도 워드 라인 프로그래밍 펄스 동안), 및 선택된 워드 라인 프로그래밍 펄스 동안 H 셀의 채널을 보다 높은 전압으로 용량적 결합(즉, "승압")을 사용하여 쉽게 달성된다. 결과적으로, F 셀들 양단 스트레스는 통과 워드 라인 전압이 보다 낮기 때문에 감소되고, H 셀 양단 스트레스는 그 채널이 선택된 워드 라인 프로그래밍 펄스의 방향에서 초기 바이어스 전압 보다 선택된 워드 라인에 더 밀접한 전압으로 승압되기 때문에 감소된다. 워드 라인 및 TFT 채널 사이의 캐패시턴스가 비교적 높고(플로팅 게이트 방법들과 비교하여), TFT 채널 및 "접지" 사이의 캐패시턴스가 비교적 낮기 때문에(반도체 기판에서 제조된 NAND 스트링들과 비교하여(즉, 벌크 방법들)), 방지된 스트링 장치의 인버션 층은 매우 효과적으로 용량적으로 승압될 수 있다.

유전체 절연된 TFT 채널 스트라이프들로 형성된 NAND 스트링들의 장점은 물리적으로 인접한 NAND 스트링들 사이의 필드 누설 전류들의 결핍이다. 그러나, 특히 만약 하나 이상의 채널들이 용량적으로 결합되고 플로팅되어 남는다면, 비선택된 NAND 스트링을 높은 전압으로 바이어싱하는 것은 선택되지 않은 NAND 스트링(104)내의 블록 선택 장치(1109), 및 선택된 NAND 스트링내의 블록 선택 장치(116) 같은 오프인 것으로 가정되는 박막 트랜지스터(TFT) 장치들에서 큰 필드 강화 누설 전류들에 보다 영향을 받는 스트링을 남긴다. 이들 두 개의 장치들이 공통 드레인 노드 및 공통 게이트 노드를 공유하기 때문에, 게이트 및 드레인 전압들의 몇몇 선택들은 큰 전력 낭비를 유발할 수 있는 스네이크(sneak) 경로를 생성한다. 상기 조건은 NAND 스트링들로부터 누설을 악화시키고 선택되지 않은 스트링들내에서 메모리 셀들의 부분적 프로그래밍(즉, "소프트" 프로그래밍)을 유발할 수 있다. 예시적인 회로 구조들 및 방법들은 상기 효과들을 성공적으로 감소시키기 위하여 이하에 기술된다.

그러나, 상기 구조들 및 방법들을 기술하기 전에, 부가적인 NAND 스트링 배열은 기술하는데 유용하다. 도 2를 참조하여, 개략도는 두 개의 블록들 각각의 두 개의 다른 NAND 스트링들이 동일한 글로벌 비트 라인에 결합되는 미러 NAND 스트링 장치(160)에 대해 도시된다. 다시, 도시된 부분은 하나 이상의 메모리 셀들의 평면을 가진 2 차원 어레이를 나타내거나, 하나 이상의 메모리 셀들의 평면을 가진 3차원 메모리 셀의 하나의 레벨을 나타낼 수 있다.

다음 설명에서, 좌상부 NAND 스트링은 선택된 NAND 스트링인 것으로 가정된다. 선택된 워드 라인(168)은 V_{WL} 전압으로 구동되고, 선택된 메모리 셀(169)은 "S"에 의해 표시된다. 선택된 워드 라인(168)과 동일한 블록의 다른 비선택된 워드 라인들(166)은 이들이 각각의 메모리 셀(167)의 저장된 데이터 상태에 무관하게 각각의 메모리 셀(167)을 통하여 전류가 통과하기에 적당하게 V_{WLPASS} 전압으로 일반적으로 구동되기 때문에 "통과" 워드 라인들이라 불린다. 단지 두 개의 상기 통과 워드 라인들(166) 및 하나의 선택된 워드 라인(168)은 도시되지만, 실제로 각각의 NAND 스트링이 16개의 총 워드 라인들 같은 많은 워드 라인들을 포함할 수 있다는 것이 인식되어야 한다.

선택된 NAND 스트링중 하나의 단부는 V_{BSELB} 전압으로서 공지된 임의의 주어진 시간에서의 전압을 가진 노드(164)에 전달된 블록 선택 신호에 의해 제어되는 선택 장치(165)에 의해 글로벌 비트 라인(162)에 결합되고, 상기 신호는 글로벌 비트 라인에 선택된 NAND 스트링을 결합하는 블록 선택 신호로서 생각될 수 있다. 선택된 NAND 스트링의 다른 단부는

V_{BSELD}의 전압을 가진 노드(170)상에 전달된 블록 선택 신호에 의해 제어되는 선택 장치(171)에 의해 공유된 바이어스 노드(172)에 결합되고, 상기 신호는 공유된 드레인 라인에 선택된 NAND 스트링을 결합하는 블록 선택 신호로서 생각될 수 있다. 공유된 드레인 라인(172)의 전압은 V_{DRAIN} 전압으로서 공지될 수 있다.

선택된 블록 바로 위 블록내의 다른 NAND 스트링(도시되지 않음)은 V_{UNBSEL} 전압으로서 공지된 임의의 주어진 시간의 전압을 가진 노드(176)상에 전달된 블록 선택 신호에 의해 제어되는 선택 장치(173)에 의해 글로벌 비트 라인(162)에 결합되고, 상기 신호는 비선택 블록 선택 신호로 고려될 수 있다. 두 개의 선택 장치들(173 및 165)은 바람직하게 글로벌 비트 라인 접촉부를 공유한다.

인접한 NAND 스트링은 선택된 NAND 스트링의 우측에 도시된다. 상기된 바와같이, 상기 인접한 NAND 스트링들은 적어도 동일한 워드 라인들을 공유하고, 이 장치에서 동일한 글로벌 비트 라인(두 개의 다른 블록 선택 신호들에 의해)에 결합되지만 동일한 공유 바이어스 노드(즉, 공유된 "드레인" 노드)를 공유하지 않는다. 여기서 인접한 NAND 스트링은 장치들(181,183,185 및 187)을 포함한다. 이런 인접한 NAND 스트링의 하부 단부는 여기서 V_{BSELD}라 불리는 노드(170)상에 전달된 블록 선택 신호에 의해 제어된 선택 장치(187)에 의해 글로벌 비트 라인(162)에 결합된다. 이런 인접한 NAND 스트링의 상단부는 노드(164)(V_{BSELB})상에 전달된 블록 선택 신호에 의해 제어되는 선택 장치(181)에 의해 공유된 바이어스 노드(170)에 결합된다. 공유된 드레인 라인(174)의 전압은 인접한 NAND 스트링에 대한 드레인 전압을 나타내는 V_{DADJ} 전압으로서 공지될 수 있다.

도 1에 도시된 장치에서, 선택된 워드 라인(예를들어, 셀 169)에 결합되는 선택된 NAND 스트링의 메모리 셀은 "S" 셀이고, 통과 워드 라인(예를들어, 셀들 167)에 결합된 선택된 NAND 스트링의 메모리 셀들은 "F" 셀들이고, 선택된 워드 라인(예를들어, 셀 185)에 결합된 선택되지 않은 NAND 스트링의 메모리 셀들은 "U" 셀들이다. 상기 하프 선택(H) 및 비선택(U) 메모리 셀들은 선택된 메모리 블록을 가로질러 다른 비선택 NAND 스트링들에서 발견된다. 이들 4개의 셀 형태들의 바이어스 조건들은 도 1에 도시된 비미러 장치와 유사하다.

상기 어레이내에서 메모리 셀들을 판독, 프로그래밍, 및 소거하기 위한 예시적인 동작 조건들을 포함하는 미러 장치(160)의 부가적인 설명은 상기에서 Walker 등에 의한 "Method for Fabrication Programmable Memory Array Structures Incorporation Series-Connected Transistor Strings"에서 발견될 수 있다. 프로그래밍 동작에서, 방지된(비선택된) NAND 스트링은 도 3에 도시되고, 여기서 선택된 NAND 스트링(도시되지 않은, 그러나 동일한 글로벌 비트 라인을 공유함)내의 선택된 메모리 셀이 접지에 대한 글로벌 비트 라인을 분할함으로써 프로그램되거나, 비트 라인 방지 전압(V_{INH} 또는 $V_{INHIBIT}$)에 대한 글로벌 비트 라인을 구동함으로써 프로그래밍이 방지된다. 편리함을 위하여, 도시된 보다 일상적인 노드 이름들은 이하 비미러 NAND 스트링 어레이들에 대한 유사한 기술들과 용이한 비교들을 위하여 사용되고 NAND 스트링의 가시적 제공은 스트링의 상부에서 보다 높은 V_{INT} 전압, 및 스트링의 하부 단부에서 보다 낮은 전압으로 바이어싱하는 것을 제안하기 위하여 유도되고, 누설 전류는 하부 선택 장치(들)을 통하여 흐를 수 있다. 여기에 사용된 바와같이, "블록 선택 장치", "액세스 장치" 및 단순히 "선택 장치"는 모두 상호 교환적으로 사용되고, 결과적으로 "블록 선택 신호", "액세스 신호" 및 단순히 "선택 신호"는 모두 상호 교환하여 사용된다.

이런 미러 NAND 스트링 메모리 어레이내의 H 셀의 채널을 승압하는 한가지 방법은 도 4에 도시된다. 모든 메모리 셀이 동일한 임계 전압을 가진다는 것을 가정한다. 게다가 하부 액세스 선택 장치(도 3의 장치 187, 및 도 1의 장치 119)가 오프되어, 비록 인접한 글로벌 비트 라인이 접지이더라도(선택된 NAND 스트링을 프로그래밍하기 위해), 전류는 하부 선택 장치를 통하여 흐르지 않을 것이다. (하기될 바와같이, 상기는 필수적인 경우가 아니다). 방지 NAND 스트링 상부의 드레인 노드는 방지 전압(V_{INH})이 되고, 선택된 및 통과 워드 라인들은 모두 통과 워드 라인 전압(V_{PASS})가 된다. NAND 스트링내의 모든 소스/드레인 노드들, 및 상부 선택 장치 및 메모리 셀 장치들의 모든 채널들은 V_{INH} 전압 이하의 임계 전압이된다 (V_{PASS} 전압 마이너스 메모리 셀 임계 전압이 V_{INH} 전압 마이너스 선택 장치 임계치보다 큰 것을 가정함). 게다가. 이 지점에서 액세스 장치는 턴 오프되어, V_{INH} 전압들을 전달하는 공유 드레인 노드로부터 NAND 스트링 채널들을 분리한다.

선택된 워드 라인이 초기 바이어스 레벨보다 높은 전압에 H 셀 채널을 결합하는 V_{PGM} 전압(또한 V_{PROG} 전압이라 기술됨) 쪽으로의 V_{PASS} 전압으로부터 구동된다. 만약 모든 메모리 셀 장치들이 턴온되면, 스트링을 따라 모든 채널들은 H 메모리 셀 채널에 여전히 전기적으로 결합되고, 모든 상기 채널들은 하나 이상의 메모리 셀 장치들이 턴오프할때까지 용량적으로 결합될 것이다. 이 시점에서, 턴오프된 메모리 셀 "너머"에 있는 채널들(즉, H 메모리 셀로부터 멀리 떨어진 채널들)은 승

압 전압의 임의의 추가 증가로부터 분리된다. H 셀 자체를 포함하는 임의의 다른 채널들은 선택된 워드 라인이 높은 레벨에 도달할때까지 부가적으로 승압될 수 있다. 하나의 장치는 가장 높은 임계치를 가지며 글로벌 비트 라인으로부터 추가로 스트링의 나머지의 전압 상승을 중단할 것이다. 몇몇 셀들이 다른 것과 다른 낮은 임계을 가질 것이기 때문에(몇몇은 프로그램되고 몇몇은 소거됨) 스트링을 따라 셀 채널들의 미 공지된 수는 H 셀의 소스에 전기적으로 접속될 것이고 전체 영역은 승압될 것이다. 결과적으로, H 셀 채널의 승압 전압은 부가적인 채널들을 전압 측면에서 상향으로 "드래그" 함으로써 감소될 수 있다.

비록 스트링을 따라 다수의 셀 채널들이 H 셀의 소스에 전기적으로 접속될 수 있지만, 채널은 선택 장치가 V_{DRAIN} 전위 이하의 임계 전압으로 방지 NAND 스트링의 인버션 층의 전위를 순간적으로 설정하기 위하여 턴온되고, 그 다음 공유된 드레인 노드로부터 인버션 층을 분리하기 위하여 턴오프되기 때문에 승압된다. 일단 H 셀 채널이 승압되면, H 셀의 터널 산화물 양단 최종 전위는 프로그래밍을 방지하기에 충분히 낮다. 이런 예시적인 실시예에 대해, 만약 스트링에 N 메모리 셀들이 있다면, 워드 라인들(즉, 메모리 셀 게이트들)의 N-1은 통과 전압으로 구동되고 선택된 워드 라인은 스트링을 따라 채널 바이어스가 형성되도록 하기 위하여 지연후 프로그램 전압으로 추가로 구동된다.

특정 실시예들에서, 방지 전압(V_{INH}) 및 상부 액세스 신호 전압(이 예시적인 미러 장치에서, 접지된 글로벌 비트 라인에 인접한 NAND 스트링을 접속하는 액세스 장치의 제어 게이트임)은 비교적 낮은 전압으로 설정될 수 있고 충분히 여전히 접지된 글로벌 비트 라인에 적당한 접속 경로를 제공하기 위하여 턴온한다. 예를들어, 만약 이들 액세스 장치들이 0V 주위의 임계 전압을 가지면, 블록 선택 신호의 높은 레벨(여기서, 상부 액세스 신호 전압)는 대략 1V 및 3.3V(예를들어, VOD 전압) 사이의 예시적인 값을 가질 수 있고, 워드 라인 통과 전압은 0V에서 대략 5V까지 상승할 수 있고, 워드 라인 프로그래밍 전압은 0V에서 통과 전압으로 그리고 대략 13V로 상승할 수 있다. 몇몇 바람직한 실시예들에서, NAND 스트링의 메모리 셀들은 스트링에서 S 셀 "위의" 모든 F 메모리 셀들이 낮은 Vt 상태(바람직하게 네가티브 Vt 상태)내에 있도록 스트링 "하부"(연관된 글로벌 비트 라인으로부터 멀리 떨어진)에서 스트링의 상부로 순차적으로 프로그램된다. 이렇게 하는 것은 적당한 프로그램을 위하여 접지된 글로벌 비트 라인에 선택된 메모리 셀 채널 영역의 충분히 우수한 결합을 제공하면서 보다 낮은 통과 워드 라인 전압이 사용되게 한다. 게다가, 이런 보다 낮은 통과 전압은 상기 장치들 양단의 스트레스가 프로그램되는 S 셀 양단보다 작기 때문에 의도하지 않은 F 셀 프로그램 교란(즉, V_{PASS} 교란)을 보호한다.

기술된 바와같은 비선택된 NAND 스트링들의 채널 승압, 따라서 H 셀 교란의 추가 감소, 그러나 부가적인 감소는 바람직할 수 있다. 이것은 보다 짧은 채널 길이들 및/또는 보다 얇은 게이트 산화물들을 가진 비례 기술들에 특히 진실이고, 비선택된 NAND 스트링들의 교란 프로그래밍에 악영향을 미치지 않고 프로그래밍 성능을 개선하기 위하여 바람직한 보다 높은 프로그래밍 전압을 허용한다. H 셀들에 대한 추가 보호는 추후 프로그래밍 사이클에 대한 희생 H 셀들이 되는 이전 기입 사이클로부터 논리 1(예를들어, 고의적으로 프로그램되지 않은) 상태가 교란되기 전에 주어진 워드 라인상에다 많은 프로그래밍 사이클들이 허용되기 때문에, 워드 라인을 따라 부가적인 셀들을 허용한다.

상기 스트링의 장치들이 프로그램되거나 프로그램되지 않을 수 있기 때문에(즉, 스트링에서 장치의 임계 전압들의 변화를 유발), 이미지 전하는 항상 H 셀하에서 머무르는 것이 아니라, 채널을 따라 분산될 수 있다. 이것은 H 셀의 승압 전압의 폭넓은 변화들을 유발한다. 또한, 누설 경로들은 선택되지 않은 채널 스트링의 승압된 전압 레벨들이 스트링의 하부에서 누설하게 할 수 있는 선택 장치들(벌크 장치들에 비해 TFT 장치들에서 특히 현저할 수 있는 "필드 강화 누설 전류"로서 공지됨)에서 발생할 수 있다. 유사한 누설 전류는 선택된 NAND 스트링의 하부에서 "오프" 선택 장치에 존재하고, 이 전류는 하부 선택 장치를 통하여 선택된 스트링으로 흐르고, 이에 따라 하부에서 스트링 전압을 증가시키고 프로그래밍 효율성(특히 스트링을 따라 전압 기울기로 인해 글로벌 비트 라인으로부터 가장 먼 셀들에 대해)을 감소시키고 전력 낭비를 증가시킨다.

H 셀 교란에 대한 보호는 H 셀로부터 스트링의 나머지를 분리하고, H 셀 채널이 보다 큰 전압(이런 설명을 위하여, 선택된 워드 라인상 포지티브 프로그램 펄스를 가정)으로 승압되게 함으로써 개선될 수 있다. 예를들어, 상부 선택 장치는 이전과 같이 방지 NAND 스트링을 따라 인버션 채널들의 초기 바이어스를 설정하기 위하여 턴온될 수 있다. 그 다음 장치는 방지 전압으로부터 채널을 분리하기 위하여 턴오프된다. 선택된 워드 라인이 프로그래밍 전압으로 구동되기 전에, 선택된 셀의 어느 한쪽상 워드 라인들은 선택된 메모리 셀의 어느 한쪽상 메모리 셀 장치들을 턴오프하기 위하여 전압이 강하되고, 따라서 스트링의 나머지로부터 H 셀 채널을 분리한다. 그다음, 프로그래밍 펄스가 선택된 워드 라인에 인가될때(즉, 통과 전압 같은 전압으로부터 프로그램 전압으로 구동될때), H 셀 채널은 이전 보다 높은 전압으로 승압되고, 프로그램은 H 셀 상에서 덜 교란된다.

H 셀 채널의 강화된 승압을 달성하기 위하여 사용될 수 있는 많은 동작 조건들이 있다. 선택된 워드 라인의 어느 한쪽상 통과 워드 라인은 접지되고, 나머지 워드 라인들은 통과 전압으로 남는다. 심지어 인접한 통과 워드 라인들상에 접지를 가진

프로그램될 선택된 NAND 스트링에서, 프로그래밍 비트 라인 전압(접지)은 스트링의 순차적 프로그래밍 방법을 사용함으로써 선택된 셀로 통과되고, 이것은 선택된 셀(즉, 워드 라인이 접지된 인접한 셀들중 하나)의 비트 라인 측상 F 메모리 셀이 소거 상태이고 -3V에 밀접한 바람직한 임계 전압을 가지는 것을 보장한다.

도 5를 참조하여, 예시적인 기술에 대한 각각의 파형은 개별 메모리 셀들의 프로그램 또는 소거 상태와 무관하게, 상기 분리를 달성하기 위하여 도시된다. 여기서, 상부 액세스 선택 신호 및 모든 워드 라인들은 방지 전압(V_{INH}) 플러스 여기서 대략 7볼트(예시적인 실시예에서)로 도시된 임계 전압과 공칭적으로 동일한 전압으로 처음에 구동된다. 이런 조건은 여기서 6V로 도시된 V_{INH} 전압에서 전체 스트링을 매우 빠르게 바이어스한다. 그 다음, 상부 액세스 신호 및 선택된 워드 라인과 다른 워드 라인들은 여기서 대략 4V로 도시된 낮은 통과 전압(VPASS)으로 강하된다. 이것은 방지 NAND 스트링으로부터 H 셀 채널을 분리한다. 그 다음 선택된 워드 라인은 선택된 셀을 프로그램하기 위하여 초기 바이어스 레벨(예를들어 7V)에서 13V로서 도시된 완전 프로그래밍 전압으로 구동된다. H 셀 채널은 이전 보다 프로그래밍 전압에 밀접한 전압으로 승압된다(예를들어 도시된 예시적인 포지티브 프로그래밍 펄스에 대해, 이전보다 높은 전압으로 승압되는). 인식될 수 있는 바와같이, 워드 라인들은 비선택 스트링 채널들을 초기 전압(프로그램되고 프로그램되지 않은 셀들의 임의의 결합을 통하여)으로 가져가기에 충분히 높은 초기 레벨로 구동되고 그 다음 임계 변화들에도 불구하고 H 셀을 절연하기 위하여 셀 장치들의 최대 V_t 변화에 의해 전압이 강하된다. 프로그래밍 펄스 동안 보다 낮은 통과 전압을 사용하는 것은 선택된 스트링에서 F 셀들상 스트레스를 감소시키는 장점을 가지며, 상기 셀들은 선택된 스트링이 S 셀을 프로그래밍하기 위하여 접지되는 동안 높은 V_{PASS} 전압에 의해 소거 상태로부터 교란될 수 있다.

V_{PASS} 전압이 V_{INH} 전압 플러스 소거된 메모리 셀의 임계치 미만인한, H 셀 주변의 이웃하는 셀들은 턴 오프되고 스트링은 프로그래밍 펄스 전에 H 셀로부터 분리된다. 게다가, 이런 통과 전압은 비트 라인 프로그래밍 전압(예를들어, 접지) 플러스 소거된 셀의 임계치(예를들어, -2V 또는 -3V) 이상의 임의의 값일 수 있다. 예를들어, 접지의 통과 전압은 몇몇 실시예들에서 적당할 수 있다. 프로그램되도록 선택된 NAND 스트링에서, 비트 라인 프로그래밍 전압(전압)은 선택된 메모리 셀(즉, 선택된 셀 및 비트 라인에 결합된 선택 장치 사이)상 임의의 메모리 셀들이 여전히 소거된 상태에 있는 것을 바람직한 순차적 프로그래밍 방법이 보장하기 때문에, 워드 라인들상에 접지를 가질때 조차 선택된 셀로 통과된다. 적어도 약간의 포지티브 임계 전압(Vt)으로 프로그램되어 유지된 선택 장치의 게이트는 Vt 보다 높은 전압 플러스 방지 전압으로 구동되어, 스트링의 제 1 장치를 차단하지 않는다(예를들어, V_{INH} 전압이 NAND 스트링 메모리 셀들로 통과되도록).

도 5에 도시된 바와같이, 선택되지 않은 워드 라인들 및 상부 선택 장치에 전달된 신호들은 첫째 보다 높은 전압 및 그 다음 보다 낮은 전압으로 구동되는 각각의 다중 레벨 펄스들이다. 선택적으로, 도 6에 도시된 바와같이, 두 개의 순차적 펄스들은 사용될 수 있고, 제 1 펄스는 높은 전압으로 구동되고, 제 2 펄스는 낮은 전압으로 구동된다. 어느 경우에서나, 선택된 메모리 셀 근처에서 결합을 감소시키기 위하여 선택되지 않은 워드 라인들이 강화되기 전에, 선택된 워드 라인이 적어도 V_{PASS} 전압으로 다시 되는 것이 바람직하다.

어느 경우나, H 셀 교란에 대한 부가적인 보호는 바람직하다. 이것은 특히 보다 짧은 채널 길이들 및/또는 보다 얇은 게이트 산화물들을 가진 비례 기술들에서 진실이고, 프로그래밍 성능을 개선하기 위하여 바람직한 보다 높은 프로그래밍 전압들을 제공한다. 게다가, 선택되지 않은 스트링의 하부에서 선택 장치가 턴오프되는 이들 설명과 먼 가정들에도 불구하고, 이것은 주로 상기 경우에 해당되지 않는다. 심지어 게이트 단자상에 접지를 가진 선택 장치는 특히 채널들이 비교적 높은 레벨에서 승압되면(및 플로팅을 유지한다), 그리고 특히 TFT 장치들(벌크 장치보다 많은 누설을 나타낼 수 있다)에 대해, 방지된 스트링내의 채널들을 방전시키기에 충분히 누설할 수 있다.

도 7에 도시된 바와같이, 프로그래밍 파형들의 예시적인 세트는 도시되고, 여기에서 이들 다중 레벨 펄스들(도 6에 도시된 바와같이)의 다중 사이클들은 사용된다. 이렇게 함으로써, 각각의 개별 펄스는 이전 보다 매우 짧고, 하부 선택 장치를 통한 누설 전류는 스트링을 방전시키기에 짧은 시간을 가진다. 각각의 펄스로 인해, 스트링내에서 초기 바이어스는 재설정되고, 스트링(또는 적어도 H 셀 채널)은 용량적으로 승압된다. 그 결과는 하부 액세스 장치에 대해 가장 밀접한 셀에 대해, 만약 보다 긴 펄스로 한번 펄스되는 것보다 많은 보다 짧은 펄스들로 반복적으로 펄스될때 그리고 액세스 장치의 다른 측면이 접지될때(인접한 스트링을 프로그래밍할때 미러 구성에서 처럼) 채널이 피크 승압 전압으로 거의 유지된다. 선택된 셀에 대해, 프로그래밍은 집합 프로그래밍 스트레스 시간이 변경되지 않는한 다수의 보다 짧은 펄스들의 사용에 의해 영향을 받지 않는다. 예시적인 프로그래밍 펄스들은 1 마이크로초 기간 미만일 수 있고, 대응하는 집합 프로그래밍 시간은 10 마이크로초 이상일 수 있다. 예시적인 프로그래밍 전압은 10 내지 16 볼트, 바람직하게 13V 범위내에 있다.

도 8은 미러 구성에서 예시적인 NAND 스트링 기술에 대한 프로그램 교란의 다중 펄스 프로그래밍 영향들을 도시한다. 채널들이 5V의 방지 전압 마이너스 상부 선택 장치(181)의 임계 전압으로 처음에 바이어스되는 스트링이 가정된다. 글로벌

비트 라인(162)이 인접한 NAND 스트링에 접지된 비트 라인 프로그래밍 전압을 전달하는 것을 가정하면, 상부 선택 장치(181)가 오프되고, 하부 선택 장치(187)가 바이어스된다. 상기 그래프는 프로그래밍 펄스 동안, 몇몇 다른 수의 프로그래밍 펄스들 동안(각각의 경우 동일한 집합 시간을 가짐) 선택되지 않은 워드에 제공된 통과 전압(V_{PASS})의 함수로서 H 셀 임계 전압의 교란 시프트 양을 도시한다. 임의의 주어진 경우에 대해 인식된 바와같이, 보다 높은 V_{PASS} 전압들은 하부 선택 장치를 통한 보다 큰 전압으로 인해 보다 높은 교란 프로그래밍을 유발한다. 게다가, 보다 많은 프로그래밍 펄스들을 사용하는 것은 교란 프로그래밍(즉, 집합 프로그래밍 시간 상수를 유지할때)을 크게 감소시킨다. 예를들어, 4V의 V_{PASS} 전압을 사용하여, 1.2 밀리초 기간의 단일 프로그래밍 펄스는 H 셀에서 1.05V 임계 시프트를 유발하고, 1.2 밀리초 기간의 단일 프로그래밍 펄스는 0.34 임계 시프트를 유발하고, 5 밀리초 기간의 240 펄스들을 사용하는 것은 0.2V 임계 시프트를 유발할 수 있다.

특히 TFT 장치들의 필드 강화 누설 전류는 NAND 스트링의 한쪽 또는 양쪽 단부들에서 단일 선택 장치보다 오히려 다수의 직렬 선택 장치들을 사용하여 감소될 수 있다. 도 9는 하나의 경우 스트링의 각각의 단부에 두 개의 직렬 선택 장치들을 사용하고, 다른 경우에 스트링의 하부 단부에 3개의 직렬 선택 장치들을 사용하는 미러 구성에서 예시적인 NAND 스트링 기술에 대한 프로그램 교란 메모리 셀 위치의 효과를 도시한다. 채널들이 처음에 5V의 방지 전압으로 바이어스된 스트링을 가정한다. 글로벌 비트 라인이 인접한 NAND 스트링에 접지된 비트 라인 프로그래밍 전압을 전달하는 것을 가정하면, 상부 선택 장치들(201)은 오프되고, 하부 선택 장치들은 바이어스된다. 그래프들은 총 18개의 장치들의 스트링을 따라 몇몇 다른 메모리 셀 위치들에서, 프로그래밍 펄스 동안 선택되지 않은 워드 라인들에 제공된 통과 전압(V_{PASS})의 함수로서 H 메모리 셀 임계 전압의 교란 시프트 양을 도시한다. 각각의 경우, 총 240 프로그래밍 펄스들이 인가된다. 인식될 수 있는 바와같이, 3개의 직렬 섹션 장치들(204)을 가지는 것은 단지 두개의 상기 직렬 선택 장치들(202)만을 가지는 것에 비해 감소된 교란 프로그래밍을 유발한다. 또한, NAND 스트링의 하부에 보다 밀접한 메모리 셀들은 보다 큰 프로그램 교란을 나타낸다.

다수의 직렬 선택 게이트들로 인해, 프로그램 교란은 각각의 스트링에 필요한 부가적인 직렬 장치들 때문에 다이 크기가 증가하는 단점을 가지지만 추가로 감소된다. 게다가, 스트링 전류(I_{ON})는 감소될 것이다(주어진 크기 메모리 셀 장치 및 선택 장치에 대해).

이전의 두 개의 경우들이 NAND 스트링의 단부에서 직렬 장치들의 양쪽(또는 모두 3개)에 동일한 전압을 가진 다수의 직렬 선택 장치들을 도시하였지만, 누설 전류는 각각의 직렬 장치의 각각의 게이트를 독립적으로 바이어싱함으로써 추가로 감소될 수 있다. 양쪽 게이트들상에 접지를 가지는 것은 가장 낮은 누설을 유발하지 않는다. 도 10을 참조하여, 두 가지 경우들이 도시된다. 좌측의 NAND 스트링(210)은 게이트상 접지 및 소스상 접지(미러 구성에서 인접한 스트링상 프로그래밍 전압에 대응)로 바이어스된 하부 선택 장치(212)를 가진다. 우측 NAND 스트링(220)은 게이트 및 소스 양쪽이 5V로 바이어스된 하부 선택 장치(222)를 가진다. 하부 선택 장치(212)를 통한 누설 전류는 교란 프로그래밍 대 V_{PASS} 전압의 그래프(214)에 명확히 도시된다.

접지된 게이트 장치(212)는 최하부 트랜지스터에서 경험되는 높은 드레인 대 소스 전위에 의해 발생되는 필드 강화 누설 전류로 인해 보다 높은 누설 전류를 가진다. 비록 방지된 NAND 스트링(220) 하부 선택 장치(222)가 게이트(소스가 5V이기 때문에)상 5V 같은 전압으로 바이어스될지라도, 선택된 NAND 스트링상에서 하부 액세스 장치 게이트상 5V 같은 전압을 가하는 것은 상기 스트링이 반대 단부에서 접지(만약 선택된 셀이 프로그램되면)에 결합될 수 있기 때문에 허용되지 않는다.

만약 다수의 직렬 선택 장치들이 사용되면, 다수의 게이트 전압들은 누설 전류를 감소시키기 위하여 사용될 수 있다. 하나 이상의 다수의 선택 장치들은 필드 강화 누설 전류를 가장 효과적으로 감소시키기 위하여 게이트에 4V 또는 5V 같은 보다 높은 전압을 가질 수 있다. 상기 선택 장치 게이트 전압은 V_{PASS} 전압 같은 동일한 값들일 수 있지만, 다른 값으로 설정될 수 있다. 게이트들중 적어도 하나는 선택된 스트링(예를들어, 미러 장치에 대해)으로 흐르는 누설 전류를 차단하기 위하여 액세스 장치의 Vt보다 작은 전압이어야 한다. 특정 바람직한 장치들에서, 접지된 게이트를 가진 액세스 장치는 게이트 대 소스 전압이 적어도 네가티브이기 때문에 하부의 게이트이고, 보다 많은 네가티브 게이트 대 소스 전압은 필드 강화 누설 전류를 증가시킨다. 특정 미러 실시예들에서, NAND 스트링의 하부에서 "소스 전압"은 접지이거나 V_{INH} 전압일 수 있는 인접한 글로벌 비트 라인이다. 특정 바람직한 실시예들에서, 3개의 직렬 선택 장치들은 특히 매우 비례적인 장치들에 대해 누설 전류를 감소시키고 적당한 교란 프로그래밍 보호를 제공하기 위하여 사용될 수 있다.

도 11은 최하부 바닥 선택 장치(233)의 V_{PASS} 전압 및 게이트 전압의 함수로서 최종 메모리 셀(231)의 프로그램 교란을 도시한다. 최상부 하부 선택 장치(232)의 게이트 전압은 접지로 유지되고, NAND 스트링(230)은 프로그래밍을 방지하기 위하여 스트링의 양쪽 단부에 결합된 방지 전압(V_{INH})으로 바이어스된다. 매우 낮은 교란 및 넓은 프로그래밍 조건들은 달성된다.

도 12는 NAND 스트링(230)이 프로그래밍을 위하여 바이어스될때, 보다 낮은 최하부 선택 장치(233)의 게이트 전압의 함수로서 최종 메모리 셀(231)의 프로그램 가능성을 도시한다. 최상부 하부 선택 장치(232)의 게이트 전압은 접지로 유지되고, NAND 스트링(230)은 스트링의 상단부에 결합된 글로벌 비트 라인(즉, 노드 234)상 접지 프로그래밍 전압, 및 스트링의 하단부에 결합된 방지 전압(V_{INH})으로 바이어스된다. 도 12에서 인식될 수 있는 바와같이, 선택된 스트링(230)상 최하부 셀(231)의 프로그램 가능성은 최하부 하부 선택 장치(233)의 게이트 전압에서 변화들에 의해 악영향을 받지 않는다.

많은 이전 설명은 도 2에 도시된 바와같은 예시적인 미러 구성들의 환경에서 설명된다. 그러나, 이들 도면들 및 설명들에 사용된 많은 명명법은 도 1에 도시된 것과 같은 비미러 구성에 응용할 수 있다. 예를들어, NAND 스트링(즉, 상부 선택 장치(들))의 상단부는 방지 전압에 결합된 NAND 스트링의 단부에 대응하게 사용되고, NAND 스트링의 하단부(즉, 하부 선택 장치(들))는 선택되지 않은 NAND 스트링으로부터 어레이 라인으로 흐르는 우연하고 의도하지 않은 누설 전류를 유발할 수 있는 접지 같은 낮은 전압으로 바이어스될 수 있는 어레이 라인에 대한 접속에 대응한다.

도 13을 참조하여, 비미러 NAND 스트링(250)은 도시된다. 여기서 단일 상부 액세스 장치(252)는 글로벌 비트 라인(251)의 스트링의 한쪽 단부에 결합하고, 이것은 스트링(250)이 선택될때 셀을 프로그램하기 위하여 접지에 있을 수 있거나, 선택되거나 선택되지 않은 NAND 스트링의 프로그래밍을 방지하기 위하여 방지 전압(V_{INH})에 있을 수 있다. 단일 하부 액세스 장치(254)는 선택된 블록의 프로그래밍 동안 플로트하거나, 바람직하게 접지 및 방지 전압 사이의 중간 전압으로 바이어스될 수 있는 글로벌 소스 라인(253)에 스트링(250)의 다른쪽을 결합하고, 상기 중간 전압은 가장 바람직하게 중간 전압의 대략 반이다.

개선된 실시예는 도 14에 도시되고, 도 14는 스트링들의 글로벌 비트 라인 단부(여기에 상부로서 도시됨)에서 단일 블록 선택 장치(또한 어레이 선택 장치로서 공지되거나, 간단히 선택 장치)를 가지며, 스트링의 글로벌 비트 라인 단부 반대쪽 단부(여기에서 하단부에서 두 개의 상기 선택 장치들)에 다수의 직렬 선택 장치들을 가진 비미러 스트링 장치(300)(즉, 동일한 단부에서 각각의 글로벌 비트 라인들에 접속된 인접한 스트링들을 가짐)를 가진다.

상부 선택 장치들(114,118)은 프로그램된 NAND 스트링(302) 및 방지된 NAND 스트링(304) 양쪽에 있기 때문에 누설 방지시 상당한 역할을 하지 못한다. 그러므로, 단일 상부 선택 장치는 사용되고 방지된 NAND 스트링의 가장 우수한 경우의 교란 감소 및 프로그램된 NAND 스트링의 가장 우수한 경우 프로그램을 달성한다. 상부 선택 장치들(114,118)은 글로벌 비트 라인과 연관된 비선택 메모리 블록들로부터 글로벌 비트 라인을 절연하기 위하여 요구된다. 각각의 비선택 메모리 블록(예를들어 블록 310 같은)은 바람직하게 연관된 글로벌 비트 라인들로부터 각각의 선택되지 않은 메모리 블록내의 각각의 NAND 스트링(예를들어, NAND 스트링 314)을 분리하기 위하여 접지에 있는 각각의 상부 선택 신호(예를들어, 선택 신호 312)를 가진다. 게다가, 각각의 선택되지 않은 메모리 블록(예를들어, 워드 라인들 316)의 워드 라인들은 바람직하게 비활성화되지 않고, 전력이 감소되고, 프로그램되지 않은 블록들을 유지하기 위하여 바람직하게 접지된다. 몇몇 글로벌 비트 라인들이 V_{INH} 전압(선택된 블록내의 셀들을 프로그램하기 위하여)에 있기 때문에, 이들 선택되지 않은 블록들의 NAND 스트링들의 채널들은 보다 높게 누설될 수 있다. 그러나, 이런 누설은 선택되지 않은 NAND 스트링이 상승하기 시작할때(예를들어 채널 노드 319) "누설" 선택 장치(예를들어, 장치 318)의 드레인 대 소스 전압을 감소시키기 때문에 자체 제한되어, 선택 장치의 게이트 대 소스 전압을 감소시키고, 추가로 누설 전류를 제한시킨다. 이들 선택되지 않은 블록들의 스트링들에서 제 1 셀의 교란 전위는 상기 교란이 프로그래밍 동작들(여기에서 고안된 특정 구조들에 대해) 보다 느린 Vt(소스 전압이 게이트 전압보다 크기 때문에 소거 방향)를 감소시키기 위한 방향에 있기 때문에, 최소가 된다.

NAND 스트링들의 하부에서 "오프" 액세스 장치들에 의해 정지되어야 하는 고유의 전압 강하가 V_{INH} 플러스 H 채널의 목표된 용량성 승압, 및 접지(프로그램 셀에 대해)인 가장 낮은 글로벌 비트 라인 전압 사이의 차이다. 미러 구성에서 이런 전위차는 상기된 바와같이, 단일 스트링 양단에 발생할 수 있다. 예시적인 비미러 구성들에서, 승압된 V_{INH}의 채널로부터 접지에서의 글로벌 비트 라인으로 가장 짧은 경로는 상기 경로가 스트링들의 하부에서 공유된 소스 노드를 통하여 이동하여야 하기 때문에 두 개의 NAND 스트링들을 포함한다. 결과적으로, 방지된 스트링(예를들어, 장치들 119A, 119B) 및 프로그램된 스트링(예를들어, 장치들 116A,116B)의 하부 선택 장치들의 직렬 결합을 통하여 총 누설 전류는 중간 전압에서 글

로벌 소스 노드(101)(즉, 공유된 소스 노드)를 바이어싱함으로써 감소될 수 있다. 도시된 바와같이, 공유된 소스 노드는 접지 및 V_{INH} 전압 사이의 바이어스 전압으로 바람직하게 구동되고, 보다 바람직하게 6-7V의 예시적인 V_{INH}에 대해 대략 4V-5V로 구동된다.

필드 강화 누설 전류가 방지 스트링 및 선택된 스트링 양쪽에 관련이 있기 때문에, 이런 공유된 소스 노드(101)상에서 V_{INH} 전압보다 오히려 중간 전압을 사용하는 것이 바람직하다. 공유된 소스 노드의 바람직한 크기는 방지된 스트링으로부터의 네가티브 누설 효과들 및 프로그램된 스트링으로의 네가티브 누설 효과들의 균형을 형성하기 위하여 선택된다. 만약 공유된 소스 노드(101)가 너무 낮으면, 비교적 긴 프로그램 펄스들 동안 집적된 방지 스트링(304)으로부터 흐르는 필드 강화 누설 전류는 스트링의 승압 레벨을 방전시킨다. 만약 공유된 소스 노드(101)가 너무 높으면, 누설 전류는 프로그래밍 펄스 동안 선택된 스트링(302)으로 흐르고, 셀 양단에 전개된 효과적인 프로그램 전압을 감소시키는 최하부 메모리 셀(303)에 대해 스트링의 목표된 프로그램 전압(즉, 강한 접지 레벨)을 유발한다. 이런 효과는 이런 누설 전류가 작고, 심지어 스트링을 통하여 높은 총 저항으로 인해, 다른 단부가 접지에 결합되기 때문에, 승압 레벨의 손실보다 문제가 작다. 따라서, 선택된 스트링(302)은 비록 바람직하게 하부 액세스 장치들(116A,116B)중 적어도 하나의 게이트가 상기 장치를 턴오프하도록 액세스 자치의 임계 전압 이하로 유지될지라도 몇몇 누설을 허용할 수 있다. 특정 실시예들에서, 상부 하부 선택 신호 BOT ACCESS A는 바람직하게 접지 이상이고(예를들어, 대략 5V), 하부 액세스 신호 BOT ACCESS B는 바람직하게 접지된다. 이와 같이, 선택된 NAND 스트링(302) 누설 경로를 접지에서 차단하는 선택 B 신호, 및 Vss(즉, 접지)에서 선택 B와 직렬로 V_{INH}에서 선택 A 신호는 선택되지 않은 스트링(304)상에 자체 승압을 허용하기에 충분한 필드 강화 누설 경로를 차단한다. 여기에 기술된 다른 실시예들로 인해, 이런 구성은 다수의 프로그래밍 펄스들이 사용될때, 통과 워드 라인들상 다중 레벨 펄스들 및 상부 액세스 신호로 인해 보다 잘 수행하고, 충분히 낮은 교란 프로그래밍 및 낮은 전력 프로그래밍 양쪽을 달성하기 위하여 사용될 수 있다. 바람직하게, 선택 메모리 블록내의 다수의 NAND 스트링들은 방지된 스트링들상 축적된 교란을 감소시키기 위하여 동시에 프로그램된다. 예를들어, 64 내지 128 스트링들은 예를들어 256 내지 1026 NAND 스트링들을 가진 메모리 블록내에서 동시에 프로그램될 수 있다.

특정 실시예들에서, 선택된 블록내의 NAND 스트링들의 모든 통과 워드 라인들은 동일한 통과 전압 또는 통과 전압 파형(여기에 기술된 바와같이, 다중 레벨 파형일 수 있다)으로 구동된다. 다른 실시예들에서, 선택된 워드 라인 "상"의 통과 워드 라인들보다 낮은 전압으로 선택된 워드 라인(즉, 글로벌 비트 라인에 관해 선택된 워드 라인의 반대측상) "아래" 통과 워드 라인들을 구동하는 것이 바람직할 수 있다. 프로그래밍 전압(예를들어, 접지)은 "상부" 선택되지 않은 워드 라인들(즉, 선택된 메모리 셀 및 글로벌 비트 라인에 결합된 선택 장치(들) 사이)이 보다 높은 V_{PASS} 전압으로 구동되기 때문에 선택된 메모리 셀에 강건하게 인가된다. 그러나, 이 장치는 하부 메모리 셀 장치들상 F 셀 프로그래밍 스트레스(즉, 소위 V_{PASS} 교란 스트레스)를 감소시킨다. 미러 NAND 스트링들을 통합한 실시예들에서, 하나의 NAND 스트링의 상부는 인접한 NAND 스트링의 하부이고, 따라서 상부 및 하부 리버스 50%의 시간이어서, F 셀 스트레스는 모든 셀들에 대해 반감된다. 비 미러 NAND 스트링들을 통합한 실시예들에서, 각각의 NAND 스트링의 각각의 하부는 정렬되고, 따라서 하부쪽으로의 셀들은 상부쪽으로 셀들보다 보다 적은 V_{PASS} 스트레스를 나타낸다. 그럼에도 불구하고, 하부 셀들은 NAND 스트링이 선택되지 않을때(그들이 누설할 수 있는 선택 장치(들)을 가진 단부에 밀접하기 때문에), 및 비록 이들 기술들에 의해 감소되지만 승압 손실이 영이 아닐때 누설 전류 유도 H 셀 프로그램 교란(즉, V_{INH} 교란)에 보다 민감할 수 있다. 결과적으로, 비 미러 NAND 스트링 어레이들은 이들 하부 셀들이 모든 교란 메카니즘들로 인해 총 Vt 변화를 초과하지 않고 보다 높은 H 셀 스트레스를 허용하기 때문에 하부 셀들로부터 보다 작은 F 셀 스트레스를 얻는 장점을 가진다.

특정 실시예들에서, 다중 레벨 메모리 어레이는 몇몇의 메모리 평면들 또는 메모리 레벨들 각각에 형성된 메모리 셀들을 포함한다. 하나 이상의 층상의 NAND 스트링들은 단일 층상 글로벌 비트 라인들에 접속될 수 있다. 상기 글로벌 비트 라인층은 바람직하게 어레이 아래 기판에 배치될 수 있는 메모리 어레이에 대한 회로를 지원하기 위하여 보다 편리한 접속을 위해 모든 메모리 레벨들 아래 모놀리식 집적 회로 층상에 배치된다. 몇몇 실시예들에서, 글로벌 비트 라인 층은 메모리 레벨들 중간, 또는 어레이 위에 배치되고, 하나 이상의 글로벌 비트 라인 층은 사용될 수 있다. 게다가, 하나 이상의 층 상의 NAND 스트링들은 바람직하게 모든 메모리 레벨들 위에 배치된 단일 층상 공유된 바이어스 노드들에 접속될 수 있다. 몇몇 실시예들에서, 공유된 바이어스 노드들은 메모리 레벨들 중간, 또는 어레이 아래에 잔류할 수 있다. 공유된 바이어스 노드들은 이와 같이 하나 이상의 층 위에 배치된다.

도시된 비 미러 NAND 스트링 장치가 각각의 인접한 NAND 스트링에 대한 글로벌 비트 라인을 사용하기 때문에, 글로벌 비트 라인들의 피치는 인접한 NAND 스트링들이 동일한 글로벌 비트 라인을 공유하는 다른 실시예들보다 밀집될 수 있다. 글로벌 비트 라인 피치 문제들을 감소시키기 위하여, 특정 실시예들에서 글로벌 비트 라인들은 두 개 이상의 배선 층들상에 라우트될 수 있다. 예를들어, 짝수 NAND 스트링들은 하나의 글로벌 비트 라인 층상에 배치된 글로벌 비트 라인들과 연관되고, 홀수 NAND 스트링들은 다른 글로벌 비트 라인 층상에 배치된 글로벌 비트 라인들과 연관될 수 있다. 비아들은

NAND 스트링들의 피치를 매칭시키기 위하여 서로 엇갈릴 수 있고, 요구된 글로벌 비트 라인 피치는 개별 NAND 스트링들의 피치에 두배로 완화된다. 두개 이상의 수직으로 인접한 층들과 접촉하는 수직 비아들은 특히 NAND 스트링들의 하나 이상의 메모리 평면을 가진 3차원 어레이들에서 사용될 수 있다. 상기 수직 접속은 Z 방향에서 하나 이상의 층을 접속하는 비아 타입 구조를 의미하도록 "지아(zia)"라 편리하게 불린다. 바람직한 지아 구조들 및 상기 지아 형성을 위한 관련 방법들은 여기에 참조로써 통합된 Cleeves에 의해 2003년 3월 18일 특허허여된 미국특허 6,534,403에 기술된다. 예시적인 지아들의 다른 상세한 것은 상기에서 참조된 Roy E. Scheuerlein 등에 의한 "Programmable Memory Array Structure Incorporating Series-Connected Transistor Strings and Methods for Fabrication and Operation of Same"에 기술된다.

다양한 실시예들은 고안된다. 여기에 기술된 바와같이 미러 및 비 미러 구성들 모드는 고려된다. 부가적인 공유는 임의의 주어진 블록에 의해 요구된 영역을 추가로 감소시키기 위하여 사용된다. 예를들어, 비 미러 구성에서 글로벌 비트 라인들에 대한 접촉들은 공유된 접촉부들의 어느 한쪽 측면에서 두 개의 메모리 블록들에 의해 공유될 수 있다. 게다가, 공유된 드레인 라인 및 하나의 블록에서 NAND 스트링들의 단부에 대한 연관된 접촉부들은 인접한 블록에서 NAND 스트링들에 의해 공유될 수 있다. 다른 실시예들에서, 인접한 블록들은 선택되지 않은 블록들의 스트레스를 피하기 위하여 독립적인 공유 드레인 노드들을 가질 수 있다.

도 17A, 17B, 17D 및 17E에 도시된 바와같이, 직선에서 지아들의 컴팩트 배열들은 글로벌 비트 라인들에 대한 접촉부들을 위한 영역을 절약하기 위하여 바람직하다. 이것은 도 17A,17B 및 17C에 도시된 NAND 스트링들의 비 미러 배열에 특히 바람직하다. NAND 채널 영역들의 매우 밀집된 간격에서 지아들을 형성하기 위한 임의의 공지된 처리 기술은 도 17A, 17B, 17D 및 17E에 도시된 NAND 스트링과 결합하여 사용될 수 있다. 도 17A에서 비 미러 NAND 스트링들은 메모리 라인들과 일치하여 메모리 라인들 아래의 단일 층상 글로벌 비트 라인들에 접속되고, 이것은 도 17A의 평면도에 나타나지 않는다. 선택적으로, 지아(1701)는 하나의 층상에서 글로벌 비트 라인들에 접속할 수 있고, 인접한 지아(1702)는 제 2 글로벌 비트 라인 층상에서 글로벌 비트 라인에 접속할 수 있다. 공통 메모리 레벨에서 두개의 배선 레벨들로 지아 접속을 형성하는 수직 오버랩핑 지아 기술은 도 17B의 장치에 도시된 바와같이 두개의 층들상의 글로벌 비트 라인들에 NAND 스트링들을 접속하는데 바람직하게 사용될 수 있다. 상기 수직으로 오버랩핑하는 지아 기술들은 여기에 참조로써 통합되고, Roy E. Scheuerlein 등에 의한 "High Density Contact to Relaxed Geometry Layers"인 미국특허출원 10/728,451에 보다 상세히 기술된다. 두개의 글로벌 비트 라인 층들은 메모리 어레이 아래 양쪽 또는 메모리 어레이위 양쪽에 있을 수 있다. 도 17C에서, 지아 위치들은 지아 홀들 사이의 간격을 확대하기 위하여 엇갈리고 몇몇 실시예들에서 NAND 스트링 채널 층들 및 글로벌 비트 라인 층들 상에 패드 영역을 제공한다. 인 라인 지아들의 사용(상기 참조된 "Method for Fabrication Programmable Memory Array Structures Incorporating Series-Connected Transistor Strings"의 도 24, 도 25 및 도 28에 도시된 바와같이)은 선택된 블록의 NAND 스트링 및 인접한 블록의 NAND 스트링에 지아를 접속하면서, 도 17A, 17B, 17D 또는 17E에 도시된 장치들에 보다 밀집한 간격의 지아들을 제공할 수 있다. 다중 층 수직 지아 홀들(상기 참조된 "Method for Fabrication Programmable Memory Array Structures Incorporating Series Connected Transistor Strings"의 도 29에 도시된 바와같이)은 이들 장치들의 각각에 적당한 컴팩트 지아들을 형성한다.

도 18에 도시된 바와같이, 선택된 블록의 NADN 스트링들에서 미러 스트링 장치(1800)는 대응하는 글로벌 비트 라인들(1801,1802,1803,1804,1805)에 접속되지만 메모리 블록의 다른 측면들에서 모든 인접한 NAND 스트링들(1811,1812,1813,1814,1815)을 가진다. 상부에서 드레인 바이어스 노드(1820) 및 하부에서 드레인 바이어스 노드(1821)는 비 미러 NAND 스트링 장치들에서 스트링으로부터 누설 전류를 감소시키기 위하여 바람직한 전압으로 글로벌 비트 라인 전압과 무관하게 바이어스될 수 있다. 글로벌 비트 라인들은 하나의 층 또는 두 개의 층들상에 있고, 메모리 층들 상 또는 아래에 있을 수 있다.

채널 승압 같은 여기에 기술된 다양한 기술들, 다수의 프로그래밍 펄스들, 다중 레벨 펄스들, 및 다수의 직렬 선택 장치들은 H 셀 프로그램 교란, F 셀 프로그램 교란을 감소시키고, 로버스트 S 셀 프로그래밍을 제공하기 위하여 혼자 또는 결합하여 사용될 수 있다.

미러 구성에 대하여, 바람직한 실시예들은 상부 선택 그룹에 대한 두개의 독립적인 게이트 전압들 및 하부 선택 그룹에 대한 두개의 독립적인 게이트 전압들을 가지는 각각의 스트링의 각각의 단부에서 3개의 직렬 선택 장치들을 사용한다. 다중 레벨 게이트 펄스들은 또한 사용되고, (V_{INH} + max Vt)의 초기 펄스 레벨은 상부 선택기 및 통과 워드 라인들 양쪽에 대해 (V_{INH} - min Vt)의 감소된 펄스 레벨을 따른다. 다수의 프로그래밍 펄스들은 다음 테이블에서 요약된 바와같이 사용된다:

V_{INH}	상부 선택기들(3 게이트들)	V_{PASS}	V_{PGM}	하부 선택기(3 게이트들)	공통 드레인	H 셀 교란	F 셀 교란	스트링 당 장치들의 총 #

5V	7V->4V	7V->4V	13V	외부 2 게이트들 단락 @ 0V & 내부 1 게이트 @ 4.5V	0V	<250mV	<200mV	22

총 22개의 장치들이 스트링 당 사용된다: 16 메모리 셀들: 스트링의 상부에서 3 직렬 선택 장치들; 및 스트링의 하부에서 3 개의 직렬 선택 장치들. 통과 워드 라인들상 다중 레벨 펄스들 및 상부 선택 장치들은 처음에 7V이고, 프로그래밍 펄스가 선택된 워드 라인에 인가되기 전에 4V로 강하된다.

비 미러 구성에 대해, 하나의 바람직한 실시예는 하부 선택 그룹에 대해 두개의 독립적인 게이트 전압들을 가진 각각의 스트링의 상단부(즉, 글로벌 비트 라인 단부)상 단일 선택 자치, 및 각각의 NAND 스트링의 하부 단부상 두개의 직렬 선택 장치들을 사용한다. 다중 레벨 게이트 펄스들은 또한 사용되고, (V_{INH} + max Vt)의 초기 펄스 레벨은 상부 선택기 및 선택되지 않은 워드 라인들에 대해 (V_{INH} - min Vt)의 감소된 펄스 레벨을 따른다. 다수의 프로그래밍 펄스들은 다음 테이블에서 요약된 바와같이 사용된다:

V_{INH}	상부 선택기들1 게이트	V_{PASS}	V_{PGM}	하부 선택기(2 게이트들)	소스(GSL)	H 셀 교란	F 셀 교란	스트링 당 장치들의 총 #
5V	7V->4V	7V->4V	13V	외부 2 게이트 @5V & 내부 게이트 @0V	2.5V	<75mV	<100mV	19

총 19개의 자치들이 스트링 당 사용된다: 16 메모리 셀들: 스트링의 상부에서 1 선택 장치들; 및 스트링의 하부에서 2개의 직렬 선택 장치들. 통과 워드 라인들상 다중 레벨 펄스들 및 상부 선택 장치들은 처음에 7V이고, 프로그래밍 펄스가 선택된 워드 라인에 인가되기 전에 4V로 강하된다.

특정 비 미러 실시예들에서, 각각의 NAND 스트링은 도 1에 도시된 바와같이, 각각의 단부에서 단일 선택 장치만을 포함할 수 있다. 적당한 성능은 어레이의 다양한 신호들에 대한 전압 범위들을 가리키는 다음 테이블에 기술된 동작 조건들의 바람직한 세트를 사용하여 달성될 수 있다.

신호	판독		프로그램		소거	
	값	범위	값	범위	값	범위
V_{WL}	1V	0V..3V	12V	7V..15V	0V	0V
V_{WLPASS}	5V	2V..6V	7V	2V..9V	0V	0V
$V_{WLUNSEL}$	0V	0V 또는 플로팅	0V	0V 또는 플로팅	10V	6V..13V 또는 플로팅
V_{BSELB}	5V	2V..6V	5V	4V..10V	10V	6V..13V
V_{BSELD}	5V	2V..6V	0V	-3V..0V	10V	6V..13V
V_{UNBSEL}	0V	-3V..0V	0V	-3V..0V	10V	6V..13V
V_{GBL}	1V	0V..3V	0V/4V	0V/4V..10V	10V	6V..13V
V_{DRAIN}	1.5V	0V..3V	4V	4V..10V 또는 플로팅	10V	6V..13V

특정 실시예들에서, 공유된 드레인 라인은 모든 메모리 블록들에 대해 공통이다. 다른 실시예들에서, 이런 공통 노드(비 미러 구성들에 대해 글로벌 소스로서 기술됨)는 다수의 노드들로 분할되고, 각각은 독립적으로 바이어스된다. 많은 선택되지 않은 NAND 스트링들이 동일한 워드 라인(일반적으로 다수의 층들에 의해 곱셈되는 Nst=128 내지 1024(512 typ), Nla=2 내지 8(8typ))에 접속되고, "오프" 블록 선택 트랜지스터들(Nst*Nla) 모두의 누설은 소거된 셀의 판독 전류와 중첩된다. 선택되지 않은 스트링의 누설을 Ibsleak라 하고, 소거된 셀의 전류를 Icer이라하고 프로그램된 셀의 전류를 Icpgm이라 하고, 프로그램된 셀로부터 소거된 셀을 올바르게 구별하기 위하여 다음 방정식은 만족되어야 한다:

$$I_{cer} > \mathrm{Ratio}\left(I_{bsleak} N_{st} N_{la} + I_{cpgm}\right) \rightarrow I_{bsleak} < \frac{\frac{I_{cer}}{\mathrm{Ratio}} - I_{cpgm}}{N_{st} N_{la}} \cong 1\mathrm{pA}$$

통상적으로 비율=100, Icer=500nA, Icpgm=1nA, Nst=512, 및 Nla=8이다.

상기 제한보다 많은 블록 선택 트랜지스터들 누설이 상기 방정식에 의해 설정되면, 다수의 스트링들(Nst)는 감소될 수 있다. 이것의 단점은 어레이가 파손되는 각각의 시간때 어레이 효율성이 나빠진다는 것이고, 비효율성들이 유도된다. 선택적으로, 공통 바이어스 노드는 다수의 노드들로부 분할된다. 선택된 스트링을 포함하는 V_{DRAIN}은 정상적인 V_{DRAIN} 전압(예를들어, 1.5V)로 바이어스된다. 모든 다른 V_{DRAIN} 노드들은 글로벌 비트 라인들로서 동일한 전압으로 바이어스된다. 이런 방식에서, 비록 블록 선택 장치들이 누설될지라도, 스트링 사이의 전압차가 없기 때문에, 전류는1V에서 V_{DRAIN}를 가진 선택되지 않은 스트링들에서 흐르지 않을 수 있다. 만약 공통 노드가 M배(즉, M개의 개별 노드들)로 분할되면, Ibsleak상 요구는 글로벌 비트 라인을 파손하지 않고, 상기 제한에 관련하여 M의 인자만큼 감소된다. M의 바람직한 값은 128이고, 150pA의 Ibsleak에 대한 제한을 제공한다. M에 대한 범위는 블록 선택 트랜지스터 누설에 따라 16 내지 512이다.

상기된 판독 바이어싱 조건들은 소스들로서 글로벌 비트 라인들 및 드레인으로서 공통 노드를 설정한다. 반대도 가능하고; 두 개의 바이어스 조건들을 반대로 한다(예를들어, 글로벌 비트 라인들 1.5V 및 공통 노드 1V).

모든 층상에서 온 피치 지아들을 가지는 것의 요구를 완화하기 위한 가능한 변화는 두 개의 스트링들에 대한 지아들을 공유하는 것이다. 이것은 도 2에 도시된 인접한 스트링과 같이 반대 방향으로 지향하는 스트링들을 가지는 것을 의미한다. 다른 실시예에서, 온 피치 지아들보다, 다른 라우팅 층(R4)은 메모리 어레이의 상부에 도입될 수 있다. 상기 라우팅 층은 글로벌 비트 라인들의 절반을 보유하고, 다른 글로벌 비트 라인 층은 글로벌 비트 라인들의 절반을 보유한다.

상기된 바와같이, 많은 메모리 어레이들, 및 특히 3차원(3D)메모리에 대해, 소거될때 공핍 모드 장치들 및 프로그램때 거의 공핍 모드 장치들(즉, 예를들어 0.5V 내지 1.5V 같은 1 볼트 정도의 V_T)는 하기된 바와같이 메모리 층들의 각각에 대한 레이아웃 복잡성을 단순화시키는 큰 장점을 가진다. 게다가, 프로그램될때 거의 공핍 모드 장치들을 사용하는 것은 선택된 메모리 셀을 판독할때 선택되지 않은 워드 라인들에 인가될 필요가 있는 전압들을 감소시킨다. 셀 전류는 만약 선택되지 않은 메모리 셀들이 프로그램되더라도, 스트링을 통하여 보다 쉽게 통과할 수 있다. 이 전압 감소는 많은 예상된 판독 사이클 동안 교란 효과들을 감소시키기에 바람직하다. 예를들어, 소거되는 선택되지 않은 NAND 스트링상 선택되지 않은 메모리 셀은 워드 라인들상에 보다 높은 전압들에 의해 프로그램된 상태로 천천히 교란될 수 있다.

본 발명에 따른 NAND 스트링들은 다수의 다른 처리들중 임의의 것을 사용하여 제조될 수 있다. 집적 회로는 단일 메모리 평면을 가진 메모리 어레이를 포함하거나, 하나 이상의 메모리 평면들을 가진 메모리 어레이를 포함할 수 있다. 하나의 예시적인 구조는 도 15에 도시된다. 3차원 도면은 본 발명에 따라 2개의 레벨 메모리 어레이(400)의 부분을 개념적으로 도시한다. 레벨 1에서, 다수의 채널 스트라이프들(예를들어, 402)은 제 1 방향으로 형성된다. 산화물/질화물/산화물(ONO) 스택 같은 저장된 전하 유전체 층(404)은 채널 스트라이프들(402)의 상부 표면상에 적어도 형성된다. 제 1 방향과 다른 제 2 방향으로 연장하는 다수의 게이트 스트라이프들(예를들어, 406)은 저장된 전하 유전체 층(404)상에 형성된다. 바람직하게, 워드 라인 스트라이프들이라 불리는 게이트 스트라이프들은 채널 스트라이프들에 대해 수직으로 연장한다. 소스/드레인 영역(예를들어, 410)은 워드 라인 스트라이프들(즉, 워드 라인 스트라이프에 의해 전달되지 않는다) 사이의 노출된 영역들에서 채널 스트라이프들내에 형성되고, 박막 트랜지스터들(TFT)의 직렬 접속 스트링을 형성한다.

상기 채널 스트라이프들(402)은 비결정질 실리콘 층을 증착하고 채널 스트라이프들을 형성하기 위하여 채널 마스크를 사용하여 층을 에칭하고 박막 트랜지스터 채널을 형성하기 위하여 상기 층을 어닐링함으로써 형성된다. 워드 라인 스트라이프들(406)은 실리사이드 층에 의해 커버되는 폴리실리콘 층 같은 하나 이상의 층의 스택으로 형성되거나, 도면에 도시된 바와같이 3개의 레벨 스택일 수 있다.

중간레벨 유전층(408)은 다음 보다 높은 레벨(예를들어, 레벨 2상에 배치된 채널 스트라이프들 402)상 채널 스트라이프들로부터 하나의 레벨(예를들어, 레벨 1상에 도시된 워드 라인 스트라이프들 406)상 워드 라인들을 절연하기 위하여 워드 라인 스트라이프들상에 형성된다. 유전체는 주어진 레벨의 워드 라인 스트라이프들 사이 간격들을 충전하기 위하여 사용된다. 인식될 수 있는 바와같이, 상기 구조는 각각의 채널 스트라이프(402)내에 다수의 직렬 접속 트랜지스터들을 형성한다.

NAND 스트링의 트랜지스터들은 프로그램된 상태를 위하여 인핸스먼트 또는 공핍 모드 장치들을 포함하도록 제조될 수 있다. 플로팅 게이트 장치들(SONOS 장치들 보다 오히려)을 사용하는 다른 형태의 NAND 메모리 어레이들에서, 소거 상태는 제로 볼트 임계 전압(V_T) 또는 심지어 공핍 모드(V_T)이다. 플로팅 게이트 장치는 플로팅 게이트가 넓은 범위의 전하 레벨들을 저장할 수 있기 때문에, 넓은 범위의 V_T들을 가질 수 있다. 상기 공핍 모드 프로그램 상태는 Takeuchi 등에 의한 "A Negative Vth Cell Architecture for Highly Scalable, Excellently Noise-Immune, and Highly Reliable NAND Flash Memories", IEE JSSC, Vol.34. No.5, May 1999, pp. 675-684에 기술된다.

여기의 설명들은 메모리 셀들의 프로그래밍에 집중되고, 판독 또는 소거 동작들이 처리되지 않는다. 예시적인 구성들에서, 선택된 NAND 스트링은 일반적으로 NAND 스트링 양단 전압을 인가함으로써 일반적으로 판독되고, 하나 이상의 블록 선택 장치들의 그룹들이 전류를 통과시키도록 바이어스되는 것을 보장하고, NAND 스트링의 모든 비 선택 메모리 셀 장치들이 여기에 저장된 데이터 상태에 무관하게 스트링을 통하여 전류를 통과시키도록 바이어스되는 것을 보장하고, 전류가 두 개의 데이터 상태들중 하나에 대해서만 NAND 스트링을 통하여 흐르도록 선택된 워드 라인을 바이어싱한다. 선택된 블록의 모든 메모리 셀들은 각각의 메모리 셀 트랜지스터 양단에 충분히 높은 크기의 네가티브 게이트 대 소스 전압을 인가함으로써 소거될 수 있다. 예를들어, 글로벌 비트 라인들, 임의의 공유된 바이어스 노드들, 모든 블록 선택 라인들, 및 모든 워드 라인들은 예를들어 10볼트의 소거(V_{EE}) 전압으로 구동될 수 있다. 글로벌 비트 라인들 및 공유된 드레인 노드들상에 전달된 소거 전압으로 충전하도록 선택된 블록의 중간 노드들에 대해 시간을 허용한후, 선택된 블록의 워드 라인들은 블록의 각각의 메모리 셀 양단 소거 바이어스를 인가하기 위하여 접지된다. 양쪽 판독 및 소거 미러 구성들의 부가적인 세목들은 상기에 참조된 Roy E. Scheuerlein 등에 의한 "Programmable Memory Array Structure Incorporating Series-Connected Transistor Strings and Methods for Fabrication and Operation of Same"에 기술되고, 유사한 기술들은 비 미러 구성들에 사용될 수 있다.

여기에 기술된 실시예들에서 하나 이상의 블록 선택 장치들은 네가티브 게이트 대 소스 전압으로 동시에 바이어스될 수 있다. 이것은 블록 선택 장치상에 부분적인 소거 바이어스를 인가한다. 만약 이들 블록 선택 장치들이 공핍 모드 SONOS 셀 같은 프로그램 가능한 셀로서 동일한 처리 단계들에 의해 형성되면, 이들 블록 선택 장치들은 선택된 메모리 셀의 프로그래밍 동안 인가된 바이어스 전압에 의해 부분적으로 "소거"되고, 이것은 다수의 프로그램 사이클들 후 블록 선택 장치들의 V_T를 네가티브 영역으로 서서히 감소시킨다. 상기 임계 전압은 블록 선택 장치가 턴오프되는 것을 방지할 수 있다.

블록 선택 장치들로부터 전하 저장 유전체 층(예를들어, 질화물)을 제거하거나, 메모리 셀 장치와 다른 형태의 선택 장치를 제조하기 위하여 추가의 처리가 사용되지만, 이것은 반도체 처리에 복잡성을 부가한다. 선택적으로, 추후 프로그래밍 바이어싱 조건은 바람직하게 각각의 프로그램 사이클의 끝에 부가되고, 여기서 영향받은 블록 선택 장치는 예를들어 약 0볼트의 최대치까지 V_T를 가져가는 작은 양으로 "프로그램"된다. 이것은 접지(0 볼트)에 선택된 블록의 워드 라인 모두를 리턴하고, 글로벌 비트 라인들 및 공유된 드레인 노드들(또는 글로벌 소스 노드)을 접지로 두고, 짧은 시간 동안 프로그래밍 전압으로 각각의 선택 신호를 구동하여 달성된다. 편리함을 위하여, 모든 블록 선택 신호들은 블록 선택 장치들의 임계치를 오버 프로그램하기 위해 작은 관련성이 있을때 프로그래밍 전압으로 구동될 수 있다. 예시적인 SONOS 처리에 대해, 소거 시간은 프로그래밍 시간 보다 오래 걸리므로, 심지어 비교적 짧은 "블록 선택 V_T 조절 프로그램 시간"은 V_T가 최대치에 머무는 것을 보장하기에 적당하다. 예시적인 상기 블록 선택 V_T 조절에 대한 시간 기간은 대략 1μs이다.

도 16을 참조하여, 블록도는 메모리 어레이(502)를 포함하는 집적 회로(500)로 도시되고, 상기 도면은 본 발명의 다양한 실시예들을 나타내기 위하여 사용할 수 있다. 하나의 상기 실시예에서, 메모리 어레이(502)는 바람직하게 메모리 셀들의 하나 이상의 평면(또는 레벨)을 가진 3차원, 필드 프로그램 가능, 비휘발성 메모리 어레이이다. 메모리 어레이(502)의 어레이 단자들은 로우들로서 구성된 하나 이상의 워드 라인들 층, 및 컬럼들로서 구성된 하나 이상의 글로벌 비트 라인들 층들을 포함한다. 각각 독립된 층(즉, 레벨)에 자리하고 실질적으로 수직으로 정렬된(몇몇 층들에서 작은 측면 오프셋들에도 불구하고) 워드 라인들의 그룹은 집합적으로 로우라 불릴 수 있다. 로우 내의 워드 라인들은 바람직하게 로우 어드레스의 적어도 일부를 공유한다. 유사하게, 독립된 층에 자리하고 실질적으로 수직으로 정렬된(다시, 몇몇 층들에서 작은 측면 오프셋들에도 불구하고) 글로벌 비트 라인들의 그룹은 집합적으로 컬럼으로 불릴 수 있다. 컬럼내의 글로벌 비트 라인들은 컬럼 어드레스의 적어도 일부를 공유한다.

집적 회로(500)는 출력들(508)이 메모리 어레이(502)의 각각의 워드 라인들에 접속되는 로우 회로 블록(504)을 포함한다. 로우 회로 블록(504)은 M 로우 어드레스 신호들, 다양한 제어 신호들(512)을 포함하고, 통상적으로 판독 및 기입(즉, 프로그래밍) 동작 모두에 대해 로우 디코더들 미 어레이 단자 드라이버들로서 상기 회로를 포함할 수 있다. 로우 회로 블록은 M 로우 어드레스 신호들의 몇몇에 의해 블록 선택을 결정하기 위하여 블록 선택 라인들 및 공유된 드레인 바이어스 라인들을 제어하기 위한 회로를 포함한다. 집적 회로(500)는 입력/출력들(510)이 메모리 어레이(502)의 각각의 글로벌 비트 라인들에 접속되는 컬럼 회로 블록(506)을 포함한다. 컬럼 회로 블록(506)은 N 컬럼 어드레스 신호들, 다양한 제어 신호들(512)의 그룹을 수신하고, 통상적으로 컬럼 디코더들, 어레이 단자 수신기들, 판독/기입 회로, 및 I/O 멀티플렉서들로서 상기 회로를 포함할 수 있다. 로우 회로 블록(504) 및 컬럼 회로 블록(506) 같은 회로들은 메모리 어레이(502)의 다양한 단자들에 접속을 위하여 집합적으로 어레이 단자 회로들이라 불릴 수 있다.

메모리 어레이를 통합한 집적 회로들은 때때로 서브 어레이들로서 공지된 다수의 작은 어레이들로 상기 어레이를 분할한다. 여기에 사용된 바와같이, 어레이는 일반적으로 디코더들, 드라이버들, 감지 증폭기들, 및 입력/출력 회로들로 분해된 연속적인 워드 및 비트 라인들을 가진 메모리 셀들의 연속적인 그룹이다. 메모리 어레이를 포함하는 집적 회로는 하나의 어레이, 하나 이상의 어레이, 또는 심지어 다수의 어레이들을 가질 수 있다. 여기에 사용된 바와같이, 집적 회로 메모리 어레이는 함께 패키지되거나 근접하거나, 함께 다이 본딩된 하나 이상의 집적 회로 장치이기 보다 모놀리식 집적 회로 구조이다.

임의의 다양한 반도체 처리가 바람직하게 NAND 스트링들을 가진 메모리 어레이들을 제조하기 위하여 바람직하게 사용되었고, 상기된 많은 실시예들은 반도체 기판상에 박막 트랜지스터들로서 형성된 메모리 셀들을 고려한다. 상기 메모리 어레이들을 제조하기 위한 바람직한 방법들은 여기에 참조로써 통합된 Andrew J.Walker 등에 의하여 2002년 12월 31일 출원되고, 발명의 명칭이 "Formation of Thin Channels for TFT Devices to Ensure Low Variability of Threshold Voltages"인 미국출원 10/334,649; 여기에 참조로써 통합된 Maitreyee Mahajani 등에 의하여 2002년 12월 19일 출원되고, 발명의 명칭이 "Gate Dielectric Structures for Integrated Circuits and Methods for Making and Using Such Gate Dielectric Structures"인 미국출원 10/079,472; 여기에 참조로써 통합된 Andrew J.Walker 등에 의하여 2002년 12월 31일 출원되고, 발명의 명칭이 "Method for Fabricating Programmable Memory Array Structures Incorporating Series-Connected Transistor Strings""인 미국출원 10/335,089; 여기에 참조로써 통합된 Maitreyee Mahajani 등에 의하여 2003년 9월 23일 출원되고, 발명의 명칭이 "Storage Layer Optimizatin of a Non Volatile Memory Device"인 미국출원 10/668,693에 기술된다. 다른 유용한 방법들은 여기에 참조로써 통합되고, James M. Cleeves 등에 의해 동일한 날짜에 출원되고, 발명의 명칭이 "Optimization of Critical Dimensions and Pitch of Patterned Features In and Above a Substrate"인 미국특허 출원 10/728,437에 기술되고, 여기에 참조로써 통합되고, Yung-Tin Chen 등에 의해 동일 날짜에 출원되고, 발명의 명칭이 "Photomask Features with Interior Nonprinting Window Using Alternating Phase Shifting"인 미국특허 출원 07/728,436에 기술된다.

여기에 사용된 바와같이, 직렬 접속 NAND 스트링은 인접한 장치들 사이에서 직렬 및 공유 소스/드레인 분포로 접속된 다수의 장치들을 포함한다. 여기에 사용된 바와같이, 메모리 어레이는 기판상에 형성되거나, 기판상에 선택적으로 형성된 2차원(평면형) 메모리 어레이일 수 있다. 기판은 메모리 어레이에 대한 지원 회로를 포함하는 것과 같은 단결정 기판이거나, 메모리 어레이에 대한 지원 회로를 필수적으로 포함하지 않는 다른 형태의 기판일 수 있다. 예를들어, 본 발명의 특정 실시예들은 실리콘 온 절연체(SOI) 구조를 사용하여 실행되고, 다른 것들은 실리콘 온 사파이어(SOS) 구조를 사용하여 실행될 수 있다. 선택적으로, 메모리 어레이는 메모리 셀들의 하나 이상의 평면(즉, 하나 이상의 메모리 레벨)을 가진 3차원 어레일 수 있다. 메모리 레벨들은 메모리 어레이에 대한 지원 회로를 포함하는 기판상에 형성될 수 있다. 여기에 사용된 바와같이, 3차원 메모리 어레이를 가진 집적 회로는 하나 이상의 모놀리식 집적 회로의 어셈블리보다 하나의 모놀리식 집적 회로로 가정된다.

본 발명은 종래 단일 레벨 메모리 어레이들 및 다중 레벨(즉, 3차원0 메모리 어레이들 양쪽을 포함하고, 특히 극히 밀집된 X 라인 또는 Y 라인 피치 요구들을 가진 다양한 메모리 어레이 구성중 임의의 것에 사용하기 위하여 고려된다. 게다가, 본 발명은 메모리 셀들 같은 변형 가능한 도전성을 사용하는 직렬 접속 NAND 스트링을 가진 메모리 어레이에 응용할 수 있고, 전하 저장 유전체를 통합하는 메모리 셀들로 제한되지 않는다. 상기 변형 가능한 도전성 스위치 장치들은 두 개의 단자들 사이의 도전도가 변형될 수 있는 3개의 단자 장치들이고, 추가로 일반적으로 워드 라인들(또는 몇몇 실시예들에 대해 블록 선택 라인들)에 접속된 제 3 또는 제어 단자상 신호에 의해 "스위칭" 또는 제어된다. 도전성은 제조후 변형될 수 있다(즉, 터널링 전류를 사용하여 프로그래밍함으로써; 핫 전자 전류를 사용하여 프로그래밍함으로써, 등등). 변형 가능한 도전성은 번번하게 변형 가능한 임계 전압으로서 나타나지만, 몇몇 기술들에 대해 변형 가능한 전달 컨덕턴스로서 나타날 수 있다.

다른 예시적인 메모리 어레이는 강유전체 장치들 같은 "극화 가능한 유전체장치들"의 NAND 스트링들을 실행할 수 있고, 여기서 자치 특성들은 강유전체 게이트 물질의 극성 상태를 변경하는 전압을 게이트 전극상에 인가함으로써 변형된다.

다른 예시적인 메모리 어레이는 플로팅 게이트를 사용하는 프로그램 가능한 장치들의 NAND 스트링들을 실행할 수 있고, 상기 장치 특성은 플로팅 게이트상에 전하가 저장되게 하는 전압을 제어 게이트 전극에 인가함으로써 변형되어, 장치의 유효 임계 전압을 변화시킨다.

다른 예시적인 메모리 어레이는 소위 "단일 전자" 장치들 또는 "쿨롱 봉쇄" 장치들의 NAND 스트링들을 실행할 수 있고, 여기서 워드 라인상에 인가된 전압들은 NAND 스트링 장치들의 도전 특성들이 변화되는 채널 영역에서 실리콘 나노입자들 또는 임의의 양자 웰 구조에 의해 형성된 전자 트랩들 상태를 변경한다. 몇몇 실시예들에서, NAND 스트링 장치들의 전하

저장 영역 구조는 장치 특성을 변형하기 위하여 게이트 구조의 소스 또는 드레인 에지들에 형성된 나노미터 크기(즉, 0.1 내지 10 나노미터) 실리콘 필라멘트에 배치될 수 있다. 다른 실시예들은 채널 영역에 대해 유기 도전층을 사용하고 도전 상태가 워드 라인들에 적당한 전압을 인가함으로서 선택적으로 변화되는 NAND 스트링의 유기 재료 장치들을 형성한다.

따라서, 상기에 상세히 기술된 실시예들이 ONO 스택 같은 전하 저장 유전체를 사용하지만, 플로팅 게이트 EEPROM 프로그램 임계 장치들, 극화 가능 유전체 장치들, 단일 전자 또는 쿨롱 봉쇄 장치들, 실리콘 필라멘트 전하 저장 장치들, 및 유기 재료 장치들 같은 다른 메모리 셀들은 고려된다. 게다가, 본 발명은 포지티브 프로그래밍 전압들을 가진 메모리 어레이들로 제한되지 않고, 네가티브 프로그램 가능 펄스들을 요구할 수 있는 다른 셀 기술들에 이용할수 있다. 몇몇의 다른 셀 구조들은 보다 낮은 프로그래밍 전압을 허용한다. 이들 보다 낮은 전압 셀들을 가진 실시예들은 주어진 셀 타입으로서 V_{PASS} 및 V_{INH} 같은 다양한 라인 노드들에 대해 비례적으로 감소되는 전압들을 가진다.

여기에 기술된 다양한 실시예들에서, 메모리 셀들은 Johnson 등에 의한 미국특허 6,034,882, Zhang에 의한 미국특허 5,835,396, Knall에 의한 미국출원 09/560,626 및 Johnson에 의한 미국특허출원 09/638,428에 기술된 바와같은 반도체 재료들로 구성될 수 있고, 그 각각은 여기에 참조로써 통합된다. 특히 안티퓨즈 메모리 셀은 바람직하다. MRAM 및 유기 패시브 엘리먼트 어레이들 같은 다른 형태의 메모리 어레이들은 사용될 수 있다. MRAM(자기저항 랜덤 액세스 메모리)는 자기 터널 접합(MTJ) 같은 자기 메모리 엘리먼트들을 바탕으로 한다. MRAM 기술은 Peter K. Najj 등에 의해 Digest of Technical Papers of the 2001 IEEE International Solid-State Circuits Conference, ISSCC 2001/Session 7/ Technology Directions: Advaced Technologies/7.6, February 6, 2001 및 pages 94-95, 404-405 of ISSCC2001 Visual Supplement에서 공개된 "A 256kb 3.0V 1T1MTJ Nonvolatile Magnetoresistive RAM"에 기술되고, 양쪽은 여기에 참조로써 통합된다. 특정 패시브 엘리먼트 메모리 셀들은 전기장의 인가에 따라 도전성이 변화하는 적어도 하나의 유기 재료 및 다이오드 형 특성 도전성을 가진 적어도 하나의 층을 포함하는 유기 재료들의 층들을 통합한다. Gudensen 등에 의한 미국특허 6,055,180은 유기 패시브 엘리먼트 어레이들을 기술하고 여기에 참조로써 통합된다. 위상 변화 재료들 및 비결정질 고체들 같은 재료들을 포함하는 메모리 셀들은 사용될 수 있다. Wolstenholme 등에 의한 미국특허 5,751,012 및 Ovshinsky 등에 의한 미국특허 4,646,266을 참조하고, 양쪽은 여기에 참조로써 통합된다.

게다가, 상기 상세히 기술된 실시예들이 두 개의 다른 데이터 상태들에 해당하는 두 개의 도전성 값들을 제공하고, 따라서 메모리 셀 당 1 비트의 정보를 저장하기 위하여 제공하지만, 본 발명의 메모리 셀 당 1 이상의 비트를 제공하기 위하여 사용될 수 있다. 예를들어, 전하 저장 유전체는 다수의 위치들에 전하를 저장할 수 있다. 일부 구조들 및 프로그래밍 기술들에 대해, 전하는 채널(예를들어, 터너링 같은)을 따라 균일하게 프로그래밍 메카니즘이 작동할때 장치 채널 길이를 따라 실질적으로 균일하게 저장될 수 있거나, 전하는 핫 캐리어 주입 같은 프로그래밍 메카니즘이 사용될때 소스 또는 드레인 에지들에 저장될 수 있다. 다수의 정보 비트들은 핫 전자 프로그래밍, 단일 전자 메모리 장치들 또는 소스 또는 드레인에 배치된 실리콘 필라멘트들의 경우 소스 또는 드레인 에지에 전하를 국부적으로 저장함으로써 각각의 NAND 스트링 장치내에 저장될 수 있다. 다수의 정보 비트들은 몇몇 다른 레벨의 전하를 전하 저장 매체에 주입하고 다른 저장된 상태들과 다른 전하 레벨들을 연관시킴으로써 저장될 수 있다.

상기된 많은 실시예들에서, 블록 선택 장치들은 다수의 처리 단계들 및 각각의 메모리 레벨에서 제조된 장치 구조들을 감소시키기 위하여 메모리 셀들과 동일한 처리 흐름을 사용하여 형성된다. 따라서, 블록 선택 장치들은 비록 그들이 다른 크기일 수 있지만, 메모리 셀들과 동일한 구조를 가지고 형성된다. 여기에 사용된 바와같이, 상기 블록 선택 장치들은 비록 각각의 임계 전압들이 다른 값들로 프로그램되거나 소거될 수 있지만, 메모리 셀 장치들과 실질적으로 동일한 것으로 고려될 수 있다.

여기에 기술된 네가티브 전압 및 고전압 프로그래밍 및 소거 전압들을 포함하는 다양한 바이어스 전압들이 외부 소스들로부터 수신되거나, 다수의 적당한 기술들중 임의의 것을 사용하여 내부적으로 생성될 수 있는 것이 인식되어야 한다. 또한 목적 상부, 좌측, 하부 미 우측은 메모리 어레이의 4개의 측면들에 대한 편리한 구분 측면들에서 인식되어야 한다. 블록에 대한 워드 라인들은 수평으로 지향된 워드 라인들의 두 개의 인터디지털 그룹으로서 실행되고, 블록에 대한 글로벌 비트 라인들은 수직으로 지향되는 글로벌 비트 라인의 두 개의 인터디지털 라인들로서 실행될 수 있다. 워드 라인들 또는 글로벌 비트 라인들의 각각의 그룹은 어레이의 4개의 측면들중 하나에서 각각의 디코더/드라이버 회로 및 각각의 감지 회로에 의해 사용될 수 있다. 적당한 로우 및 컬럼 회로들은 2002년 11월 27일 출원되고 발명의 명칭이 "Multi-Headed Decoder Structure Utilizing Memory Array Line Driver with Dual Purpose Driver Device"인 미국특허출원 10/306,887, 및 2002년 11월 27일 출원된 발명의 명칭이 "The Decoder Structure Particularly Well Suited to Interfacing Array Lines Having Extremely Small Layout Pitch"인 미국특허출원 10/306,888에 기술되고, 여기 참조로써 통합된다. 글로

벌 비트 라인은 비트 라인 드라이버 회로에 의해 구동되고, 이것은 글로벌 비트 라인에 직접 결합되거나 몇몇 글로벌 비트 라인들 사이에 공유되고 목표된 글로벌 비트 라인에 디코딩 회로에 의해 결합될 수 있다. 적당한 드라이버 및 디코더 회로들은 종래에 잘 공지되었다.

여기에 사용된 바와 같이, 워드 라인들 및 비트 라인들(예를 들어, 글로벌 비트 라인들 포함)은 일반적으로 수직 어레이 라인들을 나타내고, 적어도 판독 동작 동안 워드 라인들이 구동되고 비트 라인들이 감지되는 공통적인 기술의 가정을 따른다. 따라서, 어레이의 글로벌 비트 라인들은 어레이의 감지 라인들이라 불리고, 간단히 글로벌 어레이 라인들(즉, 다른 어레이 라인들이 존재할지라도)이라 불릴 수 있다. 특정 실행은 상기 용어들의 사용에 의해 워드 구성으로 도시되어서는 안된다. 게다가, 여기에 사용된 바와 같이, "글로벌 비트 라인"은 하나 이상의 메모리 블록에서 NAND 스트링들에 접속하는 어레이 라인이지만, 상기 글로벌 비트 라인이 전체 메모리 어레이 양단을 가로지르거나 실질적으로 전체 집적 회로를 가로지르는 것을 제안하는 것이 특정하게 추론되어서는 안된다.

다양한 도면들에서 다양한 어레이 라인들의 방향성은 어레이에서 두 개의 교차 라인들 그룹의 설명을 용이하게 하기 위하여 편리하다. 워드 라인들이 일반적으로 비트 라인들에 대해 수직이지만, 그것은 필수적으로 요구되지 않는다. 게다가, 메모리 어레이의 워드 및 비트 구성은 쉽게 가역될 수 있다. 부가적인 예로서, 어레이 부분들은 주어진 워드의 다른 출력 비트들에 대응할 수 있다. 상기 다양한 어레이 구성들 및 구조들은 종래에 잘 공지되었고, 본 발명은 다양한 상기 변화들을 이해하기 위한 것이다.

회로내의 다양한 신호들 및 노드들을 포함하는 회로의 동작을 기술할때, 임의의 몇몇 표현들이 똑같이 잘 사용되는 것이 당업자에게 인식되고, 이 설명내에서 가변되는 용도로 판독되어서는 안된다. 논리 신호들은 레벨이 활성 레벨인 것을 전달하기 위한 방식으로 명명된다. 개략적인 도면들 및 신호들 및 노드들의 첨부 설명은 명료하여야 한다. 여기에 사용된 바와 같이, 서로에 대해 "실질적으로 동일한" 두 개의 다른 전압들은 발생 환경하에서 동일한 효과를 유발하기에 충분히 밀접한 각각의 값들을 가진다. 상기 전압들은 만약 환경이 다른 값을 요구하지 않으면 서로 대략 0.5 볼트내에 속하는 것으로 간주될 수 있다. 예를들어, 5볼트 또는 5.5 볼트의 통과 전압은 5 볼트의 방지 바이어스 전압과 동일한 효과들을 유발하고, 따라서 5.5 볼트 통과 전압은 5 볼트 방지 전압과 실질적으로 동일한 것으로 고려될 수 있다.

전력 공급과 관련하여, 회로에 전력을 인가하기 위하여 사용된 단일 전력 공급 전압(예를들어, 2.5 볼트 전력 공급기)은 주로 "VDD" 전력 공급기라 불린다. 집적 회로에서, 트랜지스터들 및 다른 회로 엘리먼트들은 VDD 단자 또는 VDD 노드에 접속되고, 이것은 VDD 전력 공급기에 동작 가능하게 접속된다. "VDD로 고정" 또는 "VDD에 접속" 같은 어구들의 구어체 사용은 집적 회로의 사용동안 VDD 전력 공급 전압을 실제로 수신하기 위하여 동작 가능하게 접속되는 "VDD 노드에 접속된"을 의미하는 것으로 이해된다.

상기 단일 전력 공급 회로에 대한 참조 전압은 "VSS"라 주로 불린다. 트랜지스터들 및 다른 회로 엘리먼트들은 집적 회로의 사용 동안 VSS 전력 공급기에 동작 가능하게 접속된 VSS 단자 또는 VSS 노드에 접속된다. 주로 VSS 단자는 접지 기준 전위에 접속되거나, "접지" 된다. 특정 트랜지스터 또는 회로(만약 정의되지 않으면)에 의하여 "접지"되는 노드를 설명하는 것은 트랜지스터 또는 회로에 의해 "강하" 또는 "접지로 강하"되는 것과 동일한 것을 의미한다.

이런 개시물의 가르침을 바탕으로, 당업자중 하나가 본 발명을 쉽게 실행할 수 있다는 것이 예상된다. 여기에 제공된 다양한 실시예들의 설명은 당업자가 본 발명을 실행할 수 있게 본 발명의 넓은 통찰력 및 세목들을 제공하는 것으로 믿어진다. 그럼에도 불구하고, 간략화를 위하여, 여기에 기술된 실행들의 모든 루틴 피쳐들은 도시되고 기술되지 않는다. 물론 임의의 실제 실행의 전개시, 다수의 실행 지정 결정들이 출원 및 비지니스 관련 압박과 순응하는 것과 같은 개발자의 특정 목적들을 달성하기 위하여 이루어지는 것이 예상되고, 이들 특정 목적들은 하나의 실행으로부터 다른 실행으로 그리고 하나의 개발자로부터 다른 개발자로 가변할 것이다. 게다가, 상기 개발 노력이 복잡하고 시간 소비적이지만, 그럼에도 이 개시물의 장점을 아는 당업자가 엔지니어링의 루틴을 수행할 수 있다.

예를들어, 각각의 어레이 또는 서브 어레이내의 다수의 메모리 셀들에 대한 결정들, 워드 라인 및 비트 라인 프리 디코더 및 디코더 회로들 및 비트 라인 감지 회로들을 위하여 선택된 구성, 및 워드 구성은 상업적으로 실행할 수 있는 제품을 개발하는 환경하에서 본 발명을 실행시 당업자가 만나는 통상적인 엔지니어링 결정들인 것으로 믿어진다. 종래에 잘 공지된 바와같이, 다양한 로우 및 컬럼 디코더 회로들은 메모리 블록, 선택된 블록내의 NAND 스트링, 및 어드레스 신호들 및 가능하게 다른 제어 신호들을 바탕으로 하는 선택된 NAND 스트링내의 메모리 셀을 선택하기 위하여 실행된다. 유사하게, 다수의 어레이 블록들 및 다수의 메모리 평면들은 엔지니어링 결정 문제이다. 그럼에도 불구하고, 비록 엔지니어링 노력의 보다 많은 루틴 존재가 본 발명을 실행하기 위하여 요구되는 것으로 믿어지지만, 상기 엔지니어링 노력들은 요구의 발전시 경쟁적인 제품들에서 발생하는 바와같은, 부가적인 본 발명의 노력들을 유발할 수 있다.

회로들 및 물리적 구조들이 일반적으로 가정되었지만, 현대 반도체 설계 및 제조에서, 물리적 구조들 및 회로들이 추후 설계, 검사 또는 제조 단계들뿐 아니라 결론적인 제조 반도체 집적 회로들에 사용하기 적당한 컴퓨터 판독 형태로 구현될 수 있다는 것이 인식된다. 따라서, 종래 회로들 또는 구조들에 관한 청구항들은 대응하는 회로들 및/또는 구조들의 제조, 검사, 또는 설계 정제를 허용하도록 적당한 판독 설비들과 결합되거나 매체로 실현되는지, 컴퓨터 판독 가능 인코딩 및 동일한 것의 표현들을 판독하는 특정 언어로 구성될 수 있다. 본 발명은 여기에 기술되고, 첨부된 청구항들에서 정의된 바와같이, 회로들, 관련 방법들 또는 동작, 상기 회로들을 형성하는 관련 방법들, 및 상기 회로들 및 방법들의 컴퓨터 판독 가능 매체 인코딩들로 고려된다. 여기에 사용된 바와같이, 컴퓨터 판독 가능 매체는 적어도 디스크, 테이프, 또는 다른 자기, 광학 반도체(예를들어, 플래시 메모리 카드들 ROM), 또는 전자 매체 및 네트워크, 유선 라인, 무선 또는 다른 통신 매체를 포함한다. 회로의 인코딩은 회로 개략 정보, 물리적 레이아웃 정보, 행동 시뮬레이션 정보를 포함하고, 및/또는 회로가 제공되거나 통신되는 임의의 다른 인코딩을 포함할 수 있다.

상기 상세한 설명은 본 발명의 많은 가능한 실행들중 몇몇만을 기술하였다. 이런 이유로, 이런 상세한 설명은 도시를 위한 것이고, 제한을 위한 것이 아니다. 여기에 개시된 실시예들의 변화들 및 변형들은 본 발명의 범위 및 사상을 벗어나지 않고 여기에 나타난 설명을 바탕으로 이루어질 수 있다. 본 발명의 범위를 정의하기 위하여 의도된 모든 등가물들을 포함하는 청구항들이 다음에 있다. 특히, 비록 많은 실시예들이 TFT 메모리 셀들의 3차원 메모리 어레이 환경에서 기술되었지만, 상기 제한들은 특정하게 제한되지 않으면 청구항들에 판독되지 않는다. 게다가, 상기된 실시예들은 단독 및 다양한 실시예들로 사용되는 것으로 고려된다. 따라서, 여기에 기술되지 않은 다른 실시예들, 변화들 및 개선점들은 본 발명의 범위에서 필수적으로 배제되지 않는다.

도면의 간단한 설명

도 1은 본 발명의 특정 실시예들에 따른 비미러(non-mirror) NAND 스트링 메모리 어레이 구성의 일부를 도시한다.

도 2는 본 발명의 특정 실시예들에 따른 미러 NAND 스트링 메모리 어레이 구성의 일부를 도시한다.

도 3은 미러 어레이의 특정 NAND 스트링을 나타내는 개략도이다.

도 4는 본 발명의 특정 실시예들에 따라, 인접한 NAND 스트링을 프로그래밍할때, 비선택된 NAND 스트링 채널의 용량성 승압을 달성하기 위한 파형들을 도시한다.

도 5는 본 발명의 특정 실시예들에 따라, 인접한 NAND 스트링을 프로그래밍할때 비선택된 NAND 스트링 채널의 용량성 승압을 달성하기 위한 다중 레벨 파형들을 도시한다.

도 6은 본 발명의 특정 실시예들에 따라, 인접한 NAND 스트링을 프로그래밍할때 비선택된 NAND 스트링 채널의 용량성 승압을 달성하기 위한 듀얼 펄스 다중 레벨 파형을 도시한다.

도 7은 본 발명의 특정 실시예에 따라, 인접한 NAND 스트링을 프로그래밍할때 비선택된 NAND 스트링 채널의 용량성 승압을 달성하기 위한 다수의 듀얼 펄스 다중 레벨 파형들의 시퀀스를 도시한다.

도 8은 예시적인 미러 NAND 스트링 구성에서, 인접한 NAND 스트링을 프로그램하기 위하여 사용된 프로그래밍 펄스들의 수를 가변시키는 3개의 다른 경우들에 대해, 비선택된 워드 라인들상 통과 전압에 관련하여 비선택된 NAND 스트링의 비선택된 메모리 셀의 교란 프로그래밍 양을 도시한 그래프이다.

도 9는 스트링의 하부에서 두 개의 직렬 선택 장치들을 사용하는 제 1 NAND 스트링에 대해, 그리고 스트링의 하부에서 3개의 직렬 선택 장치들을 사용하는 제 2 NAND 스트링에 대해, 비선택된 워드 라인들상 통과 전압에 관련하여, 비선택된 NAND 스트링의 비선택된 메모리 셀들의 교란 프로그래밍 양을 도시하는 그래프이다.

도 10은 인접한 NAND 스트링을 프로그래밍하는 것에 대응하는 제 1 경우, 및 방지된 NAND 스트링에 대응하는 제 2 경우에 대해, 선택되지 않은 워드 라인들상 통과 전압에 관련하여, 비선택된 NAND 스트링내 비선택된 메모리 셀의 교란 프로그래밍 양을 도시하는 그래프이고, 상기 양쪽 경우들은 각각의 스트링 하부에서 단일 선택 장치를 사용한다.

도 11은 스트링 하부에서 다수의 직렬 선택 장치들을 사용하는 NAND 스트링에 대해, 비선택된 워드 라인들상 통과 전압 및 하부 선택 장치의 전압에 관련하여, 비선택된 NAND 스트링내 하부 대부분의 비선택 메모리 셀의 교란 프로그램 양을 도시하는 그래프이고, 각각의 신호에 의하여 구동되는 장치는 다른 전압들을 가진다.

도 12는 스트링의 하부에서 다수의 직렬 선택 장치들을 사용하는 NAND 스트링에 대해, 비선택된 워드 라인들상 통과 전압에 관련하여, 선택된 NAND 스트링의 바닥 대다수 선택 메모리 셀의 프로그래밍 양을 도시하는 그래프이고, 각각의 신호에 의해 구동되는 상기 장치는 다른 전압들을 가진다.

도 13은 비 미러 어레이의 특정 NAND 스트링을 나타내는 개략도이다.

도 14는 본 발명의 특정 실시예들에 따라, 각각의 스트링의 한쪽 단부에서 다수의 직렬 선택 장치들을 통합하는 비 미러 NAND 스트링 메모리 어레이 구성의 일부를 도시한다.

도 15는 SONOS 메모리 셀 장치들의 직렬 접속 NAND 스트링들을 도시하는, 본 발명의 실시예에 사용하는 다중 레벨 어레이 구조의 투시도이다.

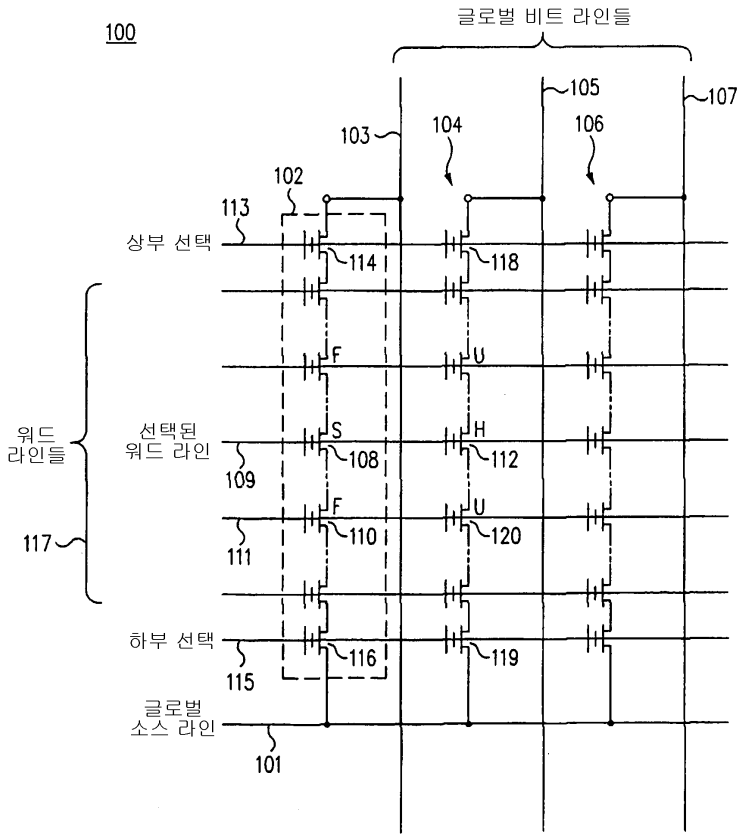
도 16은 본 발명에 따른 메모리 어레이를 통합한 집적 회로의 블록도이다.

도 17A, 17B, 17C, 17D 및 17E는 특정 메모리 어레이 구성들에 사용하는 다양한 레이아웃 배열들을 도시한다.

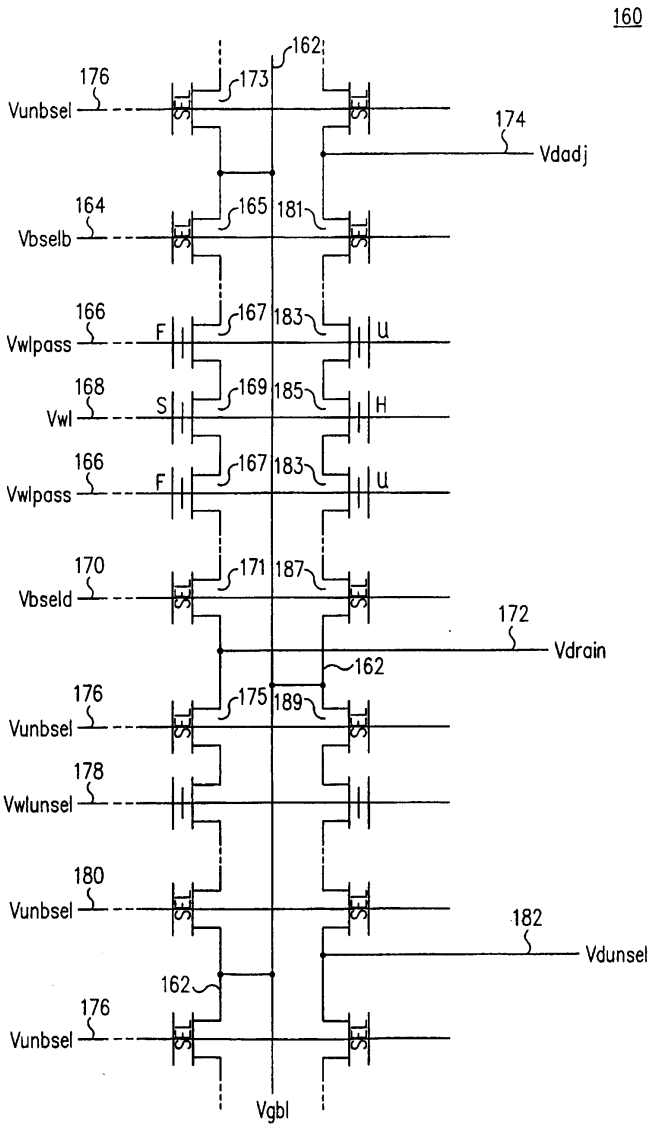
도 18은 메모리 블록에 대하여 두 개의 공유된 드레인 라인들을 가진 미러 NAND 스트링 장치의 배열을 도시한다.

도면

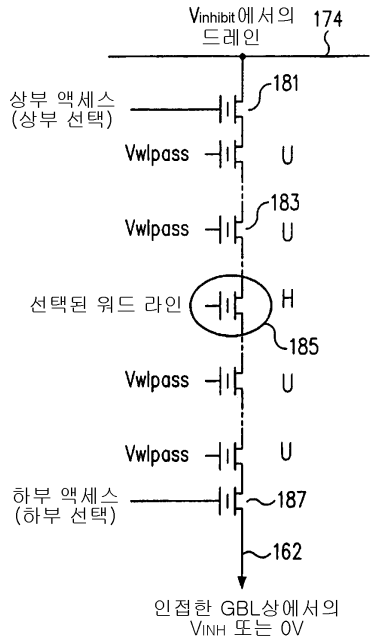
도면1



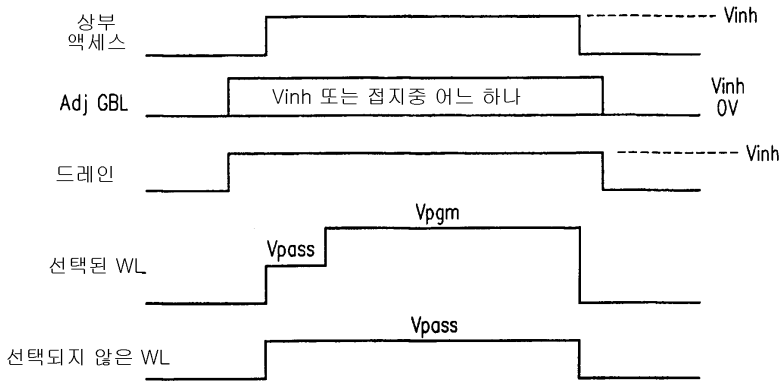
도면2


160
162
176
Vunbsel
173
174
Vdadj
164
Vbselb
165
181
166
Vwlpass
167
183
F
U
168
Vwl
169
185
S
H
166
Vwlpass
167
183
F
U
170
Vbseld
171
187
172
Vdrain
162
176
Vunbsel
175
189
178
Vwlunsel
180
Vunbsel
182
Vdunsel
162
176
Vunbsel
Vgbl

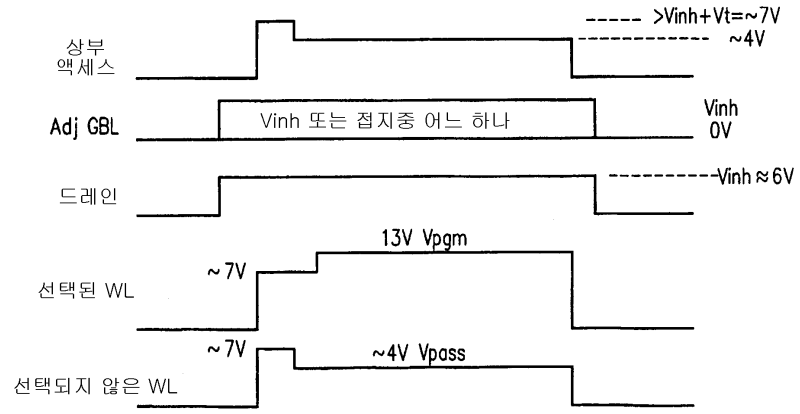
도면3


Vinhibit에서의
드레인
174
상부 액세스
(상부 선택)
181
Vwlpass
U
183
Vwlpass
U
선택된 워드 라인
H
185
Vwlpass
U
Vwlpass
U
하부 액세스
(하부 선택)
187
162
인접한 GBL상에서의
VINH 또는 0V

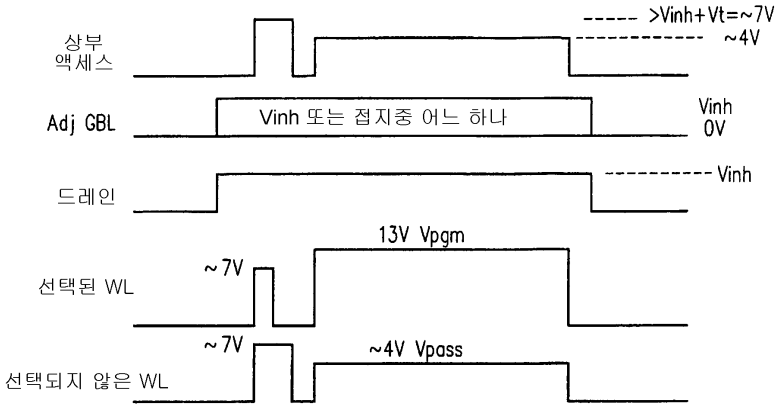
도면4


상부
액세스
Vinh
Adj GBL
Vinh 또는 접지중 어느 하나
Vinh
0V
드레인
Vinh
Vpgm
Vpass
선택된 WL
Vpass
선택되지 않은 WL

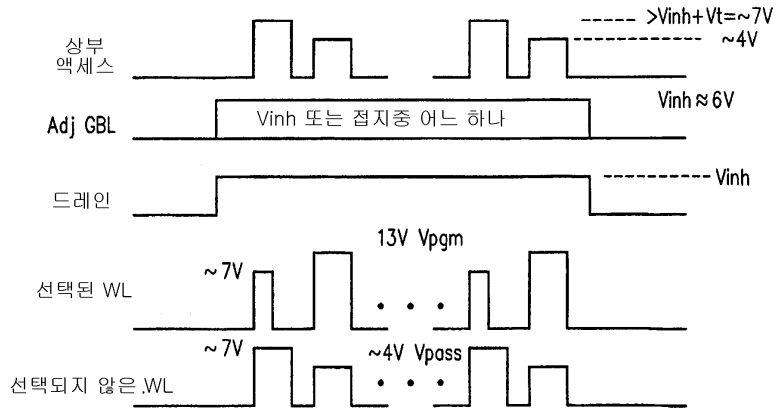
도면5


>Vinh+Vt=~7V
~4V
상부
액세스
Adj GBL
Vinh 또는 접지중 어느 하나
Vinh
0V
드레인
Vinh≈6V
13V Vpgm
~7V
선택된 WL
~7V
~4V Vpass
선택되지 않은 WL

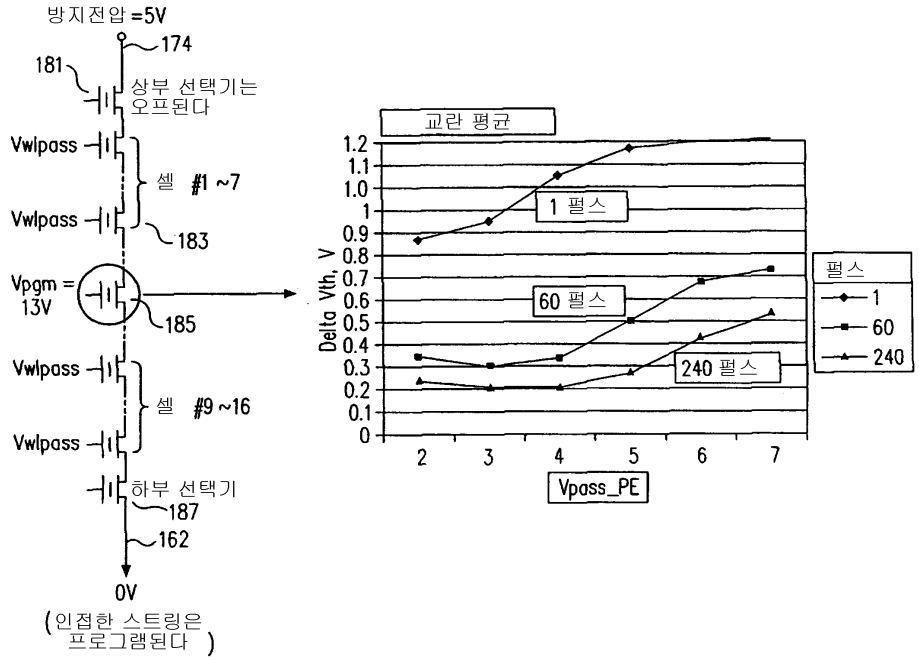
도면6


상부
액세스
----- >Vinh+Vt=~7V
---------- ~4V
Adj GBL
Vinh 또는 접지중 어느 하나
Vinh
0V
드레인
---------- Vinh
13V Vpgm
~7V
선택된 WL
~7V
~4V Vpass
선택되지 않은 WL

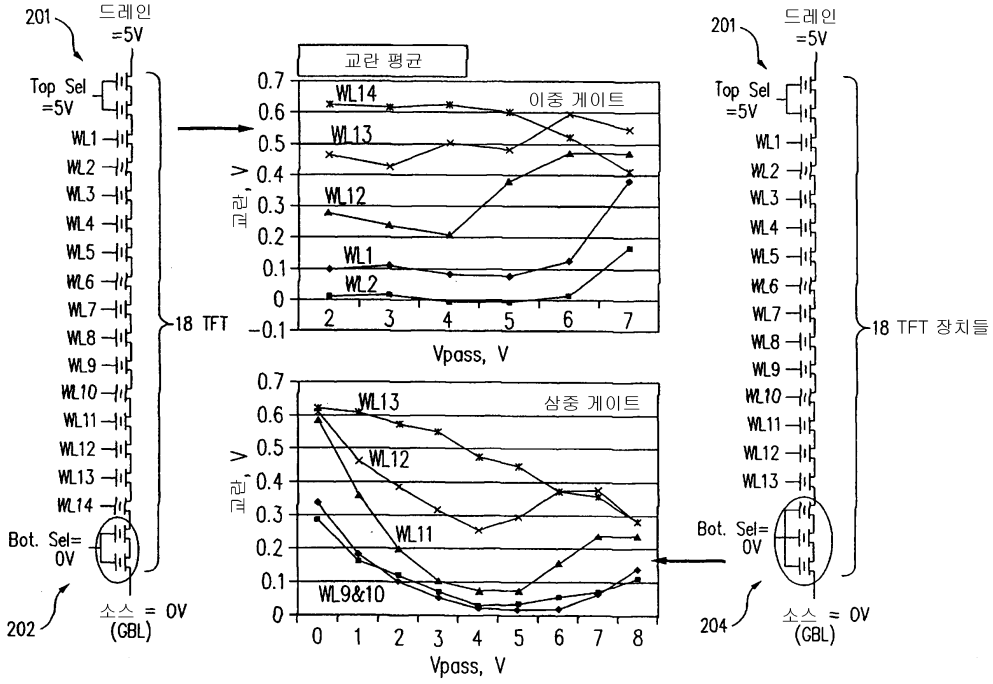
도면7


상부
액세스
----- >Vinh+Vt=~7V
---------- ~4V
Adj GBL
Vinh 또는 접지중 어느 하나
Vinh≈6V
드레인
---------- Vinh
13V Vpgm
~7V
선택된 WL
~7V
~4V Vpass
선택되지 않은 WL

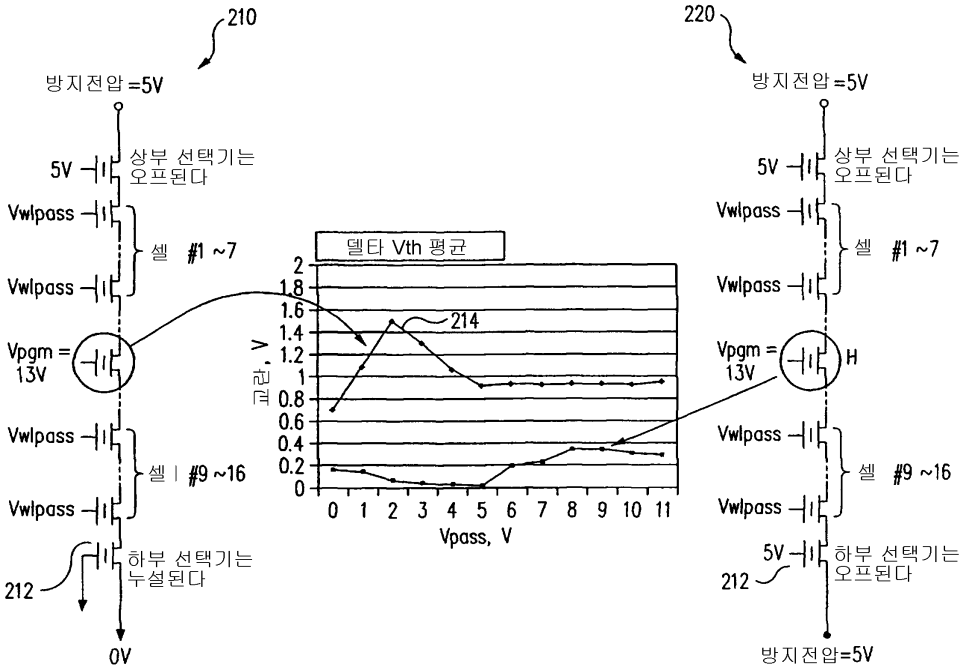
도면8


방지전압 =5V
174
181
상부 선택기는 오프된다
Vwlpass
셀 #1 ~7
Vwlpass
183
Vpgm = 13V
185
Vwlpass
셀 #9 ~16
Vwlpass
하부 선택기
187
162
0V
(인접한 스트링은 프로그램된다)
교란 평균
1 펄스
60 펄스
240 펄스
Delta Vth, V
Vpass_PE
펄스
1
60
240

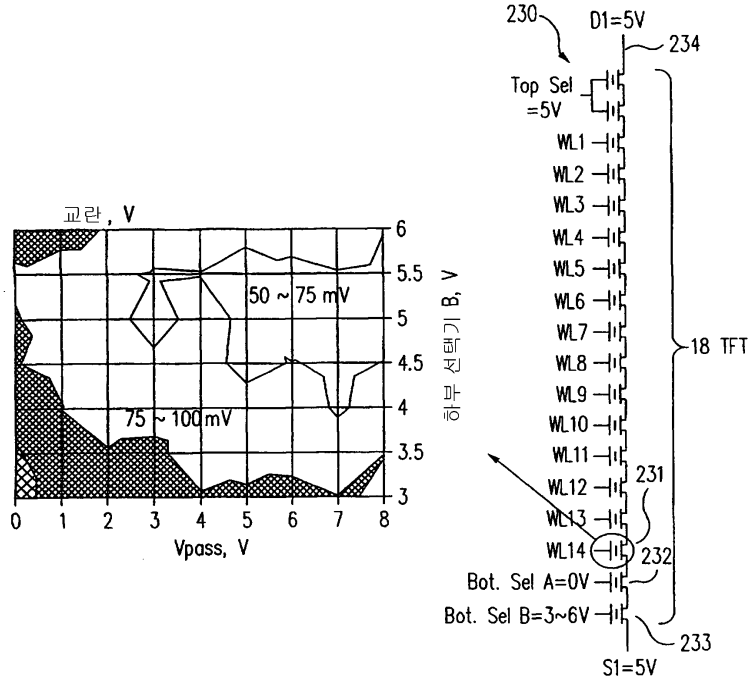
도면9


201
드레인 =5V
Top Sel =5V
WL1
WL2
WL3
WL4
WL5
WL6
WL7
WL8
WL9
WL10
WL11
WL12
WL13
WL14
18 TFT
Bot. Sel= 0V
202
소스 = 0V (GBL)
교란 평균
이중 게이트
WL14
WL13
WL12
WL1
WL2
교란, V
Vpass, V
삼중 게이트
WL13
WL12
WL11
WL9&10
Vpass, V
201
드레인 =5V
Top Sel =5V
18 TFT 장치들
Bot. Sel= 0V
204
소스 = 0V (GBL)

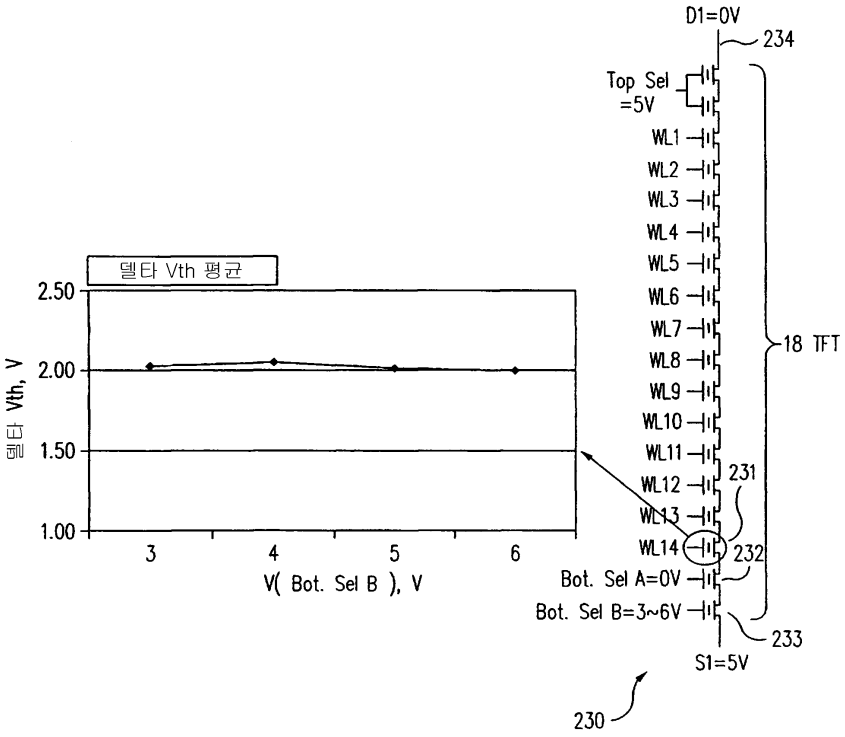
도면10


210
방지전압 =5V
5V
상부 선택기는 오프된다
Vwlpass
Vwlpass
셀 #1 ~7
Vpgm = 13V
Vwlpass
Vwlpass
셀 #9 ~16
Vwlpass
하부 선택기는 누설된다
212
0V
델타 Vth 평균
교란, V
214
Vpass, V
220
방지전압 =5V
5V
상부 선택기는 오프된다
Vwlpass
Vwlpass
셀 #1 ~7
Vpgm = 13V
H
Vwlpass
Vwlpass
셀 #9 ~16
5V
하부 선택기는 오프된다
212
방지전압=5V

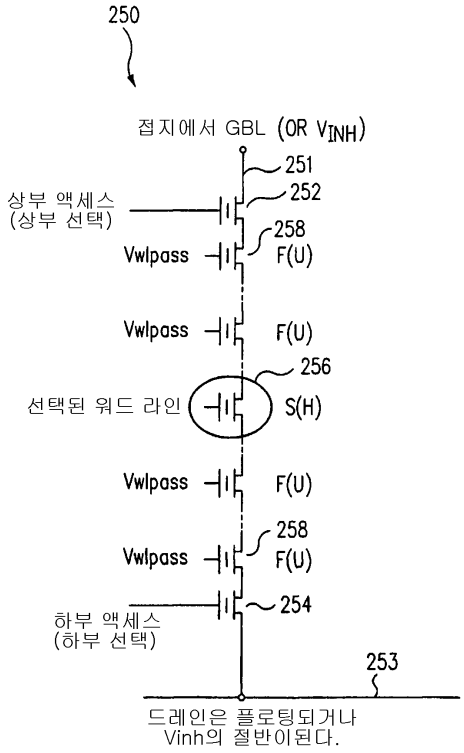
도면11


교란, V
50 ~ 75 mV
75 ~ 100mV
Vpass, V
하부 선택기 B, V
230
D1=5V
234
Top Sel =5V
WL1
WL2
WL3
WL4
WL5
WL6
WL7
WL8
WL9
WL10
WL11
WL12
WL13
WL14
231
232
Bot. Sel A=0V
Bot. Sel B=3~6V
18 TFT
233
S1=5V

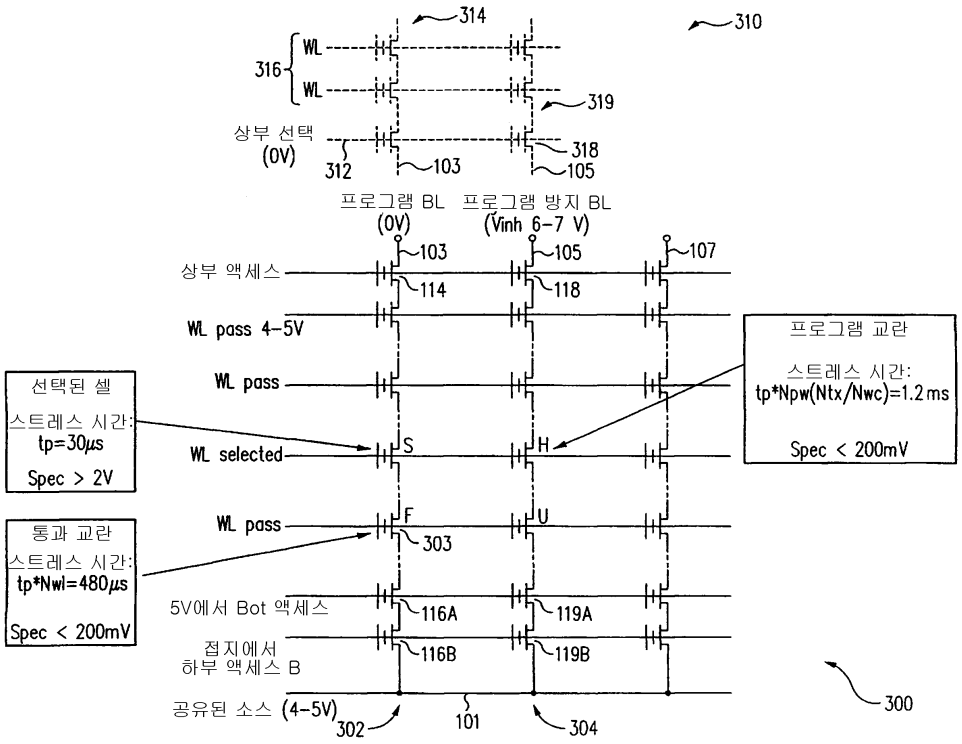
도면12


델타 Vth 평균
델타 Vth, V
2.50
2.00
1.50
1.00
3
4
5
6
V(Bot. Sel B), V
D1=0V
234
Top Sel
=5V
WL1
WL2
WL3
WL4
WL5
WL6
WL7
WL8
WL9
WL10
WL11
WL12
WL13
WL14
18 TFT
231
232
Bot. Sel A=0V
Bot. Sel B=3~6V
233
S1=5V
230

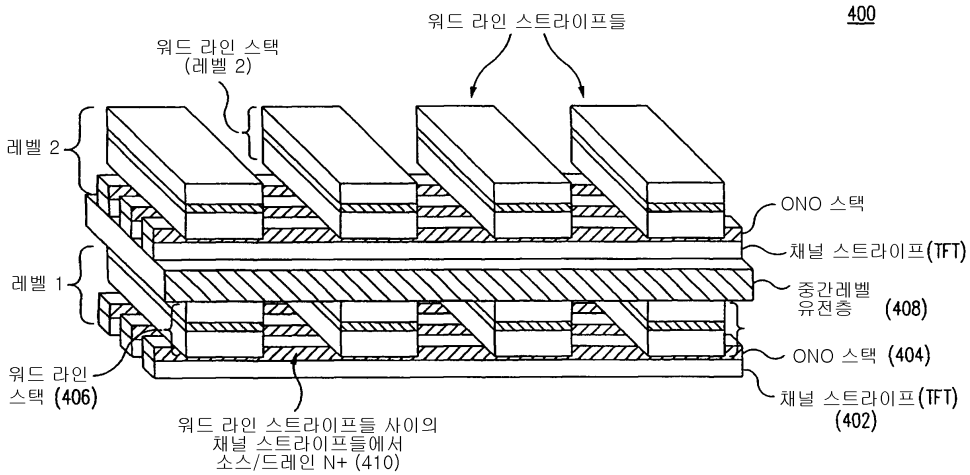
도면13


250
접지에서 GBL (OR VINH)
251
252
상부 액세스
(상부 선택)
258
Vwlpass
F(U)
Vwlpass
F(U)
256
선택된 워드 라인
S(H)
Vwlpass
F(U)
258
Vwlpass
F(U)
254
하부 액세스
(하부 선택)
253
드레인은 플로팅되거나
Vinh의 절반이된다.

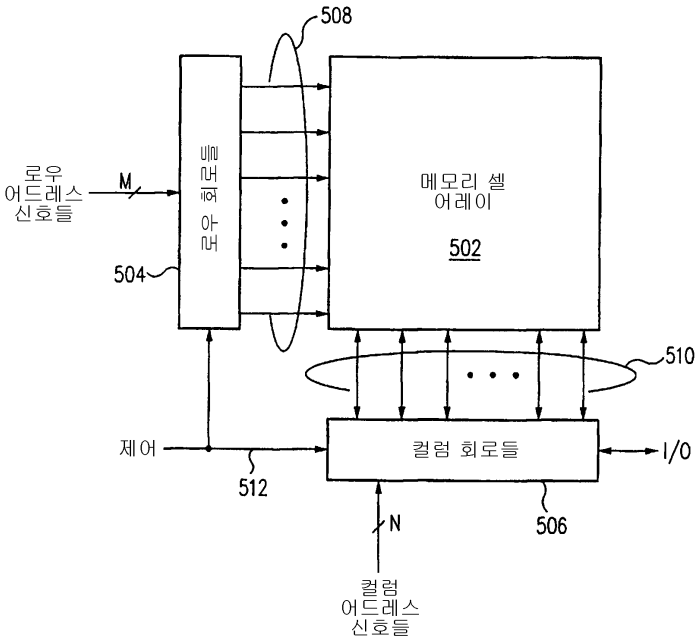
도면14


314
310
316
WL
WL
319
상부 선택
(0V)
312
103
318
105
프로그램 BL
(0V)
프로그램 방지 BL
(Vinh 6-7 V)
107
상부 액세스
114
118
WL pass 4-5V
프로그램 교란
스트레스 시간:
tp*Npw(Ntx/Nwc)=1.2ms
Spec < 200mV
선택된 셀
스트레스 시간:
tp=30μs
Spec > 2V
WL pass
WL selected
S
H
통과 교란
스트레스 시간:
tp*Nwl=480μs
Spec < 200mV
WL pass
F
U
303
5V에서 Bot 액세스
116A
119A
접지에서
하부 액세스 B
116B
119B
300
공유된 소스 (4-5V)
302
101
304

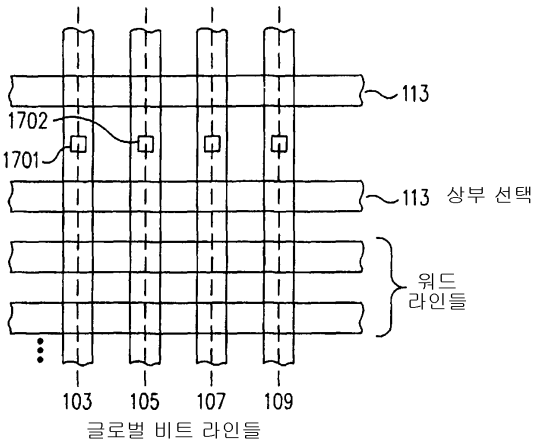
도면15


400
워드 라인 스트라이프들
워드 라인 스택
(레벨 2)
레벨 2
ONO 스택
채널 스트라이프(TFT)
레벨 1
중간레벨
유전층 (408)
ONO 스택 (404)
워드 라인
스택 (406)
채널 스트라이프(TFT)
(402)
워드 라인 스트라이프들 사이의
채널 스트라이프들에서
소스/드레인 N+ (410)

도면16



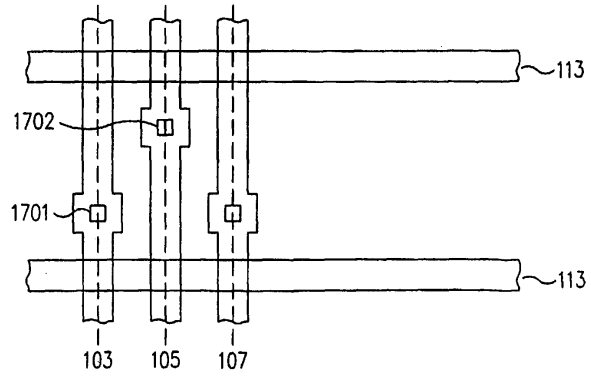
도면17A



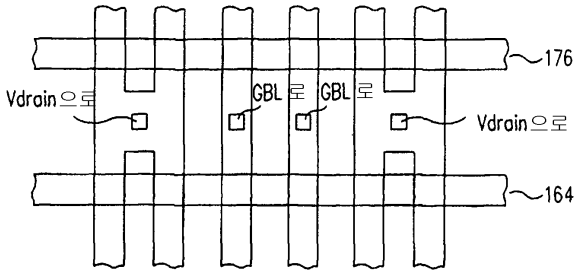
도면17B

하나의 층에서 글로벌 비트 라인들 103, 107
제 2 층에서 글로벌 비트 라인들 105, 109

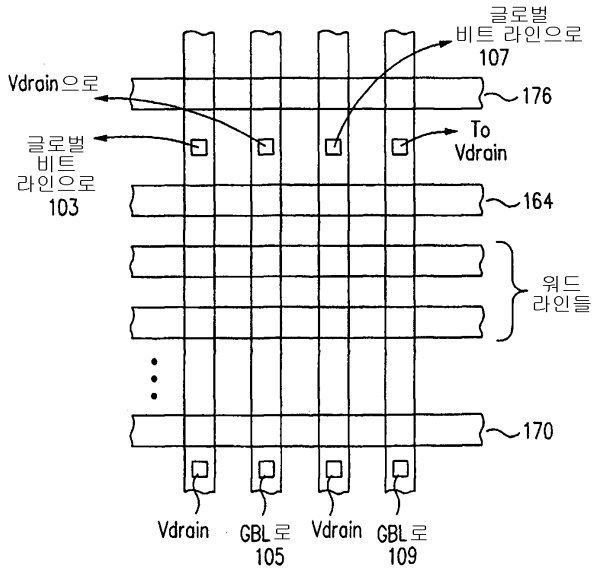
도면17C



도면17D



도면17E



도면18

