

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年6月5日(05.06.2025)



(10) 国際公開番号

WO 2025/115341 A1

(51) 国際特許分類:
H02M 7/487 (2007.01)

(21) 国際出願番号: PCT/JP2024/031771

(22) 国際出願日: 2024年9月4日(04.09.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-203567 2023年12月1日(01.12.2023) JP

(71) 出願人: 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 (JP).

(72) 発明者: 高 杭賢(GAO Hangxian); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 (JP).

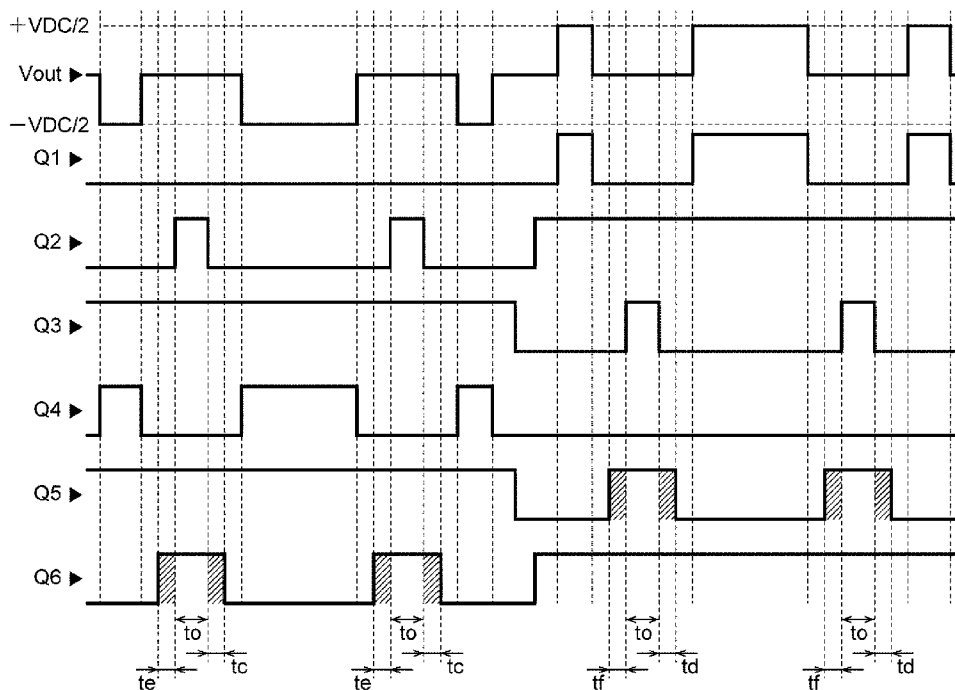
(74) 代理人: 弁理士法人平木国際特許事務所 (HIRAKI & ASSOCIATES); 〒1056232 東京都港区愛宕二丁目5-1 愛宕グリーンヒルズMORIタワー32階 (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: POWER CONVERTER

(54) 発明の名称: 電力変換器

図 8



(57) Abstract: This power converter includes first and second capacitors, first to sixth switching elements, and a load, wherein switching between a third output state and a first output state occurs via a second dead-time state, switching between the third output state and a second output state occurs via a first dead-time state, and when transitioning back and forth between the third output state and the second dead-time state, the fifth switching element executes an operation of completing turn-on before the third switching element and/or completing turn-off after the third switching element, or,

MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

when transitioning back and forth between the third output state and the first dead-time state, the sixth switching element executes an operation of completing turn-on before the second switching element and/or completing turn-off after the second switching element.

(57) 要約：電力変換器は、第1と第2のキャパシタと、第1から第6のスイッチング素子と、負荷と、を有し、第3出力状態と第1出力状態との切り替えは第2デッドタイム状態を経由し、第3出力状態と第2出力状態との切り替えは第1デッドタイム状態を経由し、第3出力状態と第2デッドタイム状態との間で互いに遷移する際、第5のスイッチング素子は第3のスイッチング素子より先にターンオンを完了するかまたは遅れてターンオフを完了するかの少なくともいずれかの動作を実行し、または、第3出力状態と第1デッドタイム状態との間で互いに遷移する際、第6のスイッチング素子は第2のスイッチング素子より先にターンオンを完了するかまたは遅れてターンオフを完了するかの少なくともいずれかの動作を実行する。

明 細 書

発明の名称：電力変換器

技術分野

[0001] 本発明は、3レベルインバータを含む電力変換器に関する。

背景技術

[0002] 近年、電力変換器の高バス電圧化のニーズに対して、マルチレベルインバータが活発的に検討されている。例えば、特許文献1にはANPC (Active Neutral-Point-Clamped) というマルチレベルインバータの回路が提案されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2005-176538号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、従来技術においては、スイッチング素子間におけるサージ電圧及び損失のアンバランスがあり、電力効率や信頼性の低下という課題があった。

[0005] 本発明は、上記課題に鑑みてなされたものであり、その目的は、スイッチング素子間のサージ電圧及び損失のアンバランスを是正でき、電力効率を高めることができる電力変換器を提供することである。

課題を解決するための手段

[0006] 本発明に係る電力変換器は、直流電源の正極と負極間に第1と第2のキャパシタを直列に接続し、直流電源の正極と負極間にさらに第1から第4のスイッチング素子を直列に接続し、第1と第2のスイッチング素子の接続点と第1と第2のキャパシタの接続点との間には第5のスイッチング素子を接続し、第3と第4のスイッチング素子の接続点と第1と第2のキャパシタの接続点との間には第6のスイッチング素子を接続し、第2と第3のスイッチン

グ素子の接続点と負荷とを接続する電力変換器であって、第1、第2及び第6のスイッチング素子がONであり、第3、第4及び第5のスイッチング素子がOFFの状態を第1出力状態とし、第3、第4及び第5のスイッチング素子がONであり、第1、第2及び第6のスイッチング素子がOFFの状態を第2出力状態とし、第2、第3、第5及び第6のスイッチング素子がONであり、第1及び第4のスイッチング素子がOFFの状態を第3出力状態とし、第3及び第5のスイッチング素子がONであり、第1、第2、第4及び第6のスイッチング素子がOFFの状態を第1デッドタイム状態とし、第2及び第6のスイッチング素子がONであり、第1、第3、第4及び第5のスイッチング素子がOFFの状態を第2デッドタイム状態とし、第3出力状態と第1出力状態との切り替えは第2デッドタイム状態を経由し、第3出力状態と第2出力状態との切り替えは第1デッドタイム状態を経由し、第3出力状態と第2デッドタイム状態との間で互いに遷移する際、第5のスイッチング素子は第3のスイッチング素子より先にターンオンを完了するかまたは遅れてターンオフを完了するかの少なくともいずれかの動作を実行し、または、第3出力状態と第1デッドタイム状態との間で互いに遷移する際、第6のスイッチング素子は第2のスイッチング素子より先にターンオンを完了するかまたは遅れてターンオフを完了するかの少なくともいずれかの動作を実行する。

発明の効果

[0007] 本開示によれば、スイッチング素子間のサージ電圧および損失のアンバランスを是正でき、電力効率を高めることができる電力変換器を提供することが可能になる。

本発明に関連する更なる特徴は、本明細書の記述、添付図面から明らかになるものである。また、上記した以外の課題、構成および効果は以下の実施形態の説明により明らかにされる。

図面の簡単な説明

[0008] [図1]参考例に係る電力変換器を示す概要図。

[図2]図1のU相を示す回路図。

[図3]参考例におけるANPCインバータの制御方式を表す状態転移図。

[図4]参考例におけるANPCインバータの制御方式を表すタイムチャート。

[図5]負サイクルにおいてスイッチング損失とスイッチングサージが発生するケースを説明するための図。

[図6]参考例におけるスイッチングサージ電圧および損失を比較するための図。

[図7]本発明の実施例1におけるANPCインバータの制御方式を表す状態転移図。

[図8]本発明の実施例1におけるANPCインバータの制御方式を表すタイムチャート。

[図9]状態Oと状態O_{ec}のときに流れる電流を説明するための図。

[図10]本発明の実施例1におけるスイッチングサージ電圧および損失を比較するための図。

[図11]実施例1において、スイッチング遅延時間の差を説明するためのタイムチャート。

発明を実施するための形態

[0009] まず以下では、本実施例を理解するに際して有用となる参考例について図面に沿って説明する。以下では、三相インバータ電力変換装置を例とするが、単相インバータ、多相インバータ、コンバータにも適用することが可能である。

図1は、特許文献1にも記載されている、三相インバータ電力変換器を示す概要図である。図1の装置は3相を持つ3level ANPC (Active Neutral-Point-Clamped) インバータ（以下では単にANPCインバータと呼称する）である。図1に示すように、ANPCインバータにおいては直流電源V_{dc1}とV_{dc2}は直列に接続される。直流電源V_{dc1}の高電位端子はP端子、直流電源V_{dc1}とV_{dc2}との接続点は中電位端子のO端子、直流電源V_{dc2}の低電位端子はN端子と

する。P端子とO端子は平滑用のキャパシタC1が接続され、O端子とN端子との間にも平滑用のキャパシタC2が接続される。キャパシタC1およびC2は複数個並列接続されてもよい。P、O、N端子はさらにU、V、W相となる主回路部分が接続される。

[0010] U相を例として具体的構成を図2で説明する。図2(a)に示すように、U相は第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3、第4スイッチング素子Q4、第5スイッチング素子Q5、および第6スイッチング素子Q6を備える。各スイッチング素子はMOSFETであるが、これに限ったものではなく、半導体スイッチング素子とダイオードの並列接続体であってもよい。また半導体スイッチング素子は例えば、MOSFET以外にもIGBTなどの半導体スイッチング素子であってよい。ダイオードは例えば、PN接合型ダイオード、ショットキーバリアダイオードなどのダイオードであってよい。以上のスイッチング素子の材料はSi、SiC、GaN、GaOなどの材料であってよい。また、以上のスイッチング素子を2種類以上ハイブリッド実装してもよい。図2(a)においてはキャパシタの図示は省略している。なお以下では冗長な表現を避けるために「スイッチング素子Q1～Q6」を単に「Q1～Q6」と呼称することがある。

[0011] 第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3、第4スイッチング素子Q4はこの順に、端子Pから端子Nまでの間に直列に接続されている。第1スイッチング素子Q1と第2スイッチング素子Q2との中間接続点とO端子との間に第5スイッチング素子Q5が接続されている。第3スイッチング素子Q3と第4スイッチング素子Q4との中間接続点とO端子との間に第6スイッチング素子Q6が接続されている。また第2スイッチング素子Q2と第3スイッチング素子Q3との中間接続点をAC端子と呼び、AC端子は負荷(図1参照)と接続されている。

[0012] また図2(b)に示すように、スイッチング素子Q1～Q6のスイッチングは個々のゲートドライバ(GD)が制御する。個々のゲートドライバのス

イッチング信号はコントローラ 10 の PWM 生成器 20 から生成される。

[0013] 次に、ANPCインバータの通電方式について説明する。通常、直流電源 V_{dc1} と V_{dc2} はバス電圧の半分、つまり $V_{DC}/2$ の電圧を持つ。また、O端子を電位0の電圧中性点とする。そうすると、P端子の電位が $+V_{DC}/2$ となり、N端子の電位が $-V_{DC}/2$ となる。P端子とN端子の間はちょうどバス電圧 V_{DC} となる。この状態でAC端子とP端子とを通電しようとするには、少なくとも第1スイッチング素子Q1および第2スイッチング素子Q2を同時にONする必要がある。同様に、AC端子とN端子とを通電しようとするには、少なくとも第3スイッチング素子Q3および第4スイッチング素子Q4を同時にONする必要がある。

[0014] 一方、AC端子とO端子と通電する場合は二つの経路がある。すなわち後述する図9に示すように、第2スイッチング素子Q2と第5スイッチング素子Q5とを同時にONしてなる第1経路（ルート1）、および第3スイッチング素子Q3と第6スイッチング素子Q6とを同時にONしてなる第2経路（ルート2）がある。AC端子とO端子と通電しようとするには、この二つの経路の少なくとも一つを通電状態にする必要がある。AC端子がそれぞれP端子、O端子およびN端子と通電した場合はAC端子の電位がそれぞれ $+V_{DC}/2$ 、0、 $-V_{DC}/2$ 電圧となる。このように、AC端子の電圧出力レベルは3段階になる。

[0015] 次に、ANPCインバータの制御方式、特にAC端子とO端子とを前記の二つの経路によって通電する参考例の制御方式について図3～図5を参照して説明する。図3は参考例におけるANPCインバータの制御方式を表す状態転移図であり、スイッチの状態と、当該スイッチの状態に対応してONになっているスイッチング素子を示している。図4は参考例における制御方式を表すタイムチャートであり、各スイッチング素子のON/OFF及びAC端子の電圧 V_{out} を示している。図5は負サイクルにおいてスイッチング損失とスイッチングサージが発生するケースを説明するための図である。

[0016] まず図3に示すように、AC端子がそれぞれP端子、O端子およびN端子

と通電した時の状態をそれぞれ状態P、状態Oおよび状態Nという。状態P、状態Oおよび状態Nはそれぞれ図4に示す t_p 、 t_o および t_n に対応する。状態Pと状態Oとの間の転移を正サイクルといい、状態Oと状態Pと間の転移を負サイクルという。正サイクルの動作は負サイクルと同様のため説明を省略し、負サイクルの転移動作のみを説明する。

[0017] 図3および図4に示すように、状態N (t_n) のとき、スイッチング素子Q3、Q4及びQ5がONしていて、AC端子の電圧が $-V_{DC}/2$ である。状態O (t_o) のとき、スイッチング素子Q2、Q3、Q5およびQ6がONしていて、AC端子の出力電圧が0である。ここで、状態OのときはO端子とAC端子との間はルート1 (Q2及びQ5) 及びルート2 (Q3及びQ6) が同時に通電している状態であり、両経路上は均等の電流が流れる。そして状態Nからと状態Oへと転移するときは一旦状態NO (t_x) という中間状態を経由する (正サイクルの場合は状態PO (t_y))。状態NO (t_x) の時、スイッチング素子Q3およびQ5がONしている。

[0018] ここで、スイッチング素子がスイッチングされるとき、導通時における電流の方向がスイッチング素子の備えるダイオードの順方向と逆になる場合、該スイッチング素子にはスイッチング損失とサージ電圧が発生する。図5は損失とサージ電圧が発生するケースを示す図である。図5は、状態Nまたは状態Oと中間状態NOとの間で転移するケースを示しており、損失またはサージが発生するスイッチング素子は「○」マークで囲んでいる。

[0019] まず図5 (a) に示すように、状態NOから状態Nにシフトするとき、スイッチング素子Q4がターンオンする。ターンオン後 (状態N) の電流がAC端子からN端子に流れ込む場合、スイッチング素子Q4にターンオンのスイッチング損失が生じ、スイッチング素子Q2とQ6にはリカバリの損失およびリカバリサージが生じる。

[0020] 一方、図5 (b) に示すように、状態Nから状態NOにシフトするとき、スイッチング素子Q4がターンオフする。状態Nでの導通電流がAC端子からN端子に流れていた場合、スイッチング素子Q4にターンオフのスイッチ

ング損失およびサージ電圧が生じる。

[0021] 次に、図5（c）に示すように、状態NOから状態Oにシフトするとき、スイッチング素子Q2およびQ6が同時にターンオンする。導通電流（状態O）がO端子からAC端子に流れる場合、スイッチング素子Q2およびQ6にターンオンのスイッチング損失が生じ、スイッチング素子Q4にはリカバリの損失およびリカバリサージが生じる。

[0022] そして、図5（d）に示すように、状態Oから状態NOにシフトするとき、スイッチング素子Q2およびQ6が同時にターンオフする。状態Oで電流がO端子からAC端子に流れていた場合、スイッチング素子Q2およびQ6にターンオフ損失およびサージ電圧が生じる。

[0023] 図6は参考例においてスイッチング素子Q2、Q3、Q5およびQ6に生じるサージ電圧と損失とを比較した図である。まずはこれらに発生するサージ電圧の差について説明する。ここでサージ電圧とは、スイッチング素子のターンオフの際に、素子近傍のインダクタンス成分の影響で、スイッチング素子の寄生容量が過大に充電されることに起因する過電圧のことである。

[0024] 通常、回路のインダクタンス成分が大きいほどスイッチング素子に生じるサージ電圧も高くなるが、スイッチング素子Q2とQ6が所在する経路（O端子から出発してN端子に戻る経路）上のインダクタンス成分が異なるため、両スイッチング素子に生じるサージ電圧に差が生じる。具体的には、スイッチング素子Q6が所在する経路はO端子→Q6→Q4→N端子である。一方スイッチング素子Q2が所在する経路はO端子→Q5→Q2→Q3→Q4→N端子であり、前記Q6が所在する経路より長いことがわかる。よって、スイッチング素子Q2に発生するサージ電圧のほうがスイッチング素子Q6に発生するサージ電圧より大きくなる。正サイクルにおいても同様であり、スイッチング素子Q3に発生するサージ電圧のほうがスイッチング素子Q5に発生するサージ電圧より大きくなる。まとめると、図6（a）に示すように、スイッチング素子Q2及びQ3に発生するスイッチングサージ電圧は、スイッチング素子Q5及びQ6に発生するスイッチングサージ電圧より大き

い。

[0025] 次に上記のスイッチング素子に生じる損失の差について説明する。ここで、スイッチング素子に発生する損失には、電流が流れている間に生じる熱に起因する導通損失と、スイッチングの際に発生する熱に起因するスイッチング損失がある。これらの損失の大きさは、素子に流れる電流の大きさに比例する。

[0026] スwitchング素子Q4には状態Nの時に導通電流が流れ、スイッチング素子Q6には状態Oの時に導通電流が流れる。これらに対して、スイッチング素子Q3には状態Oの時も状態Nの時も導通電流が流れる。そのため、スイッチング素子Q3の導通損失はスイッチング素子Q4とQ6の導通損失より高いことがわかる。また、状態Oで導通電流がスイッチング素子Q3およびQ6に均等に流れるため、スイッチング素子Q3およびQ6がスイッチングする時の電流も均等である。よって、スイッチング素子Q3およびQ6に発生するスイッチング損失は同程度である。したがって、合計損失（導通損失とスイッチング損失）を考えると、スイッチング素子Q3に発生する損失はスイッチング素子Q6に発生する損失より大きいことがわかる。正サイクルにおいても同様であり、合計損失を考えると、スイッチング素子Q2に発生する損失はスイッチング素子Q5に発生する損失より大きい。まとめると、図6（b）に示すように、スイッチング素子Q2及びQ3に発生する損失は、スイッチング素子Q5及びQ6に発生する損失より大きい。

[0027] 以上のように、図6に示すように、スイッチング素子Q2及びQ3においては損失とサージ電圧の両面でスイッチング素子Q5およびQ6より大きいことがわかる。このように、ANPCインバータにおいては、スイッチング素子間において損失及びサージ電圧のアンバランスという課題が発生する。

[0028] <実施例1>

以下、図面を参照しながら本発明の実施例を説明する。図7は本発明の実施例1におけるANPCインバータの制御方式を表す状態転移図である。図8は実施例1におけるANPCインバータの制御方式を表すタイムチャート

である。以下では参考例との差分について説明する。

[0029] 本実施例においては、参考例の状態転移図より、状態P Oと状態Oの間に状態O d fを追加し、状態N Oと状態Oの間に状態O e cを追加した点が異なる。状態O d fは図7に示すt dおよびt fに対応し、状態O e cは図7に示すt eおよびt cに対応する。図8に示す本実施例におけるタイムチャートは図4に示す参考例のタイムチャートと比較して、t oという時間の前後にt eとt c（正サイクルにおいてはt fとt d）という時間が追加されることがわかる。これらの時間においては例えば負サイクルにおける時間t eとt cはスイッチング素子Q 3とQ 5のみがONになっている時間であり、電流はどこにも流れない。この時間のことを本明細書においてはデッドタイムと定義する。正サイクルにおけるt fとt dについても同様である。

[0030] 本実施例においても、正サイクルの動作は負サイクルと同様のため説明を省略し、負サイクルの転移動作のみを説明する。図9に示すように、状態Oと状態O e cにおける電流導通ルートは二つある。状態O e cにおいては状態Oからスイッチング素子Q 2がOFFしてスイッチング素子Q 3、Q 5およびQ 6がONしている状態であり、電流が主にルート2に流れる。そうすると、状態N O（Q 3及びQ 5のみONの状態）から状態O e c（Q 3及びQ 5に加えてQ 6もONの状態）を経由して状態O（Q 2、Q 3、Q 5、及びQ 6がONの状態）に転移するときを考えると、状態O e cに転移した瞬間に電流がまず主にルート2上に流れる。しばらくすると、スイッチング素子Q 2がターンオンして状態Oに移行し、電流が分担され、ルート1とルート2の両経路上に均等に流れるようになる。

[0031] 反対に、状態Oから状態O e cを経由して状態N Oに転移するとき、電流がまず状態Oの両ルート上に均等に流れ、次に、状態O e cでルート1の電流が低減され、ルート2上の電流が増加していく。最終的にはルート1上に流れていた電流が全部ルート2に流れてもよい。この状態でスイッチング素子Q 6がOFFされて状態N Oへと移行する。つまり、参考例においては、状態Oから状態N Oへと移行する間に、スイッチング素子Q 2及びQ 6は均

等に電流が流れている状態で同時にOFFされ、同等のスイッチング損失が発生していたが、本実施例においては、状態Oから状態NOへと移行する間に、まずスイッチング素子Q2及びQ6に均等に電流が流れている状態でQ2がOFFされ、その後ルート2上に電流が集約された状態でQ6がOFFされている。

[0032] これらをまとめると、状態Oと状態Oecとの間で互いに遷移する際、第5のスイッチング素子は第3のスイッチング素子より先にターンオンを完了するかまたは遅れてターンオフを完了するかの少なくともいずれかの動作を実行する、ということになる。また正サイクルのときも、状態Oと状態Odfとの間で互いに遷移する際、第6のスイッチング素子は第2のスイッチング素子より先にターンオンを完了するかまたは遅れてターンオフを完了するかの少なくともいずれかの動作を実行する、ということになる。

[0033] 上述のように、参考例においてはスイッチング素子Q2及びQ6に流れるスイッチング時の電流は均等であったが、本実施例の場合、スイッチング素子Q6はスイッチング素子Q2より大きい電流でスイッチングする。したがって、本実施例においては、Q6に発生するスイッチング損失は、Q2に発生するスイッチング損失よりも大きくなる。正サイクルにおいても同様であり、Q5に発生するスイッチング損失はQ3に発生するスイッチング損失よりも大きくなる。なお、Q2及びQ3のスイッチング損失については、それぞれターンオフした瞬間には参考例と異なりまだQ5及びQ6はONの状態であり、電流は完全に遮断されずにQ5及びQ6の方へと流れていく。従って、Q2及びQ3に発生するスイッチング損失は参考例の場合よりも小さくなる。

[0034] また、状態Oecの時間teおよびtcは状態Oの時間toより小さいことが好ましい。そのように設定することで、状態Oecにおけるスイッチング素子Q6の導通損失の増加を無視することができるようになるからである。

[0035] 図10は本実施例においてスイッチング素子Q2、Q3、Q5及びQ6に

発生するサージ電圧と損失を比較した図である。実線および破線がそれぞれ本実施例および参考例の結果である。スイッチング素子Q 2は参考例より小さい電流でスイッチングされたため、スイッチング素子Q 2におけるサージ電圧が低減される。一方、スイッチング素子Q 6は参考例より大きい電流でスイッチングされたため、スイッチング素子Q 6におけるサージ電圧が増加した。正サイクルについても同様であり、スイッチング素子Q 3に発生するサージ電圧が低減し、スイッチング素子Q 5に発生するサージ電圧のほうが増加する。したがって、スイッチング素子Q 2（Q 3）とスイッチング素子Q 5（Q 6）におけるスイッチングサージ電圧のアンバランスが是正され、同程度になる。

[0036] さらに、スイッチング素子Q 2は参考例より小さい電流でスイッチングされたため、スイッチング素子Q 2におけるスイッチング損失が低減される。一方、スイッチング素子Q 6は参考例より大きい電流でスイッチングされたため、スイッチング素子Q 6におけるスイッチング損失が増加した。導通損失は上述のように無視できるため参考例と同程度である。したがって、合計損失（導通損失とスイッチング損失）を考えると、スイッチング素子Q 2（Q 3）とスイッチング素子Q 5（Q 6）における損失アンバランスが是正され、同程度になる。

[0037] 以上、本実施例によれば、ANPCインバータのスイッチング素子における損失およびサージ電圧のアンバランスが低減される。

[0038] 上述した本実施例における効果を得るには、状態NO（Q 3及びQ 5がON）及び状態O（Q 2、Q 3、Q 5及びQ 6がON）間の移行時に状態O_{ec}（Q 3、Q 5及びQ 6がON）を経ることが必須である。すなわち、状態NOから状態Oに移行するまでにはQ 6がQ 2より先にONされ、状態Oから状態NOに移行するにはQ 6がQ 2より後にOFFされるか、のいずれかの動作を実行することが必須である。

[0039] ここで、本明細書における「ON」「OFF」とは、それぞれ「ターンオン動作の完了」及び「ターンオフ動作の完了」を指し、より具体的にはそれ

ぞれ「素子に流れる主電流の最大化」及び「素子に流れる主電流の最小化」を指す。また、ターンオン（ターンオフ）の開始とは、素子に印加する電圧の上昇（下降）の開始を指す。また、ターンオン（ターンオフ）の完了とは、それぞれ正味のドレイン電流が100%（0%）になることを指す。

[0040] なお、以上の実施例1においては状態Oの前後に t_e と t_c （ t_d と t_f ）の両方が設定されるが、状況によって、 t_e または t_c （ t_d または t_f ）の片方だけ設定してもよい。例えば、ターンオフ損失が顕著でアンバランスが大きい場合、 t_c （ t_d ）のみ設定してよい。さらに、 t_e 、 t_c 、 t_d および t_f の長さはスイッチング素子のスイッチング遅延時間（ゲート電圧の上昇あるいは降下から素子主電流の上昇あるいは降下までの時間）より長く設定したほうが好ましい。

[0041] 上記の理由について図11を用いて説明する。スイッチング素子Q6（Q5）がターンオン開始（ゲート電圧上昇開始）してから実際にQ6（Q5）に電流が流れ始めるまで時間T1だけ要する。この時間T1の間にスイッチング素子Q2（Q3）のターンオンを開始してしまうと、Q6（Q5）に流れる電流が完全に上昇する前にQ2（Q3）にも電流が流れ始めてしまい、十分なアンバランス是正効果が得られないからである。

[0042] ターンオフ時も同様で、スイッチング素子Q2（Q3）がターンオフ開始してから実際にQ2（Q3）に流れる電流が減少し始めるまで時間T2だけ要する。この時間T2の間にスイッチング素子Q6（Q5）のターンオフを開始してしまうとQ2（Q3）に流れる電流が最小化する前にQ6（Q5）に流れる電流も下降し始めてしまい、十分なアンバランス是正効果が得られないからである。

[0043] t_e 、 t_c 、 t_d および t_f の設定は図2に示す、コントローラ10側のPWM生成器20で設定してもよく、PWM生成器20からゲートドライバまでの間に時間調整回路を追加して設定してもよく、ゲートドライバ内部で時間調整回路を追加して設定してもよい。

[0044] <実施例2>

次に、実施例2に係る電力変換器について説明する。以下では実施例1と異なる部分について主に説明する。実施例1においては、 t_e 、 t_c 、 t_d および t_f というデッドタイムを設定して、スイッチング素子Q6 (Q5) とスイッチング素子Q2 (Q3) との間にスイッチングタイミングのずれを入れることによってサージ電圧及び損失のアンバランスを是正していた。これに対して本実施例においては、スイッチング素子Q6 (Q5) とスイッチング素子Q2 (Q3) に異なるスイッチングスピードを設定することでスイッチングタイミングのずれを実現する。

[0045] 具体的には、スイッチング素子Q5 (Q6) のターンオンスピードをスイッチング素子Q2 (Q3) より速くなるように設定する。例えば、スイッチング素子Q5 (Q6) のターンオン駆動抵抗をスイッチング素子Q2 (Q3) のターンオン駆動抵抗より小さく設定する。

[0046] また、駆動抵抗以外に、駆動時の電流に設定してもよい。例えば、スイッチング素子Q5 (Q6) のターンオンゲート電流をスイッチング素子Q2 (Q3) のターンオンゲート電流より高く設定する。そうすると、スイッチング素子Q5 (Q6) とスイッチング素子Q2 (Q3) が同じタイミングでゲート電圧を上昇し始めても、スイッチング素子Q5 (Q6) のゲート電圧が先に閾値電圧を超え、スイッチング素子Q5 (Q6) にスイッチング素子Q2 (Q3) より先に主電流が流れ始める。

[0047] 一方、スイッチング素子Q5 (Q6) のターンオフスピードをスイッチング素子Q2 (Q3) より遅く設定することも可能である。例えば、スイッチング素子Q5 (Q6) のターンオフ駆動抵抗をスイッチング素子Q2 (Q3) のターンオフ駆動抵抗より大きく設定する。駆動抵抗以外に、駆動時の電流を設定してもよい。例えば、スイッチング素子Q5 (Q6) のターンオフゲート電流をスイッチング素子Q2 (Q3) のターンオンゲート抵抗より低く設定する。そうすると、スイッチング素子Q5 (Q6) とスイッチング素子Q2 (Q3) が同じタイミングでゲート電圧を降下し始めても、スイッチング素子Q5 (Q6) のゲート電圧降下が遅くなるため、Q5 (Q6) の主

電流が降下し始めるタイミングもQ2（Q3）よりも遅れる。

[0048] 各スイッチング素子のターンオン（ターンオフ）駆動抵抗またはターンオン（ターンオフ）ゲート電流を上記のように設定すると、各スイッチング素子を同時にターンオン開始させたとしても、スイッチング素子Q5（Q6）がスイッチング素子Q2（Q3）より先に電流が流れ始めるため、ターンオン時の電流が大きく、ターンオン損失がより大きくなる。また、同様に各スイッチング素子を同時にターンオフさせたとしてもターンオフ時にスイッチング素子Q5（Q6）がスイッチング素子Q2（Q3）より遅れて主電流が降下し始めるため、ターンオフ時の電流が大きく、ターンオフ損失およびサージ電圧がより大きくなる。したがって、実施例1と同様に、スイッチング素子における損失およびサージ電圧のアンバランスが是正される。

[0049] <実施例3>

次に、実施例3に係る電力変換器について説明する。以下では、実施例3のうち、既述の実施例と異なる部分について主に説明する。本実施例においては、スイッチング素子Q6（Q5）とスイッチング素子Q2（Q3）にそれぞれ異なる閾値電圧をもつ素子を選定することでスイッチングタイミングのずれを実現する。

[0050] 具体的には、スイッチング素子Q5（Q6）としてスイッチング素子Q2（Q3）より小さい閾値電圧を有する素子を選定する。すると、スイッチング素子Q5（Q6）とスイッチング素子Q2（Q3）が同じタイミングでゲート電圧を上昇し始めても、スイッチング素子Q5（Q6）のゲート電圧が先に閾値電圧を超えて、スイッチング素子Q5（Q6）にスイッチング素子Q2（Q3）より先に主電流が流れ始める。一方、スイッチング素子Q5（Q6）とスイッチング素子Q2（Q3）が同じタイミングでゲート電圧を降下し始めても、スイッチング素子Q5（Q6）の閾値電圧が低いため、主電流降下終了タイミングが遅れる。

[0051] このようにスイッチング素子を選定すると、ターンオン時にスイッチング素子Q5（Q6）にスイッチング素子Q2（Q3）より先に電流が流れ始め

るため、ターンオン時の電流が大きくなり、ターンオン損失もより大きくなる。また、ターンオフ時にスイッチング素子Q5（Q6）の方がスイッチング素子Q2（Q3）より主電流の降下時間が長いため、ターンオフ時の電流が大きくなり、ターンオフ損失およびサージ電圧もより大きくなる。したがって、既述の実施例と同様に、スイッチング素子における損失およびサージ電圧のアンバランスが是正される。

[0052] <実施例4>

次に、実施例4に係る電力変換器について説明する。実施例4のうち、既述の実施例と異なる部分について主に説明する。本実施例においては、スイッチング素子Q6（Q5）とスイッチング素子Q2（Q3）に異なるOFF時のゲート電圧（負バイアス）を設定することでスイッチングタイミングのずれを実現する。

[0053] 具体的には、スイッチング素子Q5（Q6）のOFF時ゲート電圧をスイッチング素子Q2（Q3）のOFF時ゲート電圧より高くなるように調整する。例えば、スイッチング素子Q5（Q6）のOFF時ゲート電圧を-1Vに調整して、スイッチング素子Q2（Q3）のOFF時ゲート電圧を-3Vに調整する。すると、スイッチング素子Q5（Q6）とスイッチング素子Q2（Q3）が同じタイミングと同じスピードでゲート電圧を上昇し始めても、スイッチング素子Q5（Q6）のゲート電圧が先に閾値電圧を超えて、スイッチング素子Q5（Q6）にスイッチング素子Q2（Q3）より先に主電流が流れ始める。一方、ターンオフ時は、OFF時ゲート電圧が低いほどゲート電圧の降下も速く、つまりターンオフスピードも速い。そのため、スイッチング素子Q5（Q6）とスイッチング素子Q2（Q3）が同じタイミングでゲート電圧を降下し始めても、スイッチング素子Q5（Q6）のゲート電圧降下スピードが遅いため、電流降下し始めるタイミングも遅れる。

[0054] このように、ターンオン時にスイッチング素子Q5（Q6）がスイッチング素子Q2（Q3）より先に電流が流れ始めるため、ターンオン時の電流が大きく、ターンオン損失がより大きくなる。また、ターンオフ時にスイッ

ング素子Q5（Q6）がスイッチング素子Q2（Q3）より遅れて主電流が降下し始めるため、ターンオフ時の電流が大きくなり、ターンオフ損失およびサージ電圧もより大きくなる。したがって、既述の実施例と同様に、スイッチング素子における損失およびサージ電圧のアンバランスが是正される。

[0055] 以上で説明した本発明の実施例により、以下の作用効果が得られる。

[0056] （１）本発明に係る電力変換器は、直流電源の正極と負極間に直列接続された第１と第２のキャパシタと、直流電源の正極と負極間にさらにこの順に直列接続され、かつ第１と第２のキャパシタと並列である第１から第４のスイッチング素子と、第１と第２のスイッチング素子の接続点と第１と第２のキャパシタの接続点との間に接続された第５のスイッチング素子と、第３と第４のスイッチング素子の接続点と第１と第２のキャパシタの接続点との間に接続された第６のスイッチング素子と、第２と第３のスイッチング素子の接続点に接続された負荷と、を有する電力変換器であって、第１、第２及び第６のスイッチング素子がONであり、第３、第４及び第５のスイッチング素子がオフの状態を第１出力状態とし、第３、第４及び第５のスイッチング素子がONであり、第１、第２及び第６のスイッチング素子がオフの状態を第２出力状態とし、第２、第３、第５及び第６のスイッチング素子がONであり、第１及び第４のスイッチング素子がオフの状態を第３出力状態とし、第３及び第５のスイッチング素子がONであり、第１、第２、第４及び第６のスイッチング素子がオフの状態を第１デッドタイム状態とし、第２及び第６のスイッチング素子がONであり、第１、第３、第４及び第５のスイッチング素子がオフの状態を第２デッドタイム状態とし、第３出力状態と第１出力状態との切り替えは第２デッドタイム状態を経由し、第３出力状態と第２出力状態との切り替えは第１デッドタイム状態を経由し、第３出力状態と第２デッドタイムとの間で互いに遷移する際、第５のスイッチング素子は第３のスイッチング素子より先にターンオンを完了するかまたは遅れてターンオフを完了するかの少なくともいずれかの動作を実行し、または、第３出力状態と第１デッドタイムとの間で互いに遷移する際、第６のスイッチング素子は

第2のスイッチング素子より先にターンオンを完了するかまたは遅れてターンオフを完了するかの少なくともいずれかの動作を実行する。

[0057] 上記構成により、スイッチング素子間のサージ電圧および損失のアンバランスを是正でき、電力効率を高めることが可能となる。

[0058] (2) 第3出力状態から第2デッドタイムに遷移する際、第5のスイッチング素子は、第3のスイッチング素子のゲート電圧が下降し始めてから主電流が下降し始めるまでの時間分以上遅れてターンオフを開始する、または、第3出力状態から第1デッドタイムに遷移する際、第6のスイッチング素子は、第2のスイッチング素子のゲート電圧が下降し始めてから主電流が下降し始めるまでの時間分以上遅れてターンオフを開始する。これにより、第3(第2)のスイッチング素子の主電流が確実に下降し始めてから第5(第6)のスイッチング素子の主電流も下降することになるので、第5(第6)のスイッチング素子が先にターンオフ完了してしまうことを防止でき、確実にアンバランスを是正することが可能になる。

[0059] (3) 第2デッドタイムから第3出力状態に遷移する際、第5のスイッチング素子は、該第5のスイッチング素子のゲート電圧が上昇し始めてから主電流が上昇し始めるまでの時間分以上、第3のスイッチング素子のターンオン開始より先にターンオンを開始する、または、第1デッドタイムから第3出力状態に遷移する際、第6のスイッチング素子は、該第6のスイッチング素子のゲート電圧が上昇し始めてから主電流が上昇し始めるまでの時間分以上、第2のスイッチング素子のターンオン開始より先にターンオンを開始する。これにより、(2)と同様に、第3(第2)のスイッチング素子が先にターンオン完了してしまうことを防止でき、確実にアンバランスを是正することが可能になる。

[0060] (4) 第5のスイッチング素子のターンオンスピードが第3のスイッチング素子のターンオンスピードより速くなるよう、第5のスイッチング素子のターンオン駆動抵抗を第3のスイッチング素子のターンオン駆動抵抗より低く設定する、または、第6のスイッチング素子のターンオンスピードが第2の

スイッチング素子のターンオンスピードより速くなるよう、第6のスイッチング素子のターンオン駆動抵抗を第2のスイッチング素子のターンオン駆動抵抗より低く設定する。これにより、第5（第6）のスイッチング素子と第3（第2）のスイッチング素子とを同時にターンオン開始したとしても、第5（第6）のスイッチング素子が先にターンオン完了するため、本発明の効果を確実に得られる。

[0061] （5）第5のスイッチング素子のターンオンスピードが第3のスイッチング素子のターンオンスピードより速くなるよう、第5のスイッチング素子のターンオンゲート電流を第3のスイッチング素子のターンオンゲート電流より高く設定する、または、第6のスイッチング素子のターンオンスピードが第2のスイッチング素子のターンオンスピードより速くなるよう、第6のスイッチング素子のターンオンゲート電流を第2のスイッチング素子のターンオンゲート電流より高く設定する。これにより、（4）と同様に、第5（第6）のスイッチング素子と第3（第2）のスイッチング素子とを同時にターンオン開始したとしても、第5（第6）のスイッチング素子が先にターンオン完了するため、本発明の効果を確実に得られる。

[0062] （6）第5のスイッチング素子のターンオフスピードが第3のスイッチング素子のターンオフスピードより遅くなるよう、第5のスイッチング素子のターンオフ駆動抵抗を第3のスイッチング素子のターンオン駆動抵抗より高く設定する、または、第6のスイッチング素子のターンオフスピードが第2のスイッチング素子のターンオフスピードより遅くなるよう、第6のスイッチング素子のターンオフ駆動抵抗を第2のスイッチング素子のターンオフ駆動抵抗より高く設定する。これにより、第5（第6）のスイッチング素子と第3（第2）のスイッチング素子とを同時にターンオフ開始したとしても、第5（第6）のスイッチング素子が後にターンオフ完了するため、本発明の効果を確実に得られる。

[0063] （7）第5のスイッチング素子のターンオフスピードが第3のスイッチング素子のターンオンスピードより遅くなるよう、第5のスイッチング素子のタ

ーンオフゲート電流を第3のスイッチング素子のターンオンゲート電流より低く設定する、または、第6のスイッチング素子のターンオフスピードが第2のスイッチング素子のターンオフスピードより遅くなるよう、第6のスイッチング素子のターンオフゲート電流を第2のスイッチング素子のターンオフゲート電流より低く設定する。これにより、(6)と同様に、第5(第6)のスイッチング素子と第3(第2)のスイッチング素子とを同時にターンオフ開始したとしても、第5(第6)のスイッチング素子が後にターンオフ完了するため、本発明の効果を確実に得られる。

[0064] (8) 第5のスイッチング素子の閾値電圧が第3のスイッチング素子の閾値電圧より低くなるよう、第5のスイッチング素子と第3のスイッチング素子を選定する、または、第6のスイッチング素子の閾値電圧が第2のスイッチング素子の閾値電圧より低くなるよう、第6のスイッチング素子と第2のスイッチング素子を選定する。これにより、上記と同様、第5(第6)のスイッチング素子の方が第3(第2)スイッチング素子よりも先にターンオン(後にターンオフ)するので、本発明の効果を確実に得られる。

[0065] (9) 第5のスイッチング素子のOFF時ゲート電圧が第3のスイッチング素子のOFF時ゲート電圧より高くなるよう、第5のスイッチング素子と第3のスイッチング素子のOFF時ゲート電圧を調整する、または、第6のスイッチング素子のOFF時ゲート電圧が第2のスイッチング素子のOFF時ゲート電圧より高くなるよう、第6のスイッチング素子と第2のスイッチング素子のOFF時ゲート電圧を調整する。これにより、(8)と同様の効果を得られる。

[0066] 以上、本発明のいくつかの実施形態を説明したが、上述の実施形態に限られるものではなく、その趣旨を逸脱しない範囲において様々の構成で実現することができる。例えば、第1～4実施形態の設定方法を任意に組み合わせた構成も容易に考えられる。これらの変形は、特許請求の範囲に記載される発明とその均等の範囲に含まれる。

符号の説明

[0067] $V_{dc1} \sim V_{dc2} \dots$ 直流電源、 $C1 \sim C2 \dots$ 平滑用コンデンサ（第1と第2のキャパシタ）、 $L \dots$ 負荷、 $Q1 \sim Q6 \dots$ 半導体スイッチング素子（第1から第6のスイッチング素子）

請求の範囲

[請求項1]

直流電源の正極と負極間に第1と第2のキャパシタを直列に接続し、前記直流電源の正極と負極間にさらに第1から第4のスイッチング素子を直列に接続し、前記第1と第2のスイッチング素子の接続点と前記第1と第2のキャパシタの接続点との間には第5のスイッチング素子を接続し、前記第3と第4のスイッチング素子の接続点と前記第1と第2のキャパシタの接続点との間には第6のスイッチング素子を接続し、前記第2と第3のスイッチング素子の接続点と負荷とを接続する電力変換器であって、

前記第1、第2及び第6のスイッチング素子がONであり、前記第3、第4及び第5のスイッチング素子がOFFの状態を第1出力状態とし、前記第3、第4及び第5のスイッチング素子がONであり、前記第1、第2及び第6のスイッチング素子がOFFの状態を第2出力状態とし、前記第2、第3、第5及び第6のスイッチング素子がONであり、前記第1及び第4のスイッチング素子がOFFの状態を第3出力状態とし、

前記第3及び第5のスイッチング素子がONであり、前記第1、第2、第4及び第6のスイッチング素子がOFFの状態を第1デッドタイム状態とし、前記第2及び第6のスイッチング素子がONであり、前記第1、第3、第4及び第5のスイッチング素子がOFFの状態を第2デッドタイム状態とし、

前記第3出力状態と第1出力状態との切り替えは前記第2デッドタイム状態を経由し、前記第3出力状態と第2出力状態との切り替えは前記第1デッドタイム状態を経由し、

前記第3出力状態と前記第2デッドタイム状態との間で互いに遷移する際、前記第5のスイッチング素子は前記第3のスイッチング素子より先にターンオンを完了するかまたは遅れてターンオフを完了するかの少なくともいずれかの動作を実行し、または、前記第3出力状態

と前記第1デッドタイム状態との間で互いに遷移する際、前記第6のスイッチング素子は前記第2のスイッチング素子より先にターンオンを完了するかまたは遅れてターンオフを完了するかの少なくともいずれかの動作を実行する、
ことを特徴とする電力変換器。

[請求項2]

請求項1に記載の電力変換器であって、

前記第3出力状態から前記第2デッドタイム状態に遷移する際、前記第5のスイッチング素子は、前記第3のスイッチング素子のゲート電圧が下降し始めてから主電流が下降し始めるまでの時間分以上遅れてターンオフを開始する、または、

前記第3出力状態から前記第1デッドタイム状態に遷移する際、前記第6のスイッチング素子は、前記第2のスイッチング素子のゲート電圧が下降し始めてから主電流が下降し始めるまでの時間分以上遅れてターンオフを開始する、
ことを特徴とする電力変換器。

[請求項3]

請求項1に記載の電力変換器であって、

前記第2デッドタイム状態から前記第3出力状態に遷移する際、前記第5のスイッチング素子は、該第5のスイッチング素子のゲート電圧が上昇し始めてから主電流が上昇し始めるまでの時間分以上、前記第3のスイッチング素子のターンオン開始より先にターンオンを開始する、または、

前記第1デッドタイム状態から前記第3出力状態に遷移する際、前記第6のスイッチング素子は、該第6のスイッチング素子のゲート電圧が上昇し始めてから主電流が上昇し始めるまでの時間分以上、前記第2のスイッチング素子のターンオン開始より先にターンオンを開始する、
ことを特徴とする電力変換器。

[請求項4]

請求項1に記載の電力変換器であって、

前記第5のスイッチング素子のターンオンスピードが前記第3のスイッチング素子のターンオンスピードより速くなるよう、前記第5のスイッチング素子のターンオン駆動抵抗を前記第3のスイッチング素子のターンオン駆動抵抗より低く設定する、または、

前記第6のスイッチング素子のターンオンスピードが前記第2のスイッチング素子のターンオンスピードより速くなるよう、前記第6のスイッチング素子のターンオン駆動抵抗を前記第2のスイッチング素子のターンオン駆動抵抗より低く設定する、
ことを特徴とする電力変換器。

[請求項5] 請求項1に記載の電力変換器であって、

前記第5のスイッチング素子のターンオンスピードが前記第3のスイッチング素子のターンオンスピードより速くなるよう、前記第5のスイッチング素子のターンオンゲート電流を前記第3のスイッチング素子のターンオンゲート電流より高く設定する、または、

前記第6のスイッチング素子のターンオンスピードが前記第2のスイッチング素子のターンオンスピードより速くなるよう、前記第6のスイッチング素子のターンオンゲート電流を前記第2のスイッチング素子のターンオンゲート電流より高く設定する、
ことを特徴とする電力変換器。

[請求項6] 請求項1に記載の電力変換器であって、

前記第5のスイッチング素子のターンオフスピードが前記第3のスイッチング素子のターンオフスピードより遅くなるよう、前記第5のスイッチング素子のターンオフ駆動抵抗を前記第3のスイッチング素子のターンオン駆動抵抗より高く設定する、または、

前記第6のスイッチング素子のターンオフスピードが前記第2のスイッチング素子のターンオフスピードより遅くなるよう、前記第6のスイッチング素子のターンオフ駆動抵抗を前記第2のスイッチング素子のターンオフ駆動抵抗より高く設定する、

ことを特徴とする電力変換器。

[請求項7]

請求項1に記載の電力変換器であって、

前記第5のスイッチング素子のターンオフスピードが前記第3のスイッチング素子のターンオンスピードより遅くなるよう、前記第5のスイッチング素子のターンオフゲート電流を前記第3のスイッチング素子のターンオンゲート電流より低く設定する、または、

前記第6のスイッチング素子のターンオフスピードが前記第2のスイッチング素子のターンオフスピードより遅くなるよう、前記第6のスイッチング素子のターンオフゲート電流を前記第2のスイッチング素子のターンオフゲート電流より低く設定する、

ことを特徴とする電力変換器。

[請求項8]

請求項1に記載の電力変換器であって、

前記第5のスイッチング素子の閾値電圧が前記第3のスイッチング素子の閾値電圧より低くなるよう、前記第5のスイッチング素子と前記第3のスイッチング素子を選定する、または、

前記第6のスイッチング素子の閾値電圧が前記第2のスイッチング素子の閾値電圧より低くなるよう、前記第6のスイッチング素子と前記第2のスイッチング素子を選定する、ことを特徴とする電力変換器。

[請求項9]

請求項1に記載の電力変換器であって、

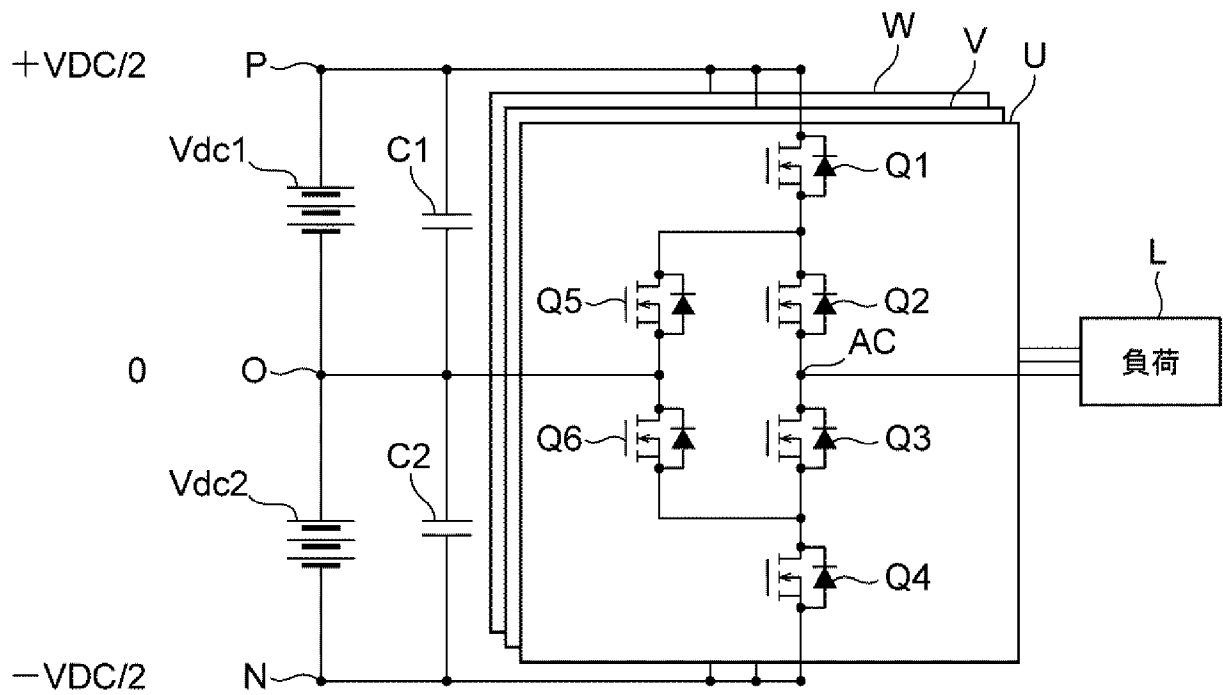
前記第5のスイッチング素子のOFF時ゲート電圧が前記第3のスイッチング素子のOFF時ゲート電圧より高くなるよう、前記第5のスイッチング素子と前記第3のスイッチング素子のOFF時ゲート電圧を調整する、または、

前記第6のスイッチング素子のOFF時ゲート電圧が前記第2のスイッチング素子のOFF時ゲート電圧より高くなるよう、前記第6のスイッチング素子と前記第2のスイッチング素子のOFF時ゲート電圧を調整する、

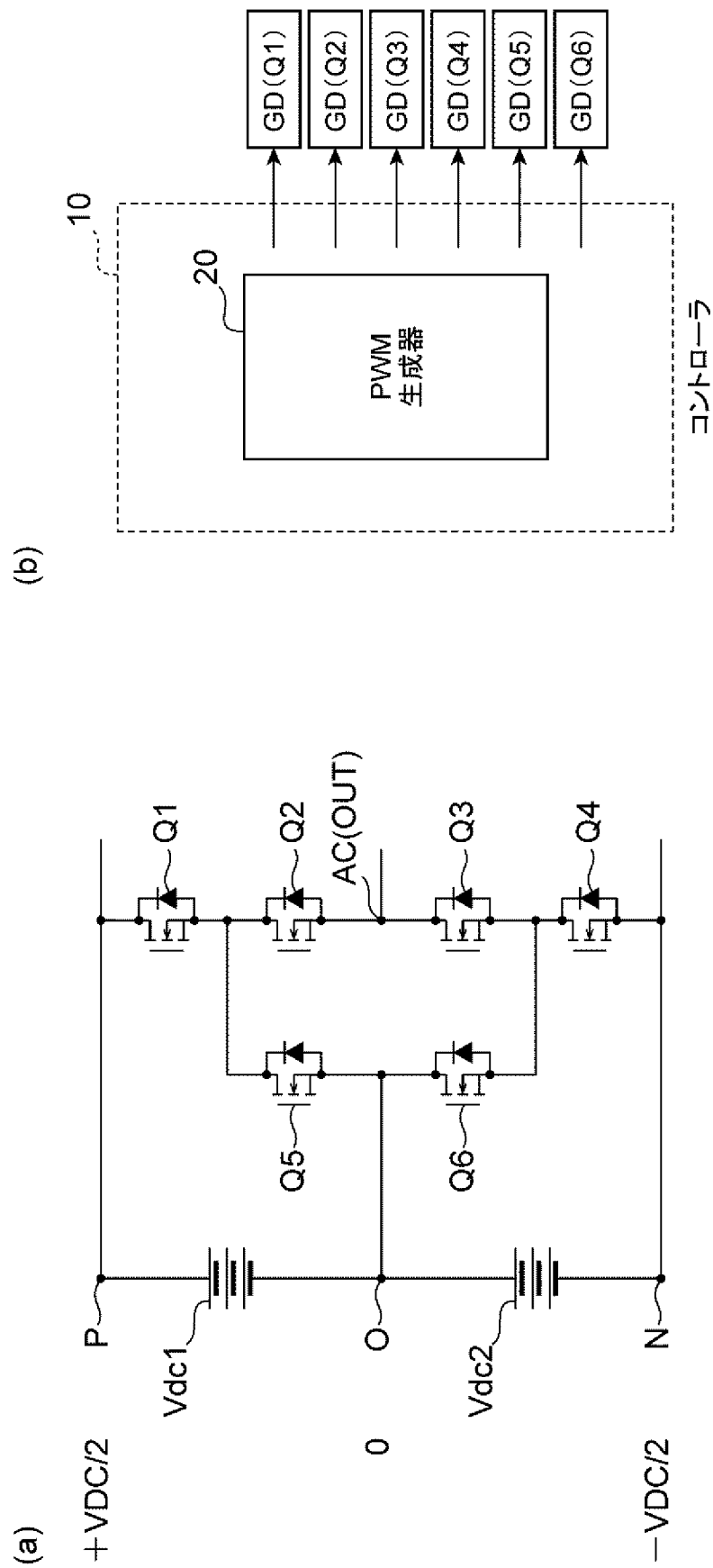
ことを特徴とする電力変換器。

[図1]

図 1

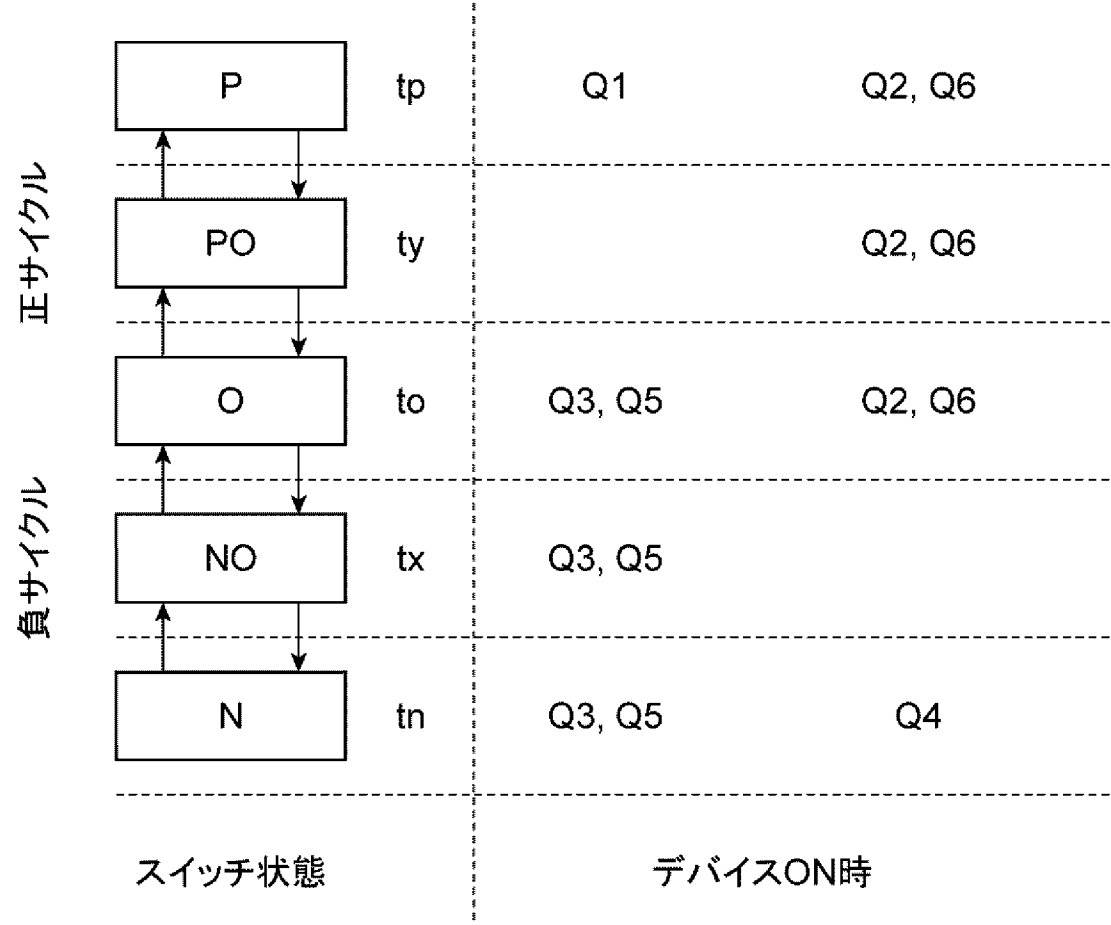


[図2]



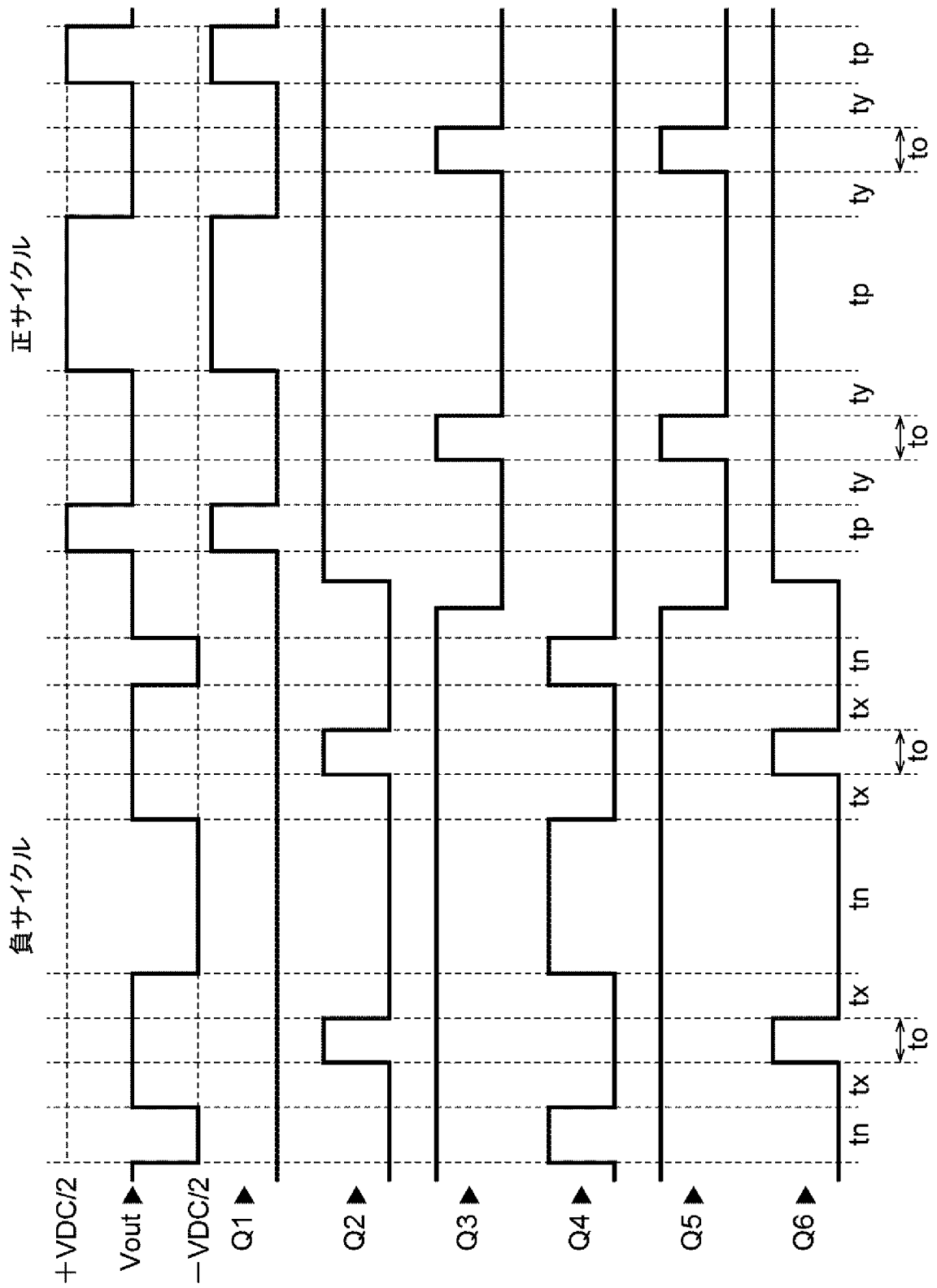
[図3]

図 3



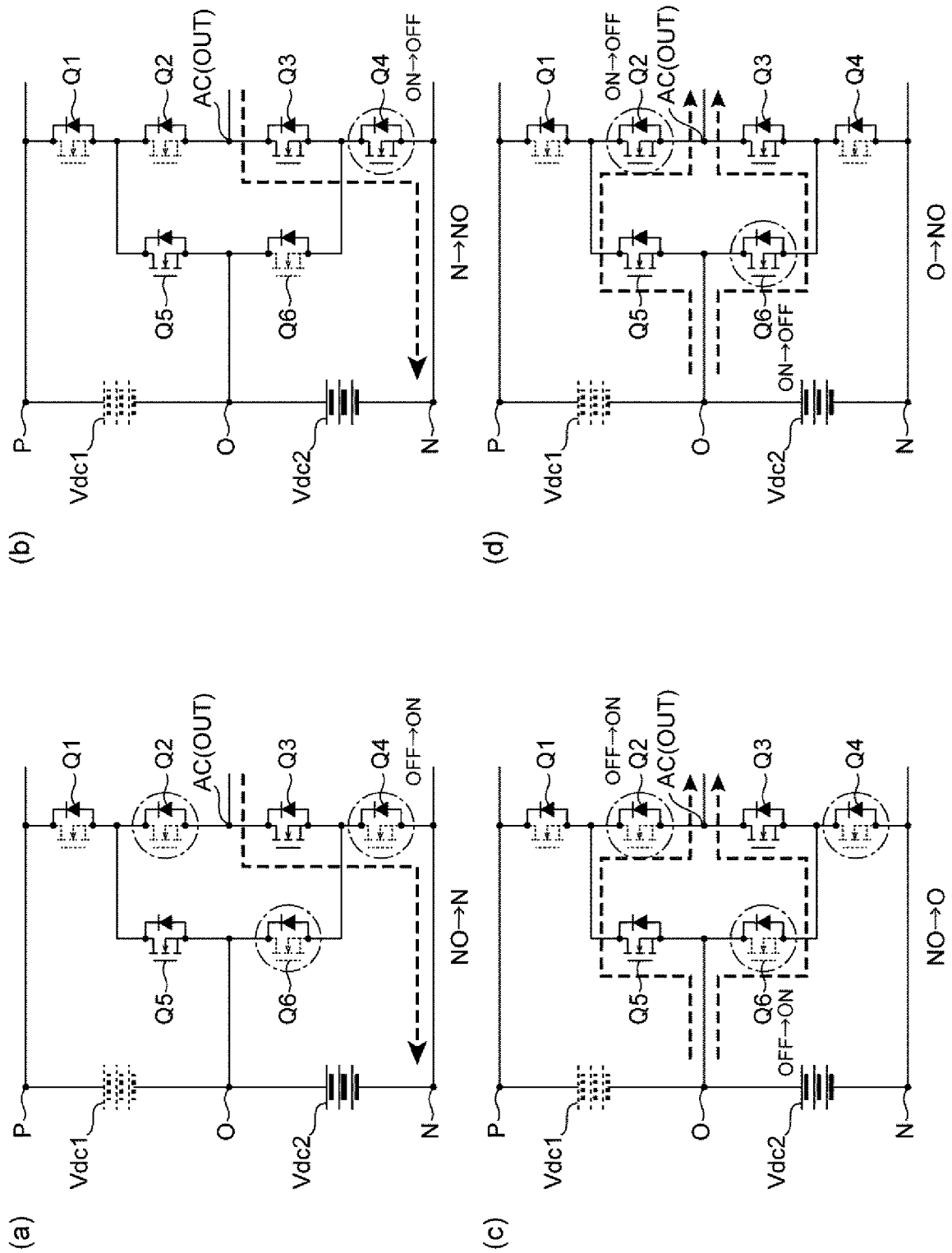
[図4]

図 4



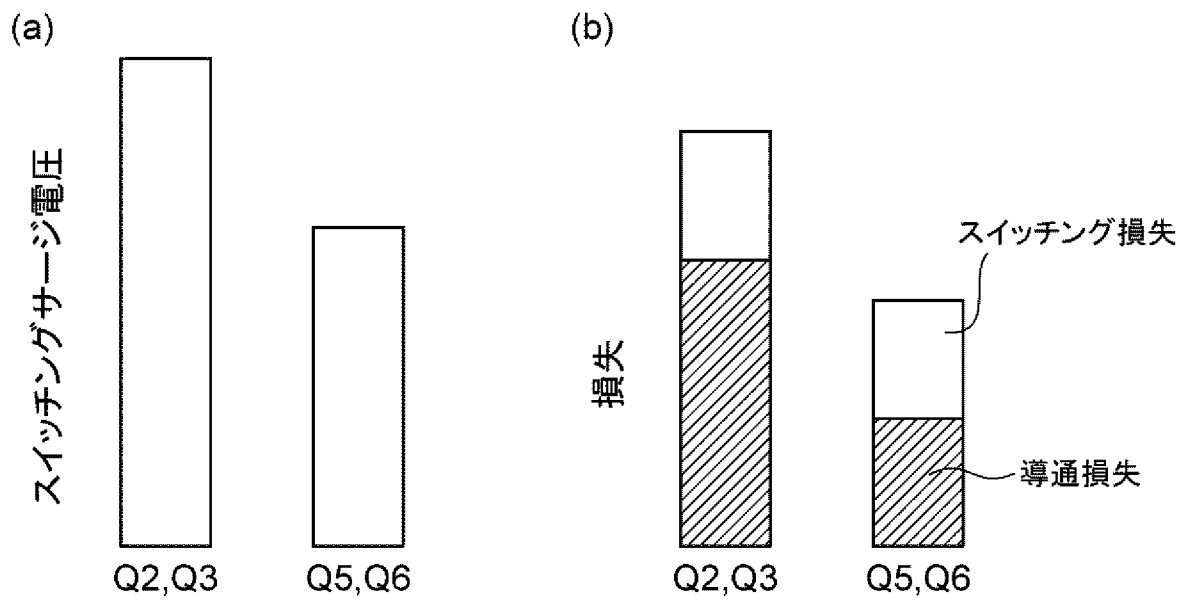
[図5]

[図5]



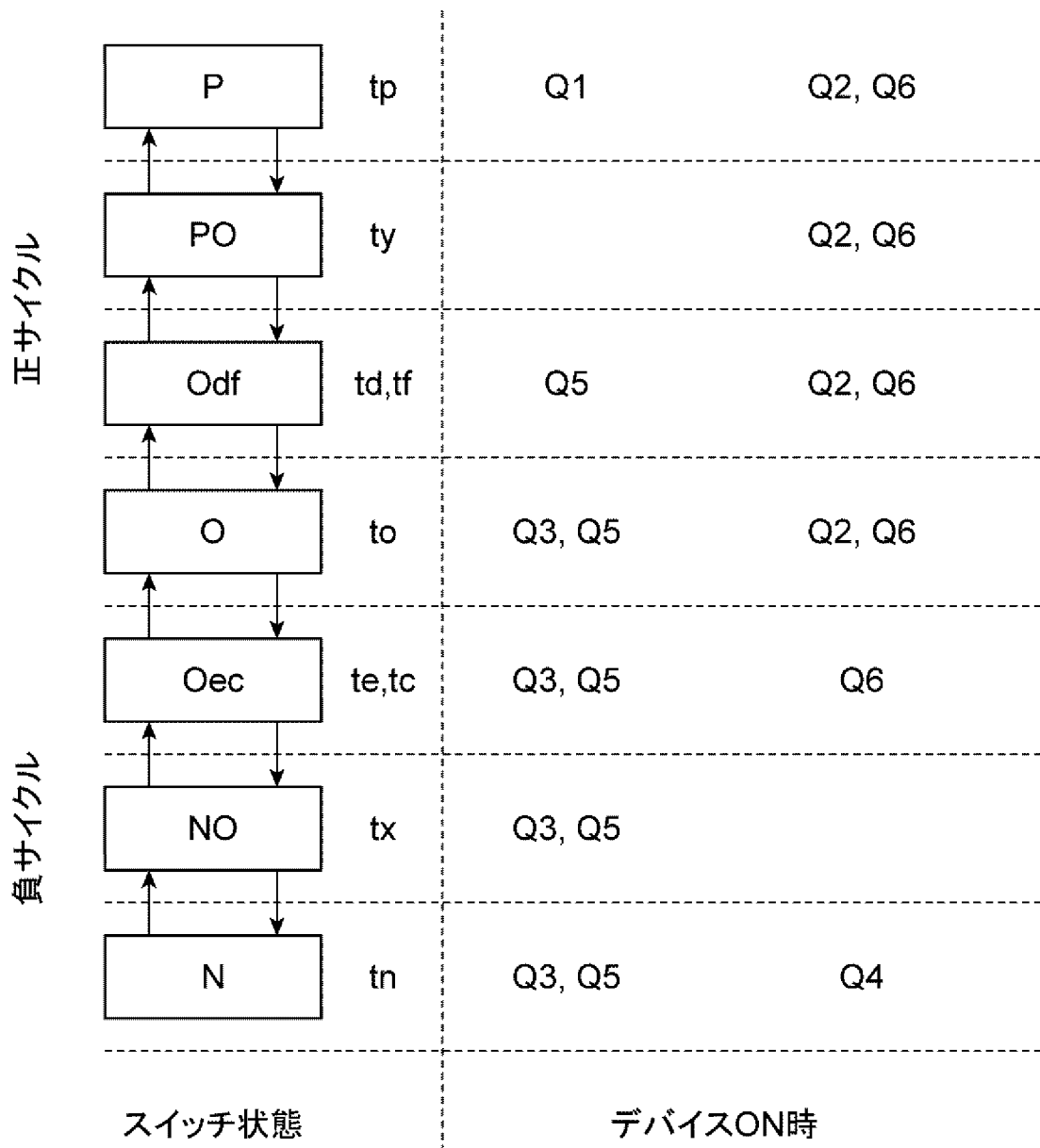
[図6]

図 6



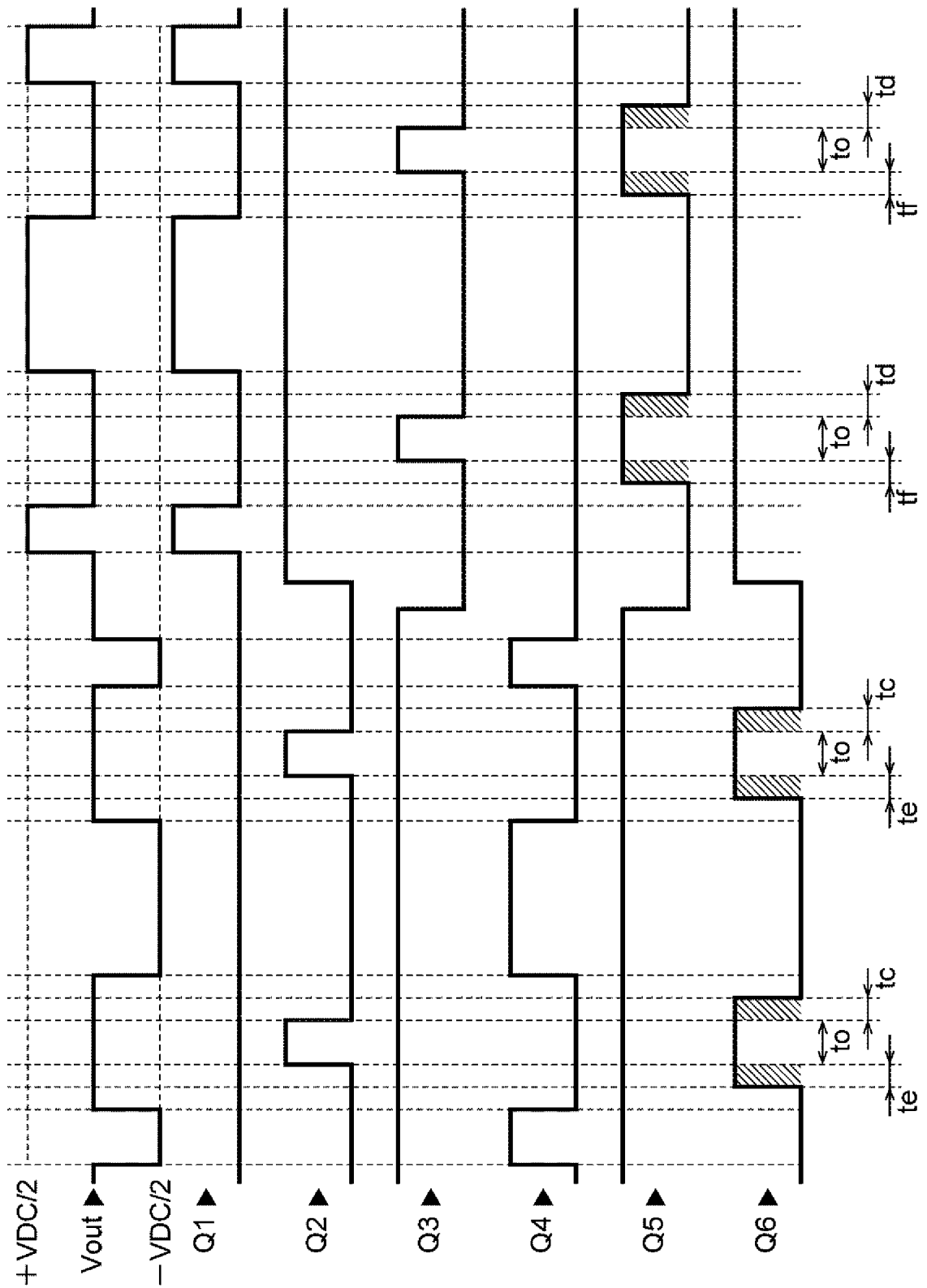
[図7]

図 7



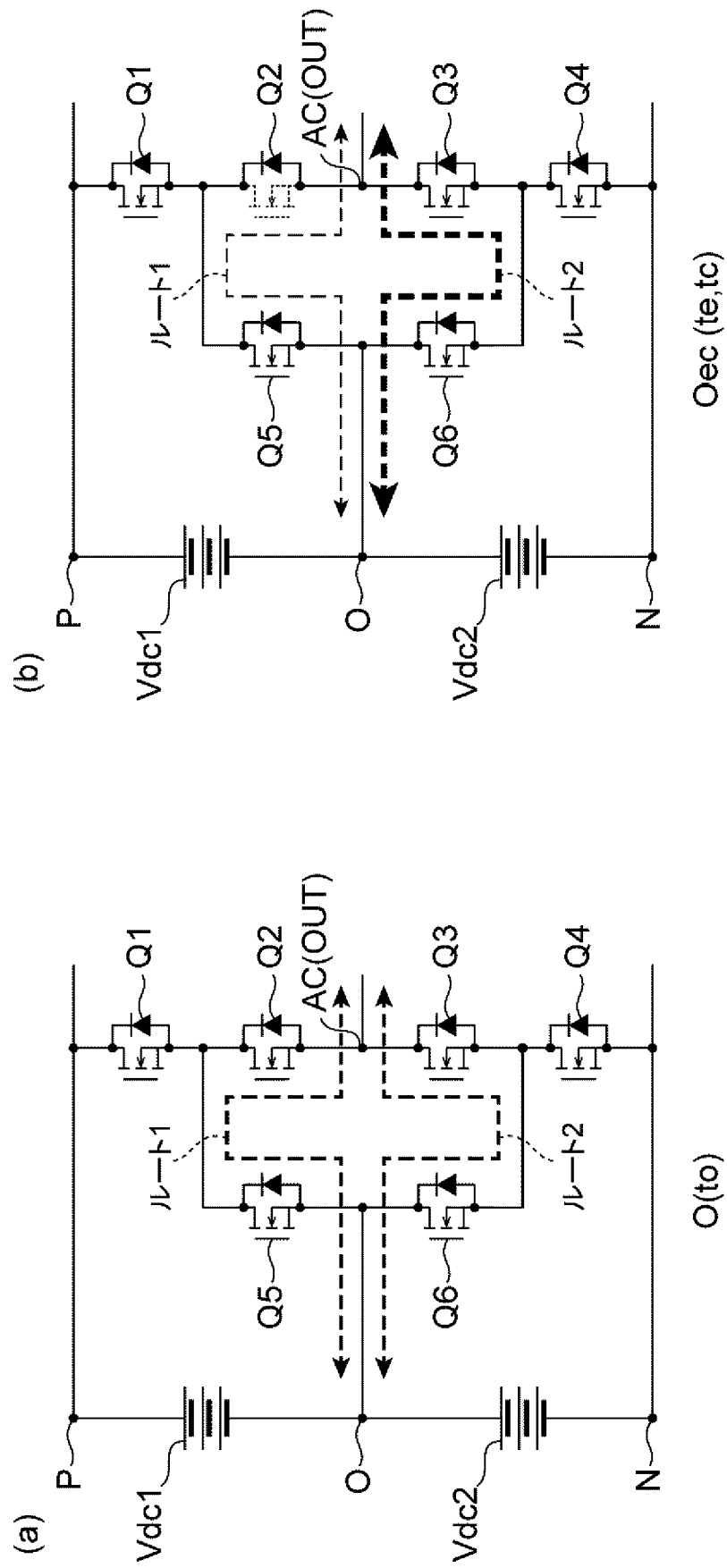
[図8]

図 8



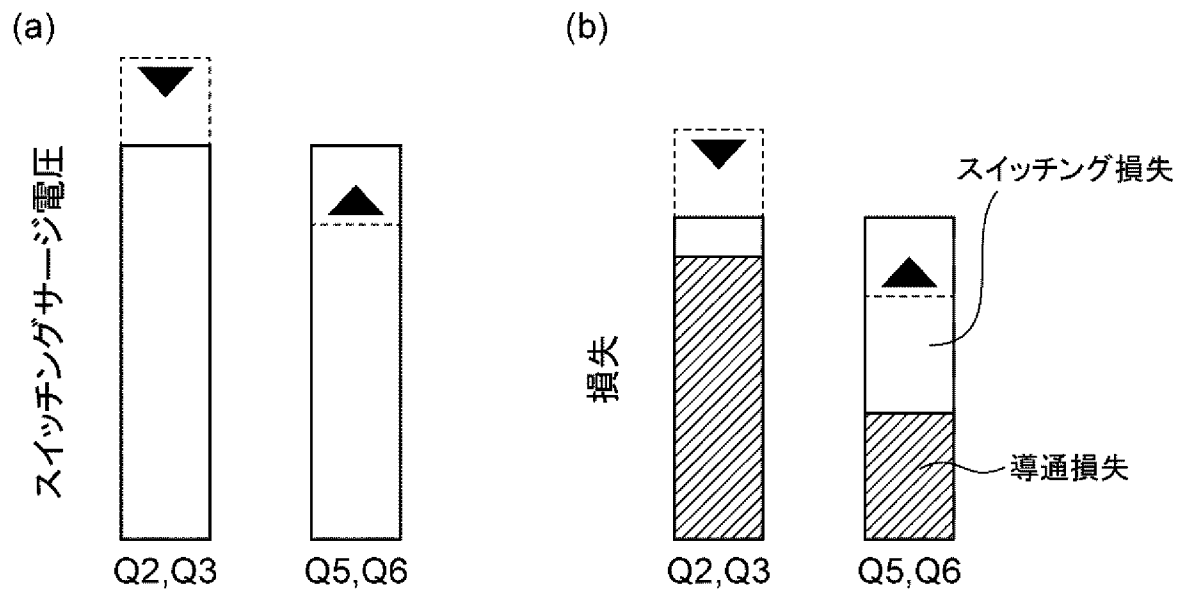
[図9]

図9



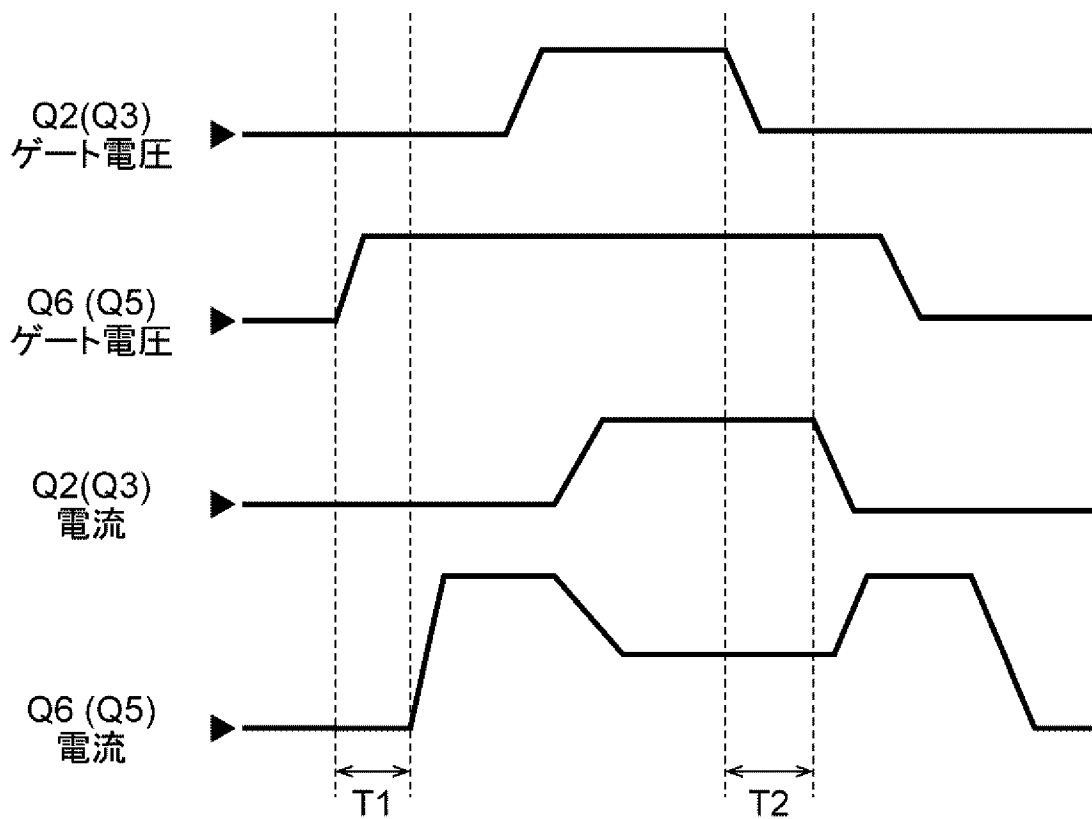
[図10]

図 1 0



[図11]

図 1 1



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/031771

A. CLASSIFICATION OF SUBJECT MATTER H02M 7/487 (2007.01)i FI: H02M7/487 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M7/487 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2023/195041 A1 (MITSUBISHI ELECTRIC CORPORATION) 12 October 2023 (2023-10-12) fig. 4	1-9
A	JP 2020-068582 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 30 April 2020 (2020-04-30) fig. 1	1-9
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 24 September 2024		Date of mailing of the international search report 15 October 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/031771

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2023/195041	A1	12 October 2023	(Family: none)	
JP	2020-068582	A	30 April 2020	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H02M 7/487(2007.01)i

FI: H02M7/487

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H02M7/487

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2023/195041 A1（三菱電機株式会社）12.10.2023（2023 - 10 - 12） 図4	1-9
A	JP 2020-068582 A（パナソニックIPマネジメント株式会社）30.04.2020（2020 - 04 - 30） 図1	1-9

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

24.09.2024

国際調査報告の発送日

15.10.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

安食 泰秀 3H 3740

電話番号 03-3581-1101 内線 3316

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/031771

引用文献			公表日	パテントファミリー文献	公表日
WO	2023/195041	A1	12.10.2023	(ファミリーなし)	
JP	2020-068582	A	30.04.2020	(ファミリーなし)	