

PŘIHLÁŠKA VYNÁLEZU

Zveřejněná podle §31 zákona č. 527/1990 Sb.

(21) Číslo dokumentu:

2016-353

(13) Druh dokumentu: **A3**

(51) Int. Cl.:

H04L 29/06 (2006.01)

(19)
ČESKÁ
REPUBLIKA



ÚŘAD
PRŮMYSLVÉHO
VLASTNICTVÍ

(22) Přihlášeno: **14.06.2016**

(40) Datum zveřejnění přihlášky vynálezu: **16.08.2017**
(Věstník č. 33/2017)

(71) Přihlašovatel:
CESNET, zájmové sdružení právnických osob,
Praha 6, Dejvice, CZ
Netcope Technologies, a.s., Brno, Královo Pole, CZ

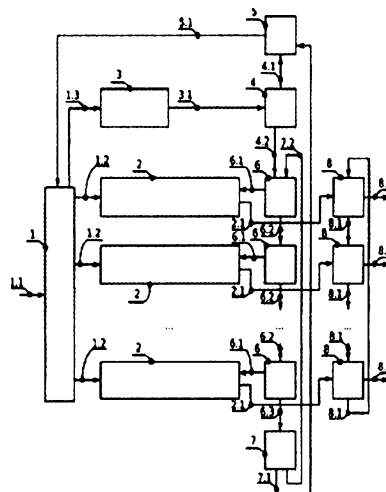
(72) Původce:
Ing. Viktor Puš, Ph.D., Kuřim, CZ
Ing. Vlastimil Košar, Brno, CZ
Ing. Jan Kořenek, Ph.D., Bílovice nad Svitavou, CZ
Ing. Denis Matoušek, Česká Třebová, CZ

(74) Zástupce:
Ing. Hana Dušková, Na Kočově 180, 281 03
Chotutice

(54) Název přihlášky vynálezu:
**Zapojení pro rychlé vyhledávání
regulárních výrazů v datech**

(57) Anotace:
Zapojení sestává z obvodu (1) řízení zápisu do paměti opatřeného datovým vstupem (1.1) šířky S_c a datovými výstupy (1.2) datové šířky S_n , které jsou připojeny na první vstup jedné z N blokových pamětí (2) tvořících vyrovnávací paměť. $N = S_c / S_n$ kde S_c je celková požadovaná datová šířka vyrovnávací paměti a S_n je datová šířka jednotlivých blokových pamětí (2). Obvod (1) řízení zápisu do paměti je opatřen výstupem (1.3) připojeným na blok (3) fronty požadavků, jehož výstup (3.1) je připojen na vstup obvodu (4) řízení čtení opatřeného rezervační výstupem (4.1) připojeným na první vstup rezervačního obvodu (5). Výstup (5.1) rezervačního obvodu (5) je propojen se vstupem pro uvolnění paměti obvodu (1) řízení zápisu do paměti. Každá bloková paměť (2) má na svůj druhý vstup připojen výstup (6.1) signálů řízení čtení svého obvodu (6) správy paměti. Na první vstup obvodu (6) správy paměti první blokové paměti (2) je připojen aktivací výstup (4.2) obvodu (4) řízení čtení. Obvody (6) správy paměti jsou aktivacími výstupy (6.2) spojeny do kruhového zapojení, přičemž poslední z obvodů (6) správy paměti je svým výstupem (6.3) připojen na vstup obvodu (7) inkrementace adresy. Ten je svým prvním výstupem (7.1) ukončení zpracování připojen na druhý vstup rezervačního obvodu (5), svým druhým výstupem

(7.2) je připojen na druhý vstup obvodu (6) správy paměti první blokové paměti (2) v kruhovém zapojení. Datový výstup (2.1) každé blokové paměti (2) je připojen na vstup jí náležejícího porovnávacího obvodu (8). Porovnávací obvody (8) jsou svými výstupy (8.1) stavových signálů spojeny do kruhového zapojení. Výstupy (8.2) jednotlivých porovnávacích obvodů (8) jsou výstupy celého zapojení.



~~TKK~~
1

14.05.14
~~2016-355~~

PV 356 - 2016

Zapojení pro rychlé vyhledávání regulárních výrazů v datech

Oblast techniky

Předkládané řešení se týká proudového zpracování dat v počítači. Data jsou rozdělena do bloků zvaných pakety, a je třeba vyhledávat shodu dat v paketech se zadanými vzory – regulárními výrazy. Jedná se tedy o oblast telekomunikační techniky a služeb.

Dosavadní stav techniky

Jednotlivé pakety jsou chápány jako řetězce symbolů. Symboly jsou obvykle délky 8 bitů či více. Je třeba ověřovat příslušnost těchto řetězců do regulárních jazyků, přičemž regulární jazyky jsou popsány regulárními výrazy. Tato operace je používána pro zjištění přítomnosti jistých vzorů v paketech. Toho je využito např. při vyhledávání nebezpečného provozu v počítačových sítích.

Současná řešení využívající obvodovou implementaci využívají převodu regulárních výrazů na deterministické či nedeterministické stavové automaty a následnou realizaci takového automatu pomocí obvodu. Datová šířka obvodu je rovna délce symbolu a celková rychlost zpracování je rovna součinu datové šířky a pracovní frekvence obvodu. Dosažení vysoké celkové rychlosti zpracování v takovém přístupu vynucuje, vzhledem k technickému omezení možnosti zvyšování pracovní frekvence, zvyšování datové šířky obvodu. To však vede na zvětšení délky symbolu, a tedy exponenciální zvýšení počtu symbolů, potažmo složitosti automatu, a tím i nároků na využitou paměť či logiku daného obvodu.



Podstata vynálezu

Výše uvedené nedostatky odstraňuje zapojení pro rychlé vyhledávání regulárních výrazů v datech podle předkládaného řešení. Podstatou tohoto zapojení je, že sestává z obvodu řízení zápisu do paměti opatřeného datovým vstupem šířky S_c a datovými výstupy datové šířky S_n . Každý z datových výstupů je připojen na první vstup jedné z N blokových pamětí, tvořících vyrovnávací paměť. Celkový počet blokových pamětí je parametrem celého řešení a je dán vztahem $N = S_c / S_n$, kde S_c je celková požadovaná datová šířka vyrovnávací paměti a S_n je datová šířka jednotlivých blokových pamětí, která je pro všechny blokové paměti shodná. Dále je obvod řízení zápisu do paměti opatřen výstupem připojeným na blok fronty požadavků, jehož výstup je připojen na vstup obvodu řízení čtení. Rezervační výstup obvodu řízení čtení je připojen na první vstup rezervačního obvodu, jehož výstup je propojen se vstupem pro uvolnění paměti obvodu řízení zápisu do paměti. Každá blokovaná paměť má na svůj druhý vstup připojen výstup signálů řízení čtení svého obvodu správy paměti. Na první vstup obvodu správy paměti první blokované paměti je připojen aktivační výstup obvodu řízení čtení. Obvody správy paměti jsou spojeny kruhovým zapojením tak, že je vždy výstup předchozího obvodu správy paměti propojen se vstupem následujícího obvodu správy paměti. Poslední z obvodů správy paměti je svým výstupem připojen na vstup obvodu inkrementace adresy. Obvod inkrementace adresy je svým prvním výstupem ukončení zpracování připojen na druhý vstup rezervačního obvodu. Dále je obvod inkrementace adresy svým druhým výstupem připojen na druhý vstup obvodu správy paměti první blokované paměti v kruhovém zapojení. Datový výstup každé blokované paměti je připojen na vstup jí náležejícího porovnávacího obvodu. Tyto porovnávací obvody jsou svými výstupy stavových signálů spojeny do kruhového zapojení, kdy výstup stavového signálu porovnávacího obvodu poslední blokované paměti je propojen se vstupem porovnávacího obvodu první blokované paměti. Výstupy jednotlivých porovnávacích obvodů jsou výstupy celého zapojení.

Ve výhodném provedení je zapojení vytvořeno uvnitř polovodičového obvodu, který slouží k příjmu, zpracování a odesílání paketů. Tento polovodičový obvod je s výhodou realizován obvodem FPGA.



Výhodou uvedeného zapojení je, že namísto jednoho obvodu realizujícího automat o celkové datové šířce S_c je použita sada současně pracujících obvodů realizujících několik stejných automatů na nižší datové šířce S_n . Tím je odstraněn exponenciální nárůst počtu symbolů automatu a současně je dosaženo vysoké propustnosti celého zapojení.

Další výhodou tohoto řešení je rychlejší vyhledávání regulárních výrazů v datech při nízkých nárocích na hardwarové zdroje. Díky tomu, že se zvyšováním datové šířky obvodu nedochází k exponenciálnímu nárůstu velikosti automatů, je možné vytvořit obvod s větší datovou šířkou, a tedy i propustností. Výhodné je také to, že řešení není závislé na konkrétní realizaci porovnávacích obvodů, čímž zůstává otevřená možnost zlepšovat řešení použitím efektivnější implementace porovnávacích obvodů.

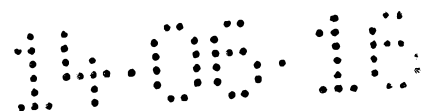
Objasnění výkresů

Podstata nového řešení je dále vysvětlena a popsána na základě připojeného výkresu, ³obr. 1, který znázorňuje blokové schéma obvodu.

Příklady uskutečnění vynálezu

Předmětem nového řešení obecně je rozdělení porovnávacího obvodu realizujícího stavový automat na určité datové šířce na N do kruhu zapojených porovnávacích obvodů realizujících N stavových automatů na nižší datové šířce a pracujících současně. Před takto zapojené porovnávací obvody jsou připojeny obvody zajišťující správné doručení dat jednotlivých paketů k porovnávacím obvodům stavových automatů. Na přiloženém výkrese je vyznačeno obvodové řešení celého zapojení.

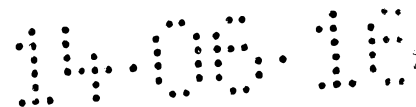
V zapojení podle tohoto obvodového řešení je datový vstup 1.1 šířky S_c připojen na vstup obvodu 1 řízení zápisu do paměti. Obvod 1 řízení zápisu do paměti je opatřen N datovými výstupy 1.2 datové šířky S_n , jež jsou přivedeny na vstupy jednotlivých blokových pamětí 2. V zapojení je celkem N blokových pamětí 2, přičemž datové šířka každé blokové paměti 2 je S_n a všechny blokové paměti 2 spolu vytvářejí hlavní



vyrovnávací paměť datové šířky S_c . Celkový počet blokových pamětí 2 je parametrem celého řešení a je dán vztahem $N = S_c / S_n$. Obvod 1 řízení zápisu do paměti je dále opatřen výstupem 1.3 připojeným na vstup bloku 3 fronty požadavků. Blok 3 fronty požadavků je svým výstupem 3.1 připojen na vstup obvodu 4 řízení čtení. Obvod 4 řízení čtení je opatřen rezervačním výstupem 4.1, jež je přiveden na první vstup rezervačního obvodu 5. Výstup 5.1 rezervačního obvodu 5 se signálem o volném místě, je propojen se vstupem pro uvolnění paměti obvodu 1 řízení zápisu do paměti.

Obvod řízení čtení 4 je dále opatřen aktivačním výstupem 4.2, jež je přiveden na vstup obvodu 6 správy paměti. V zapojení je celkem N obvodů 6 správy paměti. Každý jeden z obvodů 6 správy paměti je opatřen výstupem 6.1 signálů řízení čtení, který je připojen na vstup jedné blokové paměti 2. Každý obvod 6 správy paměti je dále opatřen aktivačním výstupem 6.2, přičemž obvody 6 správy paměti jsou prostřednictvím aktivačních výstupů 6.2, které jsou zároveň vstupy pro další obvod 6 správy paměti, zapojeny do kruhu. Výstup 6.3 posledního z N obvodů 6 správy paměti je připojen na vstup obvodu 7 inkrementace adresy. Obvod 7 inkrementace adresy je opatřen prvním výstupem 7.1 s informací o ukončení zpracování, který je propojen s druhým vstupem rezervačního obvodu 5. Dále je obvod 7 inkrementace adresy opatřen druhým výstupem 7.2, který je připojen na druhý vstup obvodu 6 správy paměti, čímž je dokončeno kruhové zapojení všech N obvodů 6 správy paměti. Každá jedna z N blokových pamětí 2 je opatřena datovým výstupem 2.1 datové šířky S_n , jež je přiveden na jeden z N porovnávacích obvodů 8, příslušející dané blokové paměti 2. Každý jeden z N porovnávacích obvodů 8 je opatřen výstupem 8.1 stavového signálu, který je zároveň vstupem pro v kruhu následující porovnávací obvod 8. Prostřednictvím výstupů 8.1 stavových signálů jsou porovnávací obvody 8 zapojeny v kruhovém zapojení. Každý jeden z N porovnávacích obvodů 8 je dále opatřen výstupem 8.2, který je zároveň výstupem celého zapojení.

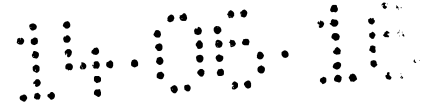
Uváděné příkladné provedení využívá jeden obvod FPGA pro vytvoření všech výše popsaných obvodů a bloků pro zadané parametry S_c a N , kde dále $S_n = S_c / N$.



Obvod 1 řízení zápisu do paměti zapisuje pakety ze svého datového vstupu 1.1 prostřednictvím svých datových výstupů 1.2 do všech N blokových pamětí 2 současně a na postupně inkrementované adresy, přičemž prostřednictvím signálu o volném místě z výstupu 5.1 rezervačního obvodu 5 určuje adresy blokových pamětí 2, na které je možné zapisovat. Po ukončení zápisu každého celého paketu do blokových pamětí 2 informuje obvod 1 řízení zápisu o této skutečnosti prostřednictvím signálu z výstupu 1.3 blok 3 fronty požadavků. Obvod 4 řízení čtení čeká na svém vstupu na záznam o zápisu paketu z výstupu 3.1 bloku 3 fronty požadavků. Neprovádí-li nejbližší obvod správy 6 paměti žádnou operaci, vydá obvod 4 řízení čtení pokyn k zahájení čtení paketu prostřednictvím svého aktivačního výstupu 4.2. Zároveň o této skutečnosti informuje rezervační obvod 5 prostřednictvím svého rezervačního výstupu 4.1. Jednotlivé obvody 6 správy paměti si cyklicky předávají informace o právě vyčítaných a zpracovávaných paketech prostřednictvím aktivačních výstupů 6.2 a současně posílají příslušné příkazy ke čtení do blokových pamětí 2 prostřednictvím svých výstupů 6.1 signálů řízení čtení. Cyklické předávání informací je doplněno o obvod 7 inkrementace adresy, který připravuje předávané informace o právě vyčítaných a zpracovávaných paketech na další průchod cyklem obvodů 6 správy paměti. Dorazí-li do obvodu 7 inkrementace adresy informace o paketu, jež byl již celý vyčten z vyrovnávací paměti, informuje o této skutečnosti prostřednictvím prvního výstupu 7.1 rezervační obvod 5. Ten zajistí uvolnění místa ve vyrovnávací paměti prostřednictvím svého výstupu 5.1. Datové výstupy 2.1 jednotlivých blokových pamětí 2 nesou data paketů datové šířky S_n do porovnávacích obvodů 8. Porovnávací obvody 8 realizují stavové automaty, přičemž stav každého stavového automatu je cyklicky předáván mezi porovnávacími obvody 8 prostřednictvím signálů z výstupů 8.1 stavového signálu. Ten porovnávací obvod 8, který při své práci narazí na konec paketu, předá na svůj výstup 8.2 informaci o shodě či neshodě dat paketu se zadanými regulárními výrazy.

Průmyslová využitelnost

Zapojení pro rychlé vyhledávání regulárních výrazů v datech podle uvedeného řešení



je průmyslově využitelné v obvodech proudového či dávkového zpracování dat rozdělených na části – pakety. Ve srovnání s běžně používanými řešeními umožňuje zvýšit datovou šířku obvodu a tím zvýšit rychlost zpracování dat, případně zvýšit počet vyhledávaných regulárních výrazů.

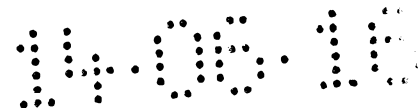
~~ITSK~~

7

11.05.16
~~2016-2017~~

PATENTOVÉ NÁROKY

1. Zapojení pro rychlé vyhledávání regulárních výrazů v datech, **vyznačující se tím, že** sestává z obvodu (1) řízení zápisu do paměti opatřeného datovým vstupem (1.1) šířky S_c a datovými výstupy (1.2) datové šířky S_n , z nichž každý je připojen na první vstup jedné z N blokových pamětí (2), tvořících vyrovnávací paměť, kde celkový počet blokových pamětí (2) je parametrem celého řešení a je dán vztahem $N = S_c / S_n$, kde S_c je celková požadovaná datová šířka vyrovnávací paměti a S_n je datová šířka jednotlivých blokových pamětí (2), která je pro všechny blokové paměti (2) shodná, a dále je obvod (1) řízení zápisu do paměti opatřen výstupem (1.3) připojeným na blok (3) fronty požadavků, jehož výstup (3.1) je připojen na vstup obvodu (4) řízení čtení, jehož rezervační výstup (4.1) je připojen na první vstup rezervačního obvodu (5), jehož výstup (5.1) je propojen se vstupem pro uvolnění paměti obvodu (1) řízení zápisu do paměti, a každá bloková paměť (2) má na svůj druhý vstup připojen výstup (6.1) signálů řízení čtení svého obvodu (6) správy paměti, kde na první vstup obvodu (6) správy paměti první blokové paměti (2) je připojen aktivační výstup (4.2) obvodu (4) řízení čtení, a kde jsou obvody (6) správy paměti spojeny kruhovým zapojením tak, že je vždy aktivační výstup (6.2) předchozího obvodu (6) správy paměti propojen se vstupem následujícího obvodu (6) správy paměti, přičemž poslední z obvodů (6) správy paměti je svým výstupem (6.3) připojen na vstup obvodu (7) inkrementace adresy, který je svým prvním výstupem (7.1) ukončení zpracování připojen na druhý vstup rezervačního obvodu (5), a dále je obvod (7) inkrementace adresy svým druhým výstupem (7.2) připojen na druhý vstup obvodu (6) správy paměti první blokové paměti (2) v kruhovém zapojení, a datový výstup (2.1) každé blokové paměti (2) je připojen na vstup jí náležejícího porovnávacího obvodu (8), kde tyto porovnávací obvody (8) jsou svými výstupy (8.1) stavových signálů spojeny do kruhového zapojení, kdy výstup (8.1) stavového signálu porovnávacího obvodu (8) poslední blokové paměti (2) je propojen se vstupem porovnávacího obvodu (8) první blokové paměti (2), přičemž výstupy (8.2) jednotlivých porovnávacích obvodů (8) jsou výstupy celého zapojení.



2. Zapojení podle nároku 1, **vyznačující se tím, že** je vytvořeno uvnitř polovodičového obvodu.
3. Zapojení podle nároku 2, **vyznačující se tím, že** polovodičový obvod je obvodem FPGA.

1/1 TASK

NO. 11
2016-353

