

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/76	(11) 공개번호 특2001-0002305	(43) 공개일자 2001년01월 15일
(21) 출원번호 10-1999-0022053		
(22) 출원일자 1999년06월 14일		
(71) 출원인 아남반도체 주식회사 황인길		
(72) 발명자 강정호	서울특별시 성동구 성수동 2가 280-8	
(74) 대리인 송만호, 오원석	경기도부천시원미구중동중흥마을623-1602	

심사청구 : 있음

(54) 반도체 소자 분리를 위한 얇은 트렌치 제조 방법

요약

트렌치 상부 에지 부분의 코너 라운딩 취약에 의한 소자 분리 특성 저하 및 누설 전류 발생을 방지하기 위하여, 실리콘웨이퍼 상에 패드 산화막과 질화막을 형성하고, 모트 식각하여 트렌치를 형성한 후, 실리콘웨이퍼를 산화막 습식 식각 세정하여 트렌치 상부 에지 부분의 패드 산화막 측벽을 식각하며, 실리콘 습식 식각 세정하여 트렌치 내벽의 실리콘웨이퍼를 식각하여 트렌치 상부 에지 부분의 실리콘웨이퍼를 라운딩되게 한다. 이후, 실리콘웨이퍼를 열산화하여 트렌치 내벽에 라이너 산화막을 성장시키고, 질연막을 증착하여 트렌치를 매입한 후, 질화막을 버퍼층으로 질연막을 평탄화하고, 질화막을 제거함으로써 반도체 소자 분리를 위한 얇은 트렌치를 완성한다. 이와 같이 실리콘웨이퍼를 습식 식각 세정하여 트렌치 상부 에지 부분의 실리콘웨이퍼를 라운딩한 상태에서 열산화하여 트렌치 내벽에 라이너 산화막을 열성장시키므로, 트렌치 상부 에지에서 양호한 코너 라운딩 프로파일을 얻을 수 있어 전계 집중에 따른 채널 리키지 및 소자 분리 특성 저하 등을 방지하여 반도체 소자의 신뢰성을 향상시킬 수 있을 뿐만 아니라 반도체 소자 제조 공정의 수율을 향상시킬 수 있다.

대표도

도2c

색인어

반도체 소자 분리, 트렌치, STI, 습식 세정, 코너 라운딩, 습식 식각 세정

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 반도체 소자 분리를 위한 얇은 트렌치를 제조하는 방법을 개략적으로 도시한 공정도이고,
도 2a 내지 도 2f는 본 발명에 따라 반도체 소자 분리를 위한 얇은 트렌치를 제조하는 방법을 개략적으로 도시한 공정도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자를 제조하는 공정에 관한 것으로, 더욱 상세하게는 반도체 소자의 제조 공정중 반도체 소자와 소자 간을 전기적으로 격리하기 위한 얇은 트렌치(shallow trench isolation, STI)를 제조하는 방법에 관한 것이다.

일반적으로 반도체 소자를 분리하는 방법으로는 선택적 산화법으로 질화막을 이용하는 LOCOS(local oxidation of silicon) 소자 분리 방법이 이용되어 왔다.

LOCOS 소자 분리 방법은 질화막을 마스크로 해서 실리콘웨이퍼 자체를 열 산화시키기 때문에 공정이 간소해서 산화막의 소자 응력 문제가 적고, 생성되는 산화막질이 좋다는 큰 이점이 있다.

그러나, LOCOS 소자 분리 방법을 이용하면 소자 분리 영역이 차지하는 면적이 크기 때문에 미세화에 한계가 있을 뿐만 아니라 버즈 비크(bird's beak)가 발생하게 된다.

이러한 것을 극복하기 위해 LOCOS 소자 분리 방법을 대체하는 기술로서 트렌치 소자 분리(STI ; shallow trench isolation)가 있다. 트렌치 소자 분리에서는 실리콘웨이퍼에 트렌치를 만들어 절연물을 집어넣기 때문에 소자 분리 영역이 차지하는 면적이 작아서 미세화에 유리하다.

그러면, 도 1a 내지 도 1d를 참조하여 종래 반도체 소자 분리를 위한 얇은 트렌치를 제조하는 방법을 설명한다.

먼저 도 1a에 도시한 바와 같이, 실리콘웨이퍼(1)를 열산화하여 열산화막인 패드 산화막(2)을 성장시키고, 그 상부에 화학 기상 증착(chemical vapor deposition, CVD)에 의해 질화막(3)을 증착한다. 그리고, 질화막(3) 상부에 트렌치 식각을 위한 모트(moat) 패턴을 형성한 후, 모트 패턴을 마스크로 드러난 질화막(3)과 패드 산화막(2)을 식각하여 제거하고, 다시 드러난 실리콘웨이퍼(1)를 건식 식각에 의해 목표 두께 만큼 식각하여 반도체 소자 분리 영역에 얇은 트렌치를 형성(모트 식각)하고, 질화막 상부의 모트 패턴을 제거한다.

그 다음 도 1b에 도시한 바와 같이, 실리콘웨이퍼(1)를 열산화하여 열산화막인 라이너(liner) 산화막(4)을 형성한다. 이때, 질화막(3)이 형성된 활성 영역 즉, 반도체 소자가 형성될 영역의 실리콘웨이퍼에서는 열산화막인 라이너 산화막이 성장하지 못하며, 실리콘이 드러난 트렌치 내벽에만 열산화막인 라이너 산화막이 성장된다.

그 다음 도 1c에 도시한 바와 같이, 실리콘웨이퍼(1) 전면에 상압 화학 기상 증착(atmospheric pressure chemical vapor deposition, APCVD)에 의해 산화막 등의 절연막(5)을 두껍게 증착하여 트렌치를 완전히 매입하고, 세정하여 실리콘웨이퍼(1) 후면의 불순물을 제거한 후, 어닐링(annealing)하여 절연막(5)의 밀도를 증가시킴으로써 집적 회로에서 반도체 소자 분리를 위한 절연 특성을 가지도록 한다. 그리고, 절연막(5) 상부에 모트 패턴과 반대 형상의 패턴 즉, 리버스(reverse) 모트 패턴을 형성하고, 리버스 모트 패턴을 마스크로 드러난 절연막(5)을 식각하여 질화막이 드러나도록 한 후, 리버스 모트 패턴을 제거한다.

그 다음 도 1d에 도시한 바와 같이, 질화막(도 1c의 3)을 버퍼층으로 절연막(5)을 화학 기계적 연마(chemical mechanical polishing, CMP) 공정에 의해 평탄화한 후, 활성 영역 실리콘웨이퍼 상부에 잔류하는 질화막을 제거함으로써 반도체 소자 분리를 위한 얇은 트렌치를 완성한다.

이와 같이 종래의 방법에 의해 제조된 반도체 소자 분리를 위한 얇은 트렌치에서는 반도체 소자 동작을 위한 게이트 전압 인가시, 트렌치 상부 에지(edge) 부분에 전계가 집중되므로 SILC(stress induced leakage) 등의 채널 리키지(channel leakage)가 발생하여 반도체 소자의 신뢰성을 저하시키게 된다. 따라서, 이러한 것을 방지하기 위하여 트렌치 상부 에지 부분을 라운딩되게 형성하고 있으며, 특히 코너 라운딩의 프로파일(profile)을 좋게 형성하기 위하여, 라이너 산화막 성장을 위한 열산화시 클로린(chlorine, Cl)을 포함하여 열산화와 동시에 트렌치 상부 에지 부분의 실리콘웨이퍼가 식각되도록 하여 코너 라운딩을 형성한다. 그러나, 이 방법은 트렌치 상부 에지 코너의 라운딩이 미흡하고, 실리콘웨이퍼와 라이너 산화막의 계면에 클로린이 잔류하게 되므로 후속 열공정이 있을 경우, 클로린에 의한 오염에 의해 리키지가 발생하게 되는 문제점이 있다.

발명이 이루고자하는 기술적 과제

본 발명은 이와 같은 문제점을 해결하기 위한 것으로, 그 목적은 트렌치 상부 에지 부분의 코너 라운딩 취약에 의한 소자 분리 특성 저하 및 누설 전류 발생을 방지하는 데 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명은 트렌치 식각 이후, 실리콘웨이퍼를 습식 식각 세정하여 트렌치 상부 에지 부분의 실리콘웨이퍼를 라운딩되게 한 후, 실리콘웨이퍼를 열산화하여 트렌치 내벽에 라이너 산화막을 열성장시키는 것을 특징으로 한다.

상기 실리콘웨이퍼의 습식 식각 세정은 실리콘웨이퍼 전면을 산화막 습식 식각 세정하여 트렌치 상부 에지 부분의 패드 산화막 측벽을 식각하고, 실리콘 습식 식각 세정하여 트렌치 내벽의 드러난 실리콘웨이퍼를 식각하는 것을 특징으로 한다.

상기 산화막 습식 식각 세정에 의해 식각되는 패드 산화막의 식각량은 500Å 이하가 되도록 하며, 상기 실리콘 습식 식각 세정에 의해 식각되는 실리콘웨이퍼의 식각량은 500Å 이하가 되도록 하는 것이 바람직하다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 설명한다.

도 2a 내지 도 2f는 본 발명에 따라 반도체 소자 분리를 위한 얇은 트렌치를 제조하는 방법을 개략적으로 도시한 공정도이다.

먼저 도 2a에 도시한 바와 같이, 실리콘웨이퍼(11)를 열산화하여 열산화막인 패드 산화막(12)을 성장시키고, 그 상부에 화학 기상 증착에 의해 질화막(13)을 증착한다. 그리고, 질화막(13) 상부에 트렌치 식각을 위한 모트 패턴을 형성한 후, 모트 패턴을 마스크로 드러난 질화막(13)과 패드 산화막(12)을 식각하여 제거하고, 다시 드러난 실리콘웨이퍼(11)를 건식 식각에 의해 목표 두께 만큼 식각하여 반도체 소자 분리 영역에 얇은 트렌치를 형성(모트 식각)하고, 질화막 상부의 모트 패턴을 제거한다.

그 다음 도 2b와 도 2c에 도시한 바와 같이, 실리콘웨이퍼(11)를 습식 식각 세정하여 트렌치 상부 에지

부분의 실리콘웨이퍼(11) 및 패드 산화막(12) 측벽을 식각하여 트렌치 상부 에지 부분을 라운딩되게 형성한다.

즉, 도 2b에서 도시한 바와 같이, 산화막 습식 식각 세정 공정에 의해 트렌치 상부 에지 부분의 패드 산화막(12) 측벽을 소정 폭(L) 만큼 습식 식각 세정하여 제거한다. 이때, 산화막 습식 식각 세정에 의해 제거되는 트렌치 상부 에지 부분의 패드 산화막(12) 측벽 폭(L) 즉, 산화막 습식 식각 세정 공정에 의해 식각되는 패드 산화막의 식각량은 500Å 이하가 되도록 하는 것이 바람직하다. 이후, 도 2c에 도시한 바와 같이, 실리콘웨이퍼(11)를 실리콘 습식 식각 세정한다. 이때, 실리콘 습식 식각 세정 공정에 의해 제거되는 실리콘웨이퍼의 식각량은 500Å 이하가 되도록 하는 것이 바람직하다. 그러면, 실리콘이 드러난 트렌치 내벽 및 패드 산화막이 제거되어 실리콘이 노출된 트렌치 에지 부분의 실리콘웨이퍼가 습식 식각 세정되며, 그에 따라 트렌치 상부 에지 부분의 실리콘웨이퍼는 종래와는 달리 라운딩된 프로파일을 갖게 된다.

그 다음 도 2d에 도시한 바와 같이, 실리콘웨이퍼(11)를 열산화하여 열산화막인 라이너 산화막(14)을 형성한다. 이때, 질화막(13)이 형성된 활성 영역 즉, 반도체 소자가 형성될 영역의 실리콘웨이퍼에서는 열산화막인 라이너 산화막이 성장되지 못하고, 실리콘이 드러난 트렌치 내벽에만 열산화막인 라이너 산화막이 성장되며, 트렌치 상부 에지 부분에서도 종래와는 달리 실리콘웨이퍼가 라운딩된 상태에서 라이너 산화막이 열성장되므로 트렌치 상부 에지 부분에서의 코너 라운딩 프로파일이 양호하게 된다.

그 다음 도 2e에 도시한 바와 같이, 실리콘웨이퍼(11) 전면에 상압 화학 기상 증착에 의해 산화막 등의 절연막(15)을 두껍게 증착하여 트렌치를 완전히 매입하고, 세정하여 실리콘웨이퍼(11) 후면의 불순물을 제거한 후, 어닐링하여 절연막(15)의 밀도를 증가시킴으로써 집적 회로에서 반도체 소자 분리를 위한 절연 특성을 가지도록 한다. 그리고, 절연막(15) 상부에 모트 패턴과 반대 형상의 패턴 즉, 리버스 모트 패턴을 형성하고, 리버스 모트 패턴을 마스크로 드러난 절연막(15)을 식각하여 질화막이 드러나도록 한 후, 리버스 모트 패턴을 제거한다.

그 다음 도 2f에 도시한 바와 같이, 질화막(도 2e의 13)을 버퍼층으로 절연막(15)을 화학 기계적 연마 공정 등에 의해 평탄화한 후, 활성 영역 실리콘웨이퍼 상부에 잔류하는 질화막을 제거함으로써 반도체 소자 분리를 위한 얇은 트렌치를 완성한다.

발명의 효과

이와 같이 본 발명은 트렌치 식각 이후, 실리콘웨이퍼를 습식 식각 세정하여 트렌치 상부 에지 부분의 실리콘웨이퍼를 라운딩한 상태에서 실리콘웨이퍼를 열산화하여 트렌치 내벽에 라이너 산화막을 열성장시키므로, 트렌치 상부 에지에서의 양호한 코너 라운딩 프로파일을 얻을 수 있어 전계 집중에 따른 채널 리키지 및 소자 분리 특성 저하 등을 방지하여 반도체 소자의 신뢰성을 향상시킬 수 있을 뿐만 아니라 반도체 소자 제조 공정의 수율을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

실리콘웨이퍼를 열산화하여 패드 산화막을 형성하고, 그 상부에 질화막을 형성한 후, 모트 패턴을 통해 질화막과 패드 산화막을 패터닝하고, 드러난 실리콘웨이퍼를 목표 두께 만큼 건식 식각하여 트렌치를 형성하는 단계와;

상기 트렌치가 형성된 실리콘웨이퍼를 습식 식각 세정하여 상기 트렌치 상부 에지 부분의 실리콘웨이퍼를 라운딩되게 하는 단계와;

상기 실리콘웨이퍼를 열산화하여 상기 트렌치 내벽에 라이너 산화막을 성장시키는 단계와;

상기 실리콘웨이퍼 전면에 절연막을 증착하여 상기 트렌치를 매입하는 단계와;

상기 질화막을 버퍼층으로 상기 절연막을 평탄화한 후, 상기 질화막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 분리를 위한 얇은 트렌치 제조 방법.

청구항 2

제 1 항에 있어서, 상기 실리콘웨이퍼를 습식 식각 세정하여 상기 트렌치 상부 에지 부분의 실리콘웨이퍼를 라운딩되게 하는 단계는,

상기 실리콘웨이퍼 전면을 산화막 습식 식각 세정하여 상기 트렌치 상부 에지 부분의 패드 산화막 측벽을 식각하는 단계와;

상기 실리콘웨이퍼 전면을 실리콘 습식 식각 세정하여 트렌치 내벽의 드러난 실리콘웨이퍼를 소정 식각량으로 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 분리를 위한 얇은 트렌치 제조 방법.

청구항 3

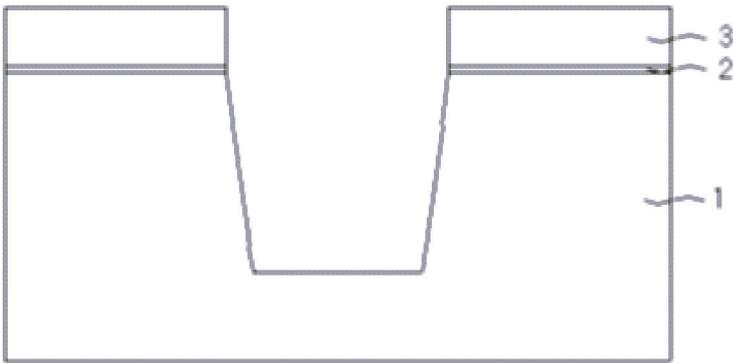
제 2 항에 있어서, 상기 산화막 습식 식각 세정에 의해 식각되는 상기 패드 산화막의 식각량은 500Å 이하가 되도록 하는 것을 특징으로 하는 반도체 소자 분리를 위한 얇은 트렌치 제조 방법.

청구항 4

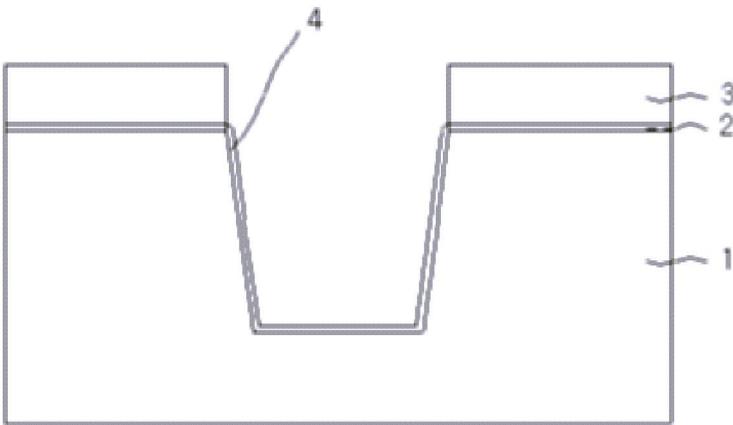
제 2 항 또는 제 3 항에 있어서, 상기 실리콘 습식 식각 세정에 의해 식각되는 실리콘웨이퍼의 식각량은 500Å 이하가 되도록 하는 것을 특징으로 하는 반도체 소자 분리를 위한 얇은 트렌치 제조 방법.

도면

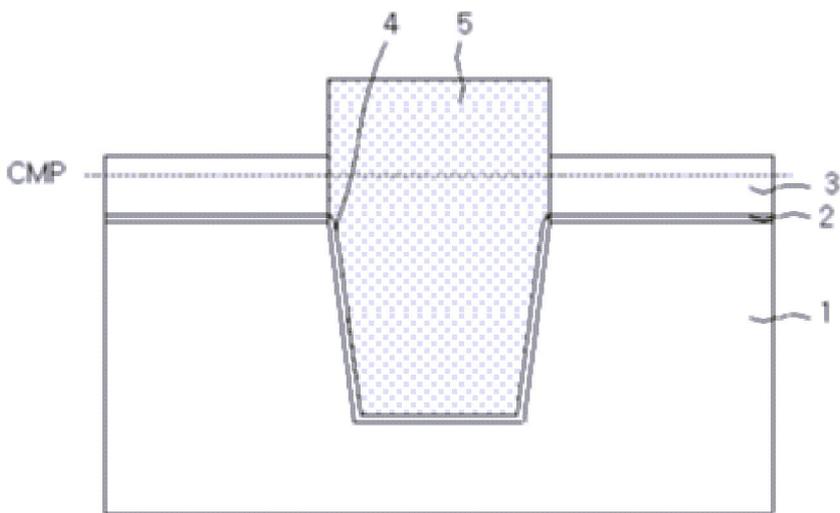
도면 1a



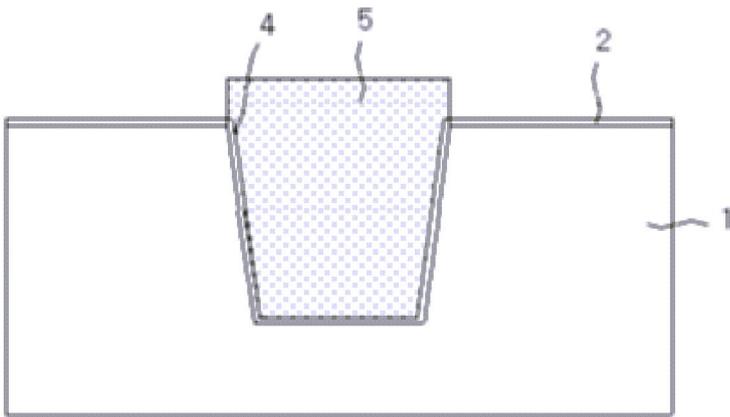
도면 1b



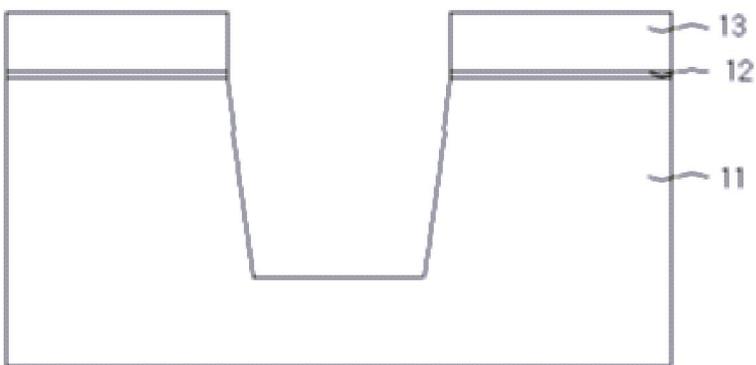
도면 1c



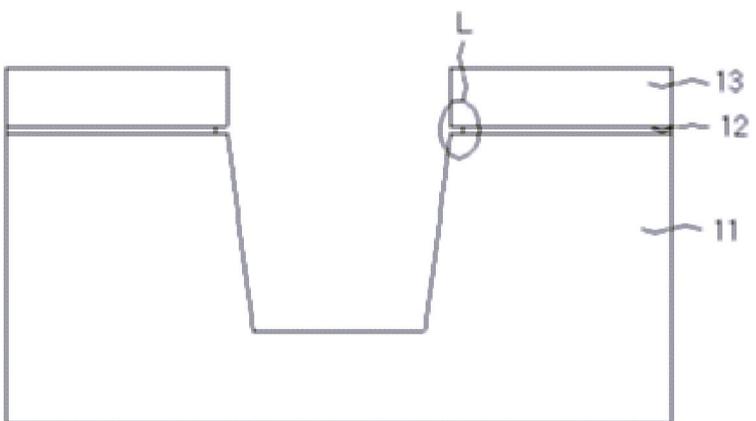
도면1d



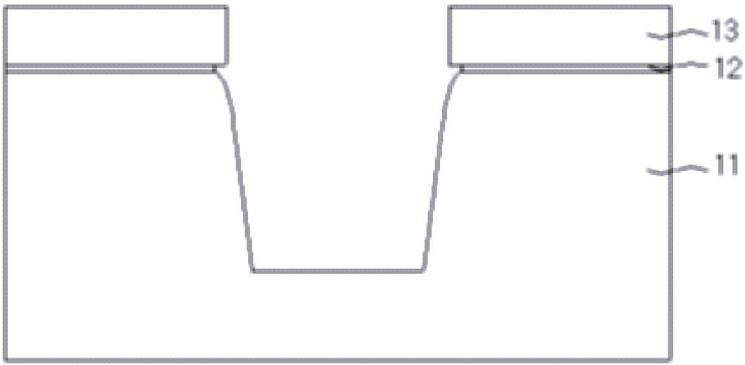
도면2a



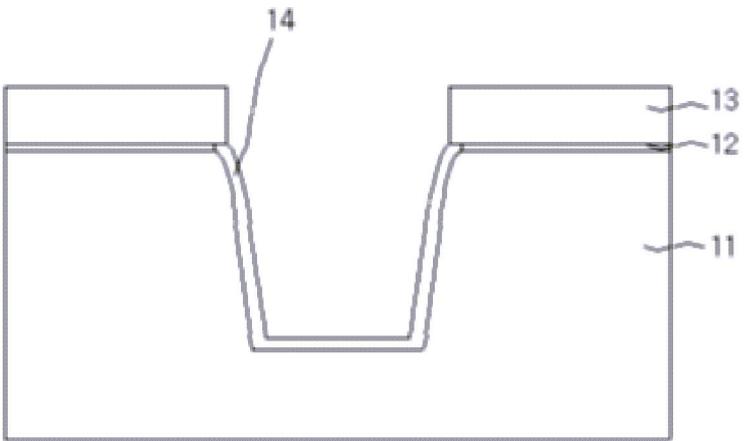
도면2b



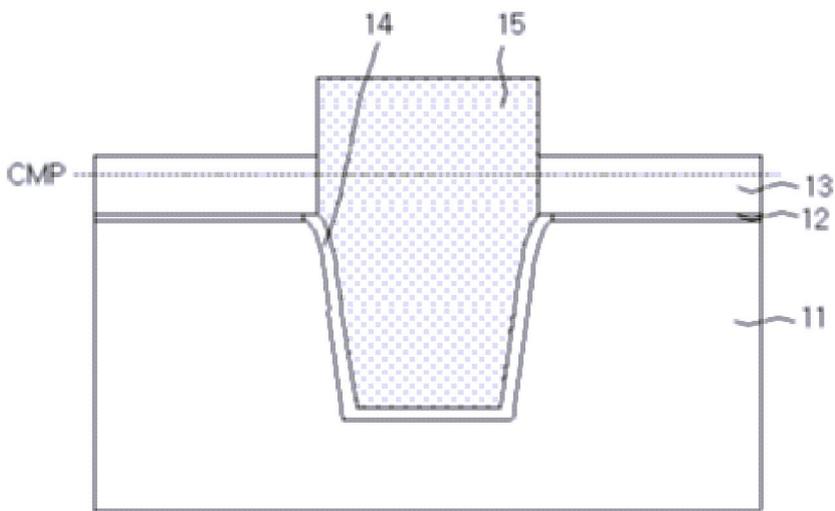
도면2c



도면2d



도면2e



도면2f

