



(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋 3 丁目 9 番 1 0 号 池袋 F N ビル 4 階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

the detection circuit are disposed in each of a first region on the back surface side of the second substrate and a second region on the front surface side of the second substrate. The present technology can be applied to, for example, an imaging element that detects an address event for each pixel.

(57) 要約: 本技術は、画素の微細化を容易にすることができるようにする撮像素子、撮像装置に関する。光電流の対数値に応じた電圧信号を生成する複数の検出画素を含む第1の基板と、複数の検出画素のうち、入力された選択信号の示す検出画素の電圧信号の変化量が所定の閾値を超えたか否かを検出する検出回路を含む第2の基板とが積層され、第2の基板の裏面側の第1の領域と表面側の第2の領域のそれぞれに検出回路を構成する素子が配置されている。本技術は、例えば画素毎にアドレスイベントを検出する撮像素子に適用できる。

明 細 書

発明の名称：撮像素子、撮像装置

技術分野

[0001] 本技術は、撮像素子、撮像装置に関し、例えば、輝度の変化量を閾値と比較する撮像素子、撮像装置に関する。

背景技術

[0002] 従来、撮像装置などにおいて、垂直同期信号などの同期信号に同期して画像データ（フレーム）を撮像する同期型の撮像素子が用いられている。この一般的な同期型の撮像素子では、同期信号の周期（例えば、 $1/60$ 秒）ごとにしか画像データを取得することができないため、交通やロボットなどに関する分野において、より高速な処理が要求された場合に対応することが困難になる。そこで、画素アドレスごとに、その画素の輝度の変化量が閾値を超えた旨をアドレスイベントとして検出する非同期型の撮像素子が提案されている（例えば、特許文献1 参照。）。このように、画素毎にアドレスイベントを検出する撮像素子は、DVS（Dynamic Vision Sensor）と呼ばれる。

先行技術文献

特許文献

[0003] 特許文献1：特許第5244587号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の非同期型の撮像素子では、アドレスイベントの有無の検出により、画像認識などの処理の高速化を図っている。しかしながら、アドレスイベントの有無を検出するには、対数応答部、バッファ、微分器や比較器などの多数の回路を画素毎に配置する必要があり、同期型の撮像素子と比較して、画素毎の回路規模が増大する。このため、画素の微細化が困難になるという問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、アドレスイベ

ントの有無を検出する撮像素子において、画素の微細化を容易にすることができるようにするものである。

課題を解決するための手段

[0006] 本技術の一側面の撮像素子は、光電流の対数値に応じた電圧信号を生成する複数の検出画素を含む第1の基板と、前記複数の検出画素のうち、入力された選択信号の示す検出画素の前記電圧信号の変化量が所定の閾値を超えたか否かを検出する検出回路を含む第2の基板とが積層され、前記第2の基板の裏面側の第1の領域と表面側の第2の領域のそれぞれに前記検出回路を構成する素子が配置されている撮像素子である。

[0007] 本技術の一側面の撮像装置は、光電流の対数値に応じた電圧信号を各々が生成する複数の検出画素と、前記複数の検出画素のうち、入力された選択信号の示す検出画素の前記電圧信号の変化量が所定の閾値を超えたか否かを検出する検出回路と、前記検出回路の検出結果を示す検出信号を処理する信号処理部とを備え、前記検出回路を含む基板の裏面側の領域と表面側の領域のそれぞれに前記検出回路を構成する素子が配置されている撮像装置である。

[0008] 本技術の一側面の撮像素子においては、光電流の対数値に応じた電圧信号を生成する複数の検出画素を含む第1の基板と、複数の検出画素のうち、入力された選択信号の示す検出画素の電圧信号の変化量が所定の閾値を超えたか否かを検出する検出回路を含む第2の基板とが積層されている。第2の基板の裏面側の第1の領域と表面側の第2の領域のそれぞれに検出回路を構成する素子が配置されている。

[0009] 本技術の一側面の撮像装置は、前記撮像素子を含む構成とされている。

[0010] なお、撮像装置は、独立した装置であっても良いし、1つの装置を構成している内部ブロックであっても良い。

図面の簡単な説明

[0011] [図1]本技術の一実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]撮像素子の積層構造の一例を示す図である。

[図3]受光チップの平面図の一例である。

[図4]検出チップの平面図の一例である。

[図5]アドレスイベント検出部の平面図の一例である。

[図6]対数応答部の一構成例を示す回路図である。

[図7]検出ブロックの一構成例を示すブロック図である。

[図8]微分器の一構成例を示す回路図である。

[図9]比較部の一構成例を示す回路図である。

[図10]微分器、セレクトアおよびコンパレータの一構成例を示す回路図である。

[図11]行駆動回路の制御の一例を示すタイミングチャートである。

[図12]検出画素および検出回路の一構成例を示すブロック図である。

[図13]撮像素子の動作の一例を示すフローチャートである。

[図14]撮像素子の断面構成例を示す図である。

[図15]撮像素子の他の断面構成例を示す図である。

[図16]撮像素子の他の断面構成例を示す図である。

[図17]撮像素子の他の断面構成例を示す図である。

[図18]撮像素子の他の断面構成例を示す図である。

[図19]車両制御システムの概略的な構成の一例を示すブロック図である。

[図20]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0012] 以下に、本技術を実施するための形態（以下、実施の形態という）について説明する。

[0013] <撮像装置の構成例>

図1は、撮像装置100の構成例を示すブロック図である。この撮像装置100は、光学部110、撮像素子200、記録部120および制御部130を備える。撮像装置100としては、産業用ロボットに搭載されるカメラや、車載カメラなどが想定される。

[0014] 光学部110は、入射光を集光して撮像素子200に導くものである。撮

像素子 200 は、入射光を光電変換して画像データを撮像するものである。

この撮像素子 200 は、撮像した画像データに対して、画像認識処理などの所定の信号処理を画像データに対して実行し、その処理後のデータを記録部 120 に信号線 209 を介して出力する。

[0015] 記録部 120 は、撮像素子 200 からのデータを記録するものである。制御部 130 は、撮像素子 200 を制御して画像データを撮像させるものである。

[0016] <撮像素子の構成例>

図 2 は、撮像素子 200 の積層構造の一例を示す図である。この撮像素子 200 は、検出チップ 202 と、その検出チップ 202 に積層された受光チップ 201 とを備える。これらのチップは、ビアなどの接続部を介して電氣的に接続される。なお、ビアの他、Cu-Cu 接合やバンプにより接続することもできる。

[0017] 図 3 は、受光チップ 201 の平面図の一例である。受光チップ 201 には、受光部 220、ビア配置部 211、ビア配置部 212、ビア配置部 213 が設けられる。

[0018] ビア配置部 211、212、213 には、検出チップ 202 と接続されるビアが配置される。また、受光部 220 には、二次元格子状に複数の共有ブロック 221 が配列される。

[0019] 共有ブロック 221 のそれぞれには、複数の対数応答部 310 が配列される。例えば、共有ブロック 221 ごとに、4 つの対数応答部 310 が、2 行×2 列で配列される。これらの 4 つの対数応答部 310 は、検出チップ 202 上の回路を共有する。共有する回路の詳細については後述する。なお、共有ブロック 221 内の対数応答部 310 の個数は、4 つに限定されない。

[0020] 対数応答部 310 は、光電流の対数値に応じた電圧信号を生成するものである。対数応答部 310 のそれぞれには、行アドレスおよび列アドレスからなる画素アドレスが割り当てられている。

[0021] 図 4 は、検出チップ 202 の平面図の一例である。この検出チップ 202

には、ビア配置部 231、ビア配置部 232、ビア配置部 233 と、信号処理回路 240、行駆動回路 251、列駆動回路 252、およびアドレスイベント検出部 260 が設けられる。ビア配置部 231、232、233 には、受光チップ 201 と接続されるビアが配置される。

[0022] アドレスイベント検出部 260 は、対数応答部 310 ごとにアドレスイベントの有無を検出し、検出結果を示す検出信号を生成するものである。

[0023] 行駆動回路 251 は、行アドレスを選択して、その行アドレスに対応する検出信号をアドレスイベント検出部 260 に出力させるものである。

[0024] 列駆動回路 252 は、列アドレスを選択して、その列アドレスに対応する検出信号をアドレスイベント検出部 260 に出力させるものである。

[0025] 信号処理回路 240 は、アドレスイベント検出部 260 からの検出信号に対して所定の信号処理を実行するものである。この信号処理回路 240 は、検出信号を画素の信号として二次元格子状に配列し、画素毎に 2 ビットの情報を有する画像データを取得する。そして、信号処理回路 240 は、その画像データに対して画像認識処理などの信号処理を実行する。

[0026] 図 5 は、アドレスイベント検出部 260 の平面図の一例である。このアドレスイベント検出部 260 には、複数の検出ブロック 320 が配列される。検出ブロック 320 は、受光チップ 201 上の共有ブロック 221 ごとに配置される。共有ブロック 221 の個数が N (N は、整数) である場合、 N 個の検出ブロック 320 が配列される。それぞれの検出ブロック 320 は、対応する共有ブロック 221 と接続される。

[0027] <対数応答部の構成例>

図 6 は、対数応答部 310 の一構成例を示す回路図である。この対数応答部 310 は、光電変換素子 311、 n MOS (n -channel Metal Oxide Semiconductor) トランジスタ 312、313、 p MOS (p -channel MOS) トランジスタ 314 を備える。これらのうち光電変換素子 311、 n MOS トランジスタ 312、313 は、例えば、受光チップ 201 に配置され、 p MOS トランジスタ 314 は、検出チップ 202 に配置される。

[0028] nMOSトランジスタ312のソースは光電変換素子311のカソードに接続され、ドレインは電源端子に接続される。pMOSトランジスタ314とnMOSトランジスタ313は、電源端子と接地端子との間において、直列に接続される。pMOSトランジスタ314とnMOSトランジスタ313の接続点は、nMOSトランジスタ312のゲートと検出ブロック320の入力端子とに接続される。pMOSトランジスタ314のゲートには、所定のバイアス電圧 V_{bias1} が印加される。

[0029] nMOSトランジスタ312および313のドレインは電源側に接続されており、このような回路はソースフォロワと呼ばれる。これらのループ状に接続された2つのソースフォロワにより、光電変換素子311からの光電流は、その対数値に応じた電圧信号に変換される。pMOSトランジスタ314は、一定の電流をnMOSトランジスタ313に供給する。

[0030] 受光チップ201のグラウンドと検出チップ202のグラウンドとは、干渉対策のために互いに分離されている。

[0031] <検出ブロックの構成例>

図7は、検出ブロック320の一構成例を示すブロック図である。検出ブロック320は、複数のバッファ330、複数の微分器340、選択部400、比較部500、転送回路360を備える。バッファ330と微分器340は、共有ブロック221内の対数応答部310ごとに配置される。例えば、共有ブロック221内の対数応答部310が4つである場合、バッファ330および微分器340は、4つずつ配置される。

[0032] バッファ330は、対応する対数応答部310からの電圧信号を微分器340に出力するものである。このバッファ330により、後段を駆動する駆動力を向上させることができる。バッファ330により、後段のスイッチング動作に伴うノイズのアイソレーションを確保することができる。

[0033] 微分器340は、電圧信号の変化量を微分信号として求めるものである。この微分器340は、対応する対数応答部310からの電圧信号を、バッファ330を介して受け取り、微分により、電圧信号の変化量を求める。そし

て、微分器340は、微分信号を選択部400に供給する。検出ブロック320内の m (m は、1乃至 M の整数)個目の微分信号 S_{in} を S_{inm} とする。

[0034] 選択部400は、 M 個の微分信号のいずれかを、行駆動回路251からの選択信号に従って選択するものである。この選択部400は、セクタ410および420を備える。

[0035] セクタ410には、 M 個の微分信号 S_{in} が入力される。セクタ410は、選択信号に従って、これらの微分信号 S_{in} のいずれかを選択し、 S_{out+} として比較部500に供給する。セクタ420にも M 個の微分信号 S_{in} が入力される。セクタ420は、選択信号に従って、これらの微分信号 S_{in} のいずれかを選択し、 S_{out-} として比較部500に供給する。

[0036] 比較部500は、選択部400により選択された微分信号(すなわち、変化量)と、所定の閾値とを比較するものである。この比較部500は、比較結果を示す信号を検出信号として転送回路360に供給する。

[0037] 転送回路360は、列駆動回路252からの列駆動信号に従って、検出信号を信号処理回路240に転送するものである。

[0038] <微分器の構成例>

図8は、微分器340の一構成例を示す回路図である。この微分器340は、コンデンサ341、コンデンサ343、インバータ342、スイッチ344を備える。

[0039] コンデンサ341の一端は、バッファ330の出力端子に接続され、他端は、インバータ342の入力端子に接続される。コンデンサ343は、インバータ342に並列に接続される。スイッチ344は、コンデンサ343の両端を接続する経路を行駆動信号に従って開閉するものである。

[0040] インバータ342は、コンデンサ341を介して入力された電圧信号を反転するものである。このインバータ342は反転した信号を選択部400に出力する。

[0041] スイッチ344をオンした際にコンデンサ341のバッファ330側に電圧信号 V_{init} が入力され、その逆側は仮想接地端子となる。この仮想接地端子の電位を便宜上、ゼロとする。このとき、コンデンサ341に蓄積されている電位 Q_{init} は、コンデンサ341の容量を $C1$ とすると、次の式により表される。一方、コンデンサ343の両端は、短絡されているため、その蓄積電荷はゼロとなる。

$$Q_{init} = C1 \times V_{init} \quad \dots \text{式1}$$

[0042] 次に、スイッチ344がオフされて、コンデンサ341のバッファ330側の電圧が変化して V_{after} になった場合を考えると、コンデンサ341に蓄積される電荷 Q_{after} は、次の式により表される。

$$Q_{after} = C1 \times V_{after} \quad \dots \text{式2}$$

[0043] 一方、コンデンサ343に蓄積される電荷 $Q2$ は、出力電圧を V_{out} とすると、次の式により表される。

$$Q2 = -C2 \times V_{out} \quad \dots \text{式3}$$

[0044] このとき、コンデンサ341および343の総電荷量は変化しないため、次の式が成立する。

$$Q_{init} = Q_{after} + Q2 \quad \dots \text{式4}$$

[0045] 式4に式1乃至式3を代入して変形すると、次の式が得られる。

$$V_{out} = -(C1 / C2) \times (V_{after} - V_{init}) \quad \dots \text{式5}$$

[0046] 式5は、電圧信号の減算動作を表し、減算結果の利得は $C1 / C2$ となる。通常、利得を最大化することが望まれるため、 $C1$ を大きく、 $C2$ を小さく設計することが好ましい。一方、 $C2$ が小さすぎると、 kTC ノイズが増大し、ノイズ特性が悪化するおそれがあるため、 $C2$ の容量削減は、ノイズを許容することができる範囲に制限される。また、画素ごとに微分器340が搭載されるため、容量 $C1$ や $C2$ には、面積上の制約がある。これらを考慮して、例えば、 $C1$ は、20乃至200フェムトファラッド(fF)の値に設定され、 $C2$ は、1乃至20フェムトファラッド(fF)の値に設定される。

[0047] <比較部の構成例>

図9は、比較部500の一構成例を示す回路図である。この比較部500は、コンパレータ510、コンパレータ520を備える。

[0048] コンパレータ510は、セクタ410からの微分信号 S_{out+} と、所定の上限閾値 V_{refp} とを比較するものである。このコンパレータ510は、比較結果を検出信号 $DET+$ として転送回路360に供給する。この検出信号 $DET+$ は、オンイベントの有無を示す。ここで、オンイベントは、輝度の変化量が所定の上限閾値を超えた旨を意味する。

[0049] コンパレータ520は、セクタ420からの微分信号 S_{out-} と、上限閾値 V_{refp} より低い下限閾値 V_{refn} とを比較するものである。このコンパレータ520は、比較結果を検出信号 $DET-$ として転送回路360に供給する。この検出信号 $DET-$ は、オフイベントの有無を示す。ここで、オフイベントは、輝度の変化量が所定の下限閾値を下回った旨を意味する。なお、比較部500は、オンイベントおよびオフイベントの両方の有無を検出しているが、一方のみを検出することもできる。

[0050] なお、コンパレータ510は上限側コンパレータの一例であり、コンパレータ520は下限側コンパレータの一例である。

[0051] 図10は、微分器340、セクタ410、およびコンパレータ510の一構成例を示す回路図である。

[0052] 微分器340は、コンデンサ341、コンデンサ343、pMOSトランジスタ345、pMOSトランジスタ346、nMOSトランジスタ347を備える。pMOSトランジスタ345とnMOSトランジスタ347は、pMOSトランジスタ345を電源側として、電源端子と接地端子との間において直列に接続される。これらのpMOSトランジスタ345とnMOSトランジスタ347のゲートと、バッファ330との間にコンデンサ341が挿入される。pMOSトランジスタ345とnMOSトランジスタ347の接続点は、セクタ410に接続される。この接続構成により、pMOSトランジスタ345とnMOSトランジスタ347は、インバータ342と

して機能する。

- [0053] pMOSトランジスタ345とnMOSトランジスタ347の接続点と、コンデンサ341との間において、コンデンサ343とpMOSトランジスタ346とが並列に接続される。このpMOSトランジスタ346は、スイッチ344として機能する。
- [0054] セレクタ410には、複数のpMOSトランジスタ411が配置される。pMOSトランジスタ411は、微分器340ごとに配置される。
- [0055] pMOSトランジスタ411は、対応する微分器340とコンパレータ510との間に挿入される。pMOSトランジスタ411のゲートのそれぞれには、個別に選択信号SELが入力される。m個目のpMOSトランジスタ411の選択信号SELをSEL_mとする。これらの選択信号SELにより、行駆動回路251は、M個のpMOSトランジスタ411のいずれかをオン状態に制御し、残りをオフ状態に制御することができる。そして、オン状態のpMOSトランジスタ411を介して、微分信号S_{out}+が選択された信号としてコンパレータ510に出力される。なお、セレクタ420の回路構成は、セレクタ410と同様である。
- [0056] コンパレータ510は、pMOSトランジスタ511とnMOSトランジスタ512を備える。pMOSトランジスタ511とnMOSトランジスタ512は、電源端子と接地端子との間において直列に接続される。また、pMOSトランジスタ511のゲートに微分信号S_{out}+が入力され、nMOSトランジスタ512のゲートには、上限閾値V_{refp}の電圧が入力される。pMOSトランジスタ511とnMOSトランジスタ512の接続点からは、検出信号DET+が出力される。なお、コンパレータ520の回路構成は、コンパレータ510と同様である。
- [0057] なお、微分器340、セレクタ410とコンパレータ510のそれぞれの回路構成は、図7を参照して説明した機能を有するものであれば、図10に例示したものに限定されない。例えば、nMOSトランジスタとpMOSトランジスタとを入れ替えることができる。

[0058] 図 1 1 は、行駆動回路 2 5 1 の制御の一例を示すタイミングチャートである。タイミング T 0 において、行駆動回路 2 5 1 は、行駆動信号 L 1 により、1 行目を選択し、その行の微分器 3 4 0 を駆動する。この行駆動信号 L 1 により 1 行目の微分器 3 4 0 内のコンデンサ 3 4 3 が初期化される。行駆動回路 2 5 1 は、選択信号 S E L 1 により、共有ブロック 2 2 1 内の 2 行×2 列のうち左上を一定期間に亘って選択し、選択部 4 0 0 を駆動する。これにより、1 行目の奇数列においてアドレスイベントの有無が検出される。

[0059] 次にタイミング T 1 において、行駆動回路 2 5 1 は、行駆動信号 L 1 により、1 行目の微分器 3 4 0 を再度、駆動する。行駆動回路 2 5 1 は、選択信号 S E L 2 により、共有ブロック 2 2 1 内の 2 行×2 列のうち右上を一定期間に亘って選択する。これにより、1 行目の偶数列においてアドレスイベントの有無が検出される。

[0060] タイミング T 2 において、行駆動回路 2 5 1 は、行駆動信号 L 2 により、2 行目の微分器 3 4 0 を駆動する。この行駆動信号 L 2 により 2 行目の微分器 3 4 0 内のコンデンサ 3 4 3 が初期化される。行駆動回路 2 5 1 は、選択信号 S E L 3 により、共有ブロック 2 2 1 内の 2 行×2 列のうち左下を一定期間に亘って選択する。これにより、2 行目の奇数列においてアドレスイベントの有無が検出される。

[0061] 続いてタイミング T 3 において、行駆動回路 2 5 1 は、行駆動信号 L 2 により、2 行目の微分器 3 4 0 を再度、駆動する。行駆動回路 2 5 1 は、選択信号 S E L 4 により、共有ブロック 2 2 1 内の 2 行×2 列のうち右下を一定期間に亘って選択する。これにより、2 行目の偶数列においてアドレスイベントの有無が検出される。

[0062] 以下、同様に行駆動回路 2 5 1 は、対数応答部 3 1 0 を配列した行を順に選択し、選択した行を行駆動信号により駆動する。行駆動回路 2 5 1 は、行を選択するたびに、選択した行の共有ブロック 2 2 1 内の検出画素 3 0 0 のそれぞれを選択信号により順に選択する。例えば、共有ブロック 2 2 1 内に 2 行×2 列の検出画素 3 0 0 が配列される場合、行が選択されるたびに、そ

の行内の奇数列と偶数列とが順に選択される。

[0063] なお、行駆動回路251は、共有ブロック221を配列した行、換言すれば、対数応答部310の2行分を順に選択することもできる。この場合には、行が選択されるたびに、その行の共有ブロック221内の4つの検出画素が順に選択される。

[0064] 図12は、検出画素300および検出回路305の一構成例を示すブロック図である。共有ブロック221内の複数の対数応答部310により共有される検出ブロック320のうち、選択部400、比較部500および転送回路360からなる回路を検出回路305とする。また、対数応答部310、バッファ330および微分器340からなる回路を、検出画素300とする。同図に例示するように、複数の検出画素300により検出回路305が共有される。

[0065] 検出回路305を共有する複数の検出画素300のそれぞれは、光電流の対数値に応じた電圧信号を生成する。そして、検出画素300のそれぞれは、行駆動信号に従って電圧信号の変化量を示す微分信号 S_{in} を検出回路305に出力する。検出画素300のそれぞれにおいて、対数値に応じた電圧信号は、対数応答部310により生成され、微分信号は、微分器340により生成される。

[0066] 検出回路305内のセクタ410とセクタ420には、選択信号SEL1や選択信号SEL2などの選択信号が共通に入力される。検出回路305は、複数の検出画素300のうち、選択信号の示す検出画素の微分信号、すなわち、変化量を選択し、その変化量が所定の閾値を超えるか否かを検出する。そして、検出回路305は、列駆動信号に従って検出信号を信号処理回路240に転送する。検出回路305において、微分信号は選択部400により選択され、閾値との比較は、比較部500により行われる。また、検出信号は、転送回路360により転送される。

[0067] ここで、一般的なDVSでは、比較部500および転送回路360は、対数応答部310、バッファ330および微分器340とともに検出画素ごと

に配置される。これに対して、比較部500および転送回路360を含む検出回路305を複数の検出画素300が共有する上述の構成では、共有しない場合と比較して、撮像素子200の回路規模を削減することができる。これにより、画素の微細化が容易となる。

[0068] 特に、積層構造を採用する場合、検出回路305を共有しない一般的な構成では、受光チップ201より検出チップ202の方が、回路規模が大きくなる。このため、検出チップ202側の回路により、画素の密度が制限され、画素の微細化が困難となる。しかしながら、複数の検出画素300が検出回路305を共有することにより、検出チップ202の回路規模を削減し、画素を容易に微細化することができる。

[0069] なお、検出画素300ごとにバッファ330を配置しているが、この構成に限定されず、バッファ330を設けない構成とすることもできる。

[0070] 対数応答部310の光電変換素子311、nMOSトランジスタ312、およびnMOSトランジスタ313を、受光チップ201に配置し、pMOSトランジスタ314以降を検出チップ202に配置しているが、この構成に限定されない。例えば、光電変換素子311のみを受光チップ201に配置し、それ以外を検出チップ202に配置することもできる。

[0071] 対数応答部310のみを受光チップ201に配置し、バッファ330以降を検出チップ202に配置することもできる。対数応答部310とバッファ330を受光チップ201に配置し、微分器340以降を検出チップ202に配置することもできる。対数応答部310、バッファ330および微分器340を受光チップ201に配置し、検出回路305以降を検出チップ202に配置することもできる。選択部400までを受光チップ201に配置し、比較部500以降を検出チップ202に配置することもできる。

[0072] <撮像素子の動作例>

図13は、撮像素子200の動作の一例を示すフローチャートである。この動作は、例えば、アドレスイベントの有無を検出するための所定のアプリケーションが実行されたときに開始される。

[0073] 行駆動回路251は、いずれかの行を選択する（ステップS901）。そして、行駆動回路251は、選択した行において、それぞれの共有ブロック221内の検出画素300のいずれかを選択して駆動する（ステップS902）。検出回路305は、選択された検出画素300において、アドレスイベントの有無を検出する（ステップS903）。ステップS903の後に、撮像素子200は、ステップS901以降を繰り返し実行する。

[0074] このように、アドレスイベントの有無を検出する検出回路305を複数の検出画素300が共有するため、検出回路305を共有しない場合よりも回路規模を削減することができる。これにより、検出画素300の微細化が容易となる。

[0075] <撮像素子の断面構成例>

図2を参照して説明したように、撮像素子200は、受光チップ201と検出チップ202が積層された構成とされている。図14は、第1の実施の形態における撮像素子200aの断面構成例を示す図である。

[0076] 図中下側が受光チップ201であり、図中上側に、検出チップ202が積層されている。図14では、図中下側が、入射面側となる。

[0077] 受光チップ201は、図中下から順に、オンチップレンズ層601、カラーフィルタ層602、光電変換素子層603、および配線層604が積層されている。光電変換素子層603には、光電変換素子311が形成され、光電変換素子311間には、隣接する画素に光が漏れ込まないようにするための画素間分離部605が形成されている。配線層604には、nMOSトランジスタ313（図6）などのゲートや、複数の配線（不図示）が形成されている。

[0078] 検出チップ202は、1つの半導体層として形成されているが、1枚の半導体基板の表面と裏面に、それぞれ容量素子やトランジスタなどのデバイスが形成された層である。ここでは、検出チップ202の図中下側を裏面とし、裏面側の領域を裏面領域701aとする。同様に図中上側を表面とし、表面側の領域を表面領域702aと記載する。

- [0079] 裏面領域 701a と表面領域 702a には、それぞれ、検出チップ 202 に含まれる複数のトランジスタなどのデバイスが形成されている。すなわち、図 14 に示した撮像素子 200 の検出チップ 202 は、半導体基板の両面のそれぞれに素子を設けた構成とされている。半導体基板の両面にそれぞれ設けられた素子を分離するために、裏面領域 701a と表面領域 702a との間には、分離層 703a が設けられている。
- [0080] 分離層 703a は、絶縁膜または注入層により、電氣的に裏面領域 701a と表面領域 702a を分離できる構成であれば良い。
- [0081] このように、半導体基板の両面に素子を設けた構成とすることで、面積効率を高め画素微細化をさらに進めることができる。
- [0082] 一般的な DVS では、比較部 500 および転送回路 360 は、対数応答部 310、バッファ 330 および微分器 340 とともに検出画素ごとに配置される。よって、受光チップ 201 より検出チップ 202 の方が、回路規模が大きくなる傾向にある。このため、検出チップ 202 側の回路により、画素の密度が制限され、画素の微細化が困難となる。
- [0083] 本技術によれば、1枚の半導体基板の両面にそれぞれ素子を配置することができ、面積効率を高めた素子の配置とすることができる。よって、一般的な DVS に本技術を適用することで、受光チップ 201 の画素の密度を制限しなくても、回路規模が大きい検出チップ 202 を、受光チップ 201 と同程度の大きさとし、積層することができる。
- [0084] 上記したように、比較部 500 および転送回路 360 を含む検出回路 305 を複数の検出画素 300 が共有する構成を適用した場合、共有しない場合と比較して、撮像素子 200 の回路規模を削減することができる。よって、検出回路 305 を複数の検出画素 300 が共有する構成とした場合、検出チップ 202 をより小型化することができ、画素の微細化が容易となる。
- [0085] 図 14 に示した例では、裏面領域 701a には、素子 711-1、素子 711-2、素子 711-3 が形成されている。表面領域 702a には、素子 721-1、素子 721-2、素子 721-3 が形成されている。以下の説

明において、素子 7 1 1 - 1 乃至 7 1 1 - 3 を個々に区別する必要がない場合、単に素子 7 1 1 と記述する。他の部分も同様に記述する。

[0086] 図 1 4 では、一例として、素子 7 1 1 - 1 は Pwell 領域を有する素子であり、素子 7 1 1 - 2 と素子 7 1 1 - 3 は Nwell 領域を有する素子である場合を記載している。素子 7 2 1 - 1 乃至素子 7 2 1 - 3 は、Nwell 領域を有する素子である場合を記載している。図 1 4 に示した例は一例であり限定を示す記載ではない。

[0087] 素子 7 1 1 - 1 に含まれる Pwell 領域は、ゲート 7 4 1 を介して配線 7 4 2 と接続されている。配線 7 4 2 には、コンタクト 7 3 1 - 1 が接続されている。コンタクト 7 3 1 - 1 が素子 7 1 1 - 1 と接続された構成とすることで、電氣的に制御が行える構成とされている。他の素子 7 1 1、素子 7 2 1 も、素子 7 1 1 - 1 と同様に、ゲートと配線が形成されており、コンタクトと接続されることで、電氣的に制御が行える構成とされている。

[0088] 裏面領域 7 0 1 a に形成されている素子 7 1 1 - 2 と素子 7 1 1 - 3 には、コンタクト 7 3 1 - 4 が接続されている。表面領域 7 0 2 a に形成されている素子 7 2 1 - 1 には、コンタクト 7 3 1 - 2 が接続され、素子 7 2 1 - 2 には、コンタクト 7 3 1 - 3 が接続されている。コンタクト 7 3 1 - 5 は、受光チップ 2 0 1 に形成されている所定のゲートに接続されている。

[0089] コンタクト 7 3 1 - 1 とコンタクト 7 3 1 - 2 は、電極 7 5 1 - 1 と接続され、コンタクト 7 3 1 - 3 乃至 7 3 1 - 5 は、電極 7 5 1 - 2 と接続されている。電極 7 5 1 - 1 と電極 7 5 1 - 2 は、図示されていない他のチップなどと接続される端子として機能する。

[0090] このように、裏面領域 7 0 1 a と表面領域 7 0 2 a にそれぞれ形成されている素子 7 1 1、7 2 1 は、コンタクト 7 3 1 により接続されている。受光チップ 2 0 1 と検出チップ 2 0 2 a も、コンタクト 7 3 1 により接続されている。

[0091] 裏面領域 7 0 1 a に形成されている素子 7 1 1 と表面領域 7 0 2 a は、検出チップ 2 0 2 に含まれるトランジスタなどのスイッチング素子、容量素子

、抵抗素子などである。裏面領域 701a と表面領域 702a にそれぞれ形成される素子は、例えば、一方の領域に、S 値（サブスレッショルドスイング値（subthreshold swing value））が良いことが望まれる素子を形成し、他方の領域に、S 値があまり良くなくても良い素子が形成されるようにすることができる。すなわちこの場合、裏面領域 701a と表面領域 702a には、S 値特性が異なる素子が配置されているようにすることができる。

[0092] 例えば、1 枚の半導体基板の両面に素子を形成する工程において、一方の面に素子を形成した後、他方の面に素子を形成する場合、先に形成した素子には、後で形成する素子を形成するときに熱がかかる可能性がある。熱が過剰にかかることで特性が変化するような素子は、後に素子を形成する面側に形成するようにし、そうではない素子は、先に素子を形成する面側に形成するようにしても良い。すなわちこの場合、裏面領域 701a と表面領域 702a には、熱特性が異なる素子が配置されているようにすることができる。

[0093] 裏面領域 701a と表面領域 702a にそれぞれ形成される素子は、例えば、一方に、低電圧駆動する素子を形成し、他方に、前記低電圧よりも高い電圧で駆動する素子が形成されるようにすることができる。すなわちこの場合、裏面領域 701a と表面領域 702a には、駆動電圧が異なる素子が配置されているようにすることができる。

[0094] 裏面領域 701a と表面領域 702a にそれぞれ形成される素子は、例えば、一方に、ゲート付近の界面順位が低ノイズの素子を形成し、他方に、前記低ノイズよりも高いノイズが発生する可能性のある素子が形成されるようにすることができる。すなわちこの場合、裏面領域 701a と表面領域 702a には、ゲート界面準位が異なる素子が配置されているようにすることができる。

[0095] 図 14 に示した撮像素子 220a は、2 枚の半導体基板で 3 層のデバイス層が形成されている。

[0096] このように、1 枚の半導体基板の両面にそれぞれ素子を形成することで、検出チップ 202 に含まれる素子をより効率良く収めることができるように

なり、撮像素子200をより小型化することができる。

[0097] <第2の実施の形態における撮像素子の断面構成例>

図15は、第2の実施の形態における撮像素子200bの断面構成例を示す図である。

[0098] 図15に示した撮像素子200bは、受光チップ201bと検出チップ202bを、配線層同士で直接接合されている点が第1の実施の形態における撮像素子200aと異なる。図15に示した撮像素子200bも、図14に示した撮像素子200aと同じく、2枚の半導体基板で3層のデバイス層が形成されている。

[0099] 受光チップ201bの表面側には、検出チップ202bと接合するための端子（配線）611-1乃至611-3が備えられている。検出チップ202bの裏面側にも、受光チップ201bと接続するための端子（配線）771-1乃至771-3が備えられている。受光チップ201bの端子611-1、端子611-2、端子611-3のそれぞれが、検出チップ202bの端子771-1、端子771-2、端子771-3と接続されている。

[0100] このように、チップ同士が直接的に接合する構成とすることもできる。

[0101] 撮像素子200bの検出チップ202bは、第1の実施の形態における撮像素子200aの検出チップ202aと同じく、1枚の半導体基板の両面のそれぞれに、素子が形成されている。検出チップ202bの裏面側には裏面領域701bが形成され、表面側には表面領域702bが形成されている。裏面領域701bと表面領域702bとの間には、電氣的に素子を分離するための分離層703bが形成されている。

[0102] 図15に示した検出チップ202bの裏面領域701bには、図14に示した検出チップ202aの表面領域702aに形成されていた素子が形成されている。すなわち、図15に示した検出チップ202bの裏面領域701bには、素子721-1、素子721-2、素子721-3が形成されている。

[0103] 図15に示した検出チップ202bの表面領域702bには、図14に示

した検出チップ202aの裏面領域701aに形成されていた素子が形成されている。すなわち、図15に示した検出チップ202bの表面領域702bには、素子711-1、素子711-2、素子711-3が形成されている。

[0104] このように、検出チップ202の裏面領域701に形成される素子や、表面領域702に形成される素子は、検出チップ202に含まれる素子であれば良く、形成される素子に制限はない。

[0105] 図15に示した検出チップ202bの素子721-1は、コンタクト781-1を介して、端子771-1と接続されている。素子721-2は、コンタクト781-2を介して、端子771-2と接続され、素子721-3は、コンタクト781-3を介して、端子771-3と接続されている。

[0106] 図15に示した検出チップ202bの素子711-1は、コンタクト781-4を介して、端子791-1と接続されている。素子711-2と素子711-3は、共有の配線とコンタクト781-5を介して端子791-2と接続されている。

[0107] このように、1枚の半導体基板の両面に素子が形成された検出チップ202bと受光チップ201bとは、それぞれのチップの面に設けられている端子同士を直接接合することで、接続される構成としても良い。

[0108] 第2の実施の形態においても第1の実施の形態と同じく、1枚の半導体基板の両面にそれぞれ素子を形成することで、検出チップ202に含まれる素子をより効率良く収めることができるようになり、撮像素子200をより小型化することができる。

[0109] <第3の実施の形態における撮像素子の断面構成例>

図16は、第3の実施の形態における撮像素子200cの断面構成例を示す図である。

[0110] 図16に示した撮像素子200cは、受光チップ201に積層される検出チップ202cが、2層の半導体層701cと半導体層702cである点が、第1、第2の実施の形態における撮像素子200a、bと異なる。半導体

層 701c は、例えば第 1 の実施の形態における裏面領域 701a に該当し、半導体層 702c は、表面領域 702a に該当する。

[0111] 半導体層 701c には、Nwell 領域を含む構成とされた素子 811-1 乃至 811-3 が形成されている。半導体層 702c には、Pwell 領域を含む構成とされた素子 821-1 乃至 821-3 が形成されている。半導体層 701c の素子 811-1 と半導体層 702c の素子 821-1 は、コンタクト 831-1、コンタクト 831-2、配線 832-1 を介して接続されている。

[0112] 半導体層 701c の素子 811-2、素子 811-3 と半導体層 702c の素子 821-2、素子 821-3 は、コンタクト 831-3、コンタクト 831-4、配線 832-2 を介して接続されている。コンタクト 831-5 は、受光チップ 201 に形成されている所定のトランジスタのゲートと検出チップ 202c に形成されている配線 832-3 に接続されている。

[0113] このような素子やコンタクトを含む半導体層 701c と半導体層 702c が接合面で接合され、その半導体層 701c と半導体層 702c が接合された検出チップ 202c と受光チップ 201 が接合されている。第 3 の実施の形態における撮像素子 200c は、3 枚の半導体基板で、3 層のデバイス層が形成されている。

[0114] このように、検出チップ 202c を、2 層の半導体層 701c、702c で形成することもできる。半導体層 701c と半導体層 702c にそれぞれ形成される素子は、特性の異なる素子とすることができる。特性の異なる素子とは、例えば、熱耐性のある素子とそれ以外の素子、S 値の悪い特性でも許容範囲とされる素子とそれ以外の素子、低ゲート界面順位が低ノイズの素子とそれ以外の素子とすることができる。

[0115] <第 4 の実施の形態における撮像素子の断面構成例>

図 17 は、第 4 の実施の形態における撮像素子 200d の断面構成例を示す図である。

[0116] 第 4 の実施の形態における撮像素子 200d は、第 1 の実施の形態と同じ

く、１枚の半導体基板の両面に素子が形成されている半導体基板を含む点で第１の実施形態と同じである。さらに、第４の実施の形態における撮像素子２００ｄは、検出チップ２０２ｄにさらに他の半導体基板９０１が積層された構成とされている点が、第１の実施の形態と異なる。

[0117] 撮像素子２００ｄの検出チップ２０２ｄは、１枚の半導体基板の両面のそれぞれに、素子が形成されている。検出チップ２０２ｄの裏面側には裏面領域７０１ｄが形成され、表面側には表面領域７０２ｄが形成されている。裏面領域７０１ｄと表面領域７０２ｄとの間には、電氣的に素子を分離するための分離層７０３ｄが形成されている。

[0118] 図１７に示した検出チップ２０２ｄの裏面領域７０１ｄには、素子８５１－１、素子８５１－２、素子８５１－３が形成されている。検出チップ２０２ｄの表面領域７０２ｄには、素子８６１－１、素子８６１－２、素子８６１－３が形成されている。

[0119] 図１７に示した検出チップ２０２ｄの素子８５１－１と素子８５１－２は、共有の配線とコンタクト８７１－１を介して端子（配線）８７２－１と接続されている。端子（配線）８７２－１には、素子８６１－１も、コンタクト８７１－２を介して接続されている。素子８５１－３は、コンタクト８７１－４を介して、端子８７２－２と接続されている。端子８７２－２には、素子８６１－３も、コンタクト８７１－３を介して接続されている。

[0120] 受光チップ２０１の所定のゲートは、コンタクト８７１－５を介して端子（配線）８７２－３と接続されている。端子８７２－１乃至８７２－３は、検出チップ２０２ｄの表面に形成されている。端子８７２－１乃至８７２－３のそれぞれは、半導体基板９０１の裏面に形成されている端子（配線）８８１－１乃至８８１－３と接続されている。

[0121] 半導体基板９０１には、素子８８３－１乃至８８３－３が形成されている。素子８８３－１は、コンタクト８８２－２を介して端子８７２－１と接続されている。端子８７２－１には、半導体基板９０１外のチップなどと接続するためのコンタクト８８２－１も接続されている。素子８８３－３は、コ

ンタクト 882-3 を介して端子 881-2 と接続されている。

[0122] 図 17 に示した撮像素子 200d の受光チップ 201 と検出チップ 202d は、コンタクトを介して接続されている。検出チップ 202d と半導体基板 901 は、基板同士が直接的に接合する構成とされている。撮像素子 200d は、3 枚の半導体基板で 4 層のデバイス層を形成している構成とされている。

[0123] 第 4 の実施の形態においても、第 1 の実施の形態と同じく、1 枚の半導体基板の両面にそれぞれ素子を形成することで、検出チップ 202 に含まれる素子をより効率良く収めることができるようになり、撮像素子 200 をより小型化することができる。

[0124] なお、半導体基板 901 も、検出チップ 202d と同じく、1 枚の半導体基板の両面にそれぞれ素子が形成された構成、換言すれば、1 枚の半導体基板に 2 層のデバイス層が形成されている構成でも良い。

[0125] 1 枚の半導体基板に 2 層のデバイス層が形成されている半導体基板が、複数枚積層されている構成とする場合も、本技術の適用範囲である。

[0126] <第 5 の実施の形態における撮像素子の断面構成例>

図 18 は、第 5 の実施の形態における撮像素子 200e の断面構成例を示す図である。

[0127] 第 5 の実施の形態における撮像素子 200e は、受光チップ 201e と検出チップ 202e が直接的に接合されている点が、第 4 の実施の形態の撮像素子 200d と異なり、他の点は同様である。

[0128] 受光チップ 201e は、表面に端子（配線）912 が設けられており、端子 912 は、コンタクト 911 を介して所定のゲートと接続されている。端子 912 は、検出チップ 202e の裏面に形成されている端子（配線）913 と接合されている。端子 913 には、コンタクト 914 が接続されている。

[0129] 図 18 に示した撮像素子 200e の受光チップ 201e と検出チップ 202e は、チップ同士が直接的に接合する構成とされている。検出チップ 20

2 e と半導体基板 9 0 1 は、基板同士が直接的に接合する構成とされている。撮像素子 2 0 0 e は、3 枚の半導体基板で 4 層のデバイス層を形成している構成とされている。

[0130] 第 5 の実施の形態においても、第 1 の実施の形態と同じく、1 枚の半導体基板の両面にそれぞれ素子を形成することで、検出チップ 2 0 2 に含まれる素子をより効率良く収めることができるようになり、撮像素子 2 0 0 をより小型化することができる。

[0131] 上述した第 1 乃至第 5 の実施の形態における撮像素子 2 0 0 は、D V S に用いられる場合を例に挙げて説明したが、D V S 以外にも本技術は適用できる。例えば、画像を撮像するカメラなどの撮像装置に用いられる撮像素子に対して、本技術を適用することもできる。

[0132] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0133] 図 1 9 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0134] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 1 9 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I / F（Interface）1 2 0 5 3 が図示されている。

[0135] 駆動系制御ユニット 1 2 0 1 0 は、各種プログラムにしたがって車両の駆

動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0136] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0137] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0138] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0139] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検

出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0140] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む A D A S (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0141] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0142] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12030 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0143] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 19 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネ

ル 1 2 0 6 3 が例示されている。表示部 1 2 0 6 2 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0144] 図 20 は、撮像部 1 2 0 3 1 の設置位置の例を示す図である。

[0145] 図 20 では、撮像部 1 2 0 3 1 として、撮像部 1 2 1 0 1、1 2 1 0 2、1 2 1 0 3、1 2 1 0 4、1 2 1 0 5 を有する。

[0146] 撮像部 1 2 1 0 1、1 2 1 0 2、1 2 1 0 3、1 2 1 0 4、1 2 1 0 5 は、例えば、車両 1 2 1 0 0 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 1 2 1 0 1 及び車室内のフロントガラスの上部に備えられる撮像部 1 2 1 0 5 は、主として車両 1 2 1 0 0 の前方の画像を取得する。サイドミラーに備えられる撮像部 1 2 1 0 2、1 2 1 0 3 は、主として車両 1 2 1 0 0 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 1 2 1 0 4 は、主として車両 1 2 1 0 0 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 1 2 1 0 5 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0147] なお、図 20 には、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮影範囲の一例が示されている。撮像範囲 1 2 1 1 1 は、フロントノーズに設けられた撮像部 1 2 1 0 1 の撮像範囲を示し、撮像範囲 1 2 1 1 2、1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2、1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0148] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよ

いし、位相差検出用の画素を有する撮像素子であってもよい。

[0149] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0 km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0150] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0151] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像

画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0152] 本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

[0153] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0154] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0155] なお、本技術は以下のような構成も取ることができる。

(1)

光電流の対数値に応じた電圧信号を生成する複数の検出画素を含む第 1 の基板と、

前記複数の検出画素のうち、入力された選択信号の示す検出画素の前記電圧信号の変化量が所定の閾値を超えたか否かを検出する検出回路を含む第 2 の基板と

が積層され、

前記第 2 の基板の裏面側の第 1 の領域と表面側の第 2 の領域のそれぞれに前記検出回路を構成する素子が配置されている

撮像素子。

(2)

前記第 1 の領域と前記第 2 の領域との間に、前記第 1 の領域と前記第 2 の領域を電氣的に分離する分離層をさらに備える

前記（１）に記載の撮像素子。

（３）

前記第１の領域に配置されている素子と前記第２の領域に配置されている素子は、Ｓ値特性が異なる

前記（１）または（２）に記載の撮像素子。

（４）

前記第１の領域に配置されている素子と前記第２の領域に配置されている素子は、熱耐性が異なる

前記（１）乃至（３）のいずれかに記載の撮像素子。

（５）

前記第１の領域に配置されている素子と前記第２の領域に配置されている素子は、駆動電圧が異なる

前記（１）乃至（４）のいずれかに記載の撮像素子。

（６）

前記第１の領域に配置されている素子と前記第２の領域に配置されている素子は、ゲートの界面順位が異なる

前記（１）乃至（５）のいずれかに記載の撮像素子。

（７）

前記第１の基板内の素子と前記第２の基板内の素子はコンタクトにより接続されている

前記（１）乃至（６）のいずれかに記載の撮像素子。

（８）

前記第１の基板に設けられている配線と前記第２の基板に設けられている配線が接合されている

前記（１）乃至（６）のいずれかに記載の撮像素子。

（９）

前記第２の基板に第３の基板がさらに積層されている

前記（１）乃至（８）のいずれかに記載の撮像素子。

(10)

前記第2の基板に設けられている配線と前記第3の基板に設けられている配線が接合されている

前記(9)に記載の撮像素子。

(11)

光電流の対数値に応じた電圧信号を各々が生成する複数の検出画素と、
前記複数の検出画素のうち、入力された選択信号の示す検出画素の前記電圧信号の変化量が所定の閾値を超えたか否かを検出する検出回路と、
前記検出回路の検出結果を示す検出信号を処理する信号処理部と
を備え、

前記検出回路を含む基板の裏面側の領域と表面側の領域のそれぞれに前記検出回路を構成する素子が配置されている

撮像装置。

符号の説明

[0156] 100 撮像装置, 110 光学部, 120 記録部, 130 制御部, 200 撮像素子, 201 受光チップ, 202 検出チップ, 209 信号線, 211 ビア配置部, 212 ビア配置部, 213 ビア配置部, 220 受光部, 221 共有ブロック, 231 ビア配置部, 232 ビア配置部, 233 ビア配置部, 240 信号処理回路, 251 行駆動回路, 252 列駆動回路, 260 アドレスイベント検出部, 300 検出画素, 305 検出回路, 310 対数応答部, 311 光電変換素子, 312 トランジスタ, 313 トランジスタ, 314 トランジスタ, 320 検出ブロック, 330 バッファ, 340 微分器, 341 コンデンサ, 342 インバータ, 343 コンデンサ, 344 スイッチ, 345 pMOSトランジスタ, 346 pMOSトランジスタ, 347 nMOSトランジスタ, 360 転送回路, 400 選択部, 410 セレクタ, 411 pMOSトランジスタ, 420 セレクタ, 500

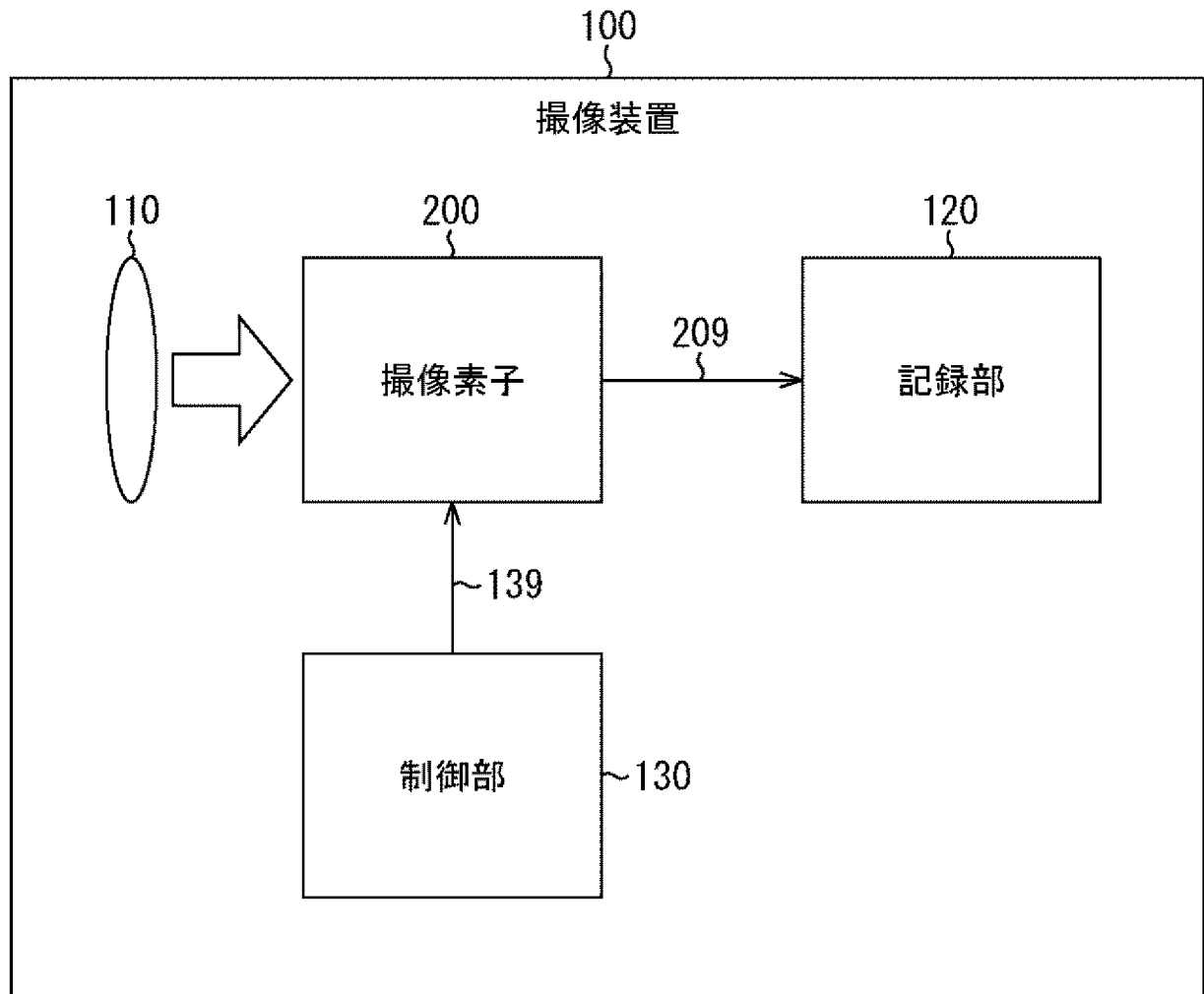
比較部, 510 コンパレータ, 511 pMOSトランジスタ,
512 nMOSトランジスタ, 520 コンパレータ, 601 オン
チップレンズ層, 602 カラーフィルタ層, 603 光電変換素子層
, 604 配線層, 605 画素間分離部, 611 端子, 701
裏面領域, 702 表面領域, 703 分離層, 711 素子,
721 素子, 731 コンタクト, 741 ゲート, 742 配線
, 751 電極, 771 端子, 781 コンタクト, 791 端
子, 811 素子, 821 素子, 831 コンタクト, 851
素子, 861 素子, 871 コンタクト, 872 端子, 881
端子, 882 コンタクト, 883 素子, 901 半導体基板,
911 コンタクト, 912 端子, 913 端子, 914 コン
タクト

請求の範囲

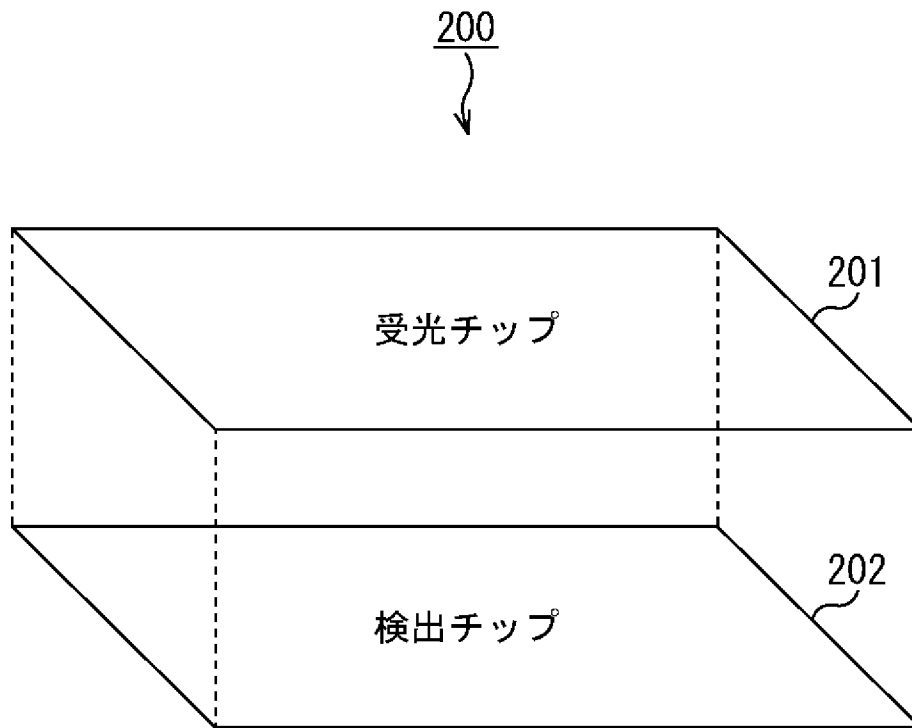
- [請求項1] 光電流の対数値に応じた電圧信号を生成する複数の検出画素を含む第1の基板と、
- 前記複数の検出画素のうち、入力された選択信号の示す検出画素の前記電圧信号の変化量が所定の閾値を超えたか否かを検出する検出回路を含む第2の基板と
- が積層され、
- 前記第2の基板の裏面側の第1の領域と表面側の第2の領域のそれぞれに前記検出回路を構成する素子が配置されている
- 撮像素子。
- [請求項2] 前記第1の領域と前記第2の領域との間に、前記第1の領域と前記第2の領域を電氣的に分離する分離層をさらに備える
- 請求項1に記載の撮像素子。
- [請求項3] 前記第1の領域に配置されている素子と前記第2の領域に配置されている素子は、S値特性が異なる
- 請求項1に記載の撮像素子。
- [請求項4] 前記第1の領域に配置されている素子と前記第2の領域に配置されている素子は、熱耐性が異なる
- 請求項1に記載の撮像素子。
- [請求項5] 前記第1の領域に配置されている素子と前記第2の領域に配置されている素子は、駆動電圧が異なる
- 請求項1に記載の撮像素子。
- [請求項6] 前記第1の領域に配置されている素子と前記第2の領域に配置されている素子は、ゲートの界面順位が異なる
- 請求項1に記載の撮像素子。
- [請求項7] 前記第1の基板内の素子と前記第2の基板内の素子はコンタクトにより接続されている
- 請求項1に記載の撮像素子。

- [請求項8] 前記第1の基板に設けられている配線と前記第2の基板に設けられている配線が接合されている
請求項1に記載の撮像素子。
- [請求項9] 前記第2の基板に第3の基板がさらに積層されている
請求項1に記載の撮像素子。
- [請求項10] 前記第2の基板に設けられている配線と前記第3の基板に設けられている配線が接合されている
請求項9に記載の撮像素子。
- [請求項11] 光電流の対数値に応じた電圧信号を各々が生成する複数の検出画素と、
前記複数の検出画素のうち、入力された選択信号の示す検出画素の前記電圧信号の変化量が所定の閾値を超えたか否かを検出する検出回路と、
前記検出回路の検出結果を示す検出信号を処理する信号処理部と
を備え、
前記検出回路を含む基板の裏面側の領域と表面側の領域のそれぞれに前記検出回路を構成する素子が配置されている
撮像装置。

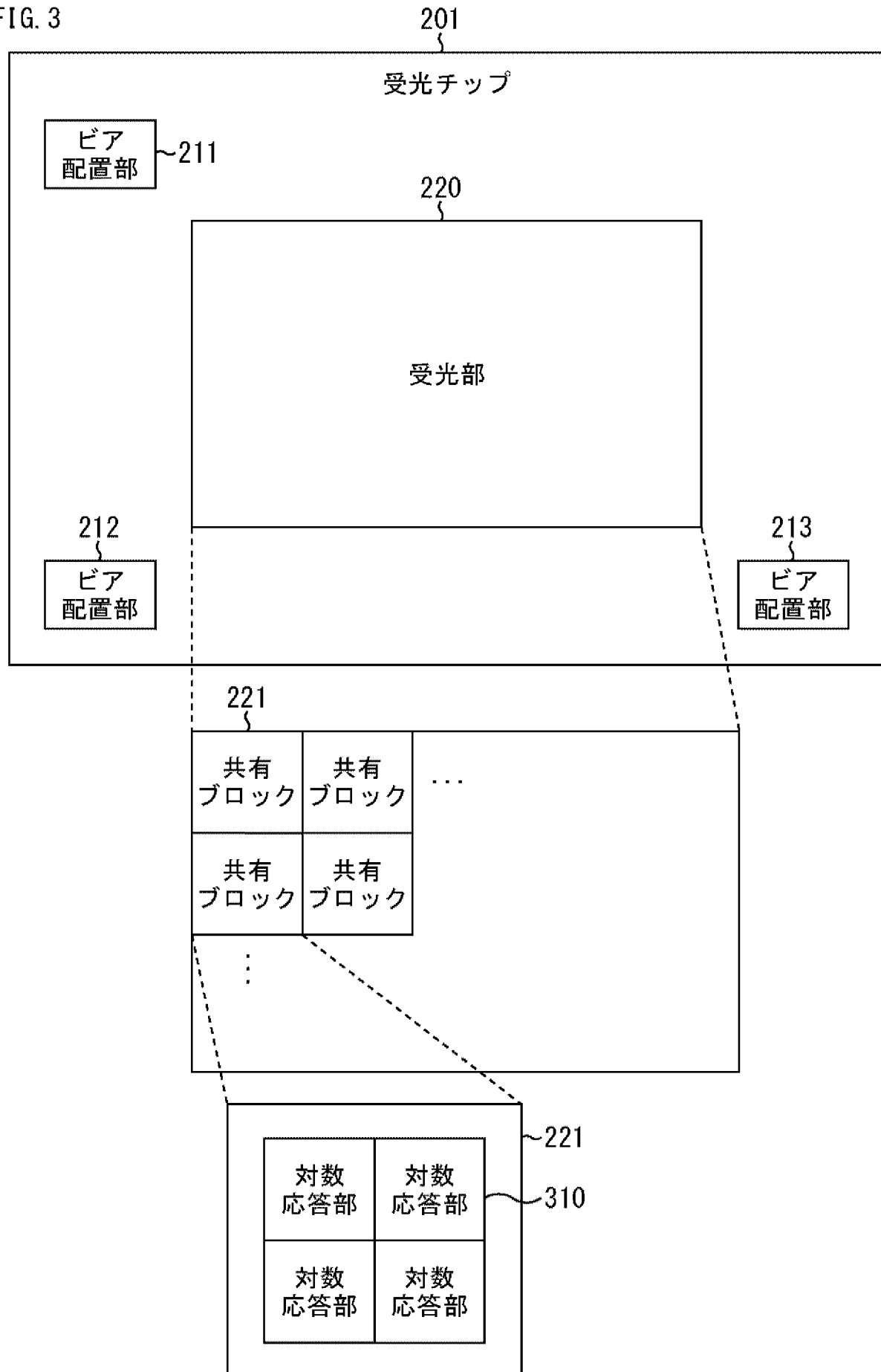
[図1]
FIG. 1



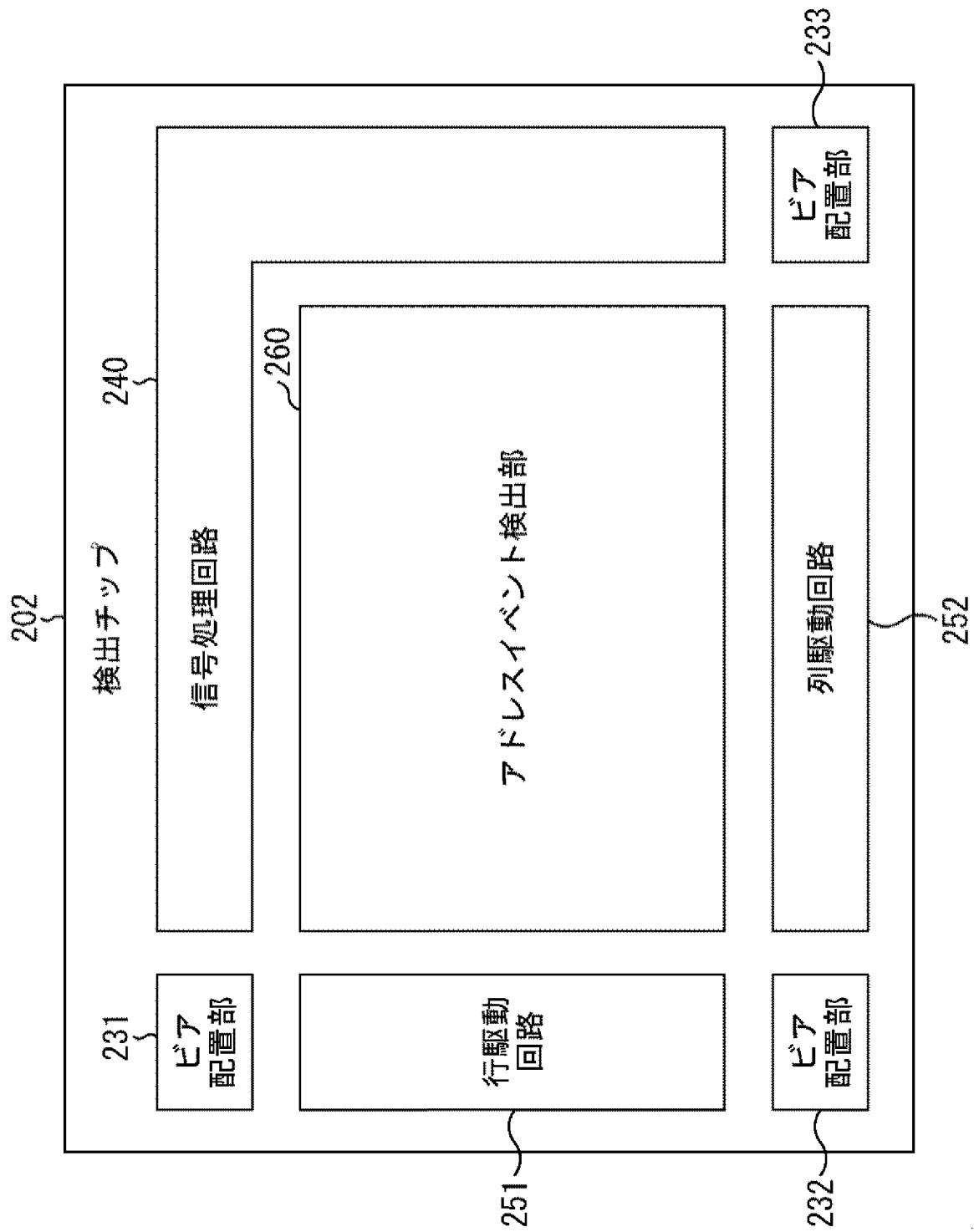
[図2]
FIG. 2



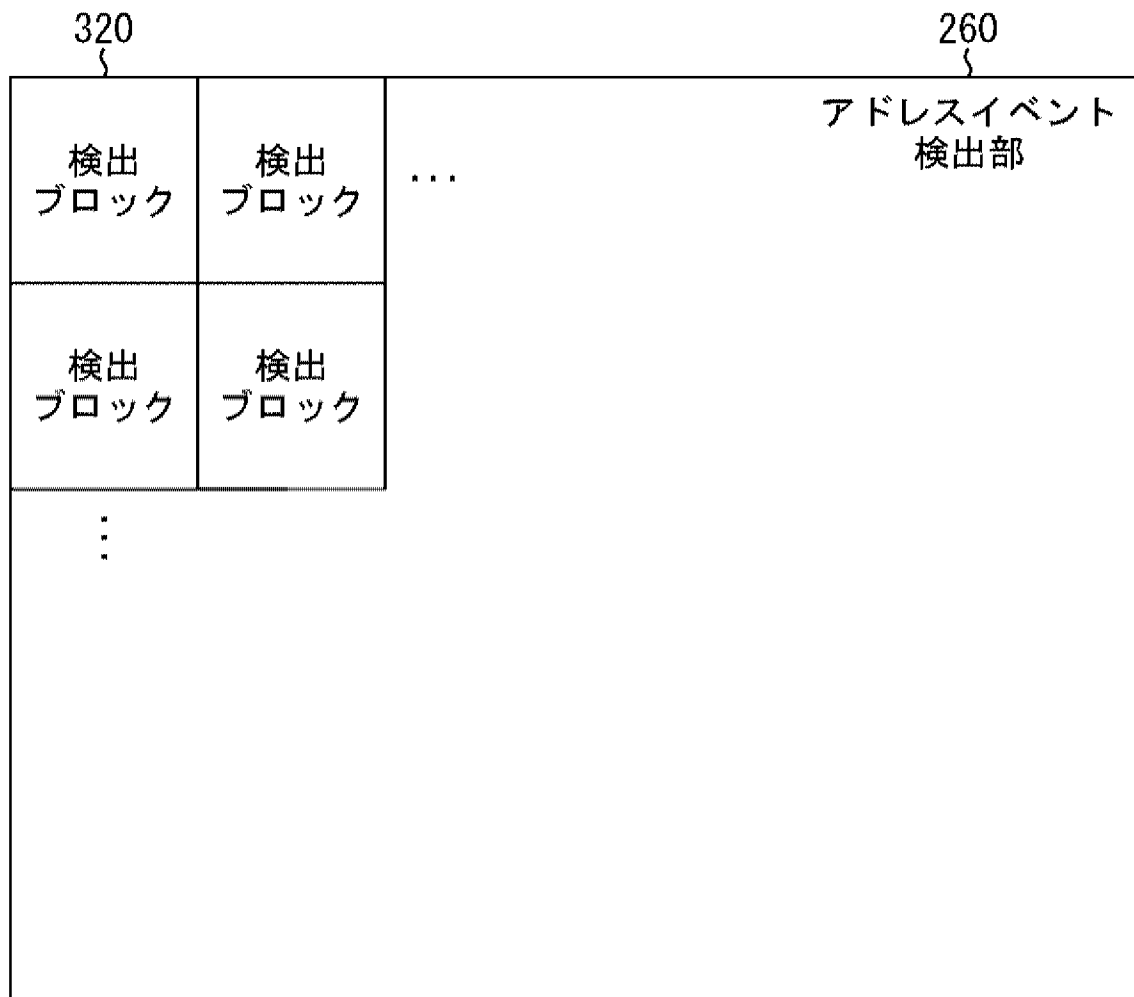
[図3]
FIG. 3



[図4]
FIG. 4



[図5]
FIG. 5



201
受光チップ

202
検出チップ

310
対数応答部

VDD

VDD

314
Vbias1

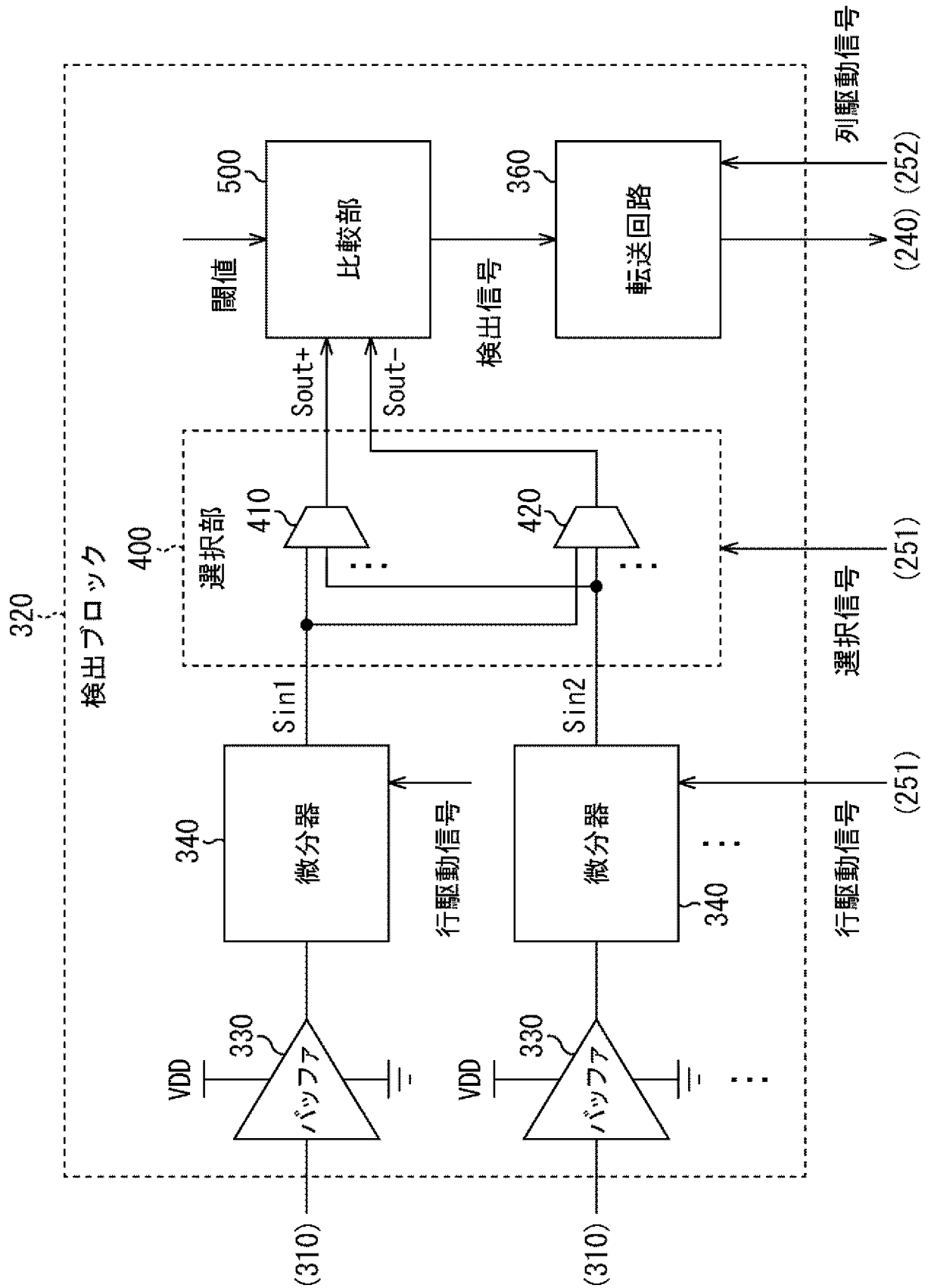
312

(320)

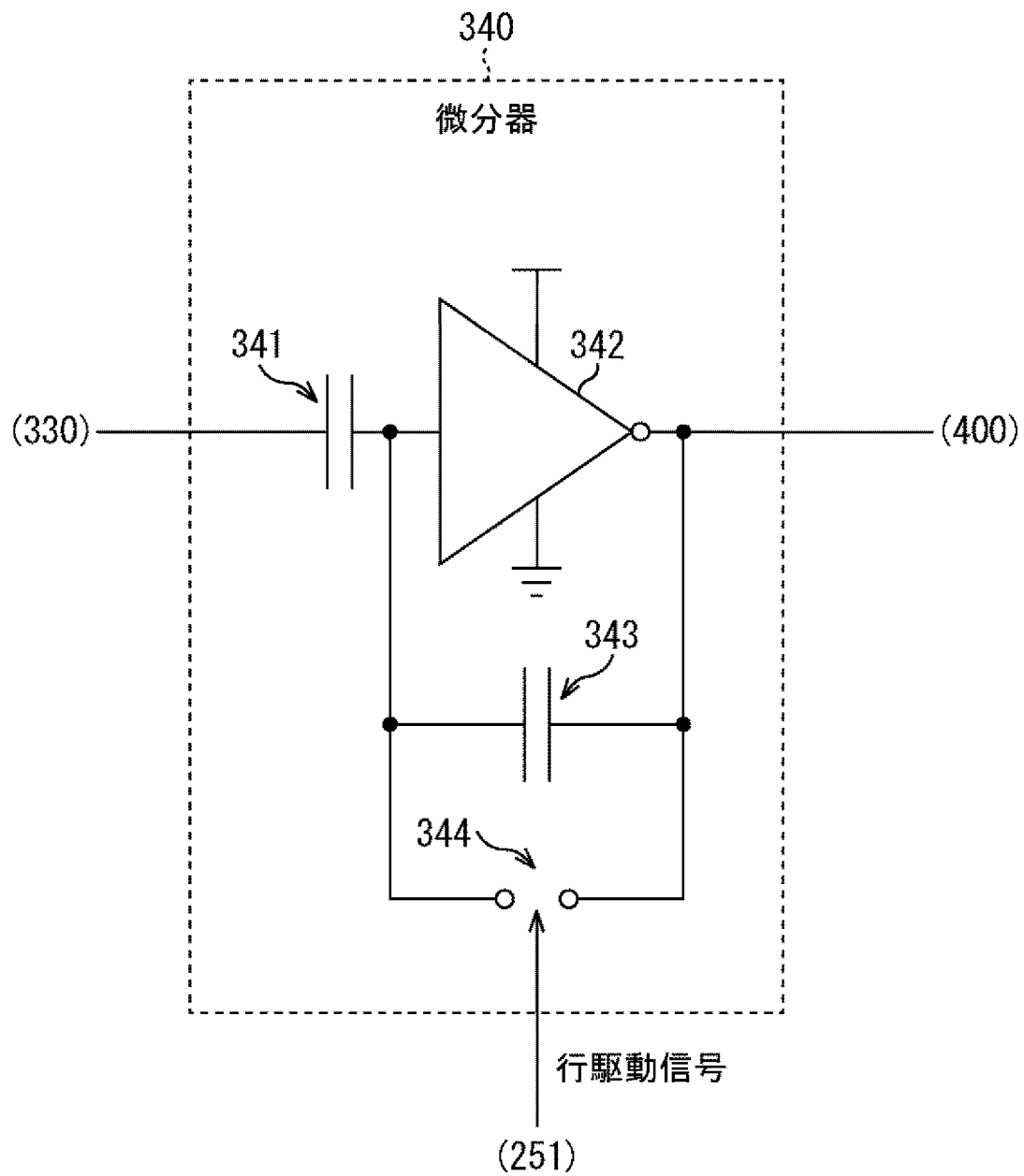
313

311

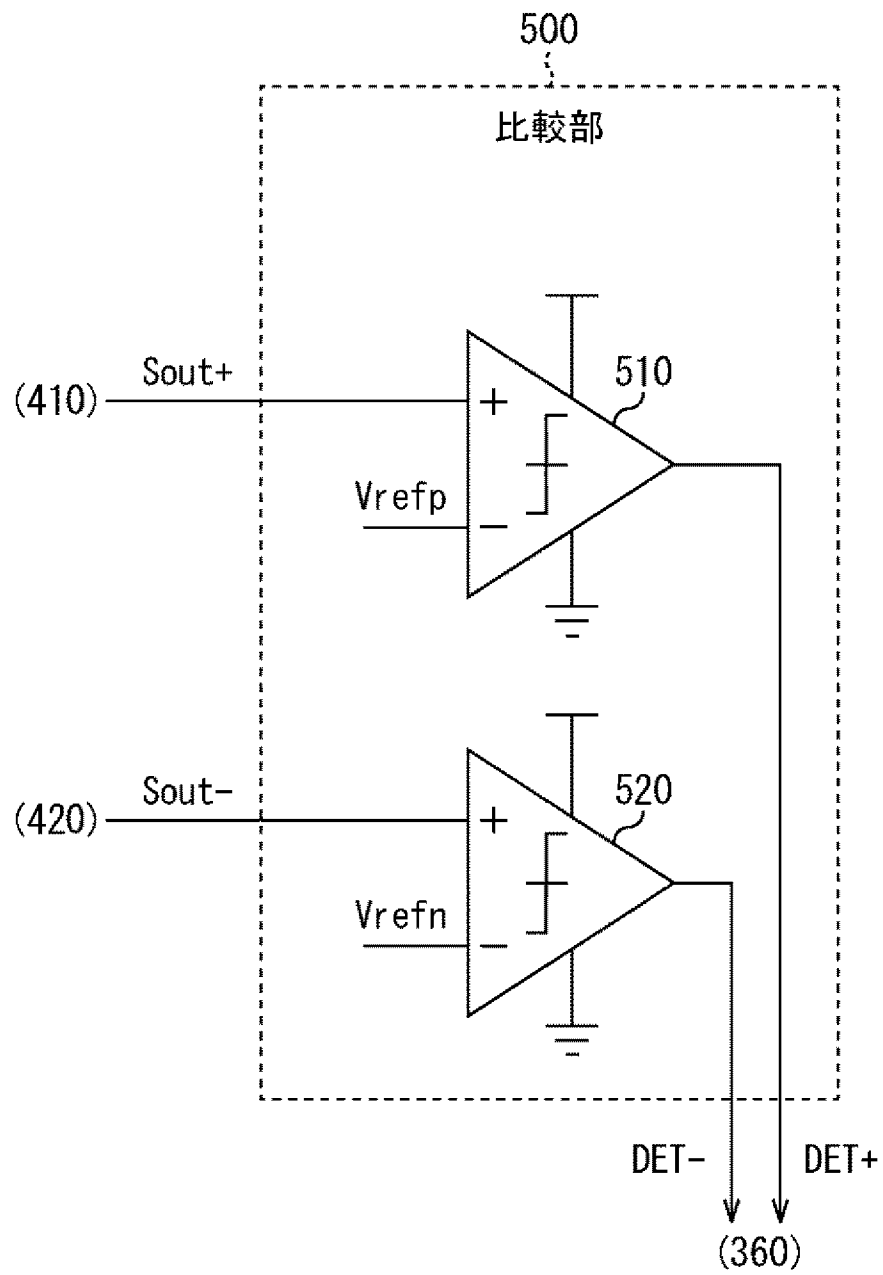
[図7]
FIG. 7



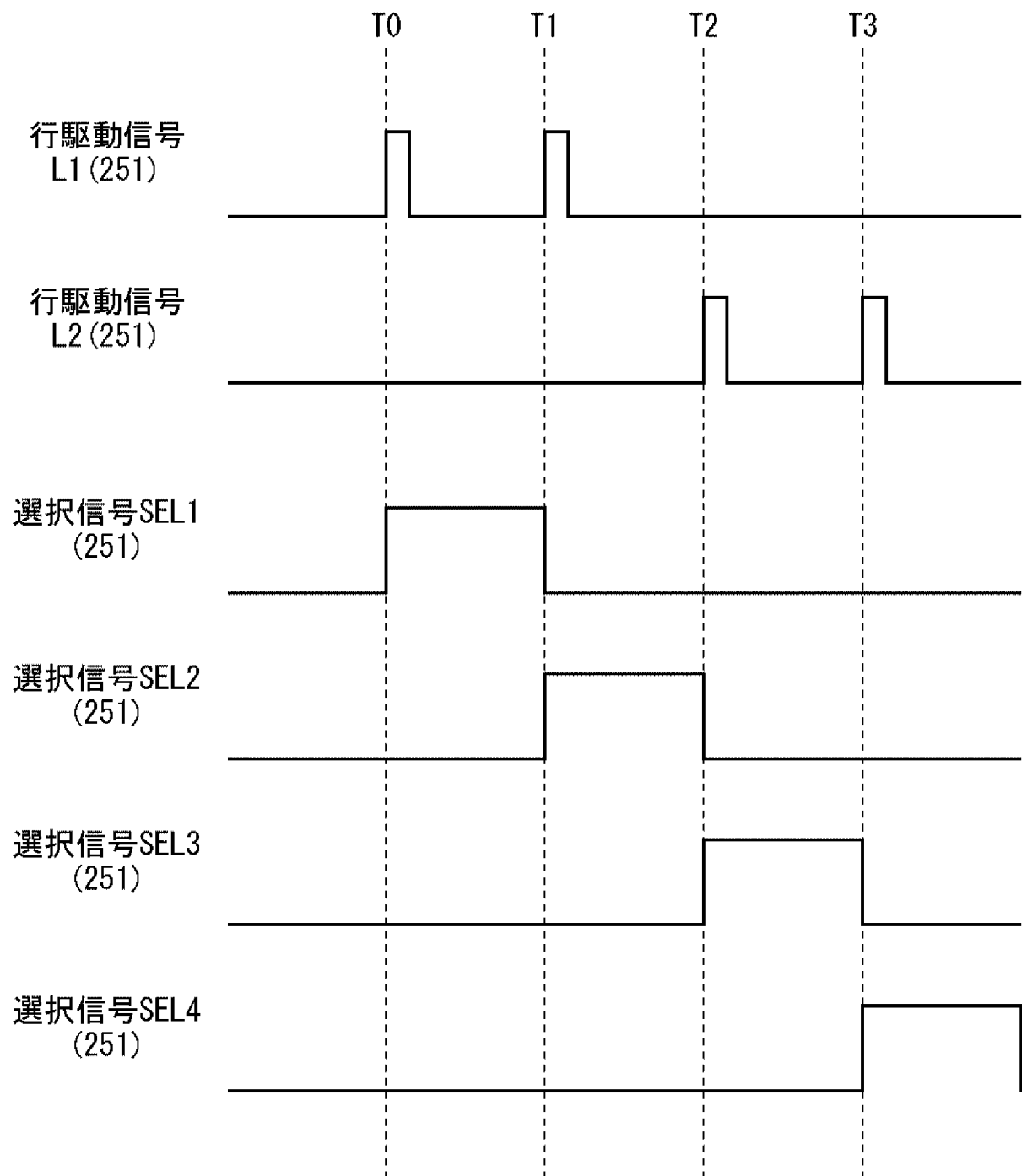
[図8]
FIG. 8



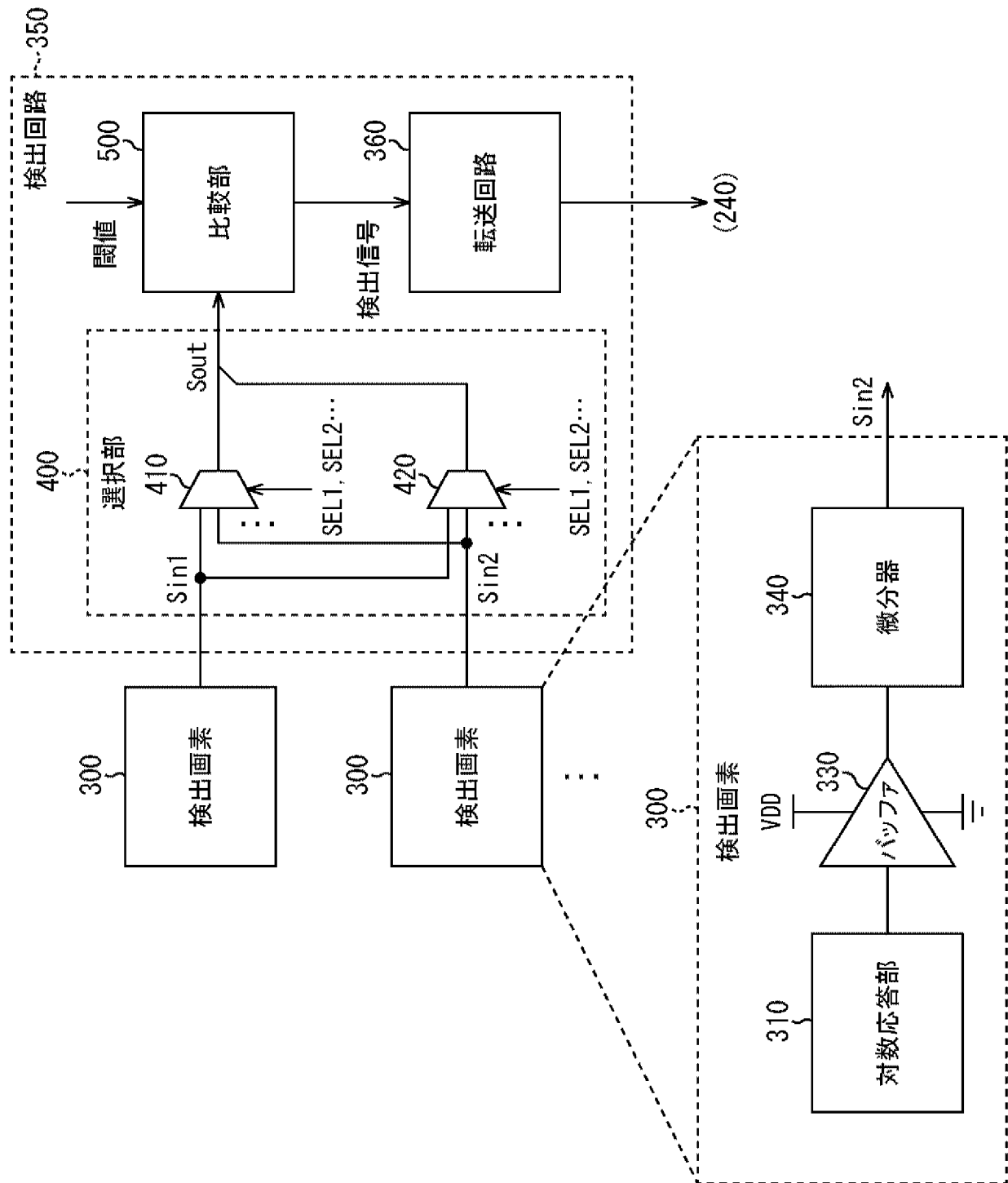
[図9]
FIG. 9



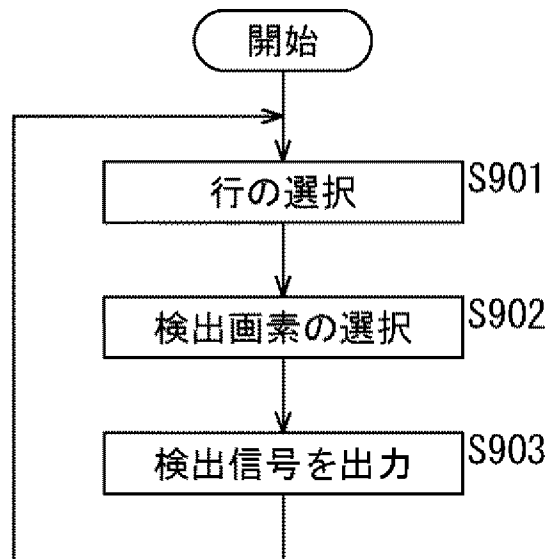
[図11]
FIG. 11



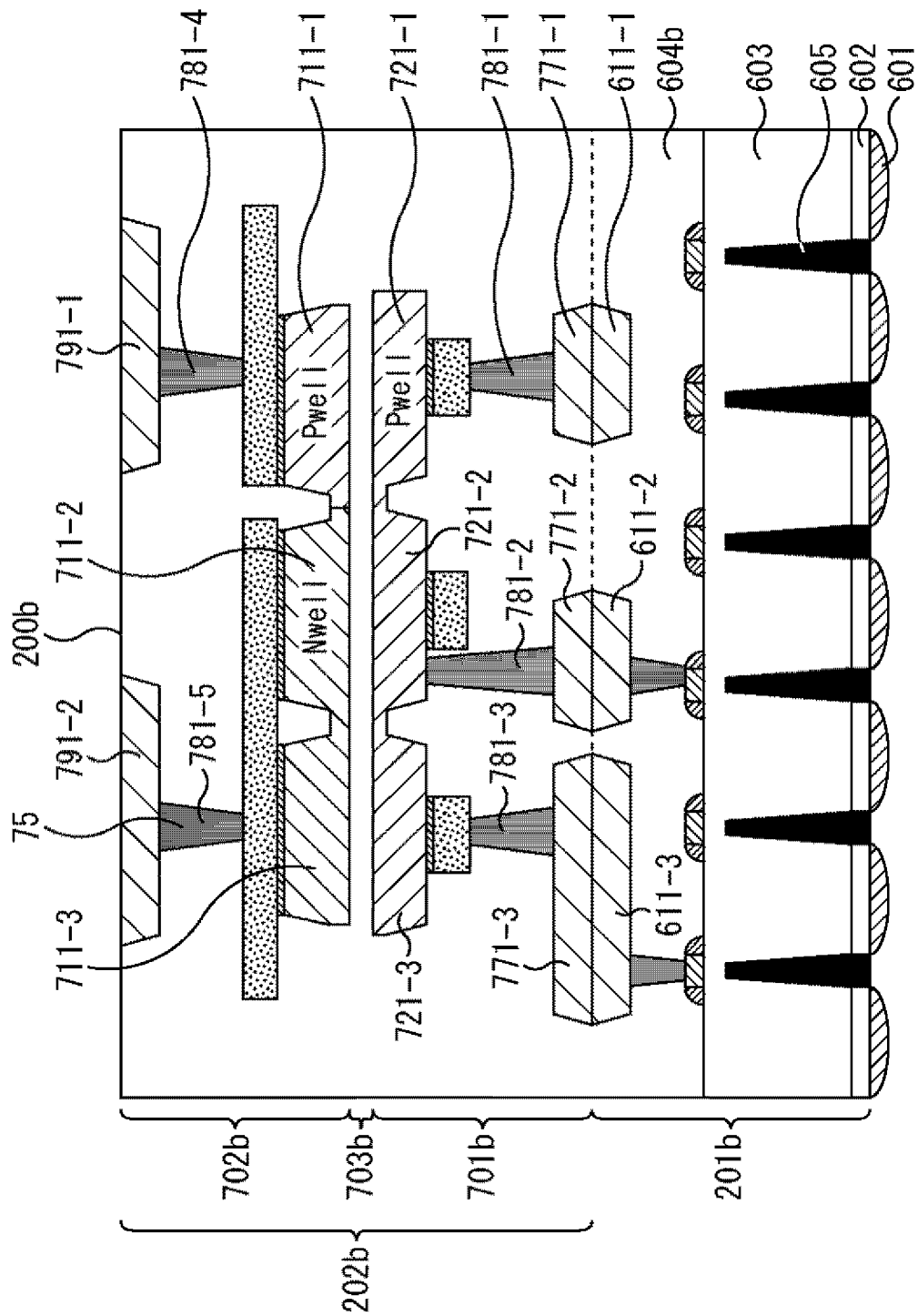
[図12]
FIG. 12



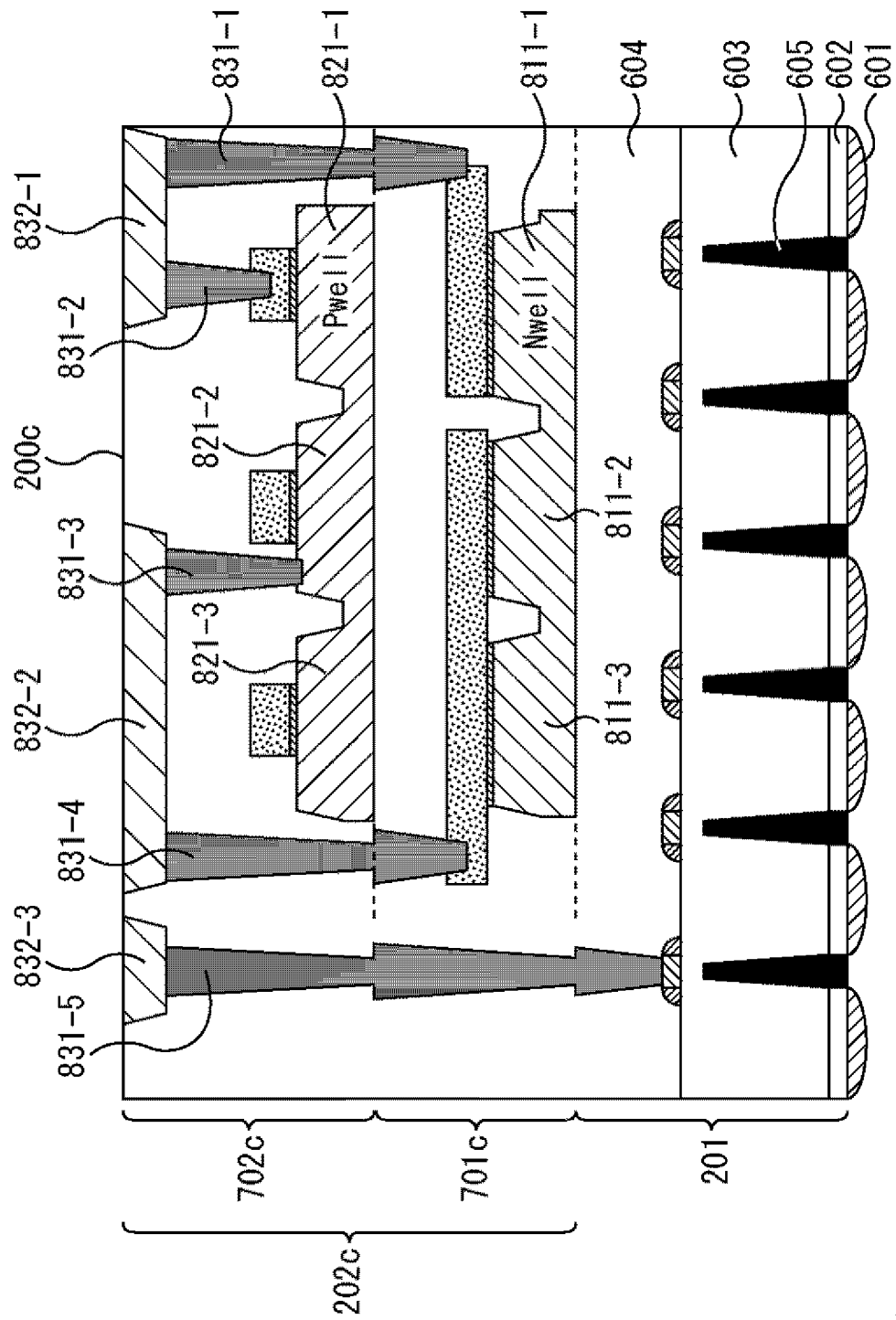
[図13]
FIG. 13



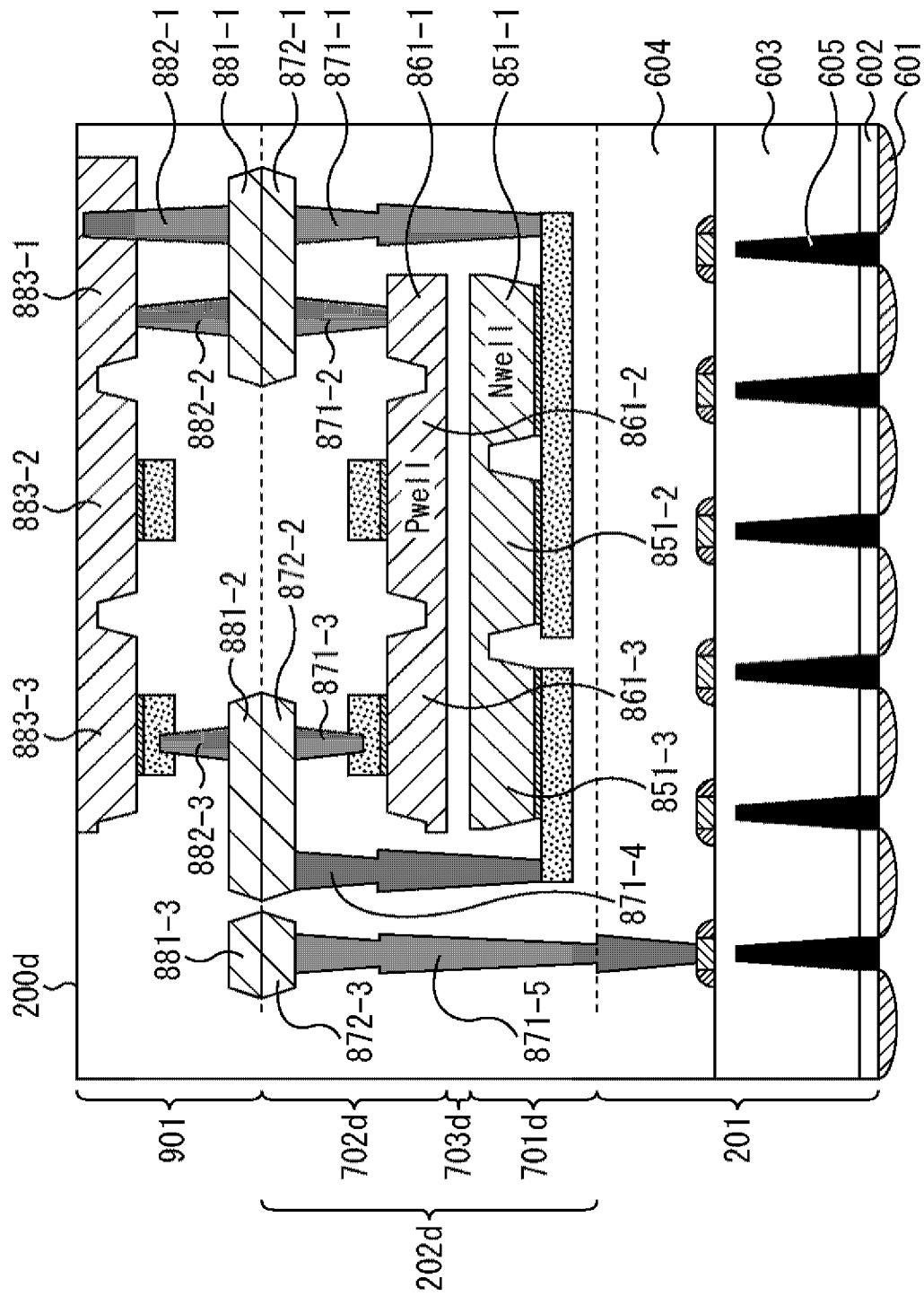
[図15]
FIG. 15



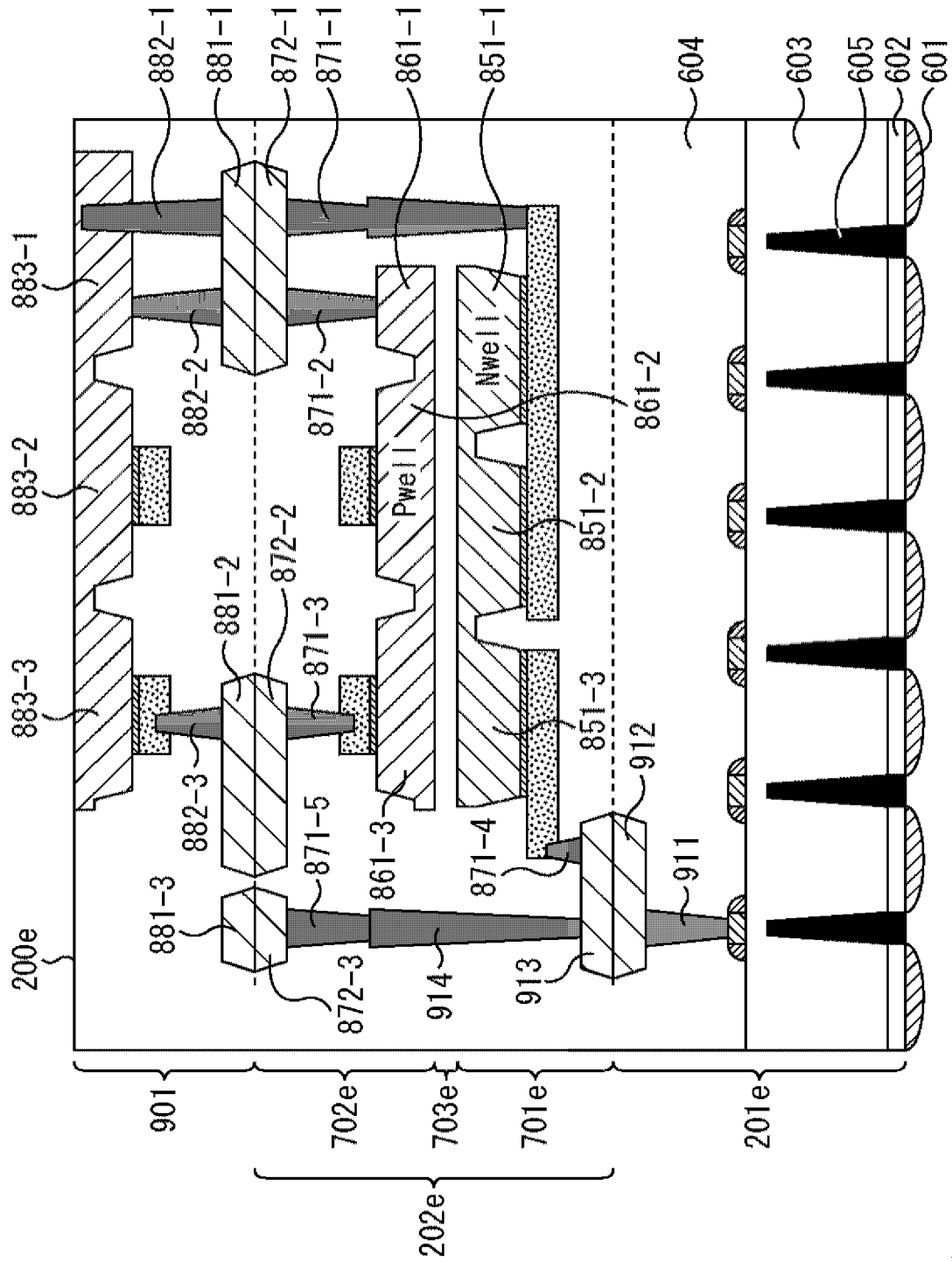
[図16]
FIG. 16



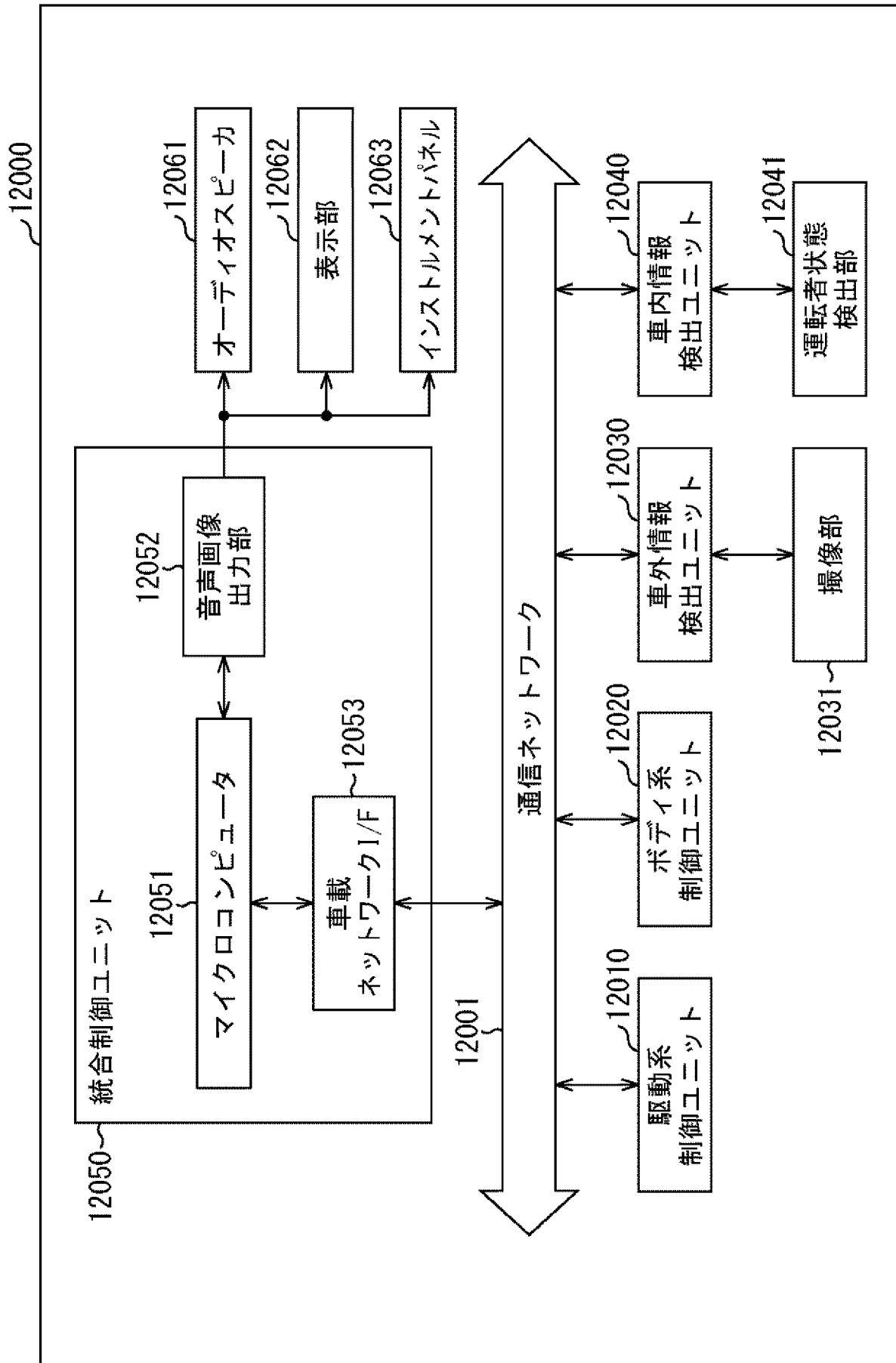
[図17]
FIG. 17



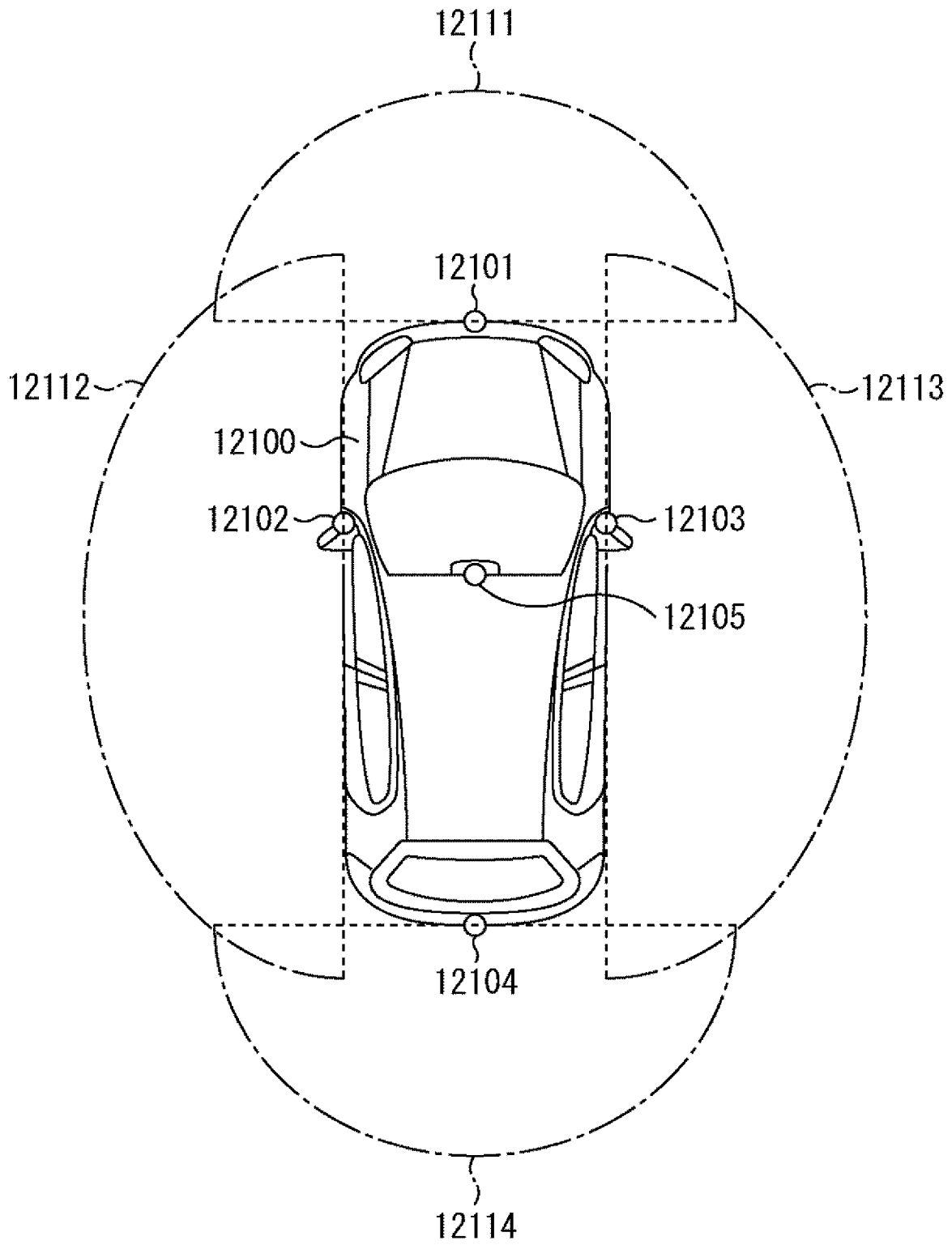
[図18]
FIG. 18



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/048958

A. CLASSIFICATION OF SUBJECT MATTER <i>H04N 5/369</i> (2011.01)i; <i>H01L 27/146</i> (2006.01)i; <i>H04N 5/3745</i> (2011.01)i FI: H04N5/369; H04N5/3745 500; H01L27/146 A According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H04N5/369; H01L27/146; H04N5/3745 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2020-161993 A (SONY CORP) 01 October 2020 (2020-10-01) paragraphs [0031]-[0032], [0063]-[0064], [0093]-[0096], [0176]-[0177], fig. 8	1-11
X	JP 2019-195135 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 07 November 2019 (2019-11-07) paragraphs [0013], [0022], [0033]-[0063], fig. 6, 7	1-8, 11
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
01 March 2022		15 March 2022
Name and mailing address of the ISA/JP		Authorized officer
Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/048958

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-161993	A	01 October 2020	WO 2020/196092 A1 paragraphs [0032]-[0033], [0064]-[0065], [0094]-[0097], [0177]-[0178], fig. 8	
JP	2019-195135	A	07 November 2019	US 2020/0260032 A1 paragraphs [0013], [0035], [0046]-[0076], fig. 6, 7 EP 3580922 A1 CN 110445960 A TW 202002617 A KR 10-2021-0006273 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/369(2011.01)i; H01L 27/146(2006.01)i; H04N 5/3745(2011.01)i FI: H04N5/369; H04N5/3745 500; H01L27/146 A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H04N5/369; H01L27/146; H04N5/3745														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2022年													
日本国実用新案登録公報	1996 - 2022年													
日本国登録実用新案公報	1994 - 2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2020-161993 A（ソニー株式会社）01.10.2020（2020 - 10 - 01） 段落[0031]-[0032], [0063]-[0064], [0093]-[0096], [0176]-[0177], 図8	1-11												
X	JP 2019-195135 A（ソニーセミコンダクタソリューションズ株式会社）07.11.2019 （2019 - 11 - 07） 段落[0013], [0022], [0033]-[0063], 図6, 7	1-8, 11												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 参考文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 参考文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 参考文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 01.03.2022	国際調査報告の発送日 15.03.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 明 5V 2590 電話番号 03-3581-1101 内線 3541													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/048958

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-161993	A	01.10.2020	WO 2020/196092 A1 段落[0032]-[0033], [0064]- [0065], [0094]-[0097], [0177]-[0178], 図8	
JP	2019-195135	A	07.11.2019	US 2020/0260032 A1 段落[0013], [0035], [0046]- [0076], 図6, 7 EP 3580922 A1 CN 110445960 A TW 202002617 A KR 10-2021-0006273 A	