

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3666251号
(P3666251)

(45) 発行日 平成17年6月29日(2005.6.29)

(24) 登録日 平成17年4月15日(2005.4.15)

(51) Int.Cl.⁷

F I

H03H 17/02

H03H 17/02 655Z

H04L 25/03

H03H 17/02 601C

H04L 27/00

H03H 17/02 661B

H04L 25/03 B

H04L 27/00 C

請求項の数 3 (全 9 頁)

(21) 出願番号 特願平10-207416
 (22) 出願日 平成10年7月23日(1998.7.23)
 (65) 公開番号 特開2000-40944(P2000-40944A)
 (43) 公開日 平成12年2月8日(2000.2.8)
 審査請求日 平成15年3月17日(2003.3.17)

(73) 特許権者 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100097445
 弁理士 岩橋 文雄
 (74) 代理人 100103355
 弁理士 坂口 智康
 (74) 代理人 100109667
 弁理士 内藤 浩樹
 (72) 発明者 松垣 勲
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内

審査官 畑中 博幸

最終頁に続く

(54) 【発明の名称】 デジタルフィルタ回路

(57) 【特許請求の範囲】

【請求項1】

シンボルタイミングおよびサンプルタイミングを生成するタイミング生成部と、
 前記シンボルタイミングで、ベースバンド送信信号を所定のシンボル数だけ保持するためのシフトレジスタと、

前記シンボルタイミングでクリアされ、サンプルタイミングでカウントアップするカウンタと、

1シンボル周期に相当するデジタルフィルタ係数を群とし、複数のフィルタ係数群が各々の差分系列として予め格納され、前記カウンタ値をアドレス入力するメモリと、

前記シンボルタイミングにより、各々のフィルタ係数群の先頭のフィルタ係数に初期化され、以後前記サンプルタイミングに従って前記メモリから読み出した差分系列を順次積算することで差分前のフィルタ係数群を生成する積算部と、

前記シフトレジスタの値をもとに、前記フィルタ係数群中のフィルタ係数の符号変換を行う符号変換部と、

前記符号変換された前記フィルタ係数群の総和を算出する加算部と
 を備えたことを特徴とするデジタルフィルタ回路。

【請求項2】

シンボルタイミングおよびサンプルタイミングを生成するタイミング生成部と、
 前記シンボルタイミングで、ベースバンド送信信号を所定のシンボル数だけ保持するためのシフトレジスタと、

10

20

1 シンボル周期に相当するデジタルフィルタ係数を群とし、複数のフィルタ係数群がフィルタ係数およびその継続サンプル数として予め格納されたメモリと、
前記メモリから前もってデータを読み込む先読みバッファと、
前記先読みバッファの内容である各々のフィルタ係数および継続サンプル数により、前記サンプルタイミングに同期して各々のフィルタ係数を継続サンプル数だけ連続して出力するランレングス伸長部と、
前記シフトレジスタの値をもとに、前記フィルタ係数群中のフィルタ係数の符号変換を行う符号変換部と、
前記符号変換された前記フィルタ係数群の総和を加算する加算部と
を備えたことを特徴とするデジタルフィルタ回路。

10

【請求項3】

シンボルタイミングおよびサンプルタイミングを生成するタイミング生成部と、
前記シンボルタイミングで、ベースバンド送信信号を所定のシンボル数だけ保持するためのシフトレジスタと、
1 シンボル周期に相当するデジタルフィルタ係数を群とし、複数のフィルタ係数群が各々の時間差分系列と、
継続する時間差分系列が零の継続サンプル数が予め格納されたメモリと、
前記メモリから前もってデータを読み込むバッファと、
前記先読みバッファの内容である各々の前記時間差分系列および零継続サンプル数により、前記サンプルタイミングに同期して各々の前記時間差分系列を出力した後、零の継続サンプル数だけ連続して出力するランレングス伸長部と、
前記シンボルタイミングで特定の値が設定され、以後前記時間差分系列を積算することで差分前のフィルタ係数群を生成する積算部と、
前記シフトレジスタの値をもとに、前記フィルタ係数群中のフィルタ係数の符号変換を行う符号変換部と、
前記符号変換された前記フィルタ係数群の総和を算出する加算部と
を備えたことを特徴とするデジタルフィルタ回路。

20

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

30

本発明は、通信システムのデジタル変調装置におけるディジタルフィルタ回路に関する。

【0002】**【従来の技術】**

従来、デジタル信号の変調には、波形整形および隣接折り返し除去の目的でデジタルフィルタが用いられる。一般に隣接キャリア周波数を希望波から遠ざけたい場合は、急峻な遮断特性をもつデジタルフィルタを構成する必要がある。これを通常の関和演算構成で実現すると縦続接続構成になり、構成が複雑で、また、高い周波数で動作する最終段のフィルタにより消費電力も大きくなっていた。

【0003】

従来のデジタル信号変調装置の構成を図7に示す。

40

図7に示すように、このデジタル信号変調部において、入力シンボル1は、初段デジタルフィルタ2に入力され、その出力は補間処理により高レート化される。その後、次段デジタルフィルタ3および終段デジタルフィルタ4に入力され、希望のサンプルレートになるまでデジタルフィルタ処理が継続して行われる。希望サンプルレートになったデジタルベースバンドろ波信号は、デジタルまたはアナログの局部発信器5の出力でミキサ6により変調されたのち、出力変調信号7が出力される。補間処理としては、通常シンボル以外のサンプルを零にする、いわゆる零挿入補間が一般的に用いられている。

【0004】**【発明が解決しようとする課題】**

しかしながら、上記従来の変調装置では、隣接キャリアの周波数を希望キャリアから遠ざ

50

けたい場合、つまり、急峻な遮断特性を有するデジタルフィルタを必要とする場合、通常の関和演算構成では、一段では構成できず、縦続接続されたデジタルフィルタで構成しなければならない。したがって、構成を複雑にし、また、最終段のフィルタは動作周波数も高いため消費電力も大きかった。

【0005】

本発明は、上記従来の問題点を解決するもので、デジタル変調装置に用いられるデジタルフィルタを、簡易な構成およびソフト処理で実現することを目的としている。

【0006】

【課題を解決するための手段】

上記目的を達成するために本発明は、デジタル変調装置におけるデジタルフィルタを構成する上で、全係数をメモリに格納したメモリテーブル方式を用いる。係数は時間差分したものをメモリに格納しておき、差分値を積算器で積算することで差分前の実フィルタ係数を生成する。送信シンボルはシフトレジスタに格納しておき、シフトレジスタ中のシンボルにより各フィルタの係数の符号を変換する。符号変換後の係数の総和をとることにより最終的にフィルタ処理を行うようにしたものである。

10

【0007】

本発明によれば、デジタルフィルタの回路構成を簡易にし、その回路規模も小さく実現することができる。

【0008】

【発明の実施の形態】

20

本発明の請求項1に記載の発明は、シンボルタイミングおよびサンプルタイミングを生成するタイミング生成部と、前記シンボルタイミングで、ベースバンド送信信号を所定のシンボル数だけ保持するためのシフトレジスタと、前記シンボルタイミングでクリアされ、サンプルタイミングでカウントアップするカウンタと、1シンボル周期に相当するデジタルフィルタ係数を群とし、複数のフィルタ係数群が各々の時間差分系列として予め格納され、前記カウンタ値をアドレス入力するメモリと、前記シンボルタイミングで特定の値が設定され、以後前記サンプルタイミングで時間差分系列を積算することで差分前のフィルタ係数群を生成する積算部と、前記シフトレジスタの値をもとに、前記フィルタ係数群中のフィルタ係数の符号変換を行う符号変換部と、前記符号変換された前記フィルタ係数群の総和を算出する加算部とを備えたデジタルフィルタ回路であり、デジタルフィルタの回路構成を簡易にし、回路規模も小さく実現するという作用を有する。

30

【0009】

本発明の請求項2に記載の発明は、シンボルタイミングおよびサンプルタイミングを生成するタイミング生成部と、前記シンボルタイミングで、ベースバンド送信信号を所定のシンボル数だけ保持するためのシフトレジスタと、1シンボル周期に相当するデジタルフィルタ係数を群とし、複数のフィルタ係数群がフィルタ係数およびその継続サンプル数として予め格納されたメモリと、前記メモリから前もってデータを読み込む先読みバッファと、前記先読みバッファの内容である各々のフィルタ係数および継続サンプル数により、前記サンプルタイミングに同期して各々のフィルタ係数を継続サンプル数だけ連続して出力するランレングス伸長部と、前記シフトレジスタの値をもとに、前記フィルタ係数群中のフィルタ係数の符号変換を行う符号変換部と、前記符号変換された前記フィルタ係数群の総和を加算する加算部とを備えたデジタルフィルタ回路であり、前記と同様に回路構成を簡易にし、その回路規模も小さく実現するという作用を有する。

40

【0010】

本発明の請求項3に記載の発明は、シンボルタイミングおよびサンプルタイミングを生成するタイミング生成部と、前記シンボルタイミングで、ベースバンド送信信号を所定のシンボル数だけ保持するためのシフトレジスタと、1シンボル周期に相当するデジタルフィルタ係数を群とし、複数のフィルタ係数群が各々の時間差分系列と、継続する時間差分系列が零の継続サンプル数が予め格納されたメモリと、前記メモリから前もってデータを読み込むバッファと、前記先読みバッファの内容である各々の前記時間差分系列および零継

50

続サンプル数により、前記サンプルタイミングに同期して各々の前記時間差分系列を出力した後、零の継続サンプル数だけ連続して出力するランレングス伸長部と、前記シンボルタイミングで特定の値が設定され、以後前記時間差分系列を積算することで差分前のフィルタ係数群を生成する積算部と、前記シフトレジスタの値をもとに、前記フィルタ係数群中のフィルタ係数の符号変換を行う符号変換部と、前記符号変換された前記フィルタ係数群の総和を算出する加算部とを備えたデジタルフィルタ回路であり、前記と同様に回路構成を簡易にし、回路規模も小さく実現するという作用を有する。

【0011】

以下、本発明の実施の形態を、図面を参照して説明する。

（実施の形態1）

図1は、本発明の実施の形態1のデジタルフィルタ回路を示す構成図である。

【0012】

図1において、構成要素として1は入力シンボル、8は入力シンボルを複数シンボル期間保持するシフトレジスタ、9はカウンタ、10はタイミング生成部、11はメモリ、12は積算部、13は符号変換部、14は加算部、15は出力ろ波信号、18はシンボルタイミング、19はサンプルタイミングである。

【0013】

次に図1を参照して、以上の各構成要素よりなる本発明の実施の形態1のデジタルフィルタ回路について、以下その動作を説明する。

【0014】

入力シンボル1は、データに対応した特定の値を有し、ここではその値を零および非零とすると、入力シンボル1はシフトレジスタ8に入力され、タイミング生成部10の出力であるシンボルタイミング18によりレジスタ中に取り込まれる。シフトレジスタ8中には最も新しい複数のシンボルの状態が保存されている。

【0015】

カウンタ9は、シンボルタイミング18でクリアされ、タイミング生成部10の出力であるサンプルタイミング19をカウントする。カウント値はメモリ11のアドレスに入力されている。

【0016】

メモリ11中には、図2のように全フィルタ係数が1シンボル期間に相当するフィルタ係数群に分けられ、各々が差分を取られた形式で格納されている。急峻な遮断特性をもつデジタルフィルタの係数は一般的にその時間変化はかなり小さいため、差分を取ることで各フィルタ係数は1～2ビットに圧縮することができる。メモリ11のアドレス入力カウンタ9のカウント値であり、これは実際に演算に使用されるフィルタ係数のフィルタ係数群の先頭から数えたタップ番号に該当する。

【0017】

積算部12は、シンボルタイミング18により、各々のフィルタ係数群の先頭のフィルタ係数に初期化され、以後メモリ11中の差分フィルタ係数を順次積算することで、差分前のフィルタ係数を出力する。

【0018】

符号変換部13では、シフトレジスタ8の各段の値により、対応するフィルタ係数の符号を非零の場合は変換なしとし、零の場合は符号変換を行う。符号変換後の各フィルタ係数の総和を算出することで、零挿入によりオーバーサンプリングされた系列に対して、デジタルフィルタ処理を行うことができる。

【0019】

（実施の形態2）

図3は本発明の実施の形態2のデジタルフィルタ回路を示す構成図である。

【0020】

図3において、構成要素として1は入力シンボル、8は入力シンボルを複数シンボル期間保持するシフトレジスタ、10はタイミング生成部、11はメモリ、16は先読みバッフ

10

20

30

40

50

ァ、１７はランレングス伸長部、１３は符号変換部、１４は加算部、１５は出力ろ波信号、１８はシンボルタイミング、１９はサンプルタイミングである。

【００２１】

次に図３を参照して以上の各構成要素よりなる本発明の実施の形態２のデジタルフィルタ回路について、以下その動作を説明する。

【００２２】

入力シンボル１は、データに対応した特定の値を有し、ここではその値を零および非零とすると、入力シンボル１はシフトレジスタ８に入力され、タイミング生成部１０の出力であるシンボルタイミング１８によりレジスタ中に取り込まれる。シフトレジスタ８中には最も新しい複数のシンボルの状態が保存されている。

10

【００２３】

メモリ１１中には、図４のように全フィルタ係数が１シンボル周期に相当するフィルタ係数群に分けられ、各々のフィルタ係数群の識別値および係数、および同じ値のフィルタ係数が連続する継続サンプル数という形式で格納されている。急峻な遮断特性をもつデジタルフィルタの係数は一般的にその時間変化はかなり小さいため、本方式によりフィルタ係数を圧縮することができる。

【００２４】

先読みバッファ１６は、メモリ内容を先読みし、各フィルタ係数群のフィルタ係数を継続サンプル数だけ連続して出力することで、圧縮前のフィルタ係数を出力する。

【００２５】

20

符号変換部１３では、シフトレジスタ８の各段の値により、対応するフィルタ係数の符号を非零の場合は変換なしとし、零の場合は符号変換を行う。符号変換後の各フィルタ係数の総和を算出することで、零挿入によりオーバーサンプリングされた系列に対して、デジタルフィルタ処理を行うことができる。

【００２６】

（実施の形態３）

図５は本発明の実施の形態３のデジタルフィルタ回路を示す構成図である。

【００２７】

図５において、構成要素として１は入力シンボル、８は入力シンボルを複数シンボル期間保持するシフトレジスタ、１０はタイミング生成部、１１はメモリ、１６は先読みバッファ、１７はランレングス伸長部、１２は積算部、１３は符号変換部、１４は加算部、１５は出力ろ波信号、１８はシンボルタイミング、１９はサンプルタイミングである。

30

【００２８】

次に図５を参照して以上の各構成要素よりなる本発明の実施の形態３のデジタルフィルタ回路について、以下その動作を説明する。

【００２９】

入力シンボル１は、データに対応した特定の値を有し、ここではその値を零および非零とすると、入力シンボル１はシフトレジスタ８に入力され、タイミング生成部１０の出力であるシンボルタイミング１８によりレジスタ中に取り込まれる。シフトレジスタ８中には最も新しい複数のシンボルの状態が保存されている。

40

【００３０】

メモリ１１中には、図６のように全フィルタ係数が１シンボル周期に相当するフィルタ係数群に分けられ、各々が差分を取られた後、フィルタ係数群の識別値および係数、および「零」または「非零」の差分フィルタ係数値、および「非零」以降に継続する零の継続サンプル数という形式で格納されている。急峻な遮断特性をもつデジタルフィルタの係数は一般的にその時間変化はかなり小さいため、本方式によりフィルタ係数を圧縮することができる。

【００３１】

先読みバッファ１６は、メモリ内容を先読みし、その差分フィルタ係数を出力した後、零の継続サンプル数だけ零を連続して出力することで、差分フィルタ係数を出力する。

50

【0032】

積算部12は、シンボルタイミング18により各々の係数群の先頭のフィルタ係数に初期化され、以降差分フィルタ係数を順次積算することで、差分前のフィルタ係数を出力する。

【0033】

符号変換部13では、シフトレジスタ8の各段の値により、対応するフィルタ係数の符号を非零の場合は変換なしとし、零の場合は符号変換を行う。符号変換後の各フィルタ係数の総和を算出することで、零挿入によりオーバーサンプリングされた系列に対して、デジタルフィルタ処理を行うことができる。

【0034】

10

【発明の効果】

以上の説明より明らかなように本発明によれば、簡単な回路構成またはソフト処理にて、デジタル変調部のデジタルフィルタを実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1のデジタルフィルタ回路を示す構成図

【図2】本発明の実施の形態1のデジタルフィルタ回路の格納方法を示す構成図

【図3】本発明の実施の形態2のデジタルフィルタ回路を示す構成図

【図4】本発明の実施の形態2のデジタルフィルタ回路の格納方法を示す構成図

【図5】本発明の実施の形態3のデジタルフィルタ回路を示す構成図

【図6】本発明の実施の形態3のデジタルフィルタ回路の格納方法を示す構成図

20

【図7】従来のデジタル変調部のデジタルフィルタ部を示す構成図

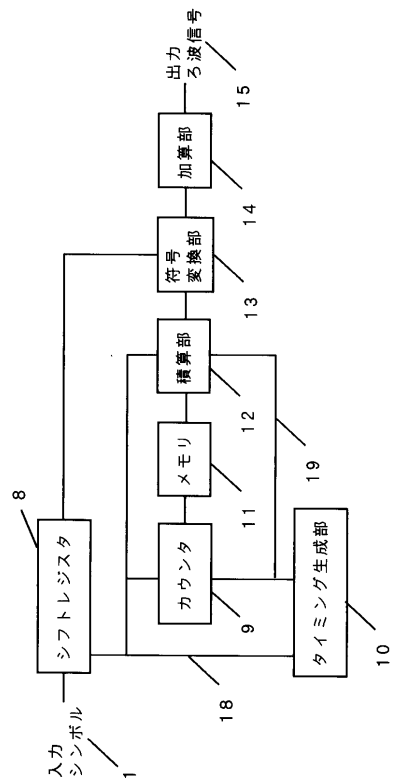
【符号の説明】

- 1 入力シンボル
- 2 初段デジタルフィルタ
- 3 次段デジタルフィルタ
- 4 終段デジタルフィルタ
- 5 局部発振器
- 6 ミキサ
- 7 出力変調信号
- 8 シフトレジスタ
- 9 カウンタ
- 10 タイミング生成部
- 11 メモリ
- 12 積算部
- 13 符号変換部
- 14 加算部
- 15 出力ろ波信号
- 16 先読みバッファ
- 17 ランレングス伸長部
- 18 シンボルタイミング
- 19 サンプルタイミング

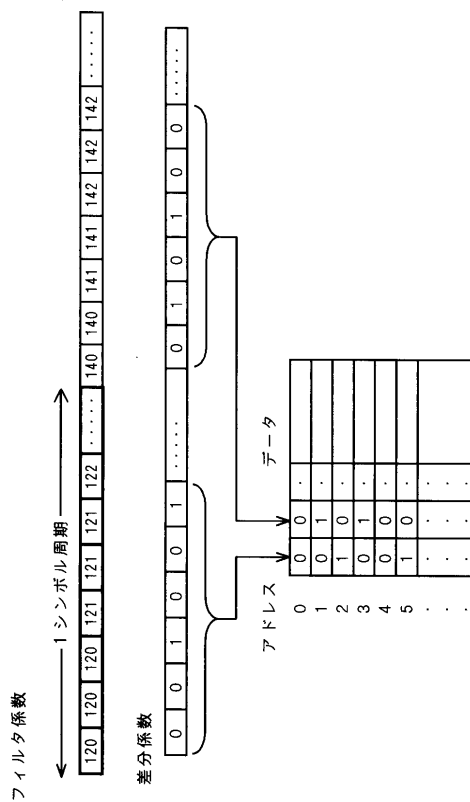
30

40

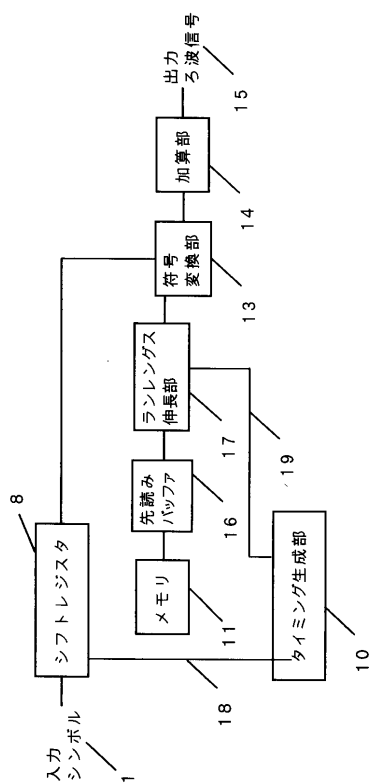
【図 1】



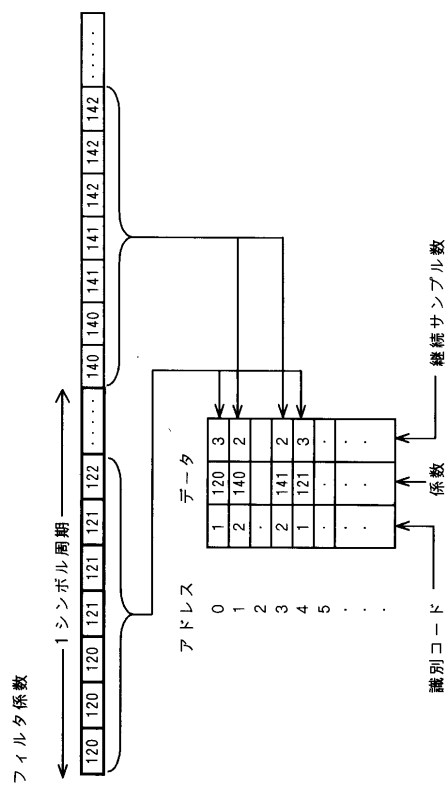
【図 2】



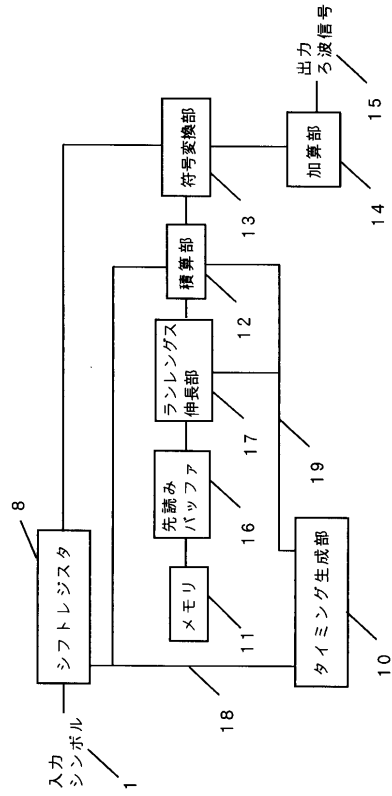
【図 3】



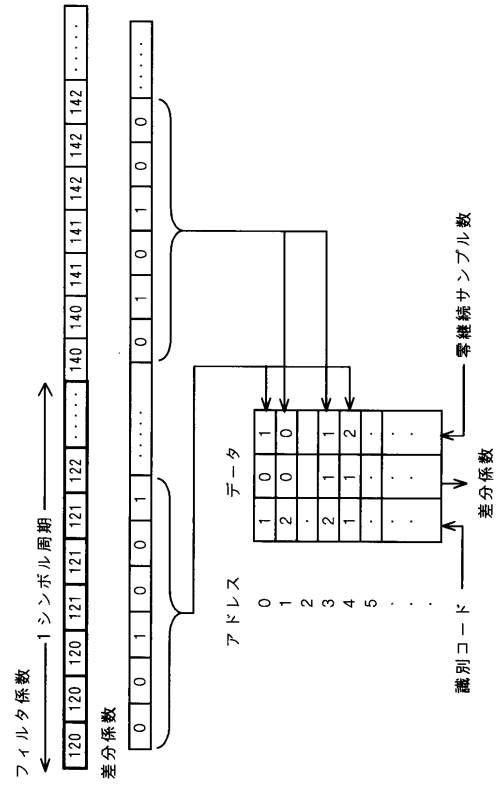
【図 4】



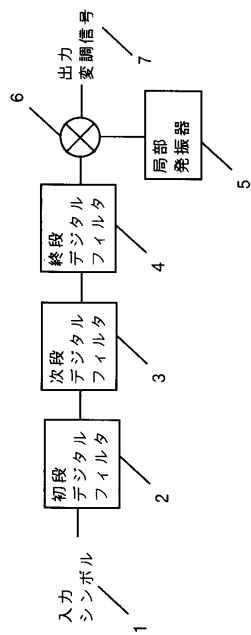
【図 5】



【图 6】



【 図 7 】



フロントページの続き

- (56)参考文献 特開平01-068115 (JP, A)
特開平06-188685 (JP, A)
特開昭62-102614 (JP, A)
特開平06-202679 (JP, A)
特開平08-294142 (JP, A)
特開平07-137341 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)

H03H 17/02 655
H03H 17/02 601
H03H 17/02 661
H04L 25/03
H04L 27/00