

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-245412

(P2010-245412A)

(43) 公開日 平成22年10月28日(2010.10.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/52 (2006.01)	HO 1 L 21/52 F	5 F 0 4 7
HO 1 L 25/065 (2006.01)	HO 1 L 25/08 Z	
HO 1 L 25/07 (2006.01)		
HO 1 L 25/18 (2006.01)		

審査請求 未請求 請求項の数 20 O L (全 19 頁)

(21) 出願番号	特願2009-94517 (P2009-94517)	(71) 出願人	302062931
(22) 出願日	平成21年4月9日 (2009.4.9)		ルネサスエレクトロニクス株式会社
		(74) 代理人	100089071
			弁理士 玉村 静世
		(72) 発明者	牧 浩
			東京都新宿区西新宿六丁目5番1号 株式
			会社ルネサス東日本セミコンダクタ内
		(72) 発明者	伊勢 誠
			東京都新宿区西新宿六丁目5番1号 株式
			会社ルネサス東日本セミコンダクタ内
		Fターム(参考)	5F047 AA17 BA33 BB03 BB18 FA14
			FA51 FA61

(54) 【発明の名称】 半導体集積回路装置の製造方法

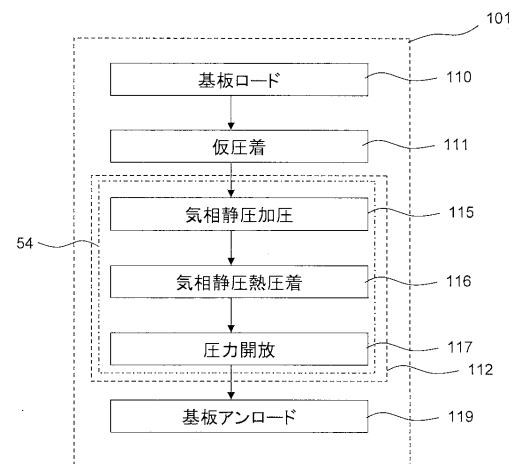
(57) 【要約】

【課題】ダイ・ボンディングの際の半導体チップの裏面には、接着剤層が設けられているが、ダイ・ボンディング工程（仮圧着）の後に、接着剤層の接着状態を確実にものとするためのラミネーション処理（本圧着）を必要とする。この際、通常は、チップの背面を上方から押圧部材で押し下げながら、熱を加えることで、接着剤の硬化を進行させる。チップの薄膜化に伴い、このような機械的な加圧方式では、積層チップのラミネーション処理においては、種々の問題があることが明らかとなった。すなわち、オーバハング状態の部分でのチップ損傷、湾曲および不均等な加圧に起因するチップの位置ずれ等である。

【解決手段】本願の一つの発明は、基板品のダイ・ボンディング工程において、回路基板上に複数の半導体チップを積層して仮圧着した後に、静的なガス圧により、ラミネーション処理を実行する。

【選択図】図2

図2



【特許請求の範囲】**【請求項 1】**

以下の工程を含む半導体集積回路装置の製造方法：

(a) 第1の主面上に複数のデバイス領域を有する回路基板を、ダイ・ボンディング装置内に、導入する工程；

(b) 前記ダイ・ボンディング装置内において、各デバイス領域に、上層の半導体チップとその裏面の接着剤層を有する複数のチップ状積層体を、相互に位置をずらせて積層するように固定する工程；

(c) 前記工程(b)の後、前記ダイ・ボンディング装置内において、各チップ状積層体を第1の温度に加熱した状態で、各チップ状積層体の露出した表面に均一な静的ガス圧を作用させる工程。

10

【請求項 2】

前記 1 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(d) 前記工程(b)の後であって、前記工程(c)の前に、前記ダイ・ボンディング装置内において、前記第1の温度よりも低い第1の温度範囲内にある状態で、各チップ状積層体の露出した表面に均一な静的ガス圧を作用させる工程。

【請求項 3】

前記 2 項の半導体集積回路装置の製造方法において、前記接着剤層は、D A F である。

【請求項 4】

20

前記 3 項の半導体集積回路装置の製造方法において、前記工程(c)は、前記複数のチップ状積層体を単一の密閉室に収容された状態で実行される。

【請求項 5】

前記 4 項の半導体集積回路装置の製造方法において、前記工程(d)は、前記複数のチップ状積層体を単一の密閉室に収容された状態で実行される。

【請求項 6】

前記 5 項の半導体集積回路装置の製造方法において、前記工程(d)は、前記工程(c)と同一の前記密閉室に収容された状態で実行される。

【請求項 7】

前記 3 項の半導体集積回路装置の製造方法において、前記工程(c)は、前記回路基板とともに、前記複数のチップ状積層体を単一の密閉室に収容された状態で実行される。

30

【請求項 8】

前記 7 項の半導体集積回路装置の製造方法において、前記工程(d)は、前記回路基板とともに、前記複数のチップ状積層体を単一の密閉室に収容された状態で実行される。

【請求項 9】

前記 8 項の半導体集積回路装置の製造方法において、前記工程(d)は、前記工程(c)と同一の前記密閉室に収容された状態で実行される。

【請求項 10】

前記 7 項の半導体集積回路装置の製造方法において、前記複数のチップ状積層体は、階段状に積層されている。

40

【請求項 11】

前記 1 項の半導体集積回路装置の製造方法において、前記静的ガス圧は、静的な空気圧である。

【請求項 12】

前記 1 項の半導体集積回路装置の製造方法において、各半導体チップの厚さは、75 マイクロ・メートル以下、5 マイクロ・メートル以上である。

【請求項 13】

前記 1 項の半導体集積回路装置の製造方法において、各半導体チップの厚さは、50 マイクロ・メートル以下、5 マイクロ・メートル以上である。

【請求項 14】

50

前記１項の半導体集積回路装置の製造方法において、各半導体チップの厚さは、３０マイクロ・メートル以下、５マイクロ・メートル以上である

【請求項１５】

前記１項の半導体集積回路装置の製造方法において、前記回路基板は、有機系回路基板である。

【請求項１６】

前記１項の半導体集積回路装置の製造方法において、前記接着剤層は、熱硬化性樹脂を主要な成分とする。

【請求項１７】

前記１２項の半導体集積回路装置の製造方法において、前記工程（ｂ）は、前記半導体チップが前記第１の温度範囲内にある状態で実行される。

10

【請求項１８】

前記１２項の半導体集積回路装置の製造方法において、前記第１の温度は、摂氏７０度から摂氏１６０度である。

【請求項１９】

前記１２項の半導体集積回路装置の製造方法において、前記第１の温度範囲は、常温から摂氏１００度である。

【請求項２０】

前記１２項の半導体集積回路装置の製造方法において、前記第１の温度範囲は、摂氏６０度から摂氏１００度である。

20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体集積回路装置（または半導体装置）の製造方法におけるダイ・ボンディング技術に適用して有効な技術に関する。

【背景技術】

【０００２】

日本特開２００９－２７０５４号公報（特許文献１）には、半導体チップのバンプ電極を有するデバイス面（表側主面）に接着フィルムがある状態で、配線基板上に、デバイス面を配線基板の主面に対向するように接着した状態で、静的なガス圧および熱を作用させて、接着フィルムを硬化させるフリップ・チップ・ボンディング法が開示されている。

30

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】特開２００９－２７０５４号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

近年、メモリ・デバイス、ＳＩＰ（System in Package）製品等の半導体デバイスでは、多層有機配線基板のデバイス搭載面上にマトリクス状にデバイス領域（単位デバイス領域）を設けている（いわゆる「基板品」である）。そして、各デバイス領域に半導体チップを、たとえば階段状に積層（たとえば２層から１６層）してダイ・ボンディングすることで、集積度を上げる方法が採用されている。

40

【０００５】

このダイ・ボンディングの際の半導体チップの裏面には、ＤＡＦ（Die Attach Film）等の接着剤層が設けられているが、先のダイ・ボンディング工程または、その後に、接着剤層の接着状態を確実なものとする必要がある。これは下層の小さなボイドが上層へ影響し大きなボイドとなり圧着不良となり、最終的にリフロー・クラックなどのなる可能性があるためである。そこでボンディングを仮圧着とし、その後、ラミネーション処理（本圧着）を行い、ボイドを抑制する必要がある。この際、通常は、チップを上

50

方から押圧部材で押し下げながら、熱を加えることで、接着剤の硬化を進行させる。

【0006】

しかし、本願発明者が検討したところによると、チップの薄膜化に伴い、このような機械的な加圧方式では、積層チップのラミネーション処理においては、種々の問題があることが明らかとなった。すなわち、オーバハング状態の部分でのチップ損傷、湾曲および不均等な加圧に起因するチップの位置ずれ等である。また、上方にチップのない下層チップでは、加圧力がうまく働かず、確実なラミネーション処理ができない等の問題もある。ボンディングのみで行う場合も同様でオーバハング状態では大きな荷重をかけられない。また、コレット吸着穴によるボイドを抑制する必要もある。

【0007】

本願発明は、これらの課題を解決するためになされたものである。

【0008】

本発明の目的は、信頼性の高い半導体集積回路装置の製造プロセスを提供することにある。

【0009】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】

すなわち、本願の一つの発明は、基板品のダイ・ボンディング工程において、回路基板上に複数の半導体チップを積層して仮圧着した後に、静的なガス圧により、ラミネーション処理を実行する。

【発明の効果】

【0012】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0013】

すなわち、基板品のダイ・ボンディング工程において、回路基板上に複数の半導体チップを積層して仮圧着した後に、静的なガス圧により、ラミネーション処理を実行するので、最上層のチップと下層のチップが相互にずらされてボンディングされている場合でも、均等に加圧することができる。

【図面の簡単な説明】

【0014】

【図1】本願の一実施の形態の半導体集積回路装置の製造方法における組み立てプロセス全体の流れを示すプロセス・ブロック・フロー図である。

【図2】本願の一実施の形態の半導体集積回路装置の製造方法の要部であるダイ・ボンディング工程の詳細を示すプロセス・ブロック・フロー図である。

【図3】本願の一実施の形態の半導体集積回路装置の製造方法に使用するダイ・ボンダの正面模式図である。

【図4】図3のダイ・ボンダのダイ・ボンディング・ヘッドの下端部に設けられた吸着コレットの構造を示す断面図である。

【図5】図3のダイ・ボンダの静圧加圧部（本熱圧着部）の側断面図である。

【図6】図3のダイ・ボンダの静圧加圧部（本熱圧着部）の静圧加圧室（ラミネーション処理室）周辺の正断面図である。

【図7】図2の本圧着処理（ラミネーション処理）のプロセス・シーケンスの一例を示す詳細プロセス・シーケンス図である。

【図8】図3のダイ・ボンダのチップ剥離部のウエハ・ステージ（チップ剥離ステージ）

10

20

30

40

50

上での剥離プロセスを示すデバイス&装置模式断面フロー図（剥離のためのコレット着地）である。

【図 9】図 3 のダイ・ボンダのチップ剥離部のウエハ・ステージ（チップ剥離ステージ）上での剥離プロセスを示すデバイス&装置模式断面フロー図（剥離完了）である。

【図 10】図 3 のダイ・ボンダの仮圧着部の仮圧着ステージ上での仮圧着プロセスを示すデバイス&装置模式断面フロー図（ダイ・ボンディングのためのコレット降下）である。

【図 11】図 3 のダイ・ボンダの仮圧着部の仮圧着ステージ上での仮圧着プロセスを示すデバイス&装置模式断面フロー図（ダイ・ボンディングのためのコレット着地）である。

【図 12】図 3 のダイ・ボンダの仮圧着部の仮圧着ステージ上での仮圧着プロセスを示す回路基板の上面図（最初のデバイス領域にチップの積層固定完了時点）である。

【図 13】図 3 のダイ・ボンダの仮圧着部の仮圧着ステージ上での仮圧着プロセスを示す回路基板の上面図（全デバイス領域にチップの積層固定完了時点）である。

【図 14】図 13 の各デバイス領域の拡大図（回路基板上のパターンは省略）である。

【図 15】図 3 のダイ・ボンダの仮圧着部の仮圧着ステージ上での仮圧着プロセスを示すデバイス&装置模式断面フロー図（第1の積層単位のチップ積層完了時点）である。

【図 16】ワイヤ・ボンダのワイヤ・ボンディング・ステージ上でのワイヤ・ボンディング・プロセスを示す図 15 に続くデバイス&装置模式断面フロー図（第1の積層単位のチップ積層後のワイヤ・ボンディング完了時点）である。

【図 17】レジン封止装置内でのレジン封止された状態を示す図 16 に続くデバイス模式断面フロー図である。

【図 18】更に多段の積層の場合における図 15 に対応するデバイス&装置模式断面フロー図（第2の積層単位のチップ積層完了時点）である。

【図 19】更に多段の積層の場合における図 16 に対応するデバイス&装置模式断面フロー図（第2の積層単位のチップ積層後のワイヤ・ボンディング完了時点）である。

【図 20】更に多段の積層の場合における図 17 に対応するデバイス模式断面フロー図（レジン封止）である。

【発明を実施するための形態】

【0015】

〔実施の形態の概要〕

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。

【0016】

1. 以下の工程を含む半導体集積回路装置の製造方法：

（a）第1の主面上に複数のデバイス領域を有する回路基板を、ダイ・ボンディング装置内に、導入する工程；

（b）前記ダイ・ボンディング装置内において、各デバイス領域に、上層の半導体チップとその裏面の接着剤層を有する複数のチップ状積層体を、相互に位置をずらせて積層するように固定する工程；

（c）前記工程（b）の後、前記ダイ・ボンディング装置内において、各チップ状積層体を第1の温度に加熱した状態で、各チップ状積層体の露出した表面に均一な静的ガス圧を作用させる工程。

【0017】

2. 前記1項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

（d）前記工程（b）の後であって、前記工程（c）の前に、前記ダイ・ボンディング装置内において、前記第1の温度よりも低い第1の温度範囲内にある状態で、各チップ状積層体の露出した表面に均一な静的ガス圧を作用させる工程。

【0018】

3. 前記1または2項の半導体集積回路装置の製造方法において、前記接着剤層は、DAFである。

【0019】

4. 前記1から3項のいずれか一つの半導体集積回路装置の製造方法において、前記工

10

20

30

40

50

程 (c) は、前記複数のチップ状積層体を単一の密閉室に收容された状態で実行される。

【 0 0 2 0 】

5 . 前記 2 から 4 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (d) は、前記複数のチップ状積層体を単一の密閉室に收容された状態で実行される。

【 0 0 2 1 】

6 . 前記 5 項の半導体集積回路装置の製造方法において、前記工程 (d) は、前記工程 (c) と同一の前記密閉室に收容された状態で実行される。

【 0 0 2 2 】

7 . 前記 1 から 3 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) は、前記回路基板とともに、前記複数のチップ状積層体を単一の密閉室に收容された状態で実行される。

10

【 0 0 2 3 】

8 . 前記 1 から 3 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (d) は、前記回路基板とともに、前記複数のチップ状積層体を単一の密閉室に收容された状態で実行される。

【 0 0 2 4 】

9 . 前記 8 項の半導体集積回路装置の製造方法において、前記工程 (d) は、前記工程 (c) と同一の前記密閉室に收容された状態で実行される。

【 0 0 2 5 】

1 0 . 前記 1 から 9 項のいずれか一つの半導体集積回路装置の製造方法において、前記複数のチップ状積層体は、階段状に積層されている。

20

【 0 0 2 6 】

1 1 . 前記 1 から 1 0 項のいずれか一つの半導体集積回路装置の製造方法において、前記静的ガス圧は、静的な空気圧である。

【 0 0 2 7 】

1 2 . 前記 1 から 1 1 項のいずれか一つの半導体集積回路装置の製造方法において、各半導体チップの厚さは、7 5 マイクロ・メートル以下、5 マイクロ・メートル以上である。

【 0 0 2 8 】

1 3 . 前記 1 から 1 1 項のいずれか一つの半導体集積回路装置の製造方法において、各半導体チップの厚さは、5 0 マイクロ・メートル以下、5 マイクロ・メートル以上である。

30

【 0 0 2 9 】

1 4 . 前記 1 から 1 1 項のいずれか一つの半導体集積回路装置の製造方法において、各半導体チップの厚さは、3 0 マイクロ・メートル以下、5 マイクロ・メートル以上である。

1 5 . 前記 1 から 1 4 項のいずれか一つの半導体集積回路装置の製造方法において、前記回路基板は、有機系回路基板である。

【 0 0 3 0 】

1 6 . 前記 1 から 1 5 項のいずれか一つの半導体集積回路装置の製造方法において、前記接着剤層は、熱硬化性樹脂を主要な成分とする。

40

【 0 0 3 1 】

1 7 . 前記 2 から 1 6 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (b) は、前記半導体チップが前記第1の温度範囲内にある状態で実行される。

【 0 0 3 2 】

1 8 . 前記 1 から 1 7 項のいずれか一つの半導体集積回路装置の製造方法において、前記第1の温度は、摂氏 7 0 度から摂氏 1 6 0 度である。

【 0 0 3 3 】

1 9 . 前記 1 から 1 8 項のいずれか一つの半導体集積回路装置の製造方法において、前記第1の温度範囲は、常温から摂氏 1 0 0 度である。

【 0 0 3 4 】

50

20. 前記1から18項のいずれか一つの半導体集積回路装置の製造方法において、前記第1の温度範囲は、摂氏60度から摂氏100度である。

【0035】

〔本願における記載形式・基本的用語・用法の説明〕

1. 本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクションに分けて記載する場合もあるが、特にそうでない旨明示した場合を除き、これらは相互に独立個のものではなく、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しを省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

10

【0036】

更に、本願において、「半導体集積回路装置」というときは、主に、各種トランジスタ（能動素子）を中心に、抵抗、コンデンサ等を半導体チップ等（たとえば単結晶シリコン基板）上に集積したものをいう。

【0037】

2. 同様に実施の態様等の記載において、材料、組成等について、「AからなるX」といっても、特にそうでない旨明示した場合および文脈から明らかに、そうでない場合を除き、A以外の要素を主要な構成要素のひとつとするものを排除するものではない。たとえば、成分についていえば、「Aを主要な成分として含むX」等の意味である。たとえば、「シリコン部材」といっても、純粋なシリコンに限定されるものではなく、SiGe合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。

20

【0038】

3. 同様に、図形、位置、属性等に関して、好適な例示をするが、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、厳密にそれに限定されるものではないことは言うまでもない。

【0039】

4. さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

30

【0040】

5. 「ウエハ」というときは、通常は半導体集積回路装置（半導体装置、電子装置も同じ）をその上に形成する単結晶シリコンウエハを指すが、エピタキシャルウエハ、SOI基板、LCDガラス基板等の絶縁基板と半導体層等の複合ウエハ等も含むことは言うまでもない。本願においては、個々のチップに分離される前のもののみでなく、ダイシング等により分離されて、ダイシング・テープ等に貼り付けられているものも、チップの集合体として、「ウエハ」と呼ぶことがある。

【0041】

6. 気圧の表示は、標準大気圧、すなわち、 $1.013 \times 10^5 \text{ Pa}$ を基準として、表示している。

40

【0042】

〔実施の形態の詳細〕

実施の形態について更に詳述する。各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【0043】

また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するために、ハッチングを付すことがある。

50

【 0 0 4 4 】

なお、ダイ・ボンディングにおけるチップの剥離、すなわち、ピックアップ工程等の詳細については、本願発明者等による日本特願第 2 0 0 8 - 2 9 9 6 4 3 号（日本出願日 2 0 0 8 年 1 1 月 2 5 日）、日本特願第 2 0 0 8 - 1 3 7 6 3 1 号（日本出願日 2 0 0 8 年 5 月 2 7 日）、日本特願第 2 0 0 8 - 0 9 9 9 6 5 号（日本出願日 2 0 0 8 年 4 月 8 日）および、この対応米国特許公開 2 0 0 8 - 0 3 1 8 3 4 6 号公報（公開日 2 0 0 8 年 1 2 月 2 5 日）に詳しく記載されているので、本願では原則として、それらの部分の説明は特に必要である場合の外は繰り返さない。

【 0 0 4 5 】

1 . 本願の一実施の形態の半導体集積回路装置の製造方法に使用するダイ・ボンダの等の説明（主に図 3 から図 6 ）

10

図 3 は、本願の一実施の形態の半導体集積回路装置の製造方法に使用するダイ・ボンダ 5 1 の正面模式図である。

【 0 0 4 6 】

まず、図 3 に基づいて、本願の一実施の形態の半導体集積回路装置の製造方法に使用するダイ・ボンダの要部の概要を説明する。図 3 に示すように、ダイ・ボンダ 5 1 （ダイ剥離 & ボンディング装置）のハウジングは、下部基体 6 3 、上部基体 6 4 、それらを繋ぐ支柱 6 5 等から構成されている。この下部基体 6 3 上のチップ剥離部 6 6 には、ウエハ・ホルダ用 X Y テーブル 6 9 が設けられており、その上には、ウエハ 1 （通常、すでに個々のチップに分割されている）を保持するウエハ・ホルダ 7 0 が載置されている。

20

【 0 0 4 7 】

一方、上部基体 6 4 の下面には、ダイ・ボンディング・ヘッド用 X Y テーブル 6 9 が設けられており、これにダイ・ボンディング・ヘッド 7 3 設置されている。また、ダイ・ボンディング・ヘッド 7 3 の下端には、半導体チップ 2 （図 4 ）を真空吸着等するための吸着コレット 7 4 （チップ保持具）が設けられている。

【 0 0 4 8 】

更に、下部基体 5 2 の上面後部には、回路基板 3 を搬送するための一対の基板搬送路 7 1 が設けられており、それらの間の仮圧着部 6 7 には、ダイ・ボンディング（仮圧着）を実行するためのダイ・ボンディング・ステージ 7 2 （仮圧着ステージ）が設けられている。

30

【 0 0 4 9 】

また、静圧加圧部（本熱圧着部）6 8 には、開閉する密閉箱である静圧加圧室（ラミネーション処理室）5 4 が設けられている。

【 0 0 5 0 】

図 4 は、図 3 のダイ・ボンダのダイ・ボンディング・ヘッドの下端部に設けられた吸着コレット 7 4 の構造を示す断面図である。図 4 に示すように、吸着コレット 7 4 は、たとえば上部の金属等からなるラバー・チップ保持部 7 6 、その下部に取り付けられたラバー・チップ 7 5 等から構成されており、それぞれの内部には、真空吸引孔 7 7 , 7 8 が設けられて、半導体チップ 2 の上面 2 a （デバイス面）を真空吸着するようになっている。このラバー・チップ 7 5 は、たとえば " S h o r e A " 硬度が、5 0 程度の熱硬化性ラバー（熱可塑性ラバー等でもよい。ただし、熱硬化性部材の方が熱の影響を受けにくい）等のエラストマを主要な構成要素とするものを例示することができる。また、硬度の好適な範囲としては、3 0 から 7 0 を例示することができる。なお、吸着コレット 7 4 は、ほぼ全体が硬質の金属等からなるものでもよい。ただし、ここの示すような、ラバー・チップ 7 5 を用いた方が、ボイド等のダイ・ボンディング特性上は一般に良好である。

40

【 0 0 5 1 】

半導体チップ 2 の下面には、接着剤層 5 、すなわち、D A F （ D i e A t t a c h F i l m ）が形成されており、半導体チップ 2 、接着剤層 5 （厚さは、たとえば 2 0 マイクロ・メートル程度）等でチップ状積層体 11 を構成している。

【 0 0 5 2 】

50

図 5 は、図 3 のダイ・ボンダの静圧加圧部（本熱圧着部）の側断面図であり、図 6 は図 3 のダイ・ボンダの静圧加圧部 6 8（本熱圧着部）の静圧加圧室 5 4（ラミネーション処理室）周辺の正断面図である。図 5 および図 6 に示すように、静圧加圧室 5 4 内には、回路基板（有機多層配線基板）3 をそのデバイス面 3 a を上に向けて保持するための回路基板ステージ 5 5 が設けられている。また、回路基板 3、より具体的には半導体チップ 2 を加熱する機構については、種々のバリエーションがあるが、速度の点では、遠赤外ヒータ 6 2 a、6 2 b のいずれかが有利である。これらの配置としては外部遠赤外ヒータ 6 2 a のように、静圧加圧室 5 4 の上面に透明窓 6 1 を設けて、外部に外部遠赤外ヒータ 6 2 a を置くやり方と、内部遠赤外ヒータ 6 2 b のように静圧加圧室 5 4 の内部に置くやり方がある。このうち、外部遠赤外ヒータ 6 2 a とする方が、降温速度の点で有利である。また、簡易なやり方としては、回路基板ステージ 5 5 の内部又は下部等にヒート・ブロック 6 2 c を置くやり方もある。

10

【0053】

静圧加圧室 5 4 は、静圧加圧室開閉機構 5 6 によって開閉して、回路基板 3 を収容・排出できるようになっており、静圧加圧室開閉機構 5 6 の内部は、加圧空気源 5 7（高圧空気源）との間につながれた空気圧調整器 5 8（必要な最大気圧を設定する）、電磁開閉弁 5 9（開閉を電氣的に制御する）、電空レギュレータ（圧力センサ付自動圧力調整電磁弁）6 0 等によって所望の気圧に設定できるようになっている。ここで、電空レギュレータ 6 0 は、その出力側の圧力センサによってオン/オフを繰り返し、動作中の静圧加圧室 5 4 内を所定の加圧状態に保持する。

20

【0054】

2. 本願の一実施の形態の半導体集積回路装置の製造方法における組立工程のアウトラインの説明（主に図 1、図 2 および図 8 から図 17）

図 8 から図 17 等示すものは、マイクロ S D の例であるが、縦が 29.1 ミリ・メートル程度、横が 19.2 ミリ・メートル程度であり、階段状に積層すると、その積層枚数に比例してチップ配置誤差が累積する傾向がある。現在の積層枚数は、16 層程度の高度積層構造も普通になっており、ダイ・ボンディングの精度向上への要求はますます高まっている。このダイ・ボンディングの位置精度の向上への要請は、マイクロ S D に限らず、MAP（Mold Array Process）等でも同様である。また、階段状積層に限らず、積層品一般に重要な課題となっている。

30

【0055】

ここでは、図 1、図 2 および図 8 から図 17 に基づいて、ダイ・ボンディング工程を含む組立工程の概要を説明する。まず、図 1 のダイ・ボンディング工程 101 を説明する。この工程は、図 3 で説明したダイ・ボンディング装置 51 内で行われる。

【0056】

先ず、図 2 に示すように、回路基板 3 をダイ・ボンディング装置 51 にロードする（基板ロード・ステップ 110）。次に、図 2 に示すように、回路基板 3 を仮圧着ステージ 7 2 上に移動させて、仮圧着処理 111 を実行する。すなわち、図 8 に示すように、ダイ・ボンディング装置 51 のチップ剥離部 66 のウエハ・ステージ（チップ剥離ステージ）70 に真空吸着されているダイシング・テープ 12 上に粘着されている複数のチップ 2 の中から目的とするチップを剥離させるために目的のチップ 2 のデバイス面 2 a に吸着コレット 74（より正確には、図 4 のラバー・チップ 75 の下面）を着地させる。なお、チップ 2 のデバイス面 2 a には、たとえば、アルミニウム系のボンディング・パッド 7 等も設けられている。

40

【0057】

次に、図 9 に示すように、吸着コレット 74 を上昇させて、チップ 2 をダイシング・テープ 12 から完全に剥離させる。より正確には、半導体チップ 2、接着剤層 5 等から構成されるチップ状積層体 11 をダイシング・テープ 12 から完全に剥離させる。

【0058】

次に、図 10 に示すように、ダイ・ボンディング・ヘッド 73（図 3）に伴って、チッ

50

ブ状積層体 11 を保持した吸着コレット 74 が仮圧着部 67 の仮圧着ステージ 72 上に置かれた配線基板 3 へ向けて降下する。配線基板 3 のデバイス面 3a 上の個々のデバイス領域 4 (単位デバイス領域) には、複数の外部リード 6 等が設けられている。なお、仮圧着ステージ 72 の下部又は内部にはヒート・ブロック 81 等の加熱機構が設けられており、常温から摂氏 160 度程度 (温度はヒート・ブロックの設定温度で表示) の範囲で加熱保持可能になっている。この仮圧着の工程では、通常、常温域 (摂氏 15 度から 35 度) から摂氏 100 度の温度範囲で実施するのが接着剤層 5 等の熱履歴の観点から望ましい。また、摂氏 100 度を超えると、汎用基板材料 (有機系回路基板の場合) であるガラス・エポキシのガラス転移温度 (摂氏 130 度程度) に近づくため、熱的歪が増大する等の問題があるからである。また、各種の接着剤材料に柔軟に対応するためには、仮圧着の温度範囲は、下限を摂氏 60 度あるいは 70 度とするのが適切である場合もある。ここでは、ヒート・ブロック 81 の設定温度をたとえば摂氏 80 度程度 (好適な範囲としては摂氏 60 度から摂氏 100 度程度) とする。もちろん、これらの問題が少ないときは、常温から摂氏 160 度程度の広い範囲で設定してもよい。

10

20

30

40

50

【0059】

次に、図 11 に示すように、ヒート・ブロック 81 によって、摂氏 80 度程度に加熱保持された仮圧着ステージ 72 上の配線基板 3 のデバイス面 3a 上にチップ状積層体 11 を保持した吸着コレット 74 が着地し、そのままボンディング荷重を一定時間保持する。ボンディング荷重は、たとえば、0.1 メガ・パスカル程度 (好適な範囲としては、0.05 から 0.2 メガ・パスカル程度) であり、保持時間 (荷重印加時間) は、たとえば 1 秒程度 (好適な範囲としては、0.05 から 2 秒程度) である。

【0060】

図 12 に示すように、このような剥離とダイ・ボンディングを繰り返して、最初のデバイス領域 4 に所定の積層枚数 (ここでは 4 枚であるが、通常、必要に応じて 2 枚から 10 枚程度の中から選択する) を積層し終わると、図 13 に示すように、別のデバイス領域 4 (通常は隣接するもの) へ移って、同様に剥離とダイ・ボンディングを繰り返して、所定の積層枚数の仮圧着を順次実行して、最終的に予定とする全デバイス領域 4 の積層仮圧着を完了する。

【0061】

図 14 は、図 13 の各デバイス領域 4 の拡大図 (回路基板上のパターンは省略) であり、図 15 は図 14 の X-X' 断面に対応する模式デバイス & 装置断面図である。第 1 の積層単位 15 に属する半導体チップ 2 (チップ状積層体 11) は階段状に積層されていることがわかる。第 1 の積層単位 15 に属する半導体チップ 2 (チップ状積層体 11) が完了すると、本圧着処理 (ラミネーション処理) 112 (図 2) に移るが、本圧着処理 (ラミネーション処理) 112 については、セクション 3 で説明するので、ここでは、その次の工程を説明する。

【0062】

本圧着処理 (ラミネーション処理) 112 が完了 (ダイ・ボンディング工程 101 が終了) すると、図 1 に示すように、配線基板 3 は、アンロードされ (図 2 の基板アンロード・ステップ 119)、ワイヤ・ボンディング装置 52 へ移送される。図 16 に示すようにワイヤ・ボンディング工程 102 が実行される。ここで、ワイヤ 8 は、たとえば、金系のボンディング・ワイヤである。なお、銅系またはアルミニウム系のボンディング・ワイヤであってもよい。

【0063】

ワイヤ・ボンディング工程 102 が完了すると、図 1 に示すように、配線基板 3 は、レジジン封止装置 53 へ移送され、図 17 に示すように封止工程 103 が実行される。ここで、レジジン封止体 (封止レジジン部) 9 は、たとえばエポキシ系レジンを主要な成分の一つとして含む。

【0064】

3. 本願の一実施の形態の半導体集積回路装置の製造方法の要部であるダイ・ボンデ

イング工程の詳細説明（主に図 1、図 2、図 3、図 5 から図 7、図 15 および図 18）

図 2 は本願の一実施の形態の半導体集積回路装置の製造方法の要部であるダイ・ボンディング工程の詳細を示すプロセス・ブロック・フロー図である。図 7 は図 2 の本圧着処理（ラミネーション処理）のプロセス・シーケンスの一例を示す詳細プロセス・シーケンス図である。このセクションでは、セクション 2 で説明した図 1 のダイ・ボンディング工程 101 内の本圧着処理（ラミネーション処理）112（図 2）を説明する。

【0065】

図 2、図 5、図 6（ここでは、加熱機構として外部遠赤外線ヒータ 62a とヒート・ブロック 62c のみがある場合について説明する）および図 7 に示すように、仮圧着処理 111 が完了すると、時間 t_1 において、静圧加圧室 54 が開いて、回路基板 3 をその回路基板ステージ 55 上に受け入れて、静圧加圧室 54 が閉鎖される。この t_1 から t_2 までの時間は、たとえば、5 秒程度である。

10

【0066】

次に、時間 t_2 において、静圧加圧室 54 の加圧がオン状態となり、その状態を時間 t_3 まで保持する（気相静圧加圧ステップ 115）。このときの回路基板ステージ 55 の設定温度（気相静圧加圧温度 T_2 または本熱圧着前処理温度）は、たとえば、常温（摂氏 25 度程度）とする。この t_2 から t_3 までの時間は、たとえば、2 秒程度（好適な範囲としては、1 秒から 10 秒程度を例示することができる）である。なお、加圧がオン状態の静圧加圧室 54 内の気圧（以下のオン状態も同じ）は、たとえば、0.2 メガ・パスカル程度である。好適な範囲としては、0.05 メガ・パスカルから 0.6 メガ・パスカル程度を例示することができる。なお、気相静圧加圧温度 T_2 は、接着剤層 5 の熱履歴の観点からは、常温領域、すなわち、摂氏 15 度から 35 度程度が望ましいが、一般に、多用な接着剤に対応するためには、摂氏 60 度または摂氏 70 度から 100 度程度の第 1 の温度範囲 R_1 （比較的高温範囲）で行うのが好適である。従って、接着剤の特性が十分考慮されている場合の気相静圧加圧温度 T_2 として適用可能な第 1 の温度範囲 R_1 としては、摂氏 15 度から 100 度程度を例示することができる。

20

【0067】

次に時間 t_3 において、外部遠赤外線ヒータ 62a がオン状態となり、回路基板 3 上の各半導体チップ 2 の昇温を開始させ、時間 t_4 において第 1 の温度 T_1 （ラミネーション温度または本圧着温度）まで到達させる。この t_3 から t_4 までの時間は、たとえば、5 秒程度である。ラミネーション温度は、たとえば、摂氏 150 度程度である。好適な範囲としては、摂氏 70 度から摂氏 160 度程度を例示することができる。

30

【0068】

次に、その状態を時間 t_5 まで維持する（気相静圧熱圧着ステップ 116）。この t_4 から t_5 までの時間（本熱圧着処理時間）は、たとえば、8 秒程度である。この本熱圧着処理時間の好適な範囲としては、2 秒から 60 秒程度を例示することができる。

【0069】

次に、時間 t_5 において、外部遠赤外線ヒータ 62a がオフとなり、各半導体チップ 2 の降温が開始され、時間 t_6 において、気相静圧加圧温度（本熱圧着前処理温度） T_2 と同様な温度まで低下する。この t_5 から t_6 までの時間は、たとえば、3 秒程度である。

40

【0070】

そして、ほぼ同時に時間 t_6 において、静圧加圧室 54 の加圧がオフ状態（常圧）となり（圧力開放 117）、時間 t_7 において、静圧加圧室 54 が開き、回路基板 3 を静圧加圧室 54 外に放出開始する。この t_6 から t_7 までの時間は、たとえば、2 秒程度である。

【0071】

次に、時間 t_8 において、静圧加圧室 54 外への回路基板 3 の取り出しを完了する。この t_7 から t_8 までの時間は、たとえば、5 秒程度である。

【0072】

このような気相静圧熱圧着ステップ 116（図 2）を含むダイ・ボンディング方法によ

50

ると、図 15 や図 18 のように、チップ 2 がオーバハングになっている部分にも上下からほぼ同一の均一な圧力が作用するので、湾曲やわれが発生しない。また、チップが階段状になって、上方に他のチップがない部分にも上方からほぼ同一の均一な圧力が作用するので、これらの部分においても、均一な接着が行われる。また、機械的な押圧では、容易に水平方向のずれ力が作用する結果、チップの水平ずれが発生する恐れがあるが、この場合は、水平方向の圧力はチップ 2 (チップ状積層体 11) の前後左右でつりあっているので、水平方向の位置ずれが発生することがない。

【0073】

また、図 2 および図 7 に示すように、気相静圧熱圧着処理 116 の前に、気相静圧加圧処理 115 (本熱圧着前処理)を実施すると、気相静圧加圧処理 115 によって接着剤層 5 内部および接着剤層 5 と被接着面間の空気層や気泡等を十分に排除した後に、気相静圧熱圧着処理 116 において接着剤層 5 の硬化を進行させることができるので (接着剤層 5 が熱硬化性樹脂を主要な成分とする場合)、ボイド等のない強固なダイ・ボンディングを実現することができる。このように気相静圧加圧処理 115 は、必須ではないが、付加すると、ダイ・ボンディング特性の向上に寄与する。また、気相静圧加圧処理 115 は、独立のステップとする必要はなく、図 7 の昇温ステップ (t3 から t4) と一体のものとして、導入してもよい。

【0074】

図 2 および図 15 に示すように、仮圧着処理のみによる比較的弱い接着状態の多重積層チップであっても、本圧着処理 112 (ラミネーション処理)を気相静圧加圧処理 (又はこれに加熱を付加)で実行するので、比較的不安定な構造であっても、チップ面積や具体的な積層構造に依存しない均一な加圧が可能となる。

【0075】

また、本圧着処理 112 (ラミネーション処理)を一括で実行できるので、機械的に一区画ずつ、または、数区画ずつ本圧着処理 112 (ラミネーション処理)を実行するのに比べて、スループットを大幅に改善することができる。

【0076】

なお、このような本圧着処理 112 (ラミネーション処理)を気相静圧加圧処理 (又はこれに加熱を付加)で実行する方法は、薄膜チップ、すなわち、チップの厚さが 75 マイクロ・メートル以下の場合に有効である。また、チップの厚さが 50 マイクロ・メートル以下の場合には、特に有効であり、更に、チップの厚さが 30 マイクロ・メートル以下の場合には、信頼性を確保する上で特に有効である。なお、チップの厚さの下限は、デバイスの種類にも依存するが、通常集積回路であれば、5 マイクロ・メートルと考えられる。

【0077】

4. 本願の一実施の形態の半導体集積回路装置の製造方法において、更なる多重積層の場合の一例を示す組立工程のアウトラインの説明 (主に図 18 から図 20)

このセクションでは、セクション 2 で説明した組立工程において、積層枚数が更に多い場合の処理手順の一例について説明する。積層枚数が更に多い場合には、図 16 のように、ワイヤ・ボンディング工程 102 が完了した時点 (図 1 のダイ・ボンディング工程 101 およびワイヤ・ボンディング工程 102 を合わせてボンディング工程 104 とすると、ボンディング工程 104 の終了時点)で、再び、同一の又は同様な別のダイ・ボンディング装置 51 へ回路基板 3 を戻して、ダイ・ボンディング工程 101 を実行する。すなわち、たとえば、図 18 に示すように、第 1 の積層単位 15 に属する最上位置の半導体チップ 2 (最上位置のチップ状積層体 11) 上に、チップ 2 の配向を反転して、第 2 の積層単位 16 に属する所定枚数 (ここでは、第 1 の積層単位 15 の枚数と同じ)の半導体チップ 2 を先の第 1 の積層単位 15 の半導体チップ 2 (チップ状積層体 11)と同様に、ダイ・ボンディング工程 101 (仮圧着および本圧着)を実行する。

【0078】

次に図 19 に示すように、回路基板 3 を、先と同一の又は同様な別のワイヤ・ボンディ

10

20

30

40

50

ング装置 5 2 に移送して、ワイヤ・ボンディング工程 1 0 2 を実行する。すなわち、必要があれば、このボンディング工程 1 0 4 を繰り返して、必要な全ての半導体チップ 2 (チップ状積層体 1 1) をジグザグ階段状に積層ダイ・ボンディングする。その後、図 2 0 に示すように、レジン封止工程 1 0 3 を実行する。

【 0 0 7 9 】

5 . サマリ

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 0 8 0 】

10

例えば、前記実施の形態では、階段状にチップを積層する場合を例にとり具体的に説明したが、本願発明は、それに限定されるものではなく、その他の積層方法の場合にも適用できることは言うまでもない。

【符号の説明】

【 0 0 8 1 】

- 1 半導体ウエハ
- 2 半導体チップ
- 2 a 半導体チップのデバイス面
- 3 回路基板 (有機多層配線基板)
- 3 a 回路基板のデバイス取り付け面 (第1の主面)
- 4 デバイス領域
- 5 接着剤層
- 6 外部リード
- 7 ボンディング・パッド
- 8 ボンディング・ワイヤ
- 9 レジン封止体 (封止レジン部)
- 1 1 チップ状積層体
- 1 2 ダイシング・テープ
- 1 5 第1の積層単位
- 1 6 第2の積層単位
- 5 1 ダイ・ボンディング装置
- 5 2 ワイヤ・ボンディング装置
- 5 3 レジン封止装置
- 5 4 静圧加圧室 (ラミネーション処理室)
- 5 5 静圧加圧室の回路基板ステージ
- 5 6 静圧加圧室開閉機構
- 5 7 加圧空気源
- 5 8 空気圧調整器
- 5 9 電磁開閉弁
- 6 0 電空レギュレータ (圧力センサ付自動圧力調整電磁弁)
- 6 1 透明窓
- 6 2 a 外部遠赤外線ヒータ
- 6 2 b 内部遠赤外線ヒータ
- 6 2 c 静圧加圧室のヒート・ブロック (セラミック・ヒータ)
- 6 3 下部基台
- 6 4 上部保持体 (上部基体)
- 6 5 支柱
- 6 6 チップ剥離部
- 6 7 仮圧着部
- 6 8 静圧加圧部 (本熱圧着部)

20

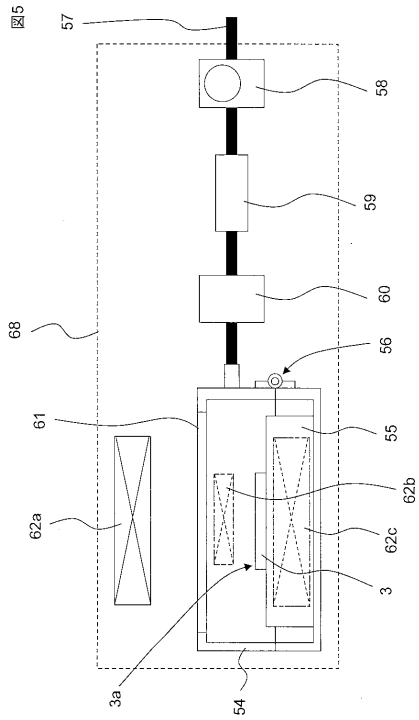
30

40

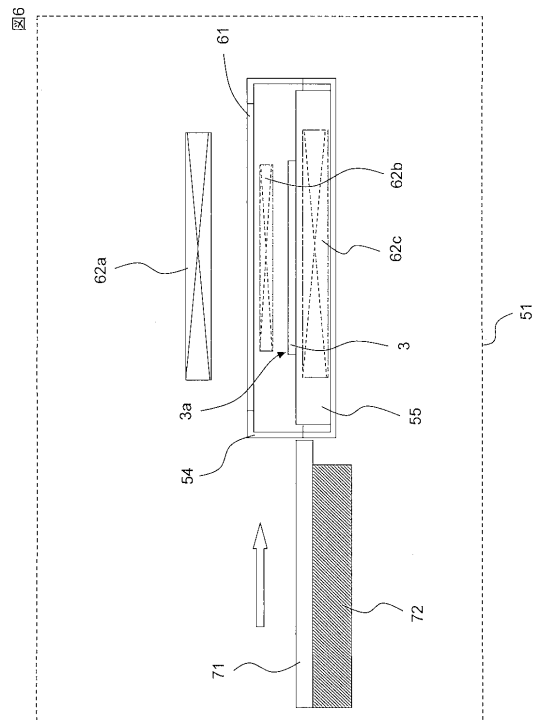
50

6 9	X Y テーブル	
7 0	ウエハ・ステージ (チップ剥離ステージ)	
7 1	基板搬送路	
7 2	仮圧着ステージ	
7 3	ダイ・ボンディング・ヘッド	
7 4	吸着コレット	
7 5	ラバー・チップ	
7 6	ラバー・チップ保持部	
7 7、7 8	真空吸引孔	
8 1	仮圧着ステージのヒートブロック	10
9 1	ワイヤ・ボンディング・ステージ	
1 0 1	ダイ・ボンディング工程	
1 0 2	ワイヤ・ボンディング工程	
1 0 3	封止工程	
1 0 4	ボンディング工程	
1 1 0	基板ロード	
1 1 1	仮圧着処理	
1 1 2	本圧着処理 (ラミネーション処理)	
1 1 5	気相静圧加圧 (本熱圧着前処理)	
1 1 6	気相静圧熱圧着	20
1 1 7	圧力開放	
1 1 9	基板アンロード	
R 1 , R 1 '	第1の温度範囲	
R 2	本熱圧着温度範囲	
R 3	常温領域 (室温範囲)	
t 1	基板ロード開始時間	
T 1	第1の温度 (ラミネーション温度)	
t 2	加圧開始時間	
T 2	気相静圧加圧温度 (本熱圧着前処理温度)	
t 3	昇温開始時間	30
t 4	高温到達時間	
t 5	降温開始時間	
t 6	減圧開始時間	
t 7	基板アンロード開始時間	
t 8	基板アンロード終了時間	

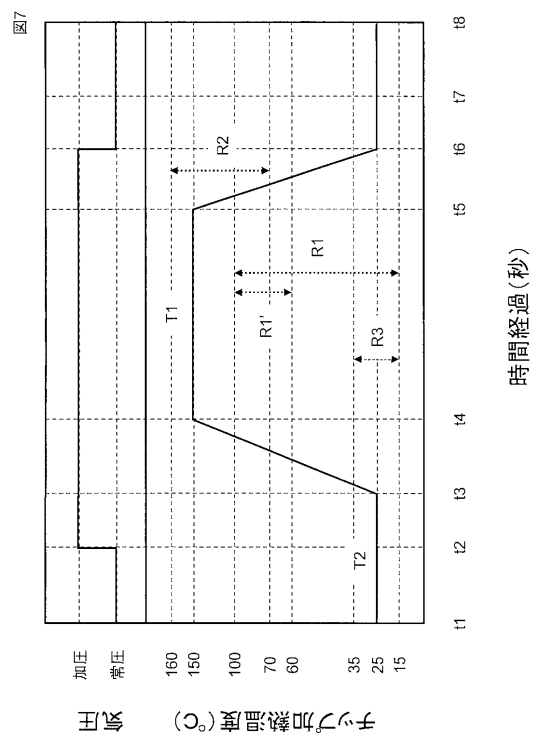
【図 5】



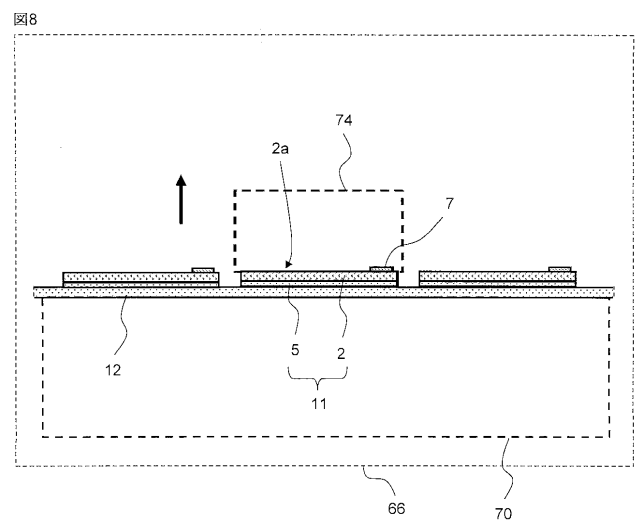
【図 6】



【図 7】

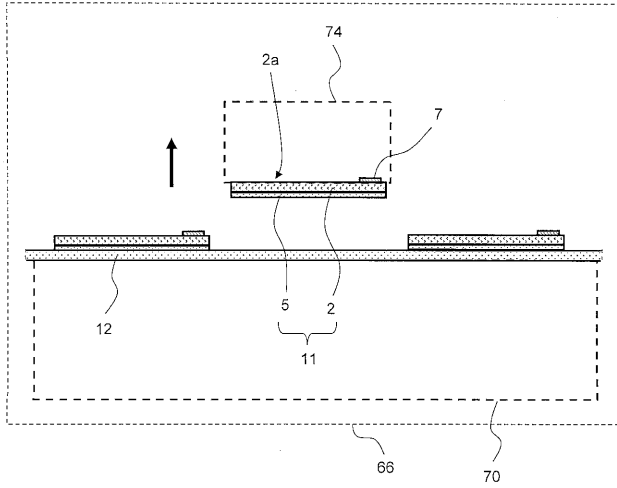


【図 8】



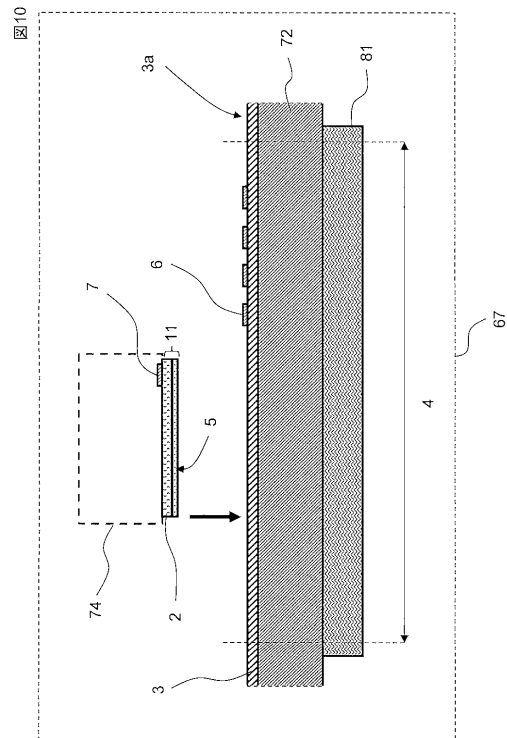
【図 9】

図9



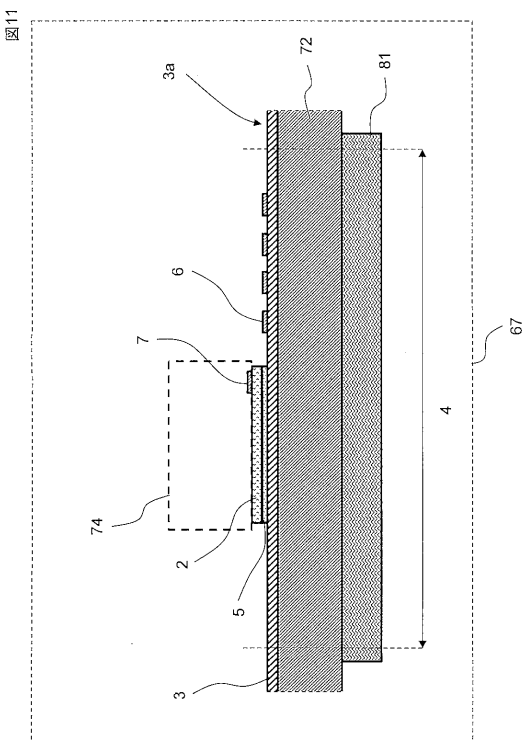
【図 10】

図10



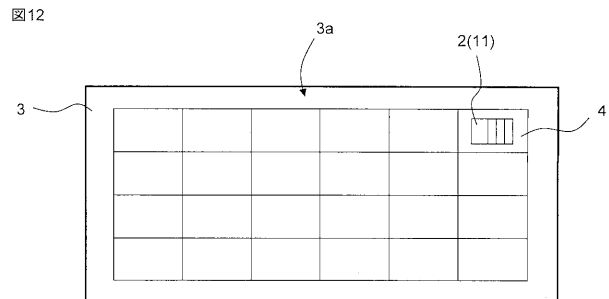
【図 11】

図11



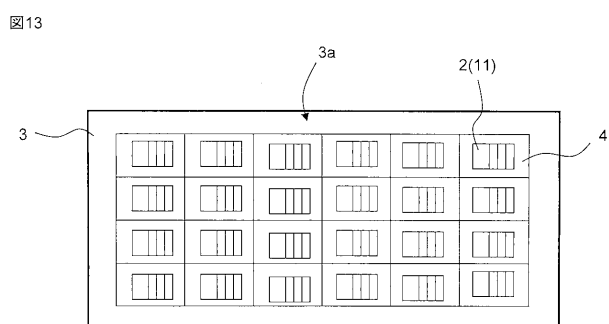
【図 12】

図12

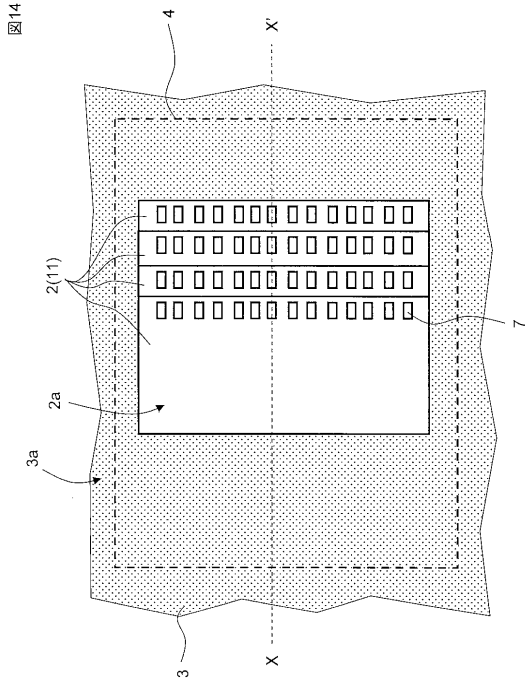


【図 13】

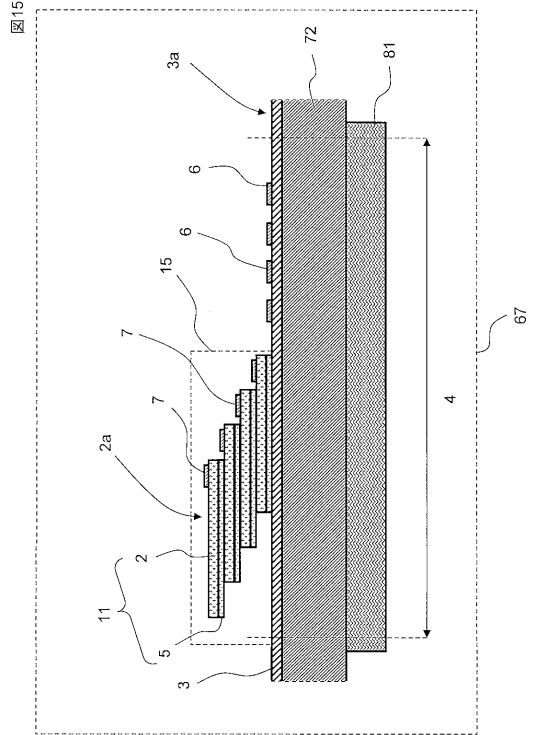
図13



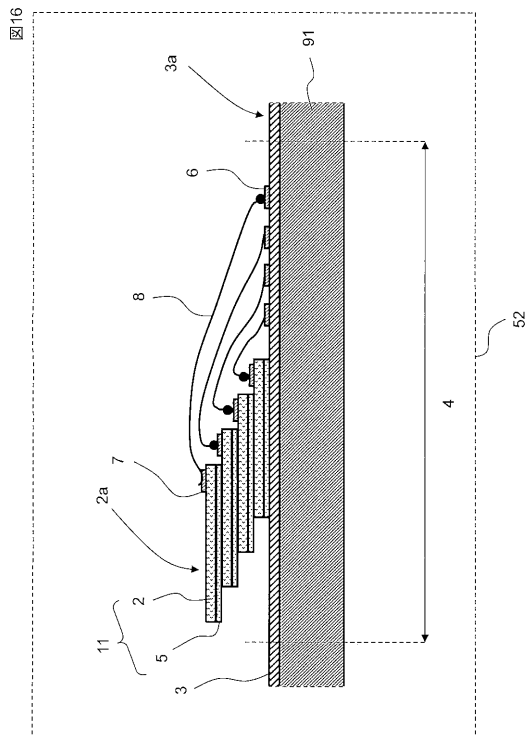
【図 14】



【図 15】



【図 16】



【図 17】

