



(12) 发明专利

(10) 授权公告号 CN 102110462 B

(45) 授权公告日 2015. 09. 30

(21) 申请号 200910262645. 1

审查员 梁岩

(22) 申请日 2009. 12. 25

(73) 专利权人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路 16 号

(72) 发明人 洪俊雄 张坤龙 谢明志

(74) 专利代理机构 中科专利商标代理有限责任  
公司 11021

代理人 梁爱荣

(51) Int. Cl.

G11C 7/10(2006. 01)

G06F 12/02(2006. 01)

(56) 对比文件

US 2007/0091679 A1, 2007. 04. 26, 说明书第 22 段第 3 行 - 第 271 段第 5 行, 附图 2-3.

US 2007/0091679 A1, 2007. 04. 26, 说明书第 22 段第 3 行 - 第 271 段第 5 行, 附图 2-3.

US 5276873 A, 1994. 01. 04, 全文.

CN 1427350 A, 2003. 07. 02, 全文.

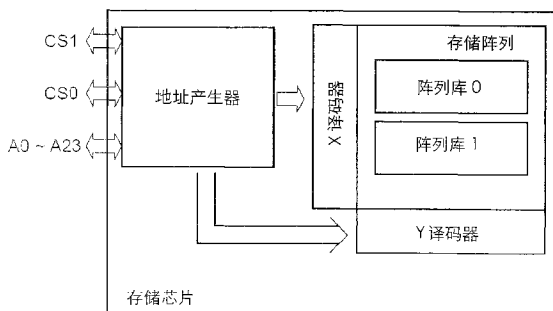
权利要求书1页 说明书4页 附图6页

(54) 发明名称

寻址一存储集成电路的方法与装置

(57) 摘要

本发明公开一种存储集成电路, 其具有控制电路存取该存储集成电路中的存储单元。该控制电路是响应指令, 该指令包括一第一命令以指示地址位的一较高部分。一第二命令以指示地址位的一较低部分。该地址位的该较高部分及该较低部分构成该存储集成电路的一完整存取地址, 其中该第一命令及该第二命令具有不同的命令码。



1. 一种存储集成电路,其特征在于,包含:

控制电路存取该存储集成电路中的存储单元,该控制电路为响应指令,该指令包括:

一第一命令以指示地址位的一较高部分,其中该地址位的该较高部分区分该存储集成电路中的一第一多个存储单元与一第二多个存储单元;以及

一第二命令以指示地址位的一较低部分,该地址位的该较高部分及该较低部分构成该存储集成电路的一完整存取地址,其中该第一命令及该第二命令具有不同的命令码。

2. 如权利要求 1 所述的存储集成电路,其特征在于,该存储集成电路包含额外的多个存储单元,每个存储单元具有一个额外的存储位置,其中该地址位的该较低部分在该额外的多个存储单元中,从多个额外的存储位置中区分出一特定的存储位置。

3. 如权利要求 1 所述的存储集成电路,其特征在于,该存储集成电路包含额外的多个存储单元,每个存储单元具有一个额外的存储位置,其中该地址位的该较低部分在该额外的多个存储单元中,从多个额外的存储位置中区分出一特定的存储位置,及

其中该地址位的该较高部分是自该第一多个存储单元、该第二多个存储单元与该额外的多个存储单元之中作出区分。

4. 如权利要求 1 所述的存储集成电路,其特征在于,该第一命令中的该地址位的该较高部分对该第一命令后的存储存取指令区分是对该存储集成电路中的一第一多个存储单元或一第二多个存储单元做存取动作。

5. 如权利要求 1 所述的存储集成电路,其特征在于,该存储集成电路是一串行快闪存储集成电路。

6. 一种存取一存储集成电路的方法,其特征在于,该方法包含:

一第一命令与该存储集成电路沟通并且指示地址位的一较高部分,其中该地址位的该较高部分区分该存储集成电路中的一第一多个存储单元与一第二多个存储单元;

一第二命令与该存储集成电路沟通并且指示地址位的一较低部分,该地址位的该较高部分及该较低部分构成该存储集成电路的一完整存取地址,其中该第一命令及该第二命令具有不同的命令码。

7. 如权利要求 6 所述的方法,其特征在于,该存储集成电路包含额外的多个存储单元,每个存储单元具有一个额外的存储位置,其中该地址位的该较低部分在该额外的多个存储单元中,从多个额外的存储位置中区分出一特定的存储位置。

8. 如权利要求 6 所述的方法,其特征在于,该存储集成电路包含额外的多个存储单元,每个存储单元具有一个额外的存储位置,其中该地址位的该较低部分在该额外的多个存储单元中,从多个额外的存储位置中区分出一特定的存储位置,及

其中该地址位的该较高部分是自该第一多个存储单元、该第二多个存储单元与该额外的多个存储单元之中作出区分。

## 寻址一存储集成电路的方法与装置

### 技术领域

[0001] 本发明关于集成电路中寻址例如是串行闪存的存储的技术。

### 背景技术

[0002] 串行快闪是闪存的一种型态,其具有一串行标准接口例如是串行外围接口(SPI)。系列数据传输的进行是根据串行接口标准。如此的串行装置相较于具有相仿存储容量的一平行装置需要较少的外部接脚。举例而言,与一24位存储地址沟通以指定一128百万位中的8位字符的约一千六百万个存储位置,符合串行外围接口(SPI)的串行闪存串行地通过一输出接脚来传输此24位存储地址,而不是平行地通过24个输入接脚。

[0003] 传统的串行快闪使用24位地址串流通过输入接脚以存取最大可达128百万位的存储空间。因为地址位的数目限制了可寻址的存储空间,当每一个可寻址位置储存了一个8位字符,此24位的地址限制了储存空间最大仅可达128百万位,限制了潜在的应用。

[0004] 然而,并不鼓励修改一存储装置以扩充可寻址存储空间的范围,因为如此的修改会违反一存储装置与现行串行标准接口标准例如是串行外围接口(SPI)的兼容性,或是与一现存产品所使用的指令集无法兼容,会造成现存熟悉共通标准或是现存指令集的使用者的负担。

### 发明内容

[0005] 提供一种集成电路存储,例如串行快闪,新的接口,具有较传统的串行快闪的128百万位存储空间更多的存取存储空间能力,而仍维持与现存串行快闪接口的串行外围接口(SPI)兼容的能力。

[0006] 本发明的实施例应用了许多不同的存储地址接口以供高密度存储,例如串行闪存使用。维持与现存较低容量存储单元标准接口兼容的能力,而同时超过现今串行闪存使用单一输入接脚的寻址容量的限制。

[0007] 本发明的一目的为提供一种存储集成电路,其具有控制电路存取该存储集成电路中的存储单元。该控制电路为响应指令,该指令包括一第一命令以指示地址位的一较高部分。一第二命令以指示地址位的一较低部分。该地址位的该较高部分及该较低部分构成该存储集成电路的一完整存取地址,其中该第一命令及该第二命令具有不同的命令码

[0008] 本发明的另一目的为提供一种存取一存储集成电路的方法,包含下列步骤:

[0009] 与该存储集成电路沟通并且指示地址位的一较高部分的一第一命令。

[0010] 与该存储集成电路沟通并且指示地址位的一较低部分的一第二命令,该地址位的该较高部分及该较低部分构成该存储集成电路的一完整存取地址,其中该第一命令及该第二命令具有不同的命令码。

[0011] 其它不同的实施例则描述如下。

### 附图说明

[0012] 本发明由权利要求所界定。这些和其它目的,特征,和实施例,会在下列实施方式的章节中搭配图式被描述,其中:

[0013] 图 1A 显示一存储指令其具有一存储存取操作码和 3 字节的地址。

[0014] 图 1B 显示一存储指令其具有一存储存取操作码和 4 字节的地址。

[0015] 图 2A 显示一存储指令其具有一存储存取操作码指定单一字符存取,和 3 字节的地址指定此单一字符存取的地址,消除了在其它情况下沟通必须使用的 3 个潜在的地址位。

[0016] 图 2B 显示一存储指令其具有一存储存取操作码指定双字符存取,和 3 字节的地址指定此双字符存取的地址,消除了在其它情况下沟通必须使用的 4 个潜在的地址位。

[0017] 图 2C 显示一存储指令其具有一存储存取操作码指定四字符存取,和 3 字节的地址指定此四字符存取的地址,消除了在其它情况下沟通必须使用的 5 个潜在的地址位。

[0018] 图 3A 显示一存储指令其具有一存储存取操作码以指定一较高存储地址,和一单一字节地址及两个不重要的字节以指定一完整存储地址的此较高存储地址部份。

[0019] 图 3B 显示一存储指令其具有一存储存取操作码以指定一较低存储地址,和一三字节地址以指定一完整存储地址的此较低存储地址部份。

[0020] 图 4 显示一存储芯片的方块示意图,其具有一地址译码器及一存储芯片外编码器,如此存储芯片外编码器将存储地址编码成一较短的地址表示,且存储芯片内译码器将此较短的地址表示利用通用存储芯片内操作重新恢复成较长的地址表示。

[0021] 图 5A 显示一存储芯片的方块示意图,其具有多重存储阵列库,一组与较低存储地址串行通讯的接脚,及另一组与较高存储地址通讯的接脚。

[0022] 图 5B 显示一范例表其将图 5A 中的此组与较高存储地址通讯的接脚译码,具有许多不同的较高存储地址功能。

[0023] 图 6 显示一存储芯片的方块示意图,其具有多重存储阵列库,一组与较低存储地址串行通讯的接脚,及另一组与较高存储地址通讯的接脚。

[0024] 图 7 为可应用本发明包含具有此处所描述的具有多重存储库的集成电路的简要方块示意图,其具有改良的寻址机制。

[0025] **【主要元件符号说明】**

[0026] 750 集成电路

[0027] 700 存储阵列

[0028] 701 字符线(列)译码器及字符线驱动器

[0029] 702 字符线

[0030] 703 行译码器

[0031] 704 位线

[0032] 705、707 总线

[0033] 706 感应放大器与数据输入结构

[0034] 711 数据输入线

[0035] 715 数据输出线

[0036] 708 偏压调整供应电压

[0037] 709 编程、抹除及读取偏压调整状态机构

## 具体实施方式

[0038] 图 1A 显示一存储指令其具有一存储存取操作码和 3 字节的地址。图 1A 显示例如是串行闪存的存储的一基本命令及地址输入顺序。于此操作码之后,此地址位依序自 A23 到 A0 输入其代表一字节 ( $2^3$  字符) 数据的  $2^{24}$  个地址,以代表总共 16 百万位的存储存储空间。因此,对一存储容量大于 16 百万位的存储,此地址提取频率是不够的,且需要更多的地址提取频率才能处理较高的地址。

[0039] 图 1B 显示一存储指令其具有一存储存取操作码和 4 字节的地址。图 1B 显示例如是串行闪存的存储的另一种基本命令及地址输入顺序。在图 1B 中具有一额外的字节,其为地址位 A31 到 A24。虽然图 1B 中的存储指令包含更多的地址位,且可以较图 1A 中的存储指令具有更大的存储容量。然而,图 1B 中此额外的字节改变了命令的持续时间及时序。若是没有修改的话,使用图 1A 中指令的应用程序就不能使用图 1B 中的指令。

[0040] 图 2A 显示一存储指令其具有一存储存取操作码指定单一字符存取,和 1 位的地址指定两字节的数据 (单一字符)。因为一整个字符是根据此地址进行存取,1 个潜在的地址自此地址中消除,减少了地址输入频率及地址提取频率。

[0041] 图 2B 显示一存储指令其具有一存储存取操作码指定双字符存取,和 2 地址位指定四字节的数据 (双字符)。相较于图 2A 的单一字符存取,1 个潜在的地址自此地址中消除,减少了地址输入频率及地址提取频率,一个额外的第 2 位也被消除,因为此为双字符存取而不是单一字符存取。

[0042] 图 2C 显示一存储指令其具有一存储存取操作码指定四字符存取,和 3 地址位指定此四字符的地址。相较于图 2A 的,1 个潜在的地址自此地址中消除,减少了地址输入频率及地址提取频率,额外的第 2 和第 3 位也被消除,因为此为四字符存取而不是单一字符存取。

[0043] 图 3A 显示一存储指令其具有一存储存取操作码以指定一较高存储地址,和一单一字节地址及两个不重要的字节以指定一完整存储地址的此较高存储地址部份。

[0044] 与图 1B 相反,其修改了此存储存取命令以指定更多的地址位,图 3A 具有一完全分离的指令其具有一可区别的较高存储存取操作码及一较高地址,以超越标准地址输入空间。因此,使用者发出两个完整输入命令以完整地指定一存储地址,及存取存储阵列。此较高地址命令和较低地址命令具有不同的命令码以指示较高地址和较低地址。然而,后续的存取可以假设先前较高地址指令的较高地址仍维持有效,以减少未来具有相同的较高地址的存储存取输入命令的数目至一个输入命令。

[0045] 图 3B 显示一存储指令具有一存储存取操作码以指定一较低存储地址,及一 3 字节地址以指定一存储地址的较低存储地址部份。虽然图 3B 与图 1A 类似,但是图 1A 中的存储存取指令并不依赖一可区别的较高存储地址指令。不同的是,图 3B 中的存储存取指令会依赖图 3A 中的较高存储地址指令。

[0046] 图 4 显示一存储芯片的方块示意图,其具有一地址译码器及一存储芯片外编码器,如此存储芯片外编码器将存储地址编码成一较短的地址表示,且存储芯片内译码器将此较短的地址表示利用通用存储芯片内操作重新恢复成较长的地址表示。

[0047] 图 4 中的硬件实施在串行输入存储芯片的前将地址信息编码。此硬件编码器根据此编码器的特定压缩算法将地址信息编码成具有 X 位长度。因为此编码器的地址信息编码的 X 位长度小于未编码前的地址,需要较少的地址提取频率。于此地址提取频率,存储芯片

的内部地址产生器将此编码过的地址译码且将此译码后的地址送至地址缓冲器及计数器中以供芯片内部操作使用。

[0048] 图 5A 显示一存储芯片的方块示意图,其具有多重存储阵列库,一组与较低存储地址串行通讯的接脚,及另一组与较高存储地址通讯的接脚。图 5B 显示一范例表其将图 5A 中的此组与较高存储地址通讯的接脚译码,具有许多不同的较高存储地址功能。

[0049] 图 5A 和图 5B 是一利用更一般的通讯地址技术的范例,其利用未使用的输入接脚、输出接脚或是输入 / 输出 (I/O) 接脚以指示存储地址。CS0 和 CS1 表示阵列库 0 和阵列库 1 的选取输入接脚。此两个阵列库可以被连续地存取,如此于到达阵列库 0 的最后地址后,此内部地址计数器跳至下一读取频率的阵列库 1 的第一地址,且随后在阵列库 0 与阵列库 1 之间或是在包含阵列库 0 与阵列库 1 的整个阵列之间循环,根据图 5B 中的 CS[1:0] 选取接脚组合的设定而定。

[0050] 图 6 显示另一种方法来寻址许多高于 A23 的地址位会被初始设为“0”假如且仅在使用者尝试存取此阵列库 0 的第一个 128Mb 区域 (A24 = 0)。之后,此芯片会在第一个 128Mb 阵列边界到达后依序计数下一地址 (A24 = 1)。

[0051] 图 7 为可应用本发明包含具有此处所描述的具有多重存储库的集成电路的简要方块示意图,其具有改良的寻址机制。

[0052] 图 7 是包含一存储阵列 700 的集成电路 750 的简要方块示意图。一字符线 (或列) 及区块选取译码器 701 耦接至,且与其有着电性沟通,多条字符线 702 及字符串选择线,其间沿着存储阵列 700 的列方向排列。一位线 (行) 译码器及驱动器 703 耦接至多条沿着存储阵列 700 的行排列的位线 704,且与其有着电性沟通,以自读取数据,或是写入数据至,存储阵列 700 的存储单元中。地址是通过总线 705 提供至字符线译码器及驱动器 701 及位线译码器 703。方块 706 中的感应放大器与数据输入结构,包含作为读取、编程和抹除模式的电流源,是通过总线 707 耦接至位线译码器 703。数据由集成电路 750 上的输入 / 输出端口通过数据输入线 711 传送至方块 706 的数据输入结构。数据由方块 706 中的感应放大器,通过数据输出线 715,传送至集成电路 750 上的输入 / 输出端或其它集成电路 750 内或外的数据目的地。状态机构及改良时钟电路于电路 709 中以控制偏压调整供应电压 708。

[0053] 此处所描述的存储寻址方案可以通过修改一串行 (SPI) 闪存来应用,其代表性装置包括 MX25L12805D 和 MX25L12845E,其标准在此引用为参考数据。

[0054] 虽然本发明已参照实施例来加以描述,然本发明创作并未受限于其详细描述内容。替换方式及修改样式已于先前描述中所建议,且其它替换方式及修改样式将为熟习此项技艺的人士所思及。特别是,所有具有实质上相同于本发明的构件结合而达成与本发明实质上相同结果者,皆不脱离本发明的精神范畴。因此,所有此等替换方式及修改样式意欲落在本发明于随附申请专利范围及其均等物所界定的范畴之中。

第一位组	第二位组	第三位组	第四位组
命令 xxH	AD1 A23~A16	AD2 A15~A8	AD3 A7~A0

图 1A

第一位组	第二位组	第三位组	第四位组	第五位组
命令 xxH	AD1 A31~A24	AD2 A23~A16	AD3 A15~A8	AD4 A7~A0

图 1B

单一字符模式	第一位组	第二位组	第三位组	第四位组
输入命令 循环	命令 xxH	AD2 A24~A17	AD3 A16~A9	AD4 A8~A1

图 2A

双字符模式	第一位组	第二位组	第三位组	第四位组
输入命令 循环	命令 xxH	AD2 A25~A18	AD3 A17~A10	AD4 A9~A2

图 2B

四字符模式	第一位组	第二位组	第三位组	第四位组
输入命令 循环	命令 xxH	AD2 A26~A19	AD3 A18~A11	AD4 A10~A3

图 2C

第一位组	第二位组	第三位组	第四位组
较高地址命令 xxH	AD1 A31~A24	不重要	不重要

图 3A

第一位组	第二位组	第三位组	第四位组
较低地址命令 xxH	AD1 A23~A16	AD2 A15~A8	AD3 A7~A0

图 3B



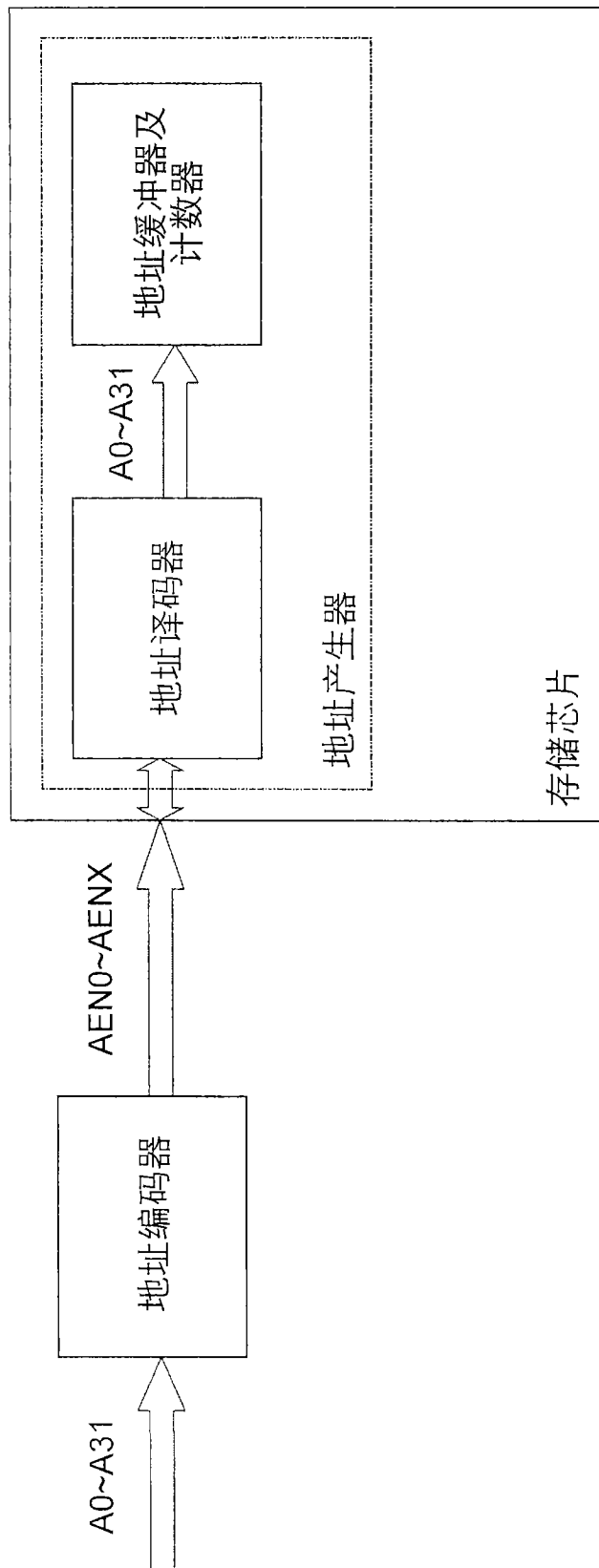


图 4

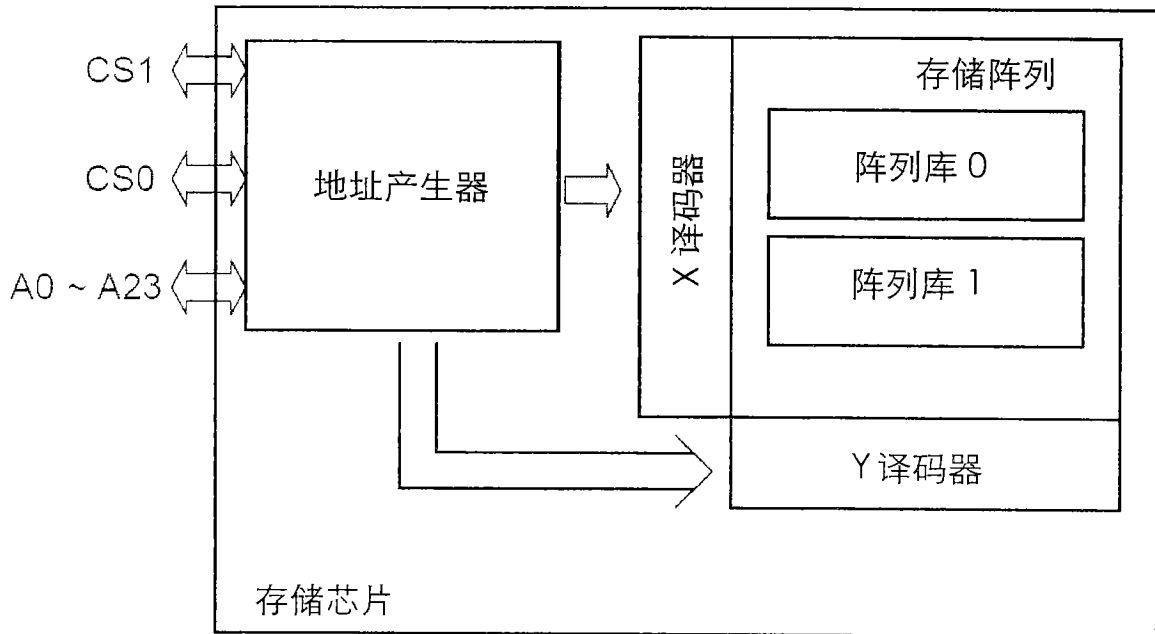


图 5A

CS1	CS0	开始阵列库编号
0	0	0 然后 1, 再循环整个阵列
0	1	1 和循环 1
1	0	0 和循环 0
1	1	不选取

图 5B

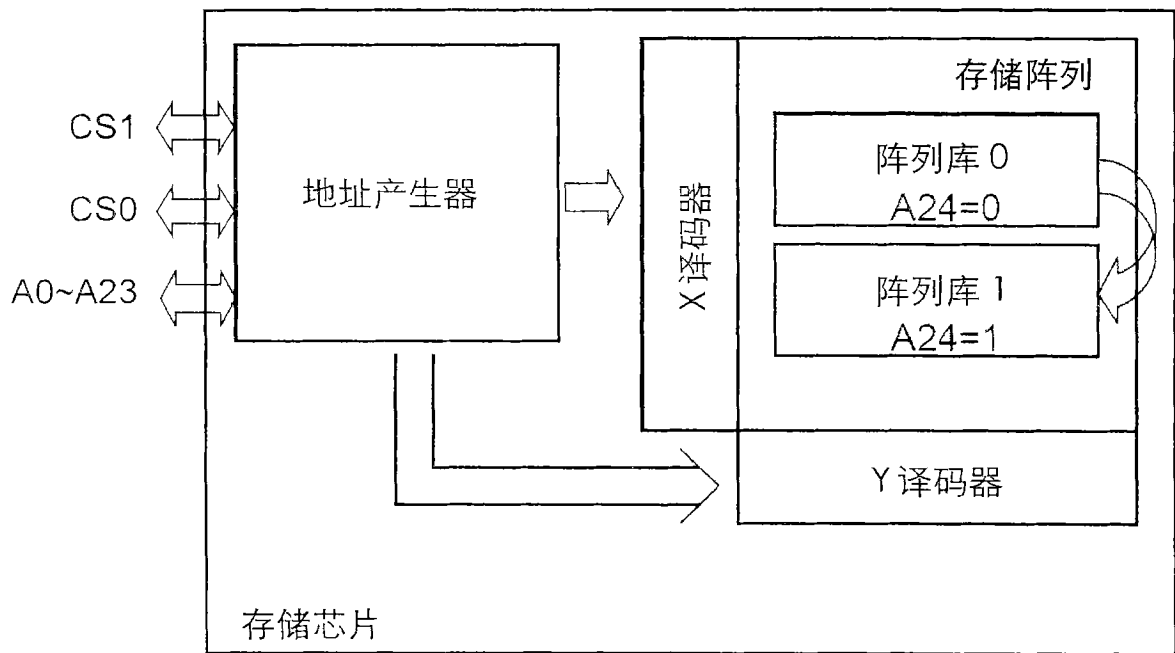


图 6

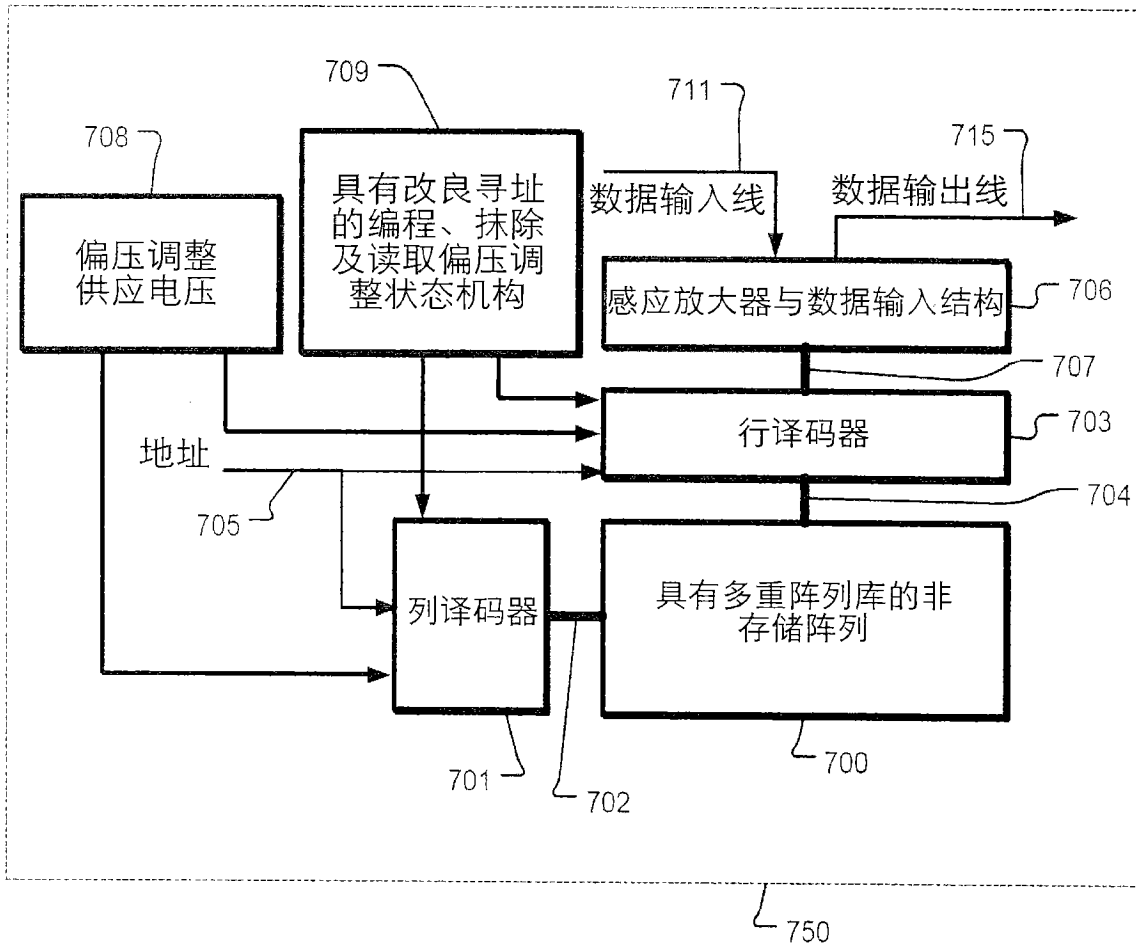


图 7