



(12)发明专利

(10)授权公告号 CN 103794247 B

(45)授权公告日 2018.11.23

(21)申请号 201310484627.4

(22)申请日 2013.10.16

(65)同一申请的已公布的文献号

申请公布号 CN 103794247 A

(43)申请公布日 2014.05.14

(30)优先权数据

10-2012-0120534 2012.10.29 KR

(73)专利权人 三星电子株式会社

地址 韩国京畿道水原市

(72)发明人 李昇妍 李永宅

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 韩明星 刘灿强

(51)Int.Cl.

G11C 16/02(2006.01)

G11C 16/06(2006.01)

(56)对比文件

JP 2011181157 A, 2011.09.15,

JP 2011181157 A, 2011.09.15,

US 2011317497 A1, 2011.12.29,

US 2008310221 A1, 2008.12.18,

US 2010085794 A1, 2010.04.08,

CN 101777374 A, 2010.07.14,

审查员 李元

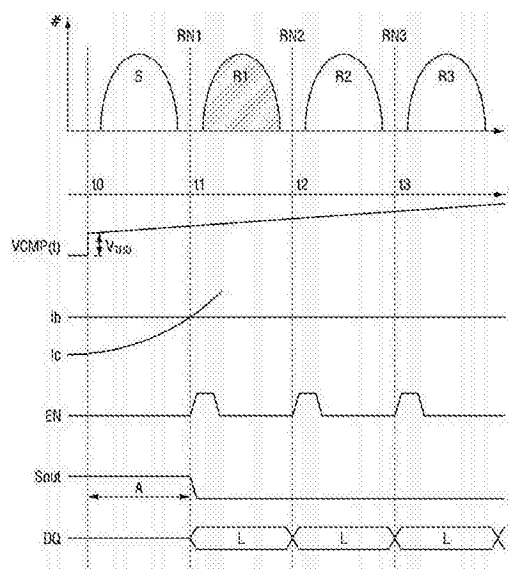
权利要求书3页 说明书15页 附图17页

(54)发明名称

使用可变电阻材料的非易失性存储器装置

(57)摘要

提供了使用可变电阻材料的非易失性存储装置。第一箝位单元连接在电阻存储器单元和第一感测节点之间,向电阻存储器单元提供第一箝位偏压。第一箝位偏压随时间而变化。第一补偿单元向第一感测节点提供补偿电流。第一感测放大器,连接到第一感测节点,以感测第一感测节点的电平变化。响应于第一数据存储在电阻存储器单元中,在第一箝位偏压开始的时间点过去第一时间量之后,第一感测放大器的输出值转变到不同状态。响应于不同于第一数据的第二数据存储在电阻存储器单元中,在第一箝位偏压开始的时间点过去不同于第一时间量的第二时间量之后,第一感测放大器的输出值转变到不同状态。



1. 一种非易失性存储器装置,包括:

电阻存储器单元;

第一感测节点;

第一箝位单元,连接在电阻存储器单元和第一感测节点之间以向电阻存储器单元提供第一箝位偏压,其中,第一箝位偏压随时间而变化;

第一补偿单元,向第一感测节点提供补偿电流;以及

第一感测放大器,连接到第一感测节点,以感测第一感测节点的电平变化,

其中,响应于第一数据存储在电阻存储器单元中,在第一箝位偏压的提供开始的时间点过去第一时间量之后,第一感测放大器的输出值转变到不同状态,并且

其中,响应于不同于第一数据的第二数据存储在电阻存储器单元中,在第一箝位偏压的提供开始的时间点过去不同于第一时间量的第二时间量之后,第一感测放大器的输出值转变到不同状态,

其中,第一感测放大器响应于使能信号的激活而操作,其中,所述使能信号在读取时间段期间多次变成激活,

其中,所述非易失性存储器装置还包括:产生使能信号的使能信号产生单元,

其中,使能信号产生单元包括:

参考电阻器;

第二感测节点;

第二箝位单元,连接在参考电阻器和第二感测节点之间以向参考电阻器提供第二箝位偏压;

第二补偿单元,向第二感测节点提供第二补偿电流;以及

第二感测放大器,连接到第二感测节点以感测第二感测节点的电平变化,

其中,在读取时间段期间,第二箝位偏压随时间变化。

2. 如权利要求1所述的非易失性存储器装置,还包括产生使能信号的使能信号产生单元,

其中,使能信号产生单元包括多个参考电阻器,使能信号的激活时间点对应于参考电阻器的电阻值而不同。

3. 如权利要求2所述的非易失性存储器装置,其中,所述读取时间段是正常读取时间段,并且,参考电阻器包括电阻存储器单元。

4. 如权利要求2所述的非易失性存储器装置,其中,所述读取时间段是验证读取时间段,并且,参考电阻器包含多晶硅。

5. 如权利要求2所述的非易失性存储器装置,其中,使能信号产生单元包括产生多个参考输出信号的多个参考块,并且还包括接收多个参考输出信号并且输出使能信号的运算器装置。

6. 如权利要求1所述的非易失性存储器装置,其中,第一补偿电流和第二补偿电流彼此相等。

7. 如权利要求1所述的非易失性存储器装置,其中,第一箝位偏压和第二箝位偏压彼此相等。

8. 如权利要求1所述的非易失性存储器装置,其中,第一补偿单元通过调节第一补偿电

流的大小来调节第一感测放大器的使能时间点。

9. 如权利要求1所述的非易失性存储器装置,其中,第一箝位偏压随时间以 k 阶函数的形式增大,其中, k 是自然数。

10. 如权利要求1所述的非易失性存储器装置,其中,第一箝位偏压随时间以阶梯形式增大。

11. 如权利要求1所述的非易失性存储器装置,还包括具有交叉点结构的存储器单元阵列,并且所述电阻存储器单元包括在所述存储器单元阵列中。

12. 一种非易失性存储器装置,包括:

电阻存储器单元,存储多位数据;

第一感测节点;

第一箝位单元,连接在电阻存储器单元和第一感测节点之间,以向电阻存储器单元提供第一箝位偏压;

第一补偿单元,向第一感测节点提供第一补偿电流;以及

第一感测放大器,连接到第一感测节点,以感测第一感测节点的电平变化,

其中,在读取时间段期间,第一补偿电流是恒定的,第一箝位偏压随着时间变化,并且第一感测放大器被启用多次以感测第一感测节点的电平变化,

其中,第一感测放大器响应于使能信号的激活而操作,其中,所述使能信号在读取时间段期间多次变成激活,

其中,所述非易失性存储器装置还包括:产生使能信号的使能信号产生单元,

其中,使能信号产生单元包括:

参考电阻器;

第二感测节点;

第二箝位单元,连接在参考电阻器和第二感测节点之间以向参考电阻器提供第二箝位偏压;

第二补偿单元,向第二感测节点提供第二补偿电流;以及

第二感测放大器,连接到第二感测节点,以感测第二感测节点的电平变化,

其中,在读取时间段期间,第二箝位偏压随时间而变化。

13. 如权利要求12所述的非易失性存储器装置,还包括:产生使能信号的使能信号产生单元,

其中,使能信号产生单元包括多个参考电阻器,并且使能信号的激活时间点对应于参考电阻器的电阻值而不同,并且

其中,使能信号产生单元包括产生多个参考输出信号的多个参考块和接收多个参考输出信号并且输出使能信号的运算器装置。

14. 如权利要求12所述的非易失性存储器装置,其中,第一补偿单元通过调节第一补偿电流的大小来调节第一感测放大器的使能时间点。

15. 如权利要求12所述的非易失性存储器装置,其中,包括电阻存储器单元的存储器单元阵列具有交叉点结构。

16. 一种非易失性存储器装置,包括:

第一感测节点,其中,第一保护电流输入至第一感测节点并且单元电流从第一感测节

点输出；

电阻存储器单元，单元电流流过所述电阻存储器单元；

第一感测放大器，感测第一感测节点的电压电平；

第二感测节点，其中，第二保护电流输入至第二感测节点并且参考电流从第二感测节点输出；

参考电阻器，参考电流流过参考电阻器；以及

第二感测放大器，感测第二感测节点的电压电平，

其中，响应于根据第二感测节点的电压电平而转变的第二感测放大器的输出值，第一感测放大器启用以感测第一感测节点的电压电平。

17. 如权利要求16所述的非易失性存储器装置，还包括：第一箝位单元，第一箝位单元连接在第一感测节点和电阻存储器单元之间以向电阻存储器单元提供第一箝位偏压，

其中，第一箝位偏压随时间而增大。

18. 如权利要求16所述的非易失性存储器装置，还包括：第二箝位单元，第二箝位单元连接在第二感测节点和参考电阻器之间，以向参考电阻器提供第二箝位偏压，

其中，第二箝位偏压随时间而增大。

19. 一种非易失性存储器装置，包括：

第一箝位单元，连接在电阻存储器单元和第一感测节点之间以向电阻存储器单元提供随时间而增大的第一箝位偏压；

第二箝位单元，连接在参考电阻器和第二感测节点之间以向参考电阻器提供随时间而增大的第二箝位偏压；

第二感测放大器，感测第二感测节点的电压电平并且输出参考输出信号；

运算器装置，基于参考输出信号输出使能信号；以及

第一感测放大器，响应于使能信号来感测第一感测节点的电压电平。

20. 如权利要求19所述的非易失性存储器装置，还包括：补偿单元，补偿单元向第一感测节点和第二感测节点提供相同的补偿电流。

21. 一种非易失性存储器装置，包括：

电阻存储器单元；

第一参考块至第n参考块，分别产生第一参考输出信号至第n参考输出信号，其中，n是自然数，

其中，第k参考块包括：

第k参考电阻器；

第k感测节点；

第k箝位单元，连接在第k参考电阻器和第k感测节点之间以向第k参考电阻器提供随着时间而增大的箝位偏压；

第k补偿单元，向第k感测节点提供补偿电流；以及

第k感测放大器，感测第k感测节点的电平变化并且提供第k参考输出信号；以及

主感测放大器，基于第一参考输出信号至第n参考输出信号被启用n次，以读取电阻存储器单元的电阻值，

其中， $1 \leq k \leq n$ 。

使用可变电阻材料的非易失性存储器装置

[0001] 相关申请的交叉引用

[0002] 本申请基于并要求于2012年10月29日提交到韩国知识产权局的第10-2012-0120534号韩国专利申请的优先权,该申请的内容通过引用全部包含于此。

技术领域

[0003] 本发明构思涉及包含可变电阻材料的非易失性存储器装置及其驱动方法。

背景技术

[0004] 具有电阻材料的非易失性存储器装置包括相变随机存取存储器 (PRAM)、电阻式 RAM (PRAM)、磁性 RAM (MRAM) 等。动态 RAM (DRAM) 或闪速存储装置利用电荷来存储数据。另一方面,具有电阻材料的非易失性存储器装置根据相变材料 (诸如,硫系合金) 的状态变化 (在 PRAM 的情况下)、可变电阻材料的电阻变化 (在 RRAM 的情况下)、根据铁磁材料的磁化状态发生的磁性隧道结 (MTJ) 的电阻变化 (在 MRAM 的情况下) 等来存储数据。

[0005] 这里,将以举例方式描述相变存储器单元。在相变材料被加热之后被冷却时,相变材料的状态变成结晶态或非晶态。结晶态的相变材料具有低电阻,并且非晶态的相变材料具有高电阻。因此,结晶态可以被定义为设置数据或0数据,并且非晶态可以被定义为重置数据或1数据。

发明内容

[0006] 本发明构思所要解决的一个主题是提供具有提高的读取可靠性的非易失性存储器装置。

[0007] 本发明构思所要解决的另一个主题是提供用于驱动具有提高的读取可靠性的非易失性存储装置的方法。

[0008] 本发明构思的额外优点、目的和特征将在后面的描述中部分地阐明并且对于阅读了下面内容的本领域的普通技术人员而言部分地将变得清楚或者可以通过实践本发明构思而获知。

[0009] 根据本发明构思的一方面,提供了一种非易失性存储器装置。第一箝位单元连接在电阻存储器单元和第一感测节点之间,以向电阻存储器单元提供第一箝位偏压。第一箝位偏压随时间而变化。第一补偿单元向第一感测节点提供补偿电流。第一感测放大器连接到第一感测节点,以感测第一感测节点的电平变化。响应于第一数据存储电阻存储器单元中,在第一箝位偏压的提供开始的时间点过去第一时间量之后,第一感测放大器的输出值转变到不同状态。响应于不同于第一数据的第二数据存储电阻存储器单元中,在第一箝位偏压的提供开始的时间点过去不同于第一时间量的第二时间量之后,第一感测放大器的输出值转变到不同状态。

[0010] 在一些实施例中,第一感测放大器响应于使能信号的激活而操作,使能信号在读取时间段期间多次变成激活。

[0011] 在一些实施例中,非易失性存储器装置还包括产生使能信号的使能信号产生单元,其中,使能信号产生单元包括多个参考电阻器,并且使能信号的激活时间点对应于参考电阻器的电阻值而不同。

[0012] 在一些实施例中,读取时间段是正常读取时间段,并且其中,参考电阻器包括电阻存储器单元。

[0013] 在一些实施例中,读取时间段是验证读取时间段,并且其中,参考电阻器包含多晶硅。

[0014] 在一些实施例中,使能信号产生单元包括产生多个参考输出信号的多个参考块,并且还包括接收多个参考输出信号并且输出使能信号的运算器装置。

[0015] 在一些实施例中,非易失性存储器装置还包括产生使能信号的使能信号产生单元,其中,使能信号产生单元包括:参考电阻器;第二感测节点;第二箝位单元,连接在参考电阻器和第二感测节点之间以向参考电阻器提供第二箝位偏压;第二补偿单元,向第二感测节点提供第二补偿电流;第二感测放大器,连接到第二感测节点,以感测第二感测节点的电平变化,其中,在读取时间段期间,第二箝位偏压随时间而变化。

[0016] 在一些实施例中,第一补偿电流和第二补偿电流彼此相等。

[0017] 在一些实施例中,第一箝位偏压和第二箝位偏压彼此相等。

[0018] 在一些实施例中,第一补偿单元通过调节第一补偿电流的大小来调节第一感测放大器的使能时间点。

[0019] 在一些实施例中,第一箝位偏压随时间以第 k 阶函数(其中, k 是自然数)的形式增大。

[0020] 在一些实施例中,第一箝位偏压随时间以阶梯形式增大。

[0021] 在一些实施例中,包括电阻存储器单元的存储器单元阵列具有交叉点结构。

[0022] 根据本发明构思的另一方面,提供了一种非易失性存储器装置,所述非易失性存储器装置包括:电阻存储器单元,存储多位数据;第一感测节点;第一箝位单元,连接在电阻存储器单元和第一感测节点之间,以向电阻存储器单元提供第一箝位偏压;第一补偿单元,向第一感测节点提供第一补偿电流;第一感测放大器,连接到第一感测节点以感测第一感测节点的电平变化,其中,在读取时间段期间,第一补偿电流是恒定的,第一箝位偏压随时间而变化,并且第一感测放大器被启用多次,以感测第一感测节点的电平变化。

[0023] 在一些实施例中,第一感测放大器响应于使能信号的激活而被操作,所述使能信号在读取时间段期间多次变成激活。

[0024] 在一些实施例中,非易失性存储器装置还包括产生使能信号的使能信号产生单元,其中,使能信号产生单元包括多个参考电阻器,并且使能信号的激活时间点对应于参考电阻器的电阻值而不同,并且,使能信号产生单元包括产生多个参考输出信号的多个参考块和接收多个参考输出信号并且输出使能信号的运算器装置。

[0025] 在一些实施例中,非易失性存储器装置还包括产生使能信号的使能信号产生单元,其中,使能信号产生单元包括:参考电阻器;第二感测节点;第二箝位单元,连接在参考电阻器和第二感测节点之间,以向参考电阻器提供第二箝位偏压;第二补偿单元,向第二感测节点提供第二补偿电流;第二感测放大器,连接到第二感测节点,以感测第二感测节点的电平变化,其中,在读取时间段期间,第二箝位偏压随时间而变化。

[0026] 在一些实施例中,第一补偿单元通过调节第一补偿电流的大小来调节第一感测放大器的使能时间点。

[0027] 在一些实施例中,包括电阻存储器单元的存储器单元阵列具有交叉点结构。

[0028] 根据本发明构思的另一方面,提供了一种非易失性存储器装置,所述非易失性存储器装置包括:第一感测节点,第一保护电流输入至第一感测节点并且单元电流从第一感测节点输出;电阻存储器单元,单元电流流过电阻存储器单元;第一感测放大器,感测第一感测节点的电压电平;第二感测节点,第二保护电流输入至第二感测节点并且参考电流从第二感测节点输出;参考电阻器,参考电流流过参考电阻器;第二感测放大器,感测第二感测节点的电压电平,其中,响应于根据第二感测节点的电压电平而转变的第二感测放大器的输出值,第一感测放大器被启用以感测第一感测节点的电压电平。

[0029] 在一些实施例中,非易失性存储器装置还包括第一箝位单元,第一箝位单元连接在第一感测节点和电阻存储器单元之间,以向电阻存储器单元提供第一箝位偏压,其中,第一箝位偏压随时间而增大。

[0030] 在一些实施例中,非易失性存储器装置还包括第二箝位单元,第二箝位单元连接在第二感测节点和参考电阻器之间,以向参考电阻器提供第二箝位偏压,其中,第二箝位偏压随时间而增大。

[0031] 根据本发明构思的另一方面,提供了一种非易失性存储器装置,所述非易失性存储器装置包括:第一箝位单元,连接在电阻存储器单元和第一感测节点之间以向电阻存储器单元提供随时间而增大的第一箝位偏压;第二箝位单元,连接在参考电阻器和第二感测节点之间以向参考电阻器提供随时间而增大的第二箝位偏压;第二感测放大器,感测第二感测节点的电压电平并且输出参考输出信号;运算器装置,基于参考输出信号输出使能信号;第一感测放大器,响应于使能信号来感测第一感测节点的电压电平。

[0032] 在一些实施例中,非易失性存储器装置还包括补偿单元,补偿单元向第一感测节点和第二感测节点提供相同的补偿电流。

[0033] 根据本发明构思的另一方面,提供了一种非易失性存储器装置,所述非易失性存储器装置包括:电阻存储器单元;第一参考块至第 n 参考块(其中, n 是自然数),产生第一参考输出信号至第 n 参考输出信号。其中,第 k (其中, $1 \leq k \leq n$)参考块包括:第 k 参考电阻器;第 k 感测节点;第 k 箝位单元,连接在第 k 参考电阻器和第 k 感测节点之间,以向第 k 参考电阻器提供随着时间增大的箝位偏压;第 k 补偿单元,向第 k 感测节点提供补偿电流;以及第 k 感测放大器,感测第 k 感测节点的电平变化并且提供第 k 参考输出信号;主感测放大器,基于第一参考输出信号至第 n 参考输出信号被启用 n 次,以读取电阻存储器单元的电阻值。

[0034] 根据本发明构思的另一方面,提供了一种非易失性存储器装置,所述非易失性存储器装置包括:电阻存储器单元,存储第一数据和第二数据中的至少一个;感测节点;箝位单元,连接在电阻存储器单元和感测节点之间并且向电阻存储器单元提供箝位偏压;感测放大器,感测感测节点的电平变化,其中,在操作的第一模式下,第一数据存储存储在电阻存储器单元中并且在从箝位偏压开始的时间点过去第一时间量之后,感测放大器的第一输出值转变到不同状态,并且其中,在操作的第二模式下,不同于第一数据的第二数据存储存储在电阻存储器单元中并且在不同于第一时间量的第二时间量之后,感测放大器的第二输出值转变到不同状态。

附图说明

[0035] 通过下面结合附图的详细描述,本发明构思的以上和其它目的、特征和优点将更加清楚,在附图中:

[0036] 图1A是示出根据本发明构思的一些实施例的非易失性存储器装置的特征的框图。

[0037] 图1B和图1C是示出图1A的存储器单元阵列的特征的视图。

[0038] 图2和图3是根据本发明构思的一些实施例的非易失性存储装置中使用的电阻存储器单元的电阻分布的曲线图。

[0039] 图4是根据本发明构思的一些实施例的非易失性存储器装置的框图。

[0040] 图5是图4的非易失性存储装置的示例性电路图。

[0041] 图6是图4的使能信号产生单元的示例性框图。

[0042] 图7是图4的使能信号产生单元的示例性时序图。

[0043] 图8至图10是示出根据本发明构思的一些实施例的用于驱动非易失性存储器装置的方法的时序图。

[0044] 图11是图6的参考块的示例性电路图。

[0045] 图12是示出根据本发明构思的一些实施例的用于驱动非易失性存储器装置的方法的时序图。

[0046] 图13是图6的参考块的另一个示例性电路图。

[0047] 图14是示出根据本发明构思的另一个实施例的非易失性存储器装置的电路图。

[0048] 图15是示出用于驱动图14的非易失性存储器装置的方法的时序图。

[0049] 图16至图18是示出根据本发明构思的一些实施例的非易失性存储器装置中可以使用的第一箝位偏压的示例的示意图。

[0050] 图19是使用根据本发明构思的实施例的非易失性存储器装置的蜂窝电话系统的示例性示意图。

[0051] 图20是使用根据本发明构思的实施例的非易失性存储器装置的存储卡的示例性示意图。

[0052] 图21是使用根据本发明构思的实施例的非易失性存储器装置的数字静态相机的示例性视图。

[0053] 图22是使用图20的存储卡的各种系统的示例性视图。

[0054] 图23是使用根据本发明构思的实施例的非易失性存储装置的图像传感器系统的示例性示意图。

[0055] 图24是使用根据本发明构思的实施例的非易失性存储器装置的存储器系统的示例性框图。

[0056] 图25是使用根据本发明构思的实施例的非易失性存储器装置的存储器系统的另一示例性框图。

[0057] 图26是使用根据本发明构思的实施例的非易失性存储器装置的存储器系统的另一示例性框图。

[0058] 图27是使用根据本发明构思的实施例的非易失性存储器装置的存储器系统的另一示例性框图。

[0059] 图28是使用根据本发明构思的实施例的非易失性存储装置的存储器系统的另一示例性框图。

[0060] 图29是示出使用存储级存储器(SCM)的存储器系统的示例性框图。

[0061] 图30是示出使用SCM的存储器系统的另一个示例性框图。

[0062] 图31是示出使用SCM的存储器系统的另一个示例性框图。

具体实施方式

[0063] 通过参照下面对优选实施例和附图的详细描述,可以更容易地理解本发明的优点和特征及其实现方法。然而,本发明可以用许多不同形式来实施并且不应该被理解为限于在此提出的示例实施例。相反地,提供这些实施例使得本发明将是彻底和完全的,并且将把本发明的构思充分地传达给本领域的技术人员,并且本发明将仅由所附权利要求书来限定。因此,在一些实施例中,为了避免不必要地混淆本发明的各方面,没有详细描述已知的方法、程序、组件和电路。

[0064] 应该理解,尽管在这里可以使用术语“第一”、“第二”等来描述各种元件、组件、区域、层和/或部分,但是这些元件、组件、区域、层和/或部分应该不受这些术语的限制。这些术语只是用来将一个元件、组件、区域、层或部分与另一个元件、组件、区域、层或部分区分开。因此,在不脱离本发明的教导的情况下,下面讨论的第一元件、组件、区域、层或部分可被命名为第二元件、组件、区域、层或部分。

[0065] 这里使用的术语只是为了描述特定实施例的目的,而不意图限制本发明。如这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式。还应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,说明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其它特征、整体、步骤、操作、元件、组件和/或其组合。

[0066] 除非另有定义,否则这里使用的所有术语(包括技术术语和科技术语)具有与本发明所属领域的普通技术人员所通常理解的意思相同的意思。应该进一步理解的是,除非这里明确定义,否则术语诸如在通用字典中定义的术语应该被解释为具有与相关领域的背景下它们的意思相同的意思,而将不理想地或者过于正式地解释它们的意思。

[0067] 下文中,将使用相变随机存取存储器(PRAM)描述本发明构思的优选实施例。然而,本发明构思所属领域的技术人员应该清楚,本发明构思可以应用于使用电阻材料的所有非易失性存储装置(诸如,电阻式RAM(RRAM)和磁性RAM(MRAM))。

[0068] 图1A是示出根据本发明构思的一些实施例的非易失性存储装置的特征的框图。在图1A中,为了便于说明,非易失性存储装置被示出为由16个存储器体构成。然而,本发明构思不限于此。

[0069] 参照图1A,根据本发明构思的实施例的非易失性存储装置包括存储器单元阵列、多个感测放大器和写入驱动器(SA/WD)2_1至2_8和外围电路区或外围3。

[0070] 存储器单元阵列可以包括但不限于多个存储器体1_1至1_16。存储体1_1至1_16中的每个存储器体可以包括多个存储器块BLK0至BLK7。存储器块BLK0至BLK7中的每个存储器块可以包括以矩阵形式布置的多个非易失性存储单元。在一些实施例中,存储器块BLK0至BLK7被布置成8×8阵列,但不限于此。

[0071] 尽管没有详细示出,但非易失性存储器装置可以包括行选择电路和列选择电路,行选择电路和列选择电路指定对应于存储器体1_1至1_16的将被写入/读取的电阻存储器单元的行和列。

[0072] 每个感测放大器和写入驱动器2_1至2_8被布置成对应于多个存储器体1_1至1_16中的两个存储器体,并且执行在对应的存储器体中的读取操作和写入操作。在本发明构思的实施例中,示例性地,每个感测放大器和写入驱动器2_1至2_8对应于两个存储器体1_1至1_16,但不限于此。也就是说,每个感测放大器和写入驱动器2_1至2_8可以被布置成对应于一个或四个存储器体。

[0073] 在外围电路区3中,多个逻辑电路块可以被布置为用于操作列选择电路、行选择电路、感测放大器和写入驱动器2_1至2_8和电压产生器。

[0074] 图1B和图1C是示出图1A的存储器单元阵列的特征的视图。

[0075] 参照图1B,存储器单元阵列可以具有交叉点结构。交叉点结构可以是一个存储器单元形成在两条线彼此交叉的区域中的结构。例如,位线BL1_1至BL4可以形成为在第一方向上延伸并且字线WL1_1至WL3_1可以形成为在第二方向上延伸,使得字线WL1_1至WL3_1和位线BL1_1至BL4交叉。电阻存储器单元MC可以形成在位线BL1_1至BL4和字线WL1_1至WL3_1彼此交叉的区域中。

[0076] 如图1C中所示,存储器单元阵列可以具有三维(3D)层积结构。该3D层积结构意味着多个存储器单元层111_1至111_8垂直层积的形式。在附图中,示例性地,八个存储器单元层111_1至111_8层积,但是本发明构思不限于此。这里,各个存储器单元层111_1至111_8可以包括多个存储器单元组和/或多个冗余存储器单元组。在存储器单元阵列具有3D层积结构的情况下,各个存储器单元层111_1至111_8可以具有(例如)如图1B中所示的交叉点结构,但不限于此。

[0077] 图2和图3是根据本发明构思的一些实施例的非易失性存储器装置中使用的电阻存储器单元的电阻分布的曲线图。

[0078] 电阻存储器单元可以是多位单元。电阻存储器单元可以存储第一数据至第四数据S、R1、R2和R3中的任一个数据。图2中的电阻分布可以是写入操作之后的分布。

[0079] 第一数据至第四数据S、R1、R2和R3可以分别对应于第一电阻水平至第四电阻水平L1、L2、L3和L4。第一电阻水平至第四电阻水平L1、L2、L3和L4可以具有根据第一电阻水平至第四电阻水平L1、L2、L3和L4的次序增大的电阻值。例如,第一电阻水平L1低于RL1,第二电阻水平L2高于RH1且低于RL2,第三电阻水平L3高于RH2且低于RL3,并且第四电阻水平L4高于RH3。这里,RL1、RL2、RL3、RH1、RH2和RH3可以具有用于验证读取操作的参考值,验证读取操作用于确认在写入操作期间是否已经精确执行了写入。

[0080] 另一方面,图3中示出的电阻分布可以是写入操作后过去预定时间之后的分布。也就是说,第一数据至第四数据S、R1、R2和R3可以分别对应于第一电阻水平至第四电阻水平DL1、DL2、DL3和DL4。可以得知,就宽度而言,相比于如图2中所示的第一电阻水平至第四电阻水平L1、L2、L3和L4,如图3中所示的第一电阻水平至第四电阻水平DL1、DL2、DL3和DL4的宽度增大。

[0081] RN1表示介于第一电阻水平DL1和第二电阻水平DL2之间的电阻值,RN2表示介于第二电阻水平DL2和第三电阻水平DL3之间的电阻值,并且RN3表示介于第三电阻水平DL3和第

四电阻水平DL4之间的电阻值。这里,RN1至RN3可以是用于正常读操作的参考值。例如,具有低于RN1的电阻值的电阻存储器单元可以存储第一数据S。

[0082] 图4是根据本发明构思的实施例的非易失性存储器装置的框图,图5是图4的非易失性存储器装置的电路图。

[0083] 参照图4和图5,根据本发明构思的实施例的非易失性存储器装置可以包括存储器单元170、第一感测节点SN1、第一补偿单元140、第一箝位单元160、第一感测放大器180和使能信号产生单元(或EN产生器)110。

[0084] 所示出的存储器单元170可以是存储器单元阵列中的多个电阻存储器单元之中选择的将被读取的电阻存储器单元。这里,在电阻存储器单元170是例如图5中示出的PRAM的实施例中,电阻存储器单元170可以包括具有相变材料的可变电阻元件GST和控制流向可变电阻元件GST的电流的存取元件(access element)D。这里,存取元件D可以包括串联连接到可变电阻元件GST的二极管或晶体管。作为相变材料,可以使用各种类型的材料,诸如组合了两种元素的GaSb、InSb、InSe、Sb₂Te₃和GeTe、组合了三种元素的GeSbTe、GeSeTe、InSbTe、SnSb₂Te₄和InSbGe以及组合了四种元素的AgInSbTe、(GeSn)SbTe、GeSb(SeTe)和Te₈₁Ge₁₅Sb₂S₂。在这些之中,可以包括GeSbTe或锗(Ge)、锑(Sb)和碲(Te)。

[0085] 在电阻存储器单元170是RRAM的其它实施例中,可变电阻元件可以包含例如NiO或钙钛矿。钙钛矿可以是组合物,诸如亚锰酸盐(Pr_{0.7}Ca_{0.3}MnO₃、Pr_{0.5}Ca_{0.5}MnO₃、其它PCMO、LCMO等)、钛酸盐(STO:Cr),和锆酸盐(SZO:Cr、Ca₂Nb₂O₇:Cr和Ta₂O₅:Cr)。这里,细丝(filament)可以形成在可变电阻元件中,并且细丝变成贯穿地流过电阻存储器单元的单元电流的电流路径。

[0086] 第一补偿单元140向第一感测节点SN1提供第一补偿电流I_b。具体地,补偿单元140向第一感测节点SN1提供第一补偿电流I_b,以补偿由于贯穿地流过所选择的电阻存储器单元170的单元电流I_c而会发生的第一感测节点SN1的电平降低。如图5中所示,第一补偿单元140可以包括连接在电源电压VDD和第一感测节点SN1之间的PMOS晶体管MP1、连接在电源电压VDD和地电压之间的PMOS晶体管MP2以及源S1。这两个PMOS晶体管MP1和MP2可以具有彼此连接的栅极并且可以是电流镜类型。

[0087] 在根据本发明构思的一些实施例的非易失性存储器装置中,即使多个位存储在电阻存储器单元170中,第一补偿电流I_b在读取时间段期间也可以是恒定的。例如,用于确定第一数据(参见图3中的S)是否存储在电阻存储器单元170中的第一补偿电流I_b可以等于用于确定第三数据(参见图3中的S2)是否存储在电阻存储器单元170中的第一补偿电流I_b。

[0088] 第一箝位单元160连接在电阻存储器单元170和第一感测节点SN1之间,以将位线的电平钳位在合适的可读取范围。具体地,第一箝位单元160将位线电平箝位至等于或低于相变材料的阈值电压V_{th}的预定电平。这是因为,如果位线电平变成等于或高于阈值电压V_{th},则所选择的电阻存储器单元170的相变材料的相位可能发生变化。如图5中所示,第一箝位单元160可以包括连接在电阻存储器单元170和第一感测节点SN1之间的NMOS晶体管MN1和OP放大器OP1。

[0089] 在根据本发明构思的一些实施例的非易失性存储器装置中,第一箝位单元160向电阻存储器单元170提供第一箝位偏压VCMP(t)。具体地,在读取时间段期间,第一箝位偏压VCMP(t)可以变化。第一箝位偏压VCMP(t)可以具有各种形状。例如,第一箝位偏压VCMP(t)

可以随着时间增大。另外,第一箝位偏压 $V_{CMP}(t)$ 可以随着时间以阶梯形式增大,或者可以随着时间以 k 阶函数(其中, k 是自然数)的形式增大。

[0090] 第一感测放大器180连接到第一感测节点 SN_1 ,以感测第一感测节点 SN_1 的电平变化。具体地,第一感测放大器180比较第一感测节点 SN_1 的电平和参考电平 V_R 并且输出比较结果。第一感测放大器180可以包括电流感测放大器或电压感测放大器。

[0091] 如上所述,在读取时间段期间,第一补偿电流 I_b 可以是恒定的并且第一箝位偏压 $V_{CMP}(t)$ 可以随着时间变化的。在这种状态下,响应于在读取时间段期间可以多次激活的使能信号 EN ,第一感测放大器180可被启用多次。

[0092] 在根据本发明构思的一些实施例的非易失性存储器装置中,第一感测放大器180的输出值 S_{OUT} 转变的时间根据电阻存储器单元170中存储的数据而不同。

[0093] 例如,如果第二数据(例如, R_1)存储在电阻存储器单元170中,则在从开始提供第一箝位偏压 $V_{CMP}(t)$ 的时间过去第一时间之后,第一感测放大器180的输出值 S_{OUT} 可以转变,例如,可以从高(H)状态转变为低(L)状态。相比之下,如果不同于第二数据(例如, R_1)的第三数据(例如, R_2)存储在电阻存储器单元170中,则在从开始提供第一箝位偏压 $V_{CMP}(t)$ 的时间过去不同于第一时间的第二时间之后,第一感测放大器180的输出值 S_{OUT} 可以转变。稍后,将使用图8至图10描述对其操作的详细说明。

[0094] 使能信号产生单元110可以产生在读取时间段期间多次变成激活的使能信号 EN 以控制第一感测放大器180。随后,使用图6、图7和图11至图13描述使能信号产生单元110的细节。

[0095] 图6是图4的使能信号产生单元的示例性框图。图7是图4的使能信号产生单元的示例性时序图。

[0096] 首先,参照图6,使能信号产生单元110可以包括多个参考块112_1至112_n(其中, n 是自然数)和运算器114。

[0097] 多个参考块112_1至112_n产生多个参考输出信号 REF_1 至 REF_n 。多个参考块112_1至112_n可以分别包括多个参考电阻器 RR_1 至 RR_n 。参考电阻器 RR_1 至 RR_n 可以具有不同的电阻值。参考输出信号 REF_1 至 REF_n 的激活时间点可以对应于参考电阻器 RR_1 至 RR_n 的电阻值而不同。例如,如果参考电阻器(例如, RR_1)具有小电阻值,则参考输出信号(例如, REF_1)的激活时间点可能变得早,而如果参考电阻器(例如, RR_2)具有大电阻值,则参考输出信号(例如, REF_2)的激活时间点可能变得晚。

[0098] 运算器114接收多个参考输出信号 REF_1 至 REF_n 并且产生使能信号 EN 。例如,运算器114可以是OR运算器。

[0099] 参照图7,第一参考块112_1的第一参考输出信号 REF_1 在时间 t_1 变成激活,并且第二参考块112_2的第二参考输出信号 REF_2 在时间 t_2 变成激活。另外,第 n 参考块112_n的第 n 参考输出信号 REF_n 在时间 t_n 变成激活。

[0100] 只要第一参考输出信号 REF_1 至第 n 参考输出信号 REF_n 变成激活,使能信号 EN 都可以从逻辑低转变成逻辑高。

[0101] 图8至图10是示出根据本发明构思的一些实施例的用于驱动非易失性存储器装置的方法的时序图。图8至图10可以示出正常读取操作的要素。在描述图8至图10的过程中,可以至少参考图4至图7的非易失性存储器装置的元件。

[0102] 具体地,图8是示出第二数据R1存储在电阻存储器单元170中的情况的时序图。

[0103] 参照图8,在时间 t_0 开始读取操作。第一箝位偏压 $VCMP(t)$ 启用。如所示出的,第一箝位偏压 $VCMP(t)$ 的最小值可以与电阻存储器单元170的存取元件D的阈值电压 V_{THD} 相关。第一补偿电流 I_b 随时间保持恒定,并且第一箝位偏压 $VCMP(t)$ 随时间(例如)线性地增大。随着第一箝位偏压 $VCMP(t)$ 增大,贯穿地流过电阻存储器单元170的单元电流 I_c 增大。另一方面,如果第一补偿电流 I_b 在例如时间 t_0 和 t_1 之间高于单元电流 I_c ,则第一感测放大器180的输出值 $SOUT$ 保持逻辑高。

[0104] 在时间点 t_1 ,单元电流 I_c 增大至与第一补偿电流 I_b 一样高,并且最终变成高于第一补偿电流 I_b 。因此,第一感测节点 $SN1$ 的电平开始变化。此时,使能信号 EN 处于激活状态。第一感测放大器180响应于使能信号 EN 而被启用,以感测第一感测节点 $SN1$ 的电平变化。因此,第一感测放大器180的输出值 $SOUT$ 从逻辑高转变成逻辑低。第一感测放大器180的输出端连接到编码器。编码器响应于第一感测放大器180的输出值 $SOUT$ 而输出逻辑低(L)作为数据输出 DQ 。

[0105] 这里,如果第二数据R1存储在电阻存储器单元170中,则第一感测放大器180的输出值 $SOUT$ 从开始提供第一箝位偏压 $VCMP(t)$ 的时间 t_0 过去第一时间A之后转变。

[0106] 在时间 t_2 ,使能信号 EN 再次变成激活。第一感测放大器180响应于使能信号 EN 而被启用。电流 I_c 由于第一箝位偏压 $VCMP(t)$ 的增大而增大,并且单元电流保持高于第一补偿电流 I_b 。因此,第一感测放大器180的输出值 $SOUT$ 保持逻辑低。另外,编码器输出逻辑低值。

[0107] 在时间 t_3 ,使能信号 EN 再次变成激活。第一感测放大器180响应于使能信号 EN 而被启用。电流 I_c 由于第一箝位偏压 $VCMP(t)$ 的增大而增大,并且单元电流 I_c 保持高于第一补偿电流 I_b 。第一箝位偏压 $VCMP(t)$ 增大至达到电阻存储器单元170的相变材料的相位不变化的范围。因此,第一感测放大器180的输出值 $SOUT$ 保持逻辑低。另外,编码器输出逻辑低值。

[0108] 结果,在第二数据R1存储在电阻存储器单元170中的情况下,编码器可以产生输出 LLL 。

[0109] 图9是示出第三数据R2存储在电阻存储器单元170中的情况的时序图。为了简明起见,将省略对与使用图8说明的内容基本相同的内容的说明。

[0110] 参照图9,在时间 t_0 开始读操作。第一补偿电流 I_b 保持恒定,并且第一箝位偏压 $VCMP(t)$ 随时间流逝增大。随着第一箝位偏压 $VCMP(t)$ 增大,单元电流 I_c 开始增大。然而,由于第一补偿电流 I_b 高于单元电流 I_c ,则第一感测放大器180的输出值 $SOUT$ 保持逻辑高。

[0111] 然后,甚至在时间 t_1 ,第一补偿电流 I_b 也高于单元电流 I_c 。因此,第一感测放大器180的输出值 $SOUT$ 保持逻辑高。

[0112] 在时间 t_2 ,单元电流 I_c 增大至与第一补偿电流 I_b 一样高,并且最终变成高于第一补偿电流 I_b 。因此,第一感测节点 $SN1$ 的电平开始变化。此时,使能信号 EN 处于激活状态。第一感测放大器180响应于使能信号 EN 而被启用,以感测第一感测节点 $SN1$ 的电平变化。因此,第一感测放大器180的输出值 $SOUT$ 从逻辑高转变成逻辑低。编码器基于第一感测放大器180的输出值 $SOUT$ 输出逻辑低(L)值作为数据输出 DQ 。

[0113] 这里,如果第三数据R2存储在电阻存储器单元170中,则第一感测放大器180的输出值 $SOUT$ 在从开始提供第一箝位偏压 $VCMP(t)$ 的时间 t_0 过去第二时间B之后转变。

[0114] 在时间 t_3 ,使能信号 EN 变成激活。第一感测放大器180响应于使能信号 EN 而被启

用。单元电流 I_c 由于第一箝位偏压 $V_{CMP}(t)$ 的增大而增大,并且单元电流 I_c 高于第一补偿电流 I_b 。因此,第一感测放大器180的输出值 S_{OUT} 处于逻辑低。另外,编码器输出逻辑低值。

[0115] 结果,在第三数据 R_2 存储在电阻存储器单元170中的情况下,编码器可以产生输出值 HLL 。

[0116] 图10是示出第四数据 R_3 存储在电阻存储器单元170中的情况的时序图。为了简明起见,将省略对与使用图8说明的内容基本相同的内容的说明。

[0117] 参照图10,在时间 t_0 开始读操作。第一补偿电流 I_b 保持恒定,并且第一箝位偏压 $V_{CMP}(t)$ 随时间增大。随着第一箝位偏压 $V_{CMP}(t)$ 增大,单元电流 I_c 开始增大。

[0118] 然后,甚至在时间 t_1 和时间 t_2 ,第一补偿电流 I_b 也高于单元电流 I_c 。因此,第一感测放大器180的输出值 S_{OUT} 处于逻辑高。

[0119] 然后,在时间 t_3 ,单元电流 I_c 增大至与第一补偿电流 I_b 一样高,并且最终变成高于第一补偿电流 I_b 。因此,第一感测节点 SN_1 的电平开始变化。此时,使能信号 EN 处于激活状态。第一感测放大器180响应于使能信号 EN 而被启用,以感测第一感测节点 SN_1 的电平变化。因此,第一感测放大器180的输出值 S_{OUT} 从逻辑高转变成逻辑低。编码器响应于第一感测放大器180的输出值 S_{OUT} 而输出逻辑低(L)值作为数据输出 DQ 。

[0120] 这里,如果第四数据 R_3 存储在电阻存储器单元170中,则第一感测放大器180的输出值 S_{OUT} 在从开始提供第一箝位偏压 $V_{CMP}(t)$ 的时间 t_0 过去第三时间 C 之后转变。

[0121] 结果,在第四数据 R_3 存储在电阻存储器单元170中的情况下,编码器可以产生输出 HHL 值。

[0122] 这里,参照图8至图10,根据本发明构思的一些实施例的非易失性存储装置,第一感测放大器180的输出值 S_{OUT} 的转变时间可以根据电阻存储器单元170中存储的数据而不同,参见(例如)图8中的A、图9中的B和图10中的C。

[0123] 另外,与第一感测放大器180的输出端连接的编码器根据电阻存储器单元170中存储的数据来输出不同的逻辑值。也就是说,可以根据电阻存储器单元中存储的数据来输出诸如 LLL 、 HLL 、 HHL 或 HHH 的值。

[0124] 如以上参照图8至图10描述的,在正常读取操作期间,在第一感测节点 SN_1 的电平变化时,使能信号 EN 变成激活。为了产生使能信号 EN ,电阻存储器单元可以被用作使能信号产生单元110的参考电阻器 RR_1 至 RR_n 。具体地,在正常读取操作期间,参考电阻器 RR_1 至 RR_n 可以被用作电阻存储器单元,但不限于此。如以上参照图2和图3描述的,如果在写入操作之后过去预定时间,则电阻存储器单元170可能劣化并且电阻存储器单元170的电阻值可能变化。因此,为了在考虑到这种变化的情况下使使能信号 EN 激活,电阻存储器单元可以被用作参考电阻器 RR_1 至 RR_n 。参照图11描述根据实施例的包括电阻存储器单元的参考块。

[0125] 图11是图6的参考块的示例性电路图。

[0126] 参照图11,参考块(例如,112_1)可以包括参考电阻器 RR_1 至 RR_n 、第二感测节点 SN_2 、第二箝位单元260、第二补偿单元240和第二感测放大器280。

[0127] 参考电阻器(例如, RR_1)可以具有与本文所述的电阻存储器单元170相同的构造。也就是说,参考电阻器 RR_1 可以包括具有相变材料的可变电阻器元件GST和控制流向可变电阻器元件GST的电流的存取元件D。

[0128] 第二补偿单元240可以向第二感测节点 SN_2 提供第二补偿电流 I_{b2} 。第二补偿单元

240可以包括连接在电源电压VDD和第二感测节点SN2之间的PMOS晶体管MP3,并且PMOS晶体管MP3的栅极连接到第一补偿单元140的节点N2。也就是说,第一补偿单元140的PMOS晶体管MP1和MP2和第二补偿单元240的PMOS晶体管MP3可以连接到同一节点。因此,第一补偿电流Ib和第二补偿电流Ib2可以相同或近似。也就是说,当存储了多个位的电阻存储器单元170中存储的数据被读取时,第一补偿电流Ib和第二补偿电流Ib2可以是恒定的。

[0129] 第二箝位单元260连接在参考电阻器RR1和第二感测节点SN2之间。第二箝位单元260可以包括NMOS晶体管MN2和OP放大器OP2。这里,第二箝位单元260向参考电阻器RR1至RRn提供第二箝位偏压VCMP2(t)。在读取时间段期间,第二箝位偏压VCMP2(t)可以随时间而变化。第二箝位偏压VCMP2(t)可以等于第一箝位偏压VCMP(t)。例如,如同第一箝位偏压VCMP(t),第二箝位偏压VCMP2(t)可以随时间增大。第二箝位偏压VCMP2(t)可以随时间以阶梯形式增大,或者可以随时间以k阶函数(其中,k是自然数)的形式增大。

[0130] 然而,第一箝位偏压VCMP(t)和第二箝位偏压VCMP2(t)不是必需彼此相等。可以单独产生和/或控制第一箝位偏压VCMP(t)和第二箝位偏压VCMP2(t)。

[0131] 第二感测放大器280连接到第二感测节点SN2,以感测第二感测节点SN2的电平变化。具体地,第二感测放大器280比较第二感测节点SN2的电平与参考电平VR,并且输出参考输出信号REF1。

[0132] 图12是示出根据本发明构思的一些实施例的用于驱动非易失性存储器装置的方法的时序图。图12可以表示验证读取操作等。

[0133] 图12示例性示出在第二数据R1被写入电阻存储器单元170中之后确认电阻存储器单元170中的电阻值是否高于RH1。尽管不单独说明,但本发明构思所属领域的技术人员可以容易地类推出如本文中描述的比较电阻存储器单元170的电阻值与RL1、RL2、RH2、RL3和RH3的方法。

[0134] 参照图12,在时间t12,单元电流Ic增大至至少与第一补偿电流Ib一样高,并且最终变成高于第一补偿电流Ib。因此,第一感测节点SN1的电平开始变化。此时,使能信号EN处于激活状态。第一感测放大器180响应于使能信号EN而被启用,以感测第一感测节点SN1的电平变化。因此,第一感测放大器180的输出值SOUT从逻辑高转变成逻辑低。编码器基于第一感测放大器180的输出值SOUT而输出逻辑低(L)值作为数据输出DQ。

[0135] 图13是图6的参考块的另一个示例性电路图。为了便于说明,将围绕与使用图11说明的点不同的点进行说明。

[0136] 参照图13,多晶硅可以用于使能信号产生单元110的参考电阻器(例如,RR1)。如以上参照图12描述的,在验证读取操作期间,在第一感测节点SN1的电平变化时,使使能信号EN激活。然而,在写操作之后就执行验证读取操作。因此,电阻存储器单元170的电阻值不容易改变。因此,固定电阻器的多晶硅可以被用作参考电阻器RR1。另外,电阻存储器单元或其它材料还可以被用于参考电阻器RR1。

[0137] 参照图11,参考块(例如,112_1)可以包括参考电阻器RR1至RRn、第二感测节点SN2、第二箝位单元260、第二补偿单元240和第二感测放大器280。

[0138] 图14是示出根据本发明构思的另一个实施例的非易失性存储器装置的电路图。图15是示出用于驱动图14的非易失性存储器装置的方法的时序图。为了便于说明,将围绕与在对图4和图5的描述中说明的点不同的点进行描述。

[0139] 参照图14,在根据本发明构思的另一个实施例的非易失性存储器装置中,第一补偿单元140可以通过调节第一补偿电流 I_b 来调节第一感测放大器180的启用时间。

[0140] 第一补偿单元140包括PMOS晶体管MP1和MP2、多个开关SW1至SW m (其中, m 是等于或大于2的自然数)和多个源S1至S m 。通过启用多个开关SW1至SW m 中的至少一个,可以选择多个源S1至S m 中的至少一个。因此,可以调节第一补偿电流 I_b 的电流量。

[0141] 这里,参照图15,将描述第三数据R2存储在电阻存储器单元170中的情况。

[0142] 如果选择源S1(CASE S1),则在时间 t_2 ,单元电流 I_c 可以高于第一补偿电流 I_b 。

[0143] 相比之下,如果选择源S2(CASE S2),则在时间 t_{2a} ,单元电流 I_c 可以高于第一补偿电流 I_b 。也就是说,在选择源S2的情况下,第一感测放大器180的启用时间可能变得比选择源S1的情况下的启用时间更早。

[0144] 如果选择源S3(CASE S3),则在时间 t_{2b} ,单元电流 I_c 可以高于第一补偿电流 I_b 。也就是说,在选择源S3的情况下,第一感测放大器180的启用时间可能变得比选择源S1的情况下的启用时间更晚。

[0145] 如上所述,通过调节第一补偿电流 I_b 的电流量,可以调节第一感测放大器180的启用时间。也就是说,可以调节感测时间。

[0146] 图16至图18是根据本发明构思的一些实施例的非易失性存储器装置中可以使用的第二箝位偏压的示例的示意图。

[0147] 如图16中所示,第二箝位偏压 $V_{CMP}(t)$ 可以随时间以阶梯形式增大。

[0148] 如图17中所示,第二箝位偏压 $V_{CMP}(t)$ 可以按时间段具有不同的斜率。例如,第二箝位偏压 $V_{CMP}(t)$ 的斜率在 t_0 和 t_1 之间可以是 θ_1 ,第二箝位偏压 $V_{CMP}(t)$ 的斜率可以在 t_1 和 t_2 之间是 θ_2 ,并且第二箝位偏压 $V_{CMP}(t)$ 的斜率可以在 t_2 和 t_3 之间是 θ_3 。 θ_1 可以大于 θ_2 ,并且 θ_2 可以大于 θ_3 ,但不限于此。

[0149] 如图18中所示,第二箝位偏压 $V_{CMP}(t)$ 可以随时间以 k 阶函数(其中, k 是自然数)的形式增大。图18示例性示出第二箝位偏压 $V_{CMP}(t)$ 以二阶函数的形式增大,但不限于此。

[0150] 图19至图23是示出根据本发明构思的一些实施例的存储器系统的示意图。这里,图19至图23可以与使用根据本发明构思的实施例的非易失性存储器装置的存储器系统相关。

[0151] 图19是使用根据本发明构思的实施例的非易失性存储器装置的蜂窝电话系统的示例性示意图。

[0152] 参照图19,蜂窝电话系统包括压缩或解压缩ADPCM编解码电路1202、扬声器1203、麦克风1204、用于时分多路复用数字数据的TDMA电路1206、设置无线信号的载波频率的PLL电路1210和用于发送或接收无线信号的RF电路1211。

[0153] 另外,蜂窝电话系统可以包括但不限于各种类型的存储器装置,并且例如可以包括非易失性存储器装置1207、ROM1208和SRAM1209。非易失性存储器装置1207可以是根据本发明构思的实施例的非易失性存储器装置,并且可以存储(例如)ID号。ROM1208可以存储程序,并且SRAM1209可以用作系统控制微计算机1212的工作区或者可以暂时存储数据。这里,系统控制微计算机1212可以是可控制非易失性存储器装置1207的写入操作和读取操作的处理器。

[0154] 图20是使用根据本发明构思的实施例的非易失性存储器装置的存储卡的示例性示意图。例如,存储卡可以是MMC卡、SD卡、多用途卡、微SD卡、记忆棒、小型SD卡、ID卡、PCMCIA

卡、SSD卡、芯片卡、智能卡或USB卡。

[0155] 参照图20,存储卡可以包括与外部进行接口连接的接口部1221、具有缓冲器存储器并且控制存储卡操作的控制器1222和根据本发明构思的非易失性存储器装置中的至少一个。控制器1222是可以控制非易失性存储器装置1207的写入操作和读取操作的处理器。具体地,控制器1222通过数据总线DATA和地址总线ADDRESS连接到非易失性存储器装置1207和接口部1221。

[0156] 图21是使用根据本发明构思的实施例的非易失性存储器装置的数字静态相机的视图。

[0157] 参照图21,数字静态相机包括主体1301、槽1302、镜头303、显示单元1308、快门按钮1312和闪光灯1318。具体地,存储卡1331可以被插入槽1302中,并且存储卡1331可以包括根据本发明构思的实施例的至少一个非易失性存储装置1207。

[0158] 如果存储卡1331是接触类型,则当存储卡1331被插入槽1308时,存储卡1331与电路板上的特定电路电接触。如果存储卡1331是非接触类型,则存储卡1331通过无线信号执行通信。

[0159] 图22是使用图20的存储卡的各种系统的视图。

[0160] 参照图22,存储卡331可以用于电子装置诸如(a)摄像机、(b)电视接收器、(c)音频装置、(d)游戏机、(e)电子音乐装置、(f)蜂窝电话、(g)计算机、(h)PDA(个人数字助理)、(i)录音器或(j)PC卡。

[0161] 图23是使用根据本发明构思的实施例的非易失性存储器装置的图像传感器系统的示意图。

[0162] 参照图23,图像传感器系统可以包括图像传感器1332或成像器、输入/输出装置1336、RAM1348、CPU1344和根据本发明构思的实施例的非易失性存储器(NVM)装置1354。各个构成元件,即,图像传感器1332、输入/输出装置1336、RAM1348、CPU1344和NVM装置1354通过总线1352彼此通信。图像传感器1332可以包括光感测元件,诸如,光栅和光电二极管。各个构成元件可以与处理器一起被构造到一个芯片中,或者可以被构造为与处理器分开的芯片。

[0163] 图24是使用根据本发明构思的实施例的非易失性存储器装置的存储器系统的框图。

[0164] 如所示出的,存储器系统包括连接到存储器控制器3020的存储器3010。存储器3010可以是根据上述实施例的任一个。存储器控制器3020提供用于控制存储器3010操作的输入信号。例如,存储器控制器3020可以发送命令和地址信号。存储器控制器3020可以包括存储器接口、主机接口、ECC电路、CPU(中央处理单元)和缓冲器存储器。存储器接口可以将数据从缓冲器存储器发送到存储器3010,并且可以从存储器3010读取数据并且将数据发送到缓冲器存储器。另外,存储器接口可以将命令或地址从外部主机发送到存储器3010。

[0165] 主机接口可以通过USB(通用串行总线)、SCSI(小型计算机系统接口)、PCI Express、ATA、PATA(并行ATA)、SATA(串行ATA)或SAS(串行连接SCSI)与外部主机通信。

[0166] 根据本发明构思的实施例的存储器系统可以具有ECC电路。ECC电路可以使用发送到存储器3010的数据来产生奇偶校验位。所产生的奇偶校验位可以与数据一起被存储在存储器3010的特定区域中。ECC电路可以感测从存储器3010读取的数据的错误。如果感测到的

错误是可校正的,则ECC电路可以校正数据。

[0167] CPU通过主机接口或存储器接口控制外部主机或存储器3010。CPU可以根据固件来控制写入操作、读取操作和擦除操作。

[0168] 缓冲器存储器暂时存储由外部源提供的写入数据或者从存储器3010读取的数据。另外,缓冲器存储器可以存储将被存储在存储器3010中的元数据或缓存数据。在突然断电的操作期间,存储在缓冲器存储器中的元数据或缓存数据可以被存储在存储器3010中。缓冲器存储器可以是DRAM或SRAM。

[0169] 图25是使用根据本发明构思的实施例的非易失性存储器装置的存储器系统的另一个示例性框图。图25的存储器系统可以与图24的存储器系统基本上相同。不同点在于,存储器3010和存储器控制器3020被嵌入到卡3130中。例如,卡3130可以是闪速存储卡。也就是说,卡3130可以是顾客电子电器(诸如,数码相机和个人计算机)中使用的标准产品。存储器控制器3020可以根据从另一个装置(例如,外部装置)提供的控制信号来控制存储器3010。

[0170] 图26是使用根据本发明构思的实施例的非易失性存储器装置的存储器系统的又一个示例性框图。如所示出的,存储器3010可以连接到主机系统3210。主机系统3210可以使用存储器3010作为可擦除存储装置。如上所述,主机系统3210可以提供用于控制存储器3010的输入信号。例如,主机系统3210可以提供命令CMD和地址信号。

[0171] 图27是使用根据本发明构思的实施例的非易失性存储器装置的存储器系统的又一个示例性框图。主机系统3210和卡3130彼此连接。主机系统3210可以向卡3130提供控制信号,并且存储器控制器3020可以(例如)根据控制信号来控制存储器3010。

[0172] 图28是使用根据本发明构思的实施例的非易失性存储器装置的存储器系统的又一个示例性框图。存储器3010设置在计算机系统3410的CPU3120中。例如,计算机系统3410可以是个人计算机或PDA。存储器3010可以通过总线直接连接到CPU3120。

[0173] 根据本发明构思的实施例的非易失性存储器装置可以被用作SCM(存储级存储器)。SCM是指具有非易失性特性和存取特性二者的通用存储器概念。SCM可以被用作数据存储区和程序操作区。

[0174] 使用电阻材料的非易失性存储器装置诸如如上所述的PRAM、RRAM和MRAM可以被用作SCM。SCM可以被用作取代闪速存储器的数据存储存储器,或者可以被用作取代SRAM的主存储器。一个SCM可以替代闪速存储器和SRAM。

[0175] 图29是示出使用SCM的存储器系统的示例性框图。存储器系统4100包括CPU4110、SDRAM4120和被用于取代闪速存储器的SCM4130。

[0176] 在存储器系统4100中,SCM4130的数据存取速度高于闪速存储器的速度。例如,在PC环境下,当CPU4110在4GHz下操作时,作为SCM一种的PRAM的存取速度比闪速存储器的存取速度高32倍。因此,与安装有闪速存储器的存储器系统相比,存储器系统4100可以得到更高速度的存取增益。

[0177] 图30是示出使用SCM的存储器系统的另一个示例性框图。存储器系统4200包括CPU4210、被用于取代SDRAM的SCM4220和闪速存储器4230。

[0178] 在存储器系统4200中,SCM4220使用比SDRAM低的功率。计算机系统的主存储器所使用的能量是整个系统所使用的能量的大约40%。因此,很多人努力降低主存储器中使用的能量。由于功率泄漏,导致SCM可以平均降低动态能量使用的大约53%,并且可以平均降低能

量使用的大约73%。结果,与安装有SDRAM的存储器系统相比,存储器系统4200可以降低更多的能量。

[0179] 图31是示出使用SCM的存储器系统的又一个示例性框图。存储器系统4300包括CPU4310和用于取代SDRAM的SCM4320和闪速存储器。例如,SCM4320可以取代SDRAM而用作主存储器,并且可以取代闪速存储器被用作数据存储存储器。因此,存储器4300的优点在于数据存取速度、低功率、空间利用和成本。

[0180] 虽然已经出于示例性目的描述了本发明构思的优选实施例,但本领域的技术人员应该理解,在不脱离如所附权利要求书中公开的本发明构思的范围和精神的情况下,各种修改形式、添加形式和替代形式是可能的。

1_1	1_2	1_3	1_4	1_5	1_6	1_7	1_8
BLK7	BLK7	BLK7	BLK7	BLK7	BLK7	BLK7	BLK7
BLK6	BLK6	BLK6	BLK6	BLK6	BLK6	BLK6	BLK6
BLK5	BLK5	BLK5	BLK5	BLK5	BLK5	BLK5	BLK5
BLK4	BLK4	BLK4	BLK4	BLK4	BLK4	BLK4	BLK4
BLK3	BLK3	BLK3	BLK3	BLK3	BLK3	BLK3	BLK3
BLK2	BLK2	BLK2	BLK2	BLK2	BLK2	BLK2	BLK2
BLK1	BLK1	BLK1	BLK1	BLK1	BLK1	BLK1	BLK1
BLK0	BLK0	BLK0	BLK0	BLK0	BLK0	BLK0	BLK0
SA/WD(2_1)		SA/WD(2_2)		SA/WD(2_3)		SA/WD(2_4)	
外围(3)							
SA/WD(2_8)		SA/WD(2_7)		SA/WD(2_6)		SA/WD(2_5)	
BLK7	BLK7	BLK7	BLK7	BLK7	BLK7	BLK7	BLK7
BLK6	BLK6	BLK6	BLK6	BLK6	BLK6	BLK6	BLK6
BLK5	BLK5	BLK5	BLK5	BLK5	BLK5	BLK5	BLK5
BLK4	BLK4	BLK4	BLK4	BLK4	BLK4	BLK4	BLK4
BLK3	BLK3	BLK3	BLK3	BLK3	BLK3	BLK3	BLK3
BLK2	BLK2	BLK2	BLK2	BLK2	BLK2	BLK2	BLK2
BLK1	BLK1	BLK1	BLK1	BLK1	BLK1	BLK1	BLK1
BLK0	BLK0	BLK0	BLK0	BLK0	BLK0	BLK0	BLK0
1_16	1_15	1_14	1_13	1_12	1_11	1_10	1_9

图1A

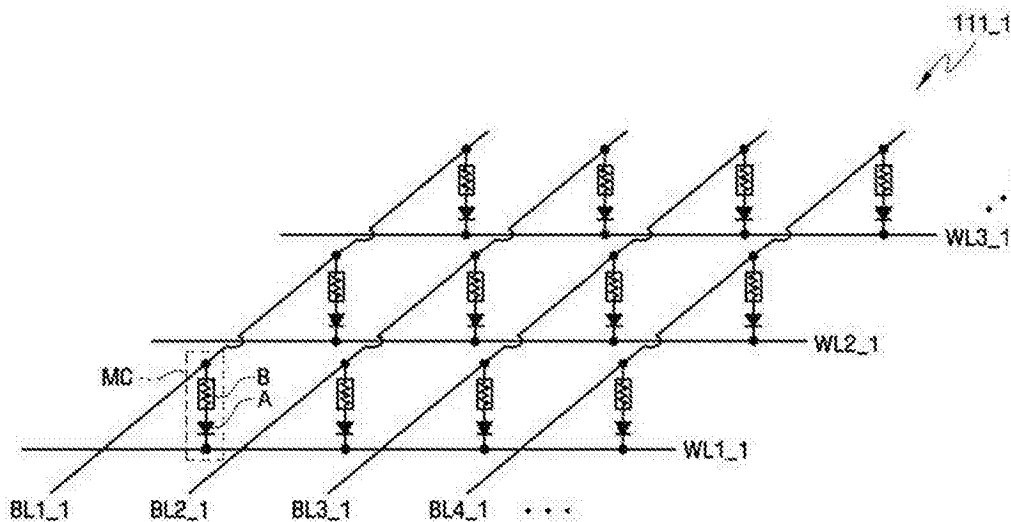


图1B

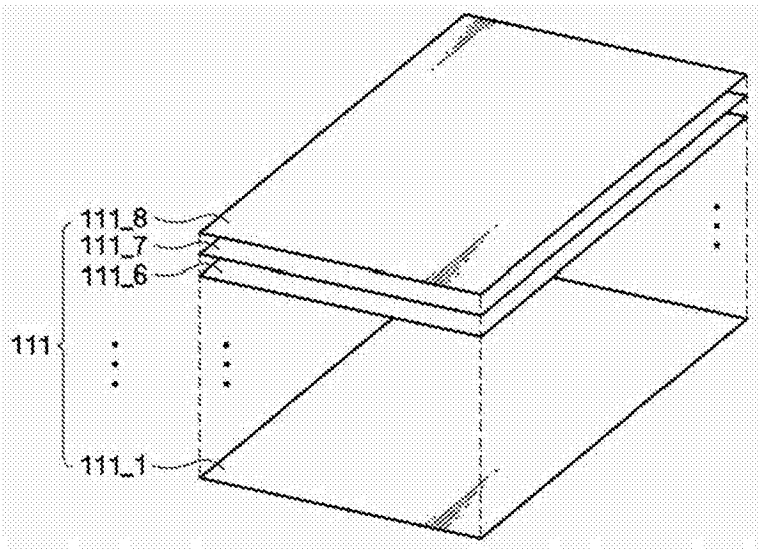


图1C

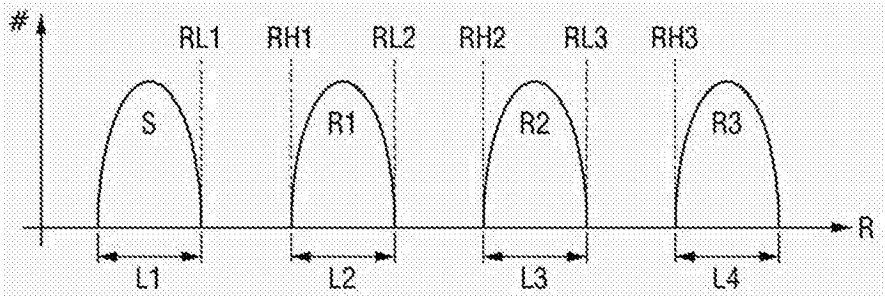


图2

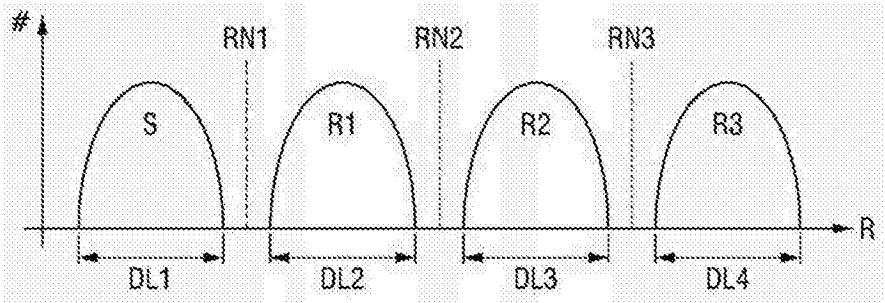


图3

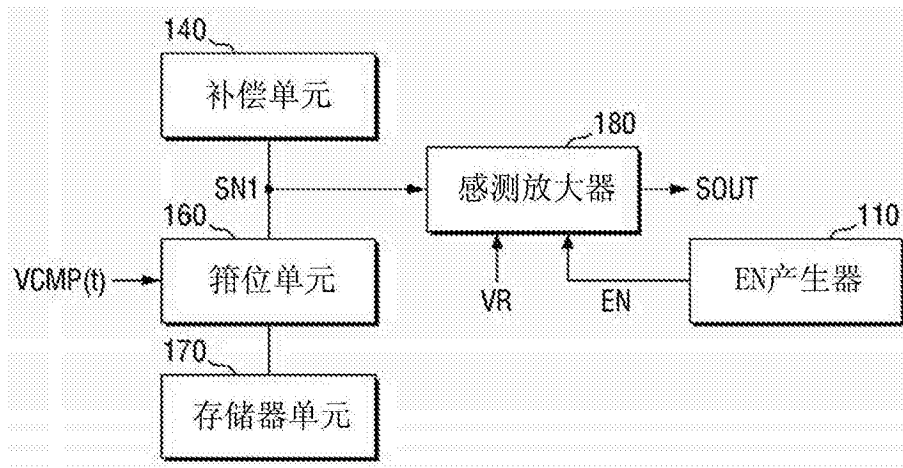


图4

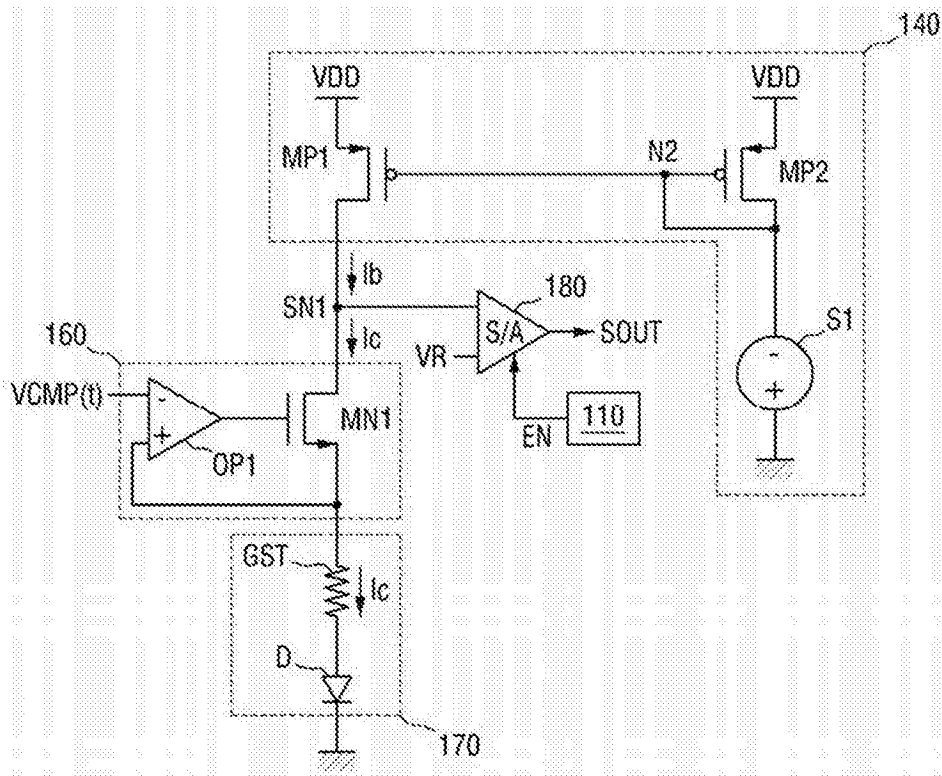


图5

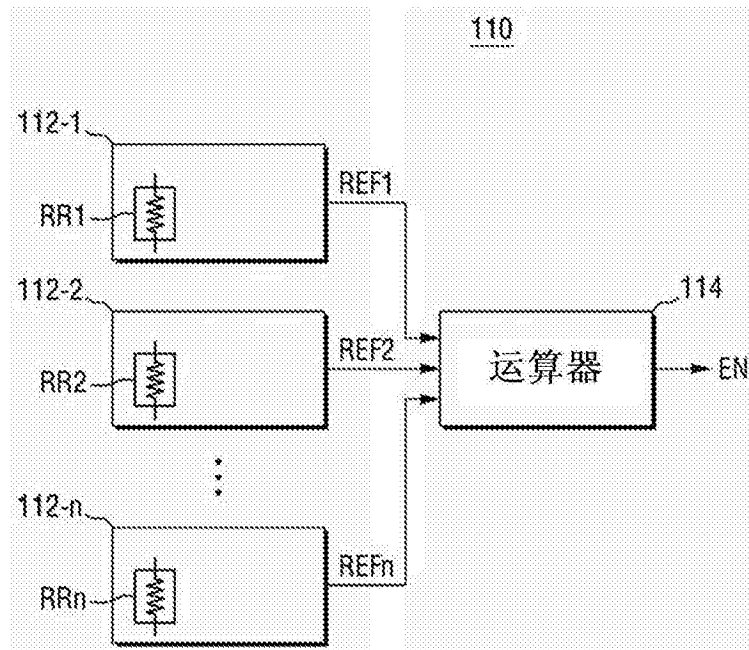


图6

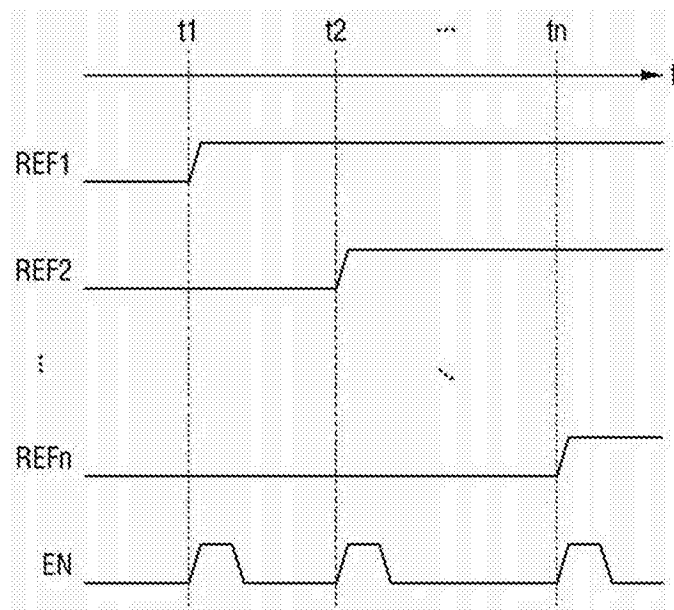


图7

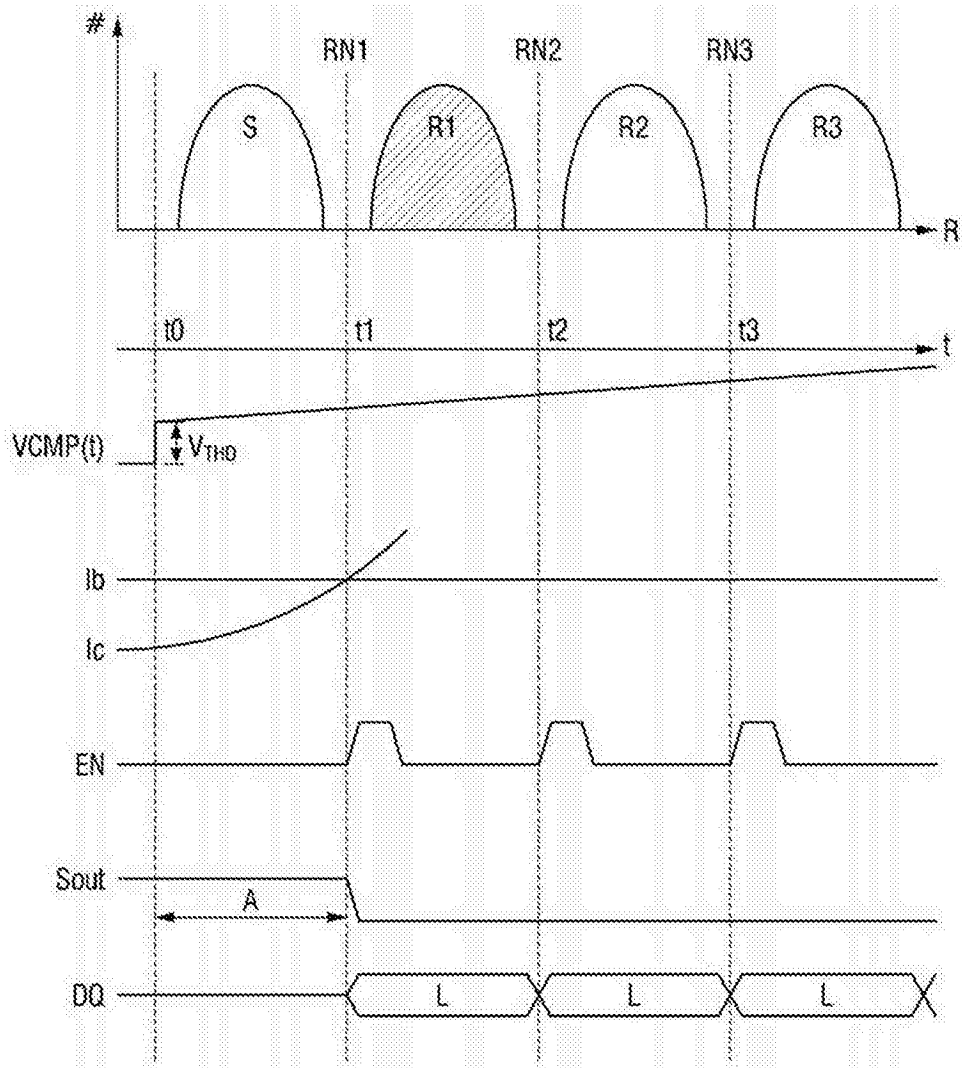


图8

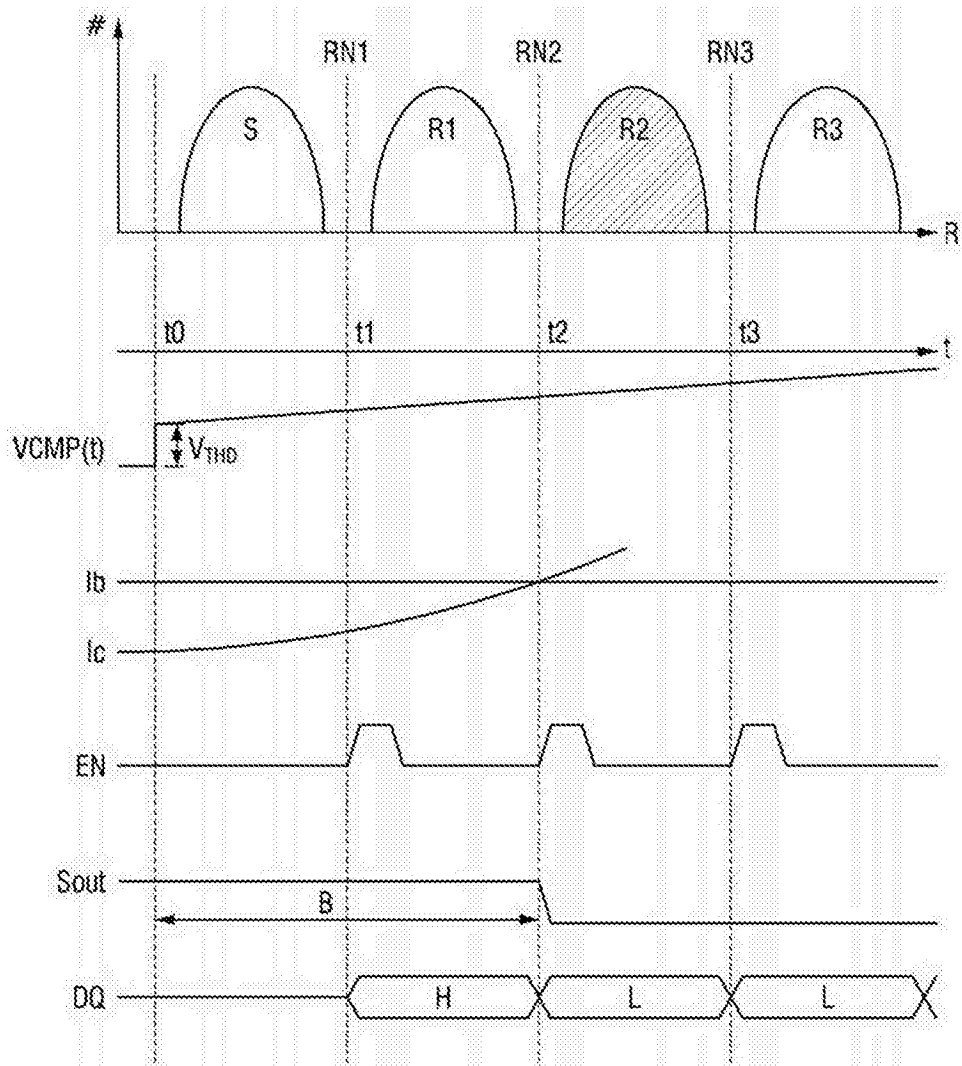


图9

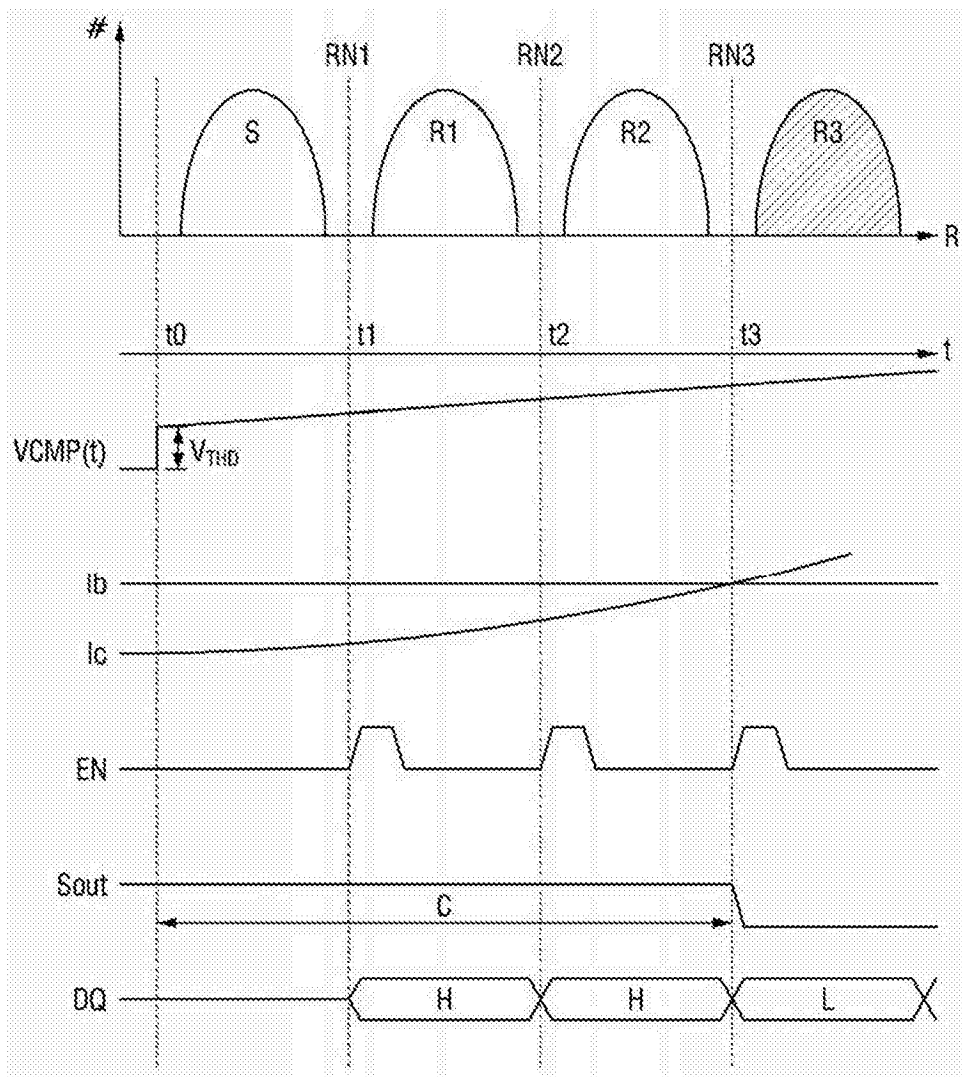


图10

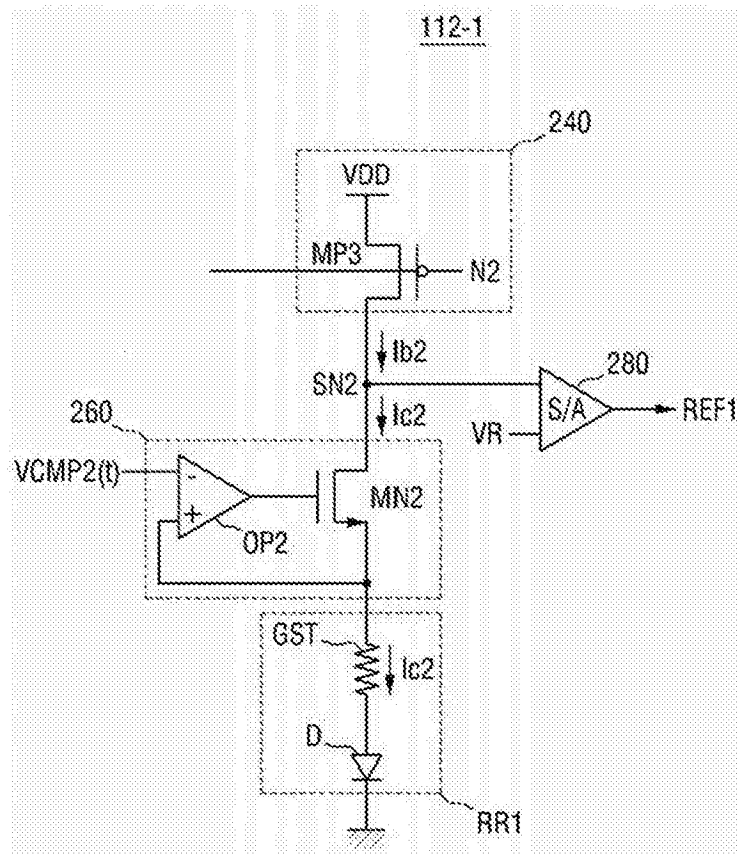


图11

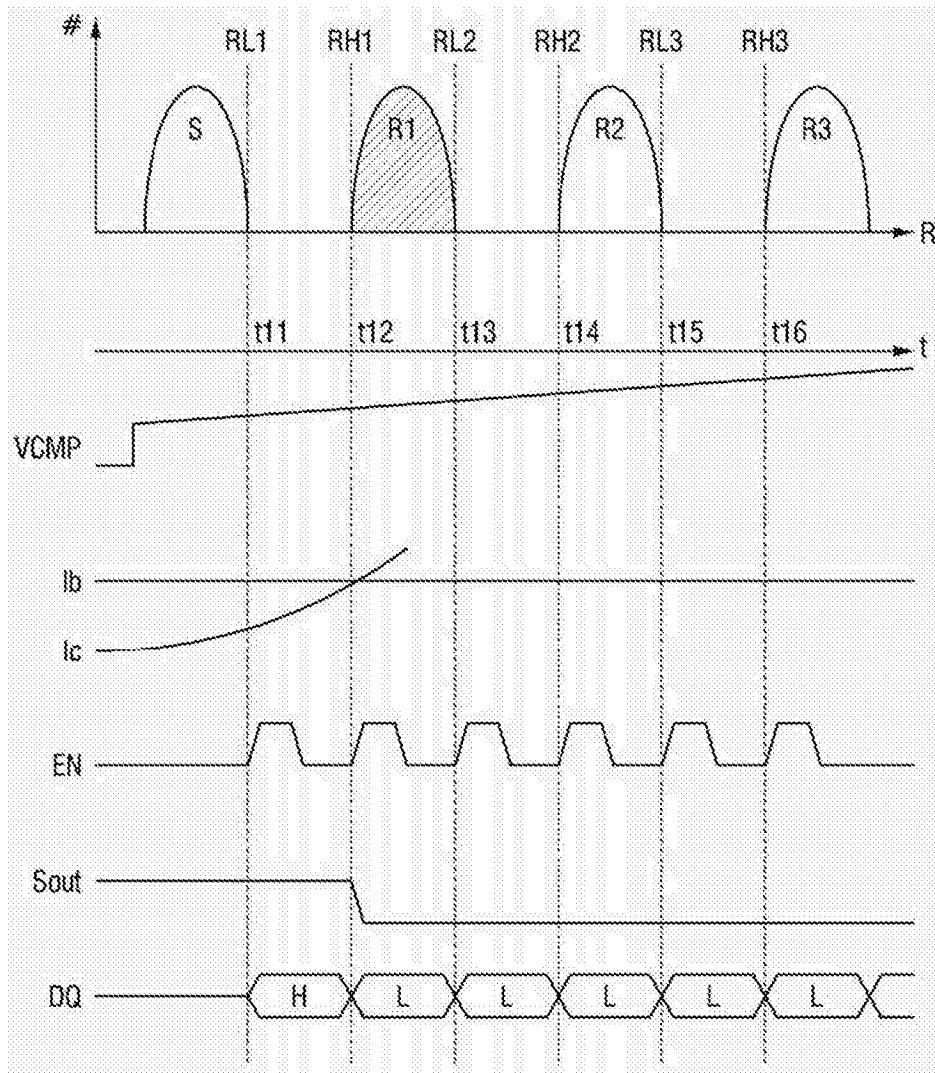


图12

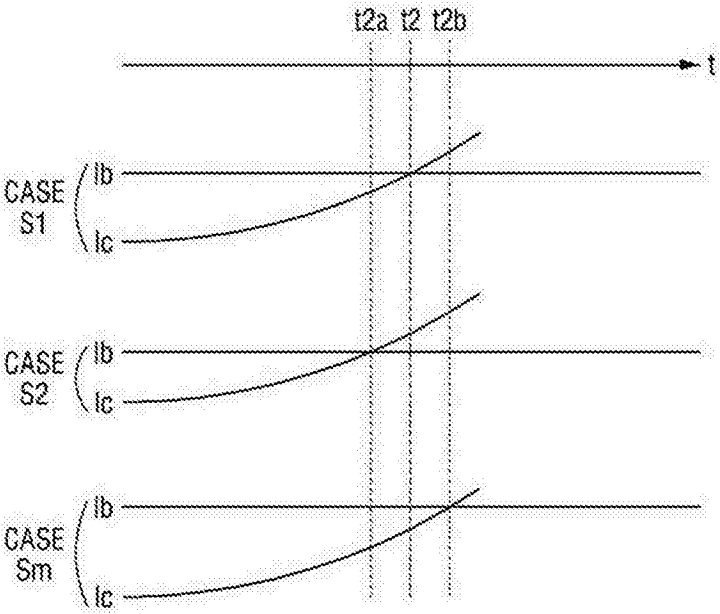


图15

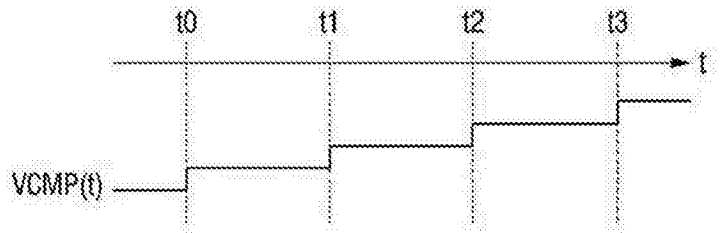


图16

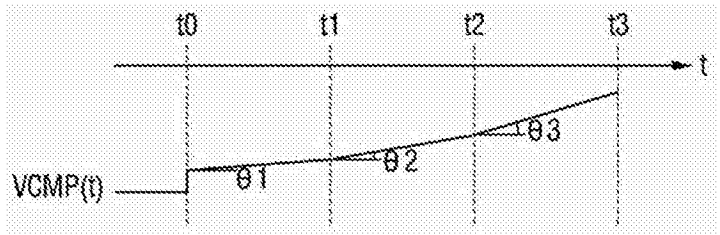


图17

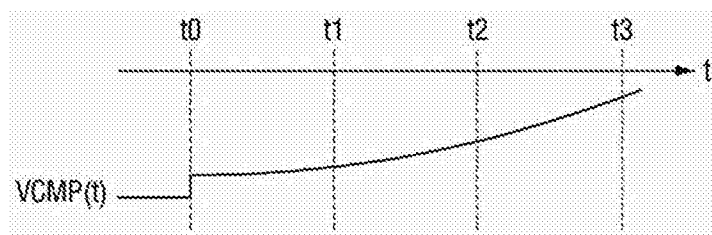


图18

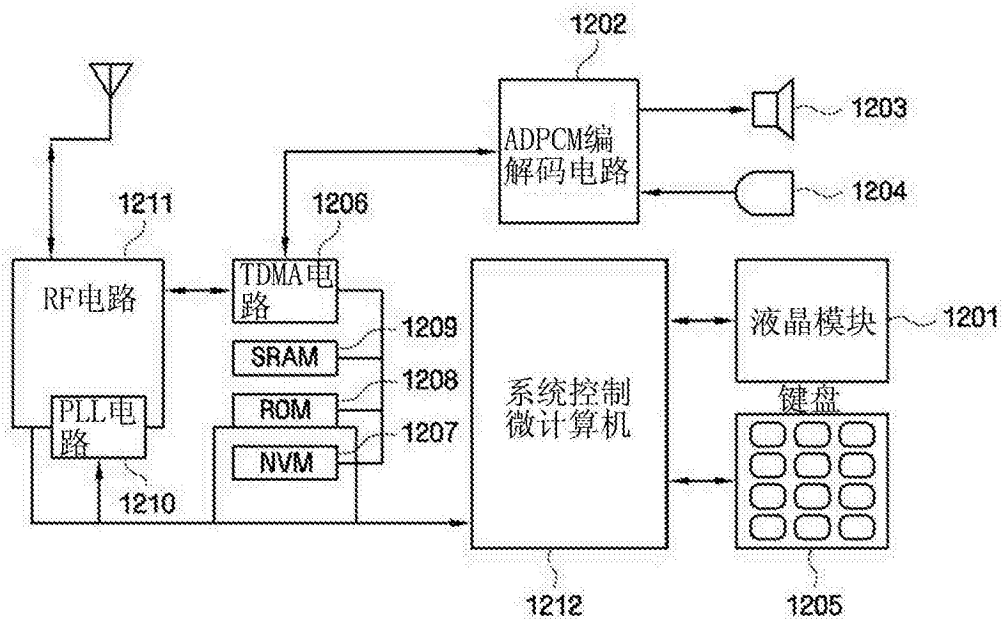


图19

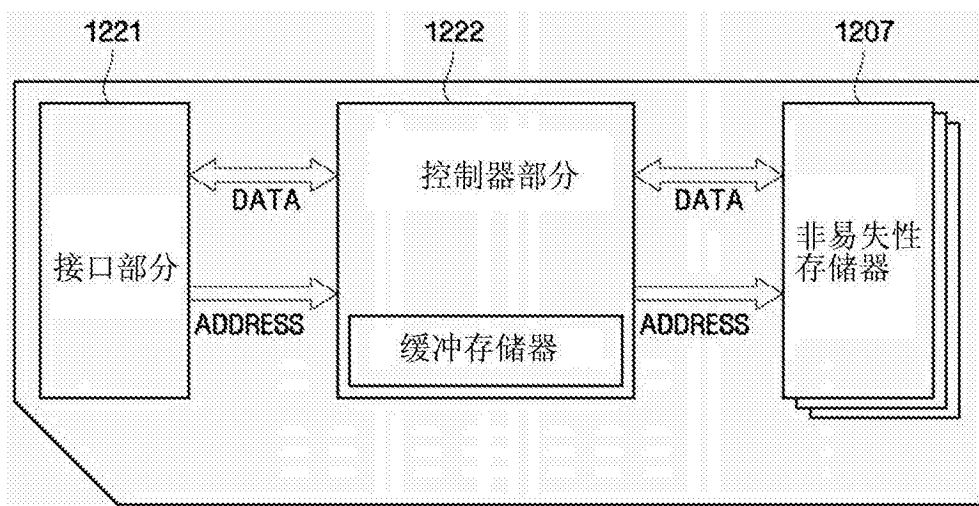


图20

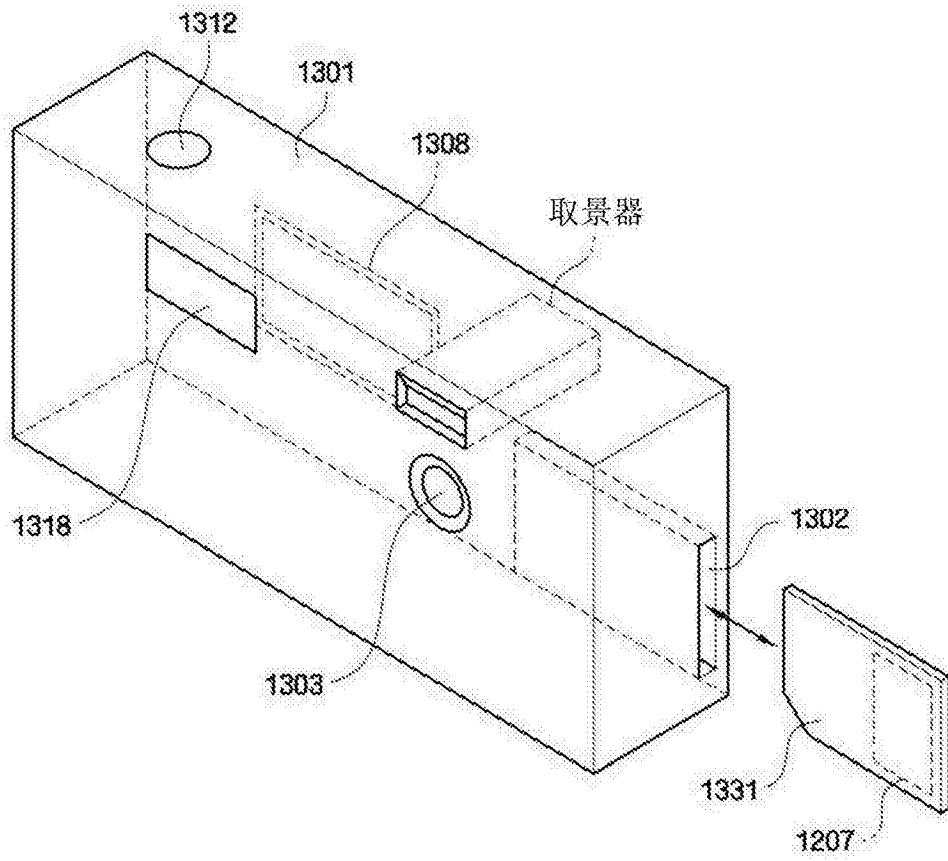


图21

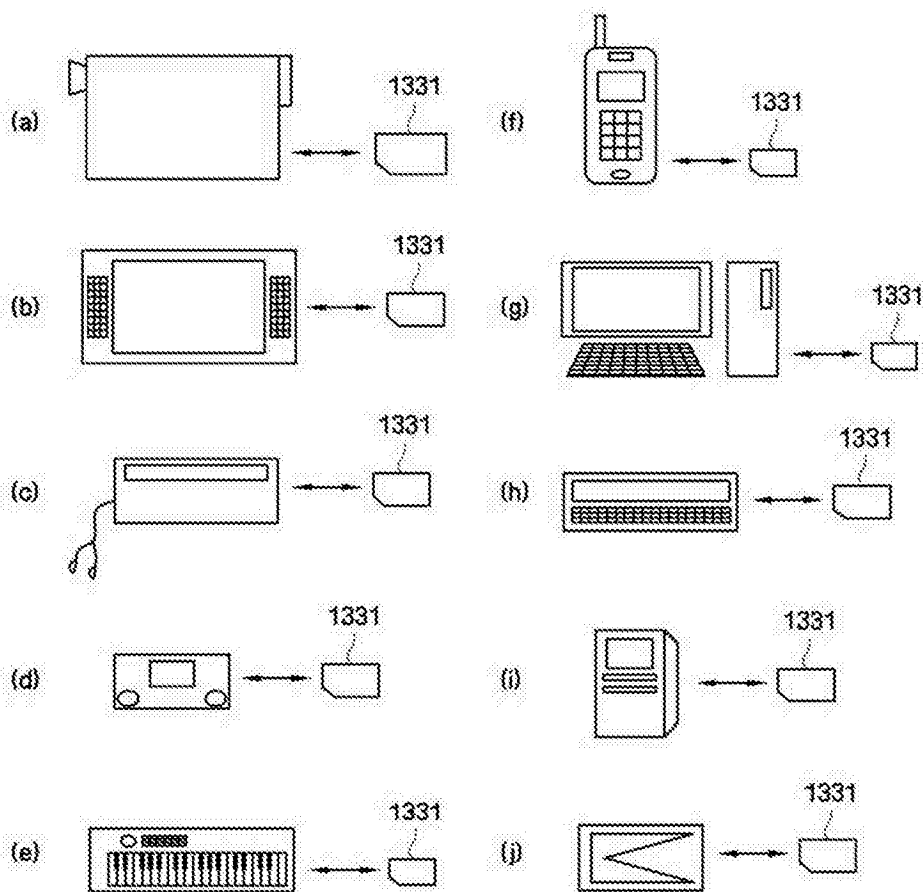


图22

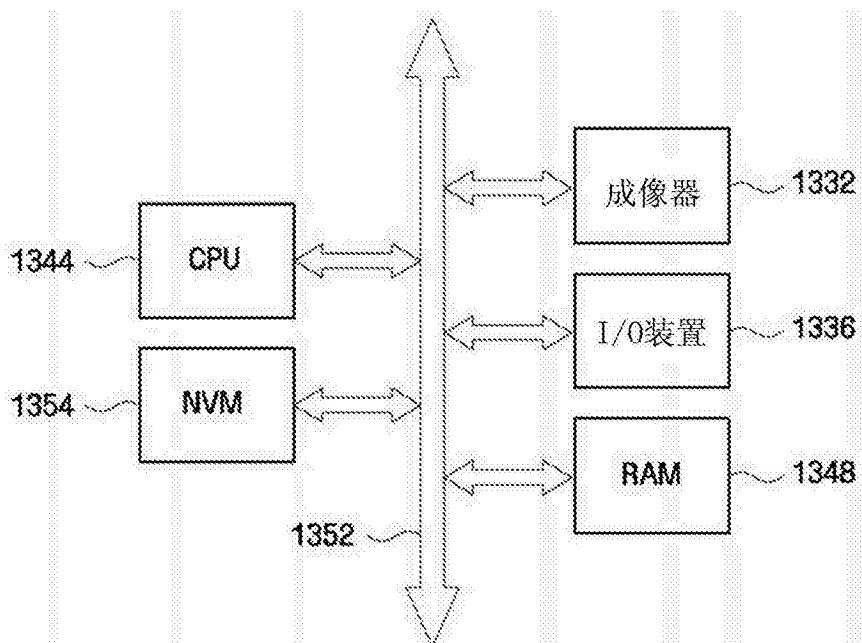


图23

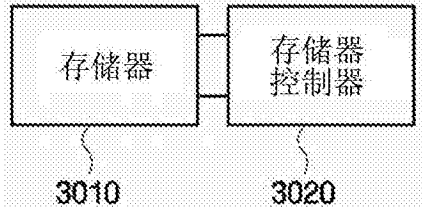


图24

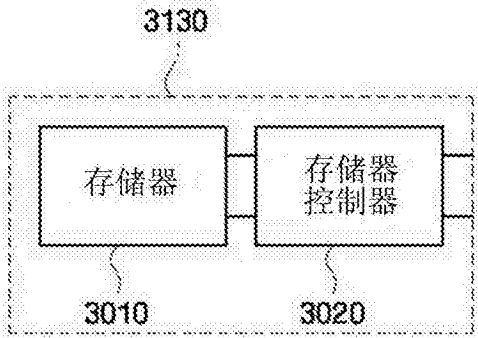


图25

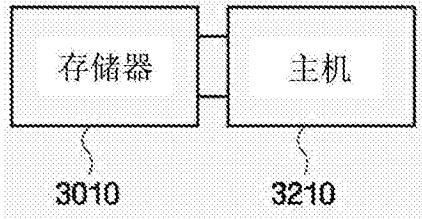


图26

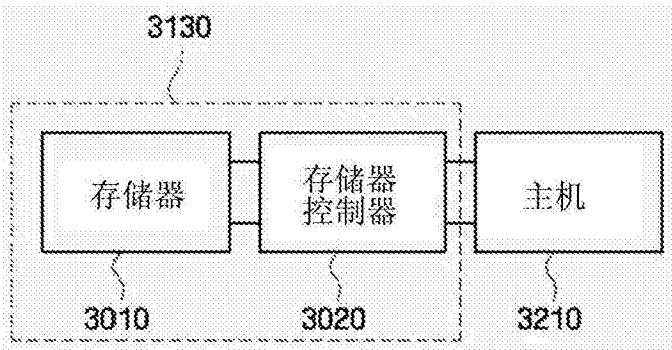


图27

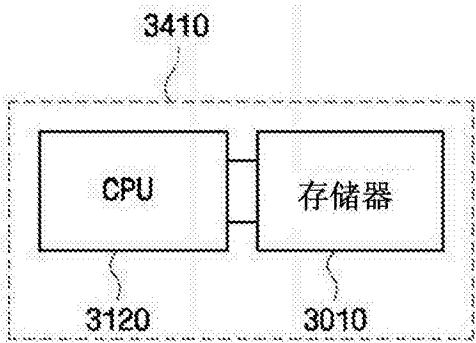


图28

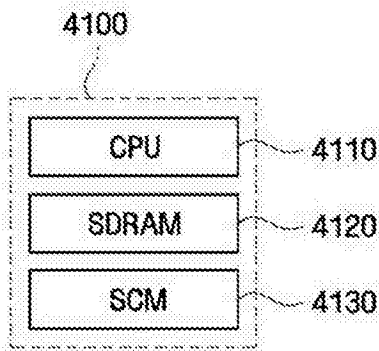


图29

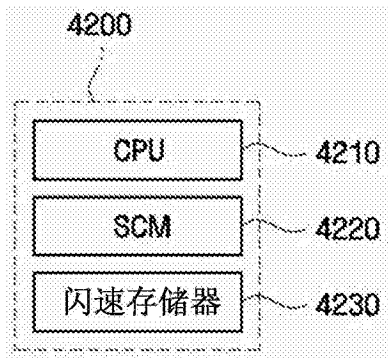


图30

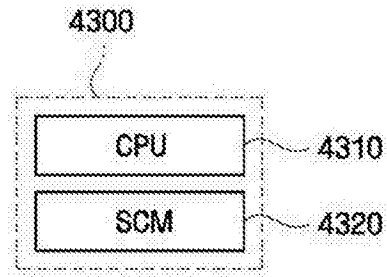


图31