

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4586739号
(P4586739)

(45) 発行日 平成22年11月24日(2010.11.24)

(24) 登録日 平成22年9月17日(2010.9.17)

(51) Int. Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 E
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 H
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 P
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 3 1 1 B
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 0 2 F
請求項の数 13 (全 26 頁) 最終頁に続く	

(21) 出願番号 特願2006-34518 (P2006-34518)
 (22) 出願日 平成18年2月10日(2006.2.10)
 (65) 公開番号 特開2007-214463 (P2007-214463A)
 (43) 公開日 平成19年8月23日(2007.8.23)
 審査請求日 平成19年2月13日(2007.2.13)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100104710
 弁理士 竹腰 昇
 (74) 代理人 100124626
 弁理士 榎並 智和
 (74) 代理人 100124682
 弁理士 黒田 泰
 (72) 発明者 齊木 隆行
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 半導体集積回路及び電子機器

(57) 【特許請求の範囲】

【請求項1】

N (Nは2以上の整数)列の各列が第1の方向で間隔をあけて配置され、かつ、N列の各々にて、前記第1の方向とは直交する第2の方向にて間隔をあけて複数のパッドを配列したN列のパッド列と、

前記N列のパッド列の下層に配置され、前記N列のパッド列の各々のパッドにそれぞれ接続された複数の静電気保護素子と、
 を有し、

前記第1の方向で互いに近接した位置関係にある前記N列のパッド列の各1個にて構成されるN個のパッドに接続される少なくともN個の静電気保護素子は、前記N個のパッドの少なくとも一部を含む領域の下層に配置され、

前記少なくともN個の静電気保護素子の各々は、第1の電源線と前記複数のパッドの一つとの間に接続される第1の静電気保護素子と、前記第1の電源線の電位より低い電位の第2の電源線と前記複数のパッドの一つとの間に接続される第2の静電気保護素子とを有し、

前記複数のパッドの各々は、前記第1の方向に沿った長辺と、前記第2の方向に沿った短辺とを有する長方形に形成され、

前記第1及び第2の静電気保護素子は、各々の不純物層の形状が、前記第1の方向よりも前記第2の方向の長さが長いことを特徴とする半導体集積回路。

【請求項2】

請求項 1 において、

第 1 列目のパッドに接続される前記第 1 及び第 2 の静電気保護素子の一方は、前記第 1 列目のパッドの下層に位置する領域に形成され、

第 N 列目のパッドに接続される前記第 1 及び第 2 の静電気保護素子の他方は、前記第 N 列目のパッドの下層に位置する領域に形成され、

前記 N 個の第 1 の静電気保護素子は前記第 1 の方向で隣接して配置され、

前記 N 個の第 2 の静電気保護素子は前記第 1 の方向で隣接して配置されていることを特徴とする半導体集積回路。

【請求項 3】

請求項 2 において、

前記 N 個の第 1 の静電気保護素子が形成される第 1 のウェルは、前記第 2 の方向に沿って形成され、前記 N 個の第 2 の静電気保護素子が形成される第 2 のウェルは、前記第 2 の方向に沿って形成され、

前記第 1 , 第 2 のウェルが前記第 1 の方向で分離されていることを特徴とする半導体集積回路。

【請求項 4】

請求項 2 または 3 において、

前記 N 個の第 2 の静電気保護素子は、それぞれトリプルウェル内に配置されていることを特徴とする半導体集積回路。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記第 1 の静電気保護素子のうち、前記パッドに接続される不純物層が平面視でリング形状に形成されていることを特徴とする半導体集積回路。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記第 1 , 第 2 の電源線間に電源間保護素子をさらに有することを特徴とする半導体集積回路。

【請求項 7】

請求項 6 において、

表示パネルに表示されるデータを記憶する RAM と、前記 RAM の出力に基づいて前記表示パネルのデータ線を駆動するデータドライバとを含み、

前記データドライバの出力線に前記パッドが接続され、

前記 RAM は、ビット線を保護するビット線保護配線層を有し、前記ビット線保護配線層が前記第 2 の電源線と前記電源間保護素子とに接続されていることを特徴とする半導体集積回路。

【請求項 8】

請求項 1 において、

前記 N 列のパッド列の各列で M (M は 2 以上の整数) 個のパッドを含む (N × M) 個のパッドの各々の一部又は全部を含む領域の下層に、前記 (N × M) 個のパッドに接続される (N × M) 個の静電気保護素子が設けられていることを特徴とする半導体集積回路。

【請求項 9】

請求項 8 において、

前記 N 列のパッド列の各列の下層では、前記第 1 の方向に前記第 1 及び第 2 の静電気保護素子を隣接配置する組み合わせを一組としたとき、前記第 2 の方向に平行な軸に対して二組の前記第 1 及び第 2 の静電気保護素子がミラー配置されていることを特徴とする半導体集積回路。

【請求項 10】

請求項 9 において、

前記 (N × M) 個のパッドのうち、前記第 2 の方向にて最端部のパッドは、前記最端部のパッドの下層に位置する前記第 1 及び第 2 の静電気保護素子と接続されていることを特

10

20

30

40

50

徴とする半導体集積回路。

【請求項 1 1】

請求項 8 乃至 1 0 のいずれかにおいて、

表示パネルの走査線を駆動する走査ドライバを含み、

前記パッドは前記走査ドライバの出力線に接続されていることを特徴とする半導体集積回路。

【請求項 1 2】

請求項 1 乃至 1 1 のいずれかにおいて、

前記 N 列のパッド列では、前記複数のパッドが各列にて同一ピッチで前記第 2 の方向に沿って配列され、

前記第 1 の方向で隣り合う 2 列の前記複数のパッドは、前記第 2 の方向で前記同一ピッチの半ピッチ分だけずれて位置していることを特徴とする半導体集積回路。

【請求項 1 3】

請求項 1 乃至 1 2 のいずれかに記載の半導体集積回路を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は集積回路装置及び電子機器に関する。

【背景技術】

【0 0 0 2】

液晶パネルなどの表示パネルを駆動する集積回路装置として表示ドライバ（LCDドライバ）がある。この表示ドライバでは、低コスト化のためにチップサイズの縮小が要求される。

【0 0 0 3】

しかしながら、携帯電話機などに組み込まれる表示パネルの大きさはほぼ一定である。従って、微細プロセスを採用し、表示ドライバの集積回路装置を単純にシュリンクしてチップサイズを縮小しようとする、実装が困難になるなどの問題を招く。

【特許文献 1】特開 2 0 0 1 - 2 2 2 2 4 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 4】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、静電気対策を施したスリムな細長の集積回路装置及びこれを含む電子機器を提供することにある。

【課題を解決するための手段】

【0 0 0 5】

本発明の一態様に係る半導体集積回路は、N（Nは2以上の整数）列の各列が第1の方向で間隔をあけて配置され、かつ、N列の各々にて、前記第1の方向とは直交する第2の方向にて間隔をあけて複数のパッドを配列したN列のパッド列と、前記N列のパッド列の下層に配置され、前記N列のパッド列の各々のパッドにそれぞれ接続された複数の静電気保護素子とを有し、前記第1の方向で互いに近接した位置関係にある前記N列のパッド列の各1個にて構成されるN個のパッドに接続される少なくともN個の静電気保護素子は、前記N個のパッドの少なくとも一部を含む領域の下層に配置されて、前記N個のパッドに接続されていることを特徴とする。

【0 0 0 6】

本発明の一態様によれば、N列のパッド列の下層に、該N列のパッド列のパッドに接続される静電気保護素子を配置できる。よって、半導体集積回路のパッド配列方向（第2の方向）と直交する第1の方向の寸法を短縮でき、スリム化が果たせる。特に、N=2を例に挙げれば、2列のパッド列の各1個のパッドに接続される静電気保護素子は、その2個

10

20

30

40

50

のパッドの下層に納めることができ、1個のパッド下に静電気保護素子を配置する場合に比べて、レイアウトの自由度や、配線インピーダンスの低減を図れる。

【0007】

本発明の一態様によれば、前記少なくともN個の静電気保護素子の各々は、第1の電源線と前記複数のパッドの一つとの間に接続される第1の静電気保護素子と、前記第1の電源線の電位より低い電位の第2の電源線と前記複数のパッドの一つとの間に接続される第2の静電気保護素子とを有することができる。前記複数のパッドの各々は、前記第1の方向に沿った長辺と、前記第2の方向に沿った短辺とを有する略長形状に形成され、前記N個のパッドに接続される前記第1及び第2の静電気保護素子は、各々の不純物層の形状が、前記第1の方向よりも前記第2の方向の長さを長くすることができる。

10

【0008】

こうすると、パッドから静電気保護素子に接続する配線幅を広く確保でき、配線インピーダンスが低減する。

【0009】

本発明の一態様では、第1列目のパッドに接続される前記第1及び第2の静電気保護素子の一方は、前記第1列目のパッドの下層に位置する領域に形成され、前記第N列目のパッドに接続される前記第1及び第2の静電気保護素子の他方は、前記第N列目のパッドの下層に位置する領域に形成され、前記N個の第1の静電気保護素子は前記第1の方向で隣接して配置され、前記N個の第2の静電気保護素子は前記第1の方向で隣接して配置することができる。

20

【0010】

こうすると、同種の静電気保護素子は一箇所にまとめて形成でき、異種の静電気保護素子間にウェル分離が必要な場合には、ウェル分離が不要となって半導体集積回路のスリム化を図れる。

【0011】

本発明の一態様では、前記N個の第1の静電気保護素子が形成される第1のウェルは、前記第2の方向に沿って形成され、前記N個の第2の静電気保護素子が形成される第2のウェルは、前記第2の方向に沿って形成され、前記第1、第2のウェルを前記第1の方向で分離することができる。

【0012】

このように、異種の静電気保護素子間でウェル分離が必要であったとしても、ウェル分離は一箇所で済む。

30

【0013】

本発明の一態様によれば、前記N個の第2の静電気保護素子は、それぞれトリプルウェル内に配置することができる。

【0014】

半導体基板電位と隔離して静電気保護素子を形成する場合に好適である。このトリプルウェル構造でも、一つのウェルはパッド配列方向の第2の方向に延長して共用できる。

【0015】

本発明の一態様では、前記第1の静電気保護素子のうち、前記パッドに接続される不純物層を平面視でリング形状に形成することができる。リング状としない場合、不純物層の同士が少ない面積で対向し、寄生バイポーラがオンするおそれがあるが、リング状として対向面積を大きくすれば、寄生バイポーラトランジスタのベース長が大きくなって誤動作を防止できる。

40

【0016】

本発明の他の態様によれば、前記第1、第2の電源線間に電源間保護素子をさらに有することができる。電源間で電圧クランプさせることで、アクティブ素子を静電気から保護できる。

【0017】

本発明の一態様によれば、半導体集積回路が、表示パネルに表示されるデータを記憶す

50

るRAMと、前記RAMの出力に基づいて前記表示パネルのデータ線を駆動するデータドライバを含むことができる。この場合、データドライバの出力線に前記パッドが接続される。RAMは、ビット線を保護するビット線保護配線層を有し、前記ビット線保護配線層を前記第2の電源線と前記電源間保護素子とに接続することができる。電源間保護素子は多数配置できないので、接地端子と距離があると配線インピーダンスが大きくなるが、ビット線保護配線層により配線インピーダンスを低減できる。

【0018】

本発明の一態様では、前記N列のパッド列の各列でM（Mは2以上の整数）個のパッドを含む（ $N \times M$ ）個のパッドの各々の一部又は全部を含む領域の下層に、前記（ $N \times M$ ）個のパッドに接続される（ $N \times M$ ）個の静電気保護素子が設けられていることができる。

10

【0019】

この態様では、パッド列方向のみならず、パッド配列方向の複数のパッドの下層領域を利用して、この複数パッドに接続される静電気保護素子を、自由度を持ってレイアウトすることができる。

【0020】

本発明の一態様によれば、前記（ $N \times M$ ）個の静電気保護素子の各々は、第1の電源線と前記（ $N \times M$ ）個のパッドの一つとの間に接続される第1の静電気保護素子と、前記第1の電源線の電位より低い電位の第2の電源線と前記（ $N \times M$ ）個のパッドの一つとの間に接続される第2の静電気保護素子とを有することができる。この場合、前記複数のパッドの各々は、前記第1の方向に沿った長辺と、前記第2の方向に沿った短辺とを有する略長形状に形成され、前記第1及び前記第2の静電気保護素子は、各々の不純物層の前記第2の方向での長さを、前記第2の方向でのパッドピッチよりも長くすることができる。

20

【0021】

この場合も、配線インピーダンスを低減しながら、静電気保護素子のレイアウトの自由度が高まり、半導体集積回路のスリム化に寄与できる。

【0022】

本発明の一態様では、前記N列のパッド列の各列の下層では、前記第1の方向に前記第1及び第2の静電気保護素子を隣接配置する組み合わせを一組としたとき、前記第2の方向に平行な軸に対して二組の前記第1及び第2の静電気保護素子をミラー配置することができる。

30

【0023】

こうすると、パッド数の多い場合でもマスク設計を簡易化できる上、パッドと静電気保護素子との配線を短縮することができる。

【0024】

一例として、前記（ $N \times M$ ）個のパッドのうち、前記第2の方向にて最端部のパッドは、前記最端部のパッドの下層に位置する前記第1及び第2の静電気保護素子とを接続することができる。配線距離が最短化される。

【0025】

本発明の一態様では、表示パネルの走査線を駆動する走査ドライバを含み、前記パッドを前記走査ドライバの出力線に接続することができる。

40

【0026】

本発明の一態様では、前記N列のパッド列では、前記複数のパッドが各列にて同一ピッチで前記第2の方向に沿って配列され、前記第1の方向で隣り合う2列の前記複数のパッドは、前記第2の方向で前記同一ピッチの半ピッチ分だけずれて位置させることができる。いわゆる、千鳥状配列である。こうすると、各列でパッド位置を半ピッチだけずらすと、静電気保護素子とパッドと配線レイアウトが容易となる。

【0027】

本発明の態様は、上述の半導体集積回路を有する電子機器を定義している。

【発明を実施するための最良の形態】

【0028】

50

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成のすべてが本発明の解決手段として必須であるとは限らない。

【0029】

1. 比較例

図1(A)に本実施形態の比較例となる集積回路装置500を示す。図1(A)の集積回路装置500はメモリブロックMB(表示データRAM)とデータドライバブロックDBを含む。そしてメモリブロックMBとデータドライバブロックDBはD2方向に沿って配置されている。またメモリブロックMB、データドライバブロックDBは、D1方向に沿った長さがD2方向での幅に比べて長い超扁平なブロックになっている。

10

【0030】

ホスト側からの画像データはメモリブロックMBに書き込まれる。そしてデータドライバブロックDBは、メモリブロックMBに書き込まれたデジタルの画像データをアナログのデータ電圧に変換して、表示パネルのデータ線を駆動する。このように図1(A)において画像データの信号の流れはD2方向である。このため、図1(A)の比較例では、この信号の流れに合わせて、メモリブロックMBとデータドライバブロックDBをD2方向に沿って配置している。このようにすることで、入力と出力の間がショートパスになり、信号遅延を最適化でき、効率の良い信号伝達が可能になる。

【0031】

ところが図1(A)の比較例では以下のような課題がある。

20

【0032】

第1に、表示ドライバなどの集積回路装置では、低コスト化のためにチップサイズの縮小が要求される。ところが、微細プロセスを採用し、集積回路装置500を単純にシュリンクしてチップサイズを縮小すると、短辺方向のみならず長辺方向も縮小されてしまう。従って図2(A)に示すように実装の困難化の問題を招く。即ち出力ピッチは、例えば $22\mu\text{m}$ 以上であることが望ましいが、図2(A)のような単純シュリンクでは例えば $17\mu\text{m}$ ピッチになってしまい、狭ピッチのために実装が困難になる。また表示パネルのガラスの額縁が広くなり、ガラスの取れ数が減少し、コスト増を招く。

【0033】

第2に、表示ドライバでは、表示パネルの種類(アモルファスTFT、低温ポリシリコンTFT)や画素数(QCIF、QVGA、VGA)や製品の仕様などに応じて、メモリやデータドライバの構成が変わる。従って図1(A)の比較例では、ある製品では図1(B)のように、パッドピッチとメモリのセルピッチとデータドライバのセルピッチが一致していたとしても、メモリやデータドライバの構成が変わると、図1(C)に示すようにこれらのピッチが一致しなくなる。そして図1(C)のようにピッチが一致しなくなると、回路ブロック間に、ピッチの不一致を吸収するための無駄な配線領域を形成しなければなくなる。特にD1方向にブロックが扁平している図1(A)の比較例では、ピッチの不一致を吸収するための無駄な配線領域が大きくなる。この結果、集積回路装置500のD2方向での幅Wが大きくなり、チップ面積が増加し、コスト増を招く。

30

【0034】

一方、このような事態を避けるために、パッドピッチとセルピッチが揃うようにメモリやデータドライバのレイアウトを変更すると、開発期間が長期化し、結局、コスト増を招く。即ち図1(A)の比較例では、各回路ブロックの回路構成やレイアウトを個別設計し、その後にピッチ等を合わせるという作業を行うため、無駄な空き領域が生じたり、設計が非効率化するなどの問題が生じる。

40

【0035】

2. 集積回路装置の構成

以上のような問題を解決できる本実施形態の集積回路装置10の構成例を図3に示す。本実施形態では、集積回路装置10の短辺である第1の辺SD1から対向する第3の辺SD3へと向かう方向を方向D1とし、D1の反対方向を方向D3としている。また集積回

50

路装置 10 の長辺である第 2 の辺 S D 2 から対向する第 4 の辺 S D 4 へと向かう方向を方向 D 2 とし、D 2 の反対方向を方向 D 4 としている。なお、図 3 では集積回路装置 10 の左辺が第 1 の辺 S D 1 で、右辺が第 3 の辺 S D 3 になっているが、左辺が第 3 の辺 S D 3 で、右辺が第 1 の辺 S D 1 であってもよい。

【 0 0 3 6 】

図 3 に示すように本実施形態の集積回路装置 10 は、D 1 方向に沿って配置される第 1 ~ 第 N の回路ブロック C B 1 ~ C B N (N は 2 以上の整数) を含む。即ち、図 1 (A) の比較例では回路ブロックが D 2 方向に並んでいるが、本実施形態では回路ブロック C B 1 ~ C B N が D 1 方向に並んでいる。また各回路ブロックは、図 1 (A) の比較例のような超扁平なブロックになっておらず、比較的スクウェアなブロックになっている。

10

【 0 0 3 7 】

また集積回路装置 10 は、第 1 ~ 第 N の回路ブロック C B 1 ~ C B N の D 2 方向側に辺 S D 4 に沿って設けられる出力側 I / F 領域 1 2 (広義には第 1 のインターフェース領域) を含む。また第 1 ~ 第 N の回路ブロック C B 1 ~ C B N の D 4 方向側に辺 S D 2 に沿って設けられる入力側 I / F 領域 1 4 (広義には第 2 のインターフェース領域) を含む。より具体的には、出力側 I / F 領域 1 2 (第 1 の I / O 領域) は、回路ブロック C B 1 ~ C B N の D 2 方向側に、例えば他の回路ブロック等を介さずに配置される。また入力側 I / F 領域 1 4 (第 2 の I / O 領域) は、回路ブロック C B 1 ~ C B N の D 4 方向側に、例えば他の回路ブロック等を介さずに配置される。即ち少なくともデータドライバブロックが存在する部分において、D 2 方向において 1 つの回路ブロック (データドライバブロック) だけが存在する。なお集積回路装置 10 を I P (Intellectual Property) コアとして用いて他の集積回路装置に組み込む場合等には、I / F 領域 1 2、1 4 の少なくとも一方を設けない構成とすることもできる。

20

【 0 0 3 8 】

出力側 (表示パネル側) I / F 領域 1 2 は、表示パネルとのインターフェースとなる領域であり、パッドや、パッドに接続される出力用トランジスタ、保護素子などの種々の素子を含む。具体的には、データ線へのデータ信号や走査線への走査信号を出力するための出力用トランジスタなどを含む。なお表示パネルがタッチパネルである場合等には、入力用トランジスタを含んでもよい。

【 0 0 3 9 】

入力側 (ホスト側) I / F 領域 1 4 は、ホスト (M P U、画像処理コントローラ、ベースバンドエンジン) とのインターフェースとなる領域であり、パッドや、パッドに接続される入力用 (入出力用) トランジスタ、出力用トランジスタ、保護素子などの種々の素子を含むことができる。具体的には、ホストからの信号 (デジタル信号) を入力するための入力用トランジスタやホストへの信号を出力するための出力用トランジスタなどを含む。

30

【 0 0 4 0 】

なお、短辺である辺 S D 1、S D 3 に沿った出力側又は入力側 I / F 領域を設けるようにしてもよい。また外部接続端子となるバンプ等は、I / F (インターフェース) 領域 1 2、1 4 に設けてもよいし、それ以外の領域 (第 1 ~ 第 N の回路ブロック C B 1 ~ C B N) に設けてもよい。I / F 領域 1 2、1 4 以外の領域に設ける場合には、金バンプ以外の小型バンプ技術 (樹脂をコアとするバンプ技術など) を用いることで実現される。

40

【 0 0 4 1 】

また第 1 ~ 第 N の回路ブロック C B 1 ~ C B N は、少なくとも 2 つ (或いは 3 つ) の異なる回路ブロック (異なる機能を持つ回路ブロック) を含むことができる。集積回路装置 10 が表示ドライバである場合を例にとれば、回路ブロック C B 1 ~ C B N は、データドライバ、メモリ、走査ドライバ、ロジック回路、階調電圧生成回路、電源回路のブロックの少なくとも 2 つを含むことができる。更に具体的には回路ブロック C B 1 ~ C B N は、少なくともデータドライバ、ロジック回路のブロックを含むことができ、更に階調電圧生成回路のブロックを含むことができる。またメモリ内蔵タイプの場合には更にメモリのブロックを含むことができる。

50

【 0 0 4 2 】

例えば図 4 に種々のタイプの表示ドライバとそれが内蔵する回路ブロックの例を示す。メモリ (RAM) 内蔵のアモルファス TFT (Thin Film Transistor) パネル用表示ドライバでは、回路ブロック CB1 ~ CBN は、メモリ、データドライバ (ソースドライバ)、走査ドライバ (ゲートドライバ)、ロジック回路 (ゲートレイ回路)、階調電圧生成回路 (補正回路)、電源回路のブロックを含む。一方、メモリ内蔵の低温ポリシリコン (LTFS) TFT パネル用表示ドライバでは、走査ドライバをガラス基板に形成できるため、走査ドライバのブロックを省略できる。またメモリ非内蔵のアモルファス TFT パネル用では、メモリのブロックを省略でき、メモリ非内蔵の低温ポリシリコン TFT パネル用では、メモリ及び走査ドライバのブロックを省略できる。また CSTN (Collar Super Twisted Nematic) パネル、TFD (Thin Film Diode) パネル用では、階調電圧生成回路のブロックを省略できる。

10

【 0 0 4 3 】

図 5 (A) (B) に本実施形態の表示ドライバの集積回路装置 10 の平面レイアウトの例を示す。図 5 (A) (B) は、メモリ内蔵のアモルファス TFT パネル用の例であり、図 5 (A) は例えば QCIF、32 階調用の表示ドライバをターゲットとし、図 5 (B) は QVGA、64 階調用の表示ドライバをターゲットとしている。

【 0 0 4 4 】

図 5 (A) (B) では、第 1 ~ 第 N の回路ブロック CB1 ~ CBN は、第 1 ~ 第 4 のメモリブロック MB1 ~ MB4 (広義には第 1 ~ 第 I のメモリブロック。I は 2 以上の整数) を含む。また第 1 ~ 第 4 のメモリブロック MB1 ~ MB4 の各々に対して、D1 方向に沿ってその各々が隣接して配置される第 1 ~ 第 4 のデータドライバブロック DB1 ~ DB4 (広義には第 1 ~ 第 I のデータドライバブロック) を含む。具体的にはメモリブロック MB1 とデータドライバブロック DB1 が D1 方向に沿って隣接して配置され、メモリブロック MB2 とデータドライバブロック DB2 が D1 方向に沿って隣接して配置される。そしてデータドライバブロック DB1 がデータ線を駆動するために用いる画像データ (表示データ) は、隣接するメモリブロック MB1 が記憶し、データドライバブロック DB2 がデータ線を駆動するために用いる画像データは、隣接するメモリブロック MB2 が記憶する。

20

【 0 0 4 5 】

また図 5 (A) では、メモリブロック MB1 ~ MB4 のうちの MB1 (広義には第 J のメモリブロック。1 $J < I$) の D3 方向側に、データドライバブロック DB1 ~ DB4 のうちの DB1 (広義には第 J のデータドライバブロック) が隣接して配置される。またメモリブロック MB1 の D1 方向側に、メモリブロック MB2 (広義には第 J + 1 のメモリブロック) が隣接して配置される。そしてメモリブロック MB2 の D1 方向側に、データドライバブロック DB2 (広義には第 J + 1 のデータドライバブロック) が隣接して配置される。メモリブロック MB3、MB4、データドライバブロック DB3、DB4 の配置も同様である。このように図 5 (A) では、MB1、MB2 の境界線に対して線対称に MB1、DB1 と MB2、DB2 が配置され、MB3、MB4 の境界線に対して線対称に MB3、DB3 と MB4、DB4 とが配置される。なお図 5 (A) では、DB2 と DB3 が隣接して配置されているが、これらを隣接させずに、その間に他の回路ブロックを配置してもよい。

30

40

【 0 0 4 6 】

一方、図 5 (B) では、メモリブロック MB1 ~ MB4 のうちの MB1 (第 J のメモリブロック) の D3 方向側に、データドライバブロック DB1 ~ DB4 のうちの DB1 (第 J のデータドライバブロック) が隣接して配置される。また MB1 の D1 方向側に DB2 (第 J + 1 のデータドライバブロック) が配置される。また DB2 の D1 方向側に MB2 (第 J + 1 のメモリブロック) が配置される。DB3、MB3、DB4、MB4 も同様に配置される。なお図 5 (B) では、MB1 と DB2、MB2 と DB3、MB3 と DB4 が、各々、隣接して配置されているが、これらを隣接させずに、その間に他の回路ブロック

50

を配置してもよい。

【 0 0 4 7 】

図 5 (A) のレイアウト配置によれば、メモリブロック M B 1 と M B 2 や、 M B 3 と M B 4 の間で (第 J 、 第 J + 1 のメモリブロックの間で) 、カラムアドレスデコーダを共用できるという利点がある。一方、図 5 (B) のレイアウト配置によれば、データドライバブロック D B 1 ~ D B 4 から出力側 I / F 領域 1 2 へのデータ信号出力線の配線ピッチを均等化でき、配線効率を向上できるという利点がある。

【 0 0 4 8 】

なお本実施形態の集積回路装置 1 0 のレイアウト配置は図 5 (A) (B) に限定されない。例えばメモリブロックやデータドライバブロックのブロック数を 2、3 或いは 5 以上にしてもよいし、メモリブロックやデータドライバブロックをブロック分割しない構成にしてもよい。またメモリブロックとデータドライバブロックが隣接しないようにする変形実施も可能である。またメモリブロック、走査ドライバブロック、電源回路ブロック又は階調電圧生成回路ブロックなどを設けない構成としてもよい。また回路ブロック C B 1 ~ C B N と出力側 I / F 領域 1 2 や入力側 I / F 領域 1 4 の間に、D 2 方向での幅が極めて狭い回路ブロック (W B 以下の細長回路ブロック) を設けてもよい。また回路ブロック C B 1 ~ C B N が、異なる回路ブロックが D 2 方向に多段に並んだ回路ブロックを含んでもよい。例えば走査ドライバ回路と電源回路を 1 つの回路ブロックとした構成としてもよい。

【 0 0 4 9 】

図 6 (A) は、本実施形態の集積回路装置 1 0 の D 2 方向に沿った断面図の例であり、図 6 (B) は比較例の断面図の例である。図 1 (A) の比較例では、図 6 (B) に示すように 2 以上の複数の回路ブロックが D 2 方向に沿って配置される。また D 2 方向において、回路ブロック間や、回路ブロックと I / F 領域の間に配線領域が形成される。従って集積回路装置 5 0 0 の D 2 方向 (短辺方向) での幅 W が大きくなり、スリムな細長チップを実現できない。従って微細プロセスを利用してチップをシュリンクしても、図 2 (A) に示すように D 1 方向 (長辺方向) での長さ L D も短くなってしまい、出力ピッチが狭ピッチになるため、実装の困難化を招く。

【 0 0 5 0 】

これに対して本実施形態では図 3、図 5 (A) (B) に示すように複数の回路ブロック C B 1 ~ C B N が D 1 方向に沿って配置される。また図 6 (A) に示すように、パッド (バンプ) の下にトランジスタ (回路素子) を配置できる (能動面バンプ) 。また回路ブロック内の配線であるローカル配線よりも上層 (パッドよりも下層) で形成されるグローバル配線により、回路ブロック間や、回路ブロックと I / F 領域間等での信号線を形成できる。従って図 2 (B) に示すように、集積回路装置 1 0 の D 1 方向での長さ L D を維持したままで、D 2 方向での幅 W を狭くでき、超スリムな細長チップを実現できる。この結果、出力ピッチを例えば 2 2 μ m 以上に維持することができ、実装を容易化できる。

【 0 0 5 1 】

また本実施形態では複数の回路ブロック C B 1 ~ C B N が D 1 方向に沿って配置されるため、製品の仕様変更等に容易に対応できる。即ち共通のプラットフォームを用いて様々な仕様の製品を設計できるため、設計効率を向上できる。例えば図 5 (A) (B) において、表示パネルの画素数や階調数が増減した場合にも、メモリブロックやデータドライバブロックのブロック数や、1 水平走査期間での画像データの読み出し回数等を増減するだけで対応できる。また図 5 (A) (B) はメモリ内蔵のアモルファス T F T パネル用の例であるが、メモリ内蔵の低温ポリシリコン T F T パネル用の製品を開発する場合には、回路ブロック C B 1 ~ C B N の中から走査ドライバブロックを取り除くだけで済む。またメモリ非内蔵の製品を開発する場合には、メモリブロックを取り除けば済む。そしてこのように仕様に合わせて回路ブロックを取り除いても、本実施形態では、それが他の回路ブロックに及ぼす影響が最小限に抑えられるため、設計効率を向上できる。

【 0 0 5 2 】

また本実施形態では、各回路ブロック C B 1 ~ C B N の D 2 方向での幅（高さ）を、例えばデータドライバブロックやメモリブロックの幅（高さ）に統一できる。そして各回路ブロックのトランジスタ数が増減した場合には、各回路ブロックの D 1 方向での長さを増減することで調整できるため、設計を更に効率化できる。例えば図 5（A）（B）において、階調電圧生成回路ブロックや電源回路ブロックの構成が変更になり、トランジスタ数が増減した場合にも、階調電圧生成回路ブロックや電源回路ブロックの D 1 方向での長さを増減することで対応できる。

【 0 0 5 3 】

なお第 2 の比較例として、例えばデータドライバブロックを D 1 方向に細長に配置し、データドライバブロックの D 4 方向側に、メモリブロックなどの他の複数の回路ブロックを D 1 方向に沿って配置する手法も考えられる。しかしながらこの第 2 の比較例では、メモリブロックなどの他の回路ブロックと出力側 I / F 領域との間に、幅の大きなデータドライバブロックが介在するようになるため、集積回路装置の D 2 方向での幅 W が大きくなり、スリムな細長チップの実現が困難になる。またデータドライバブロックとメモリブロックの間に無駄な配線領域が生じてしまい、幅 W が更に大きくなってしまう。またデータドライバブロックやメモリブロックの構成が変わった場合には、図 1（B）（C）で説明したピッチの不一致の問題が生じ、設計効率を向上できない。

【 0 0 5 4 】

また本実施形態の第 3 の比較例として、同一機能の回路ブロック（例えばデータドライバブロック）だけをブロック分割して、D 1 方向に並べて配置する手法も考えられる。しかしながら、この第 3 の比較例では、集積回路装置に同一機能（例えばデータドライバの機能）だけしか持たせることができないため、多様な製品展開を実現できない。これに対して本実施形態では、回路ブロック C B 1 ~ C B N は、少なくとも 2 つの異なる機能を有する回路ブロックを含む。従って図 4、図 5（A）（B）に示すように、様々なタイプの表示パネルに対応した多様な機種を集積回路装置を提供できるという利点がある。

【 0 0 5 5 】

3 . 回路構成

図 7 に集積回路装置 1 0 の回路構成例を示す。なお集積回路装置 1 0 の回路構成は図 7 に限定されるものではなく、種々の変形実施が可能である。メモリ 2 0（表示データ RAM）は画像データを記憶する。メモリセルアレイ 2 2 は複数のメモリセルを含み、少なくとも 1 フレーム（1 画面）分の画像データ（表示データ）を記憶する。この場合、1 画素は例えば R、G、B の 3 サブピクセル（3 ドット）で構成され、各サブピクセルについて例えば 6 ビット（k ビット）の画像データが記憶される。ローアドレスデコーダ 2 4（MPU / LCD ロードアドレスデコーダ）はローアドレスについてのデコード処理を行い、メモリセルアレイ 2 2 のワード線の選択処理を行う。カラムアドレスデコーダ 2 6（MPU カラムアドレスデコーダ）はカラムアドレスについてのデコード処理を行い、メモリセルアレイ 2 2 のビット線の選択処理を行う。ライト / リード回路 2 8（MPU ライト / リード回路）はメモリセルアレイ 2 2 への画像データのライト処理や、メモリセルアレイ 2 2 からの画像データのリード処理を行う。なおメモリセルアレイ 2 2 のアクセス領域は、例えばスタートアドレスとエンドアドレスを対頂点とする矩形で定義される。即ちスタートアドレスのカラムアドレス及びローアドレスと、エンドアドレスのカラムアドレス及びローアドレスでアクセス領域が定義され、メモリアクセスが行われる。

【 0 0 5 6 】

ロジック回路 4 0（例えば自動配置配線回路）は、表示タイミングを制御するための制御信号やデータ処理タイミングを制御するための制御信号などを生成する。このロジック回路 4 0 は例えばゲートアレイ（G / A）などの自動配置配線により形成できる。制御回路 4 2 は各種制御信号を生成し、装置全体の制御を行う。具体的には階調電圧生成回路 1 1 0 に階調特性（特性）の調整データ（補正データ）を出力し、電源回路 9 0 の電圧生成を制御する。またローアドレスデコーダ 2 4、カラムアドレスデコーダ 2 6、ライト / リード回路 2 8 を用いたメモリへのライト / リード処理を制御する。表示タイミング制

10

20

30

40

50

御回路 44 は表示タイミングを制御するための各種の制御信号を生成し、メモリから表示パネル側への画像データの読み出しを制御する。ホスト(MPU)インターフェース回路 46 は、ホストからのアクセス毎に内部パルスを発生してメモリにアクセスするホストインターフェースを実現する。RGBインターフェース回路 48 は、ドットクロックにより動画のRGBデータをメモリに書き込むRGBインターフェースを実現する。なおホストインターフェース回路 46、RGBインターフェース回路 48 のいずれか一方のみを設ける構成としてもよい。

【0057】

図7において、ホストインターフェース回路 46、RGBインターフェース回路 48 からは1画素単位でメモリ 20 へのアクセスが行われる。一方、データドライバ 50 へは、ホストインターフェース回路 46、RGBインターフェース回路 48 とは独立した内部表示タイミングにより、ライン周期毎に、ラインアドレスで指定されライン単位で読み出された画像データが送られる。

【0058】

データドライバ 50 は表示パネルのデータ線を駆動するための回路であり、図8(A)にその構成例を示す。データラッチ回路 52 は、メモリ 20 からのデジタルの画像データをラッチする。D/A変換回路 54 (電圧選択回路) は、データラッチ回路 52 にラッチされたデジタルの画像データのD/A変換を行い、アナログのデータ電圧を生成する。具体的には階調電圧生成回路 110 から複数(例えば64段階)の階調電圧(基準電圧)を受け、これらの複数の階調電圧の中から、デジタルの画像データに対応する電圧を選択して、データ電圧として出力する。出力回路 56 (駆動回路、バッファ回路) は、D/A変換回路 54 からのデータ電圧をバッファリングして表示パネルのデータ線に出力し、データ線を駆動する。なお、出力回路 56 の一部(例えば演算増幅器の出力段)をデータドライバ 50 には含ませずに、他の領域に配置する構成としてもよい。

【0059】

走査ドライバ 70 は表示パネルの走査線を駆動するための回路であり、図8(B)にその構成例を示す。シフトレジスタ 72 は順次接続された複数のフリップフロップを含み、シフトクロック信号 SCK に同期してイネーブル入出力信号 EIO を順次シフトする。レベルシフタ 76 は、シフトレジスタ 72 からの信号の電圧レベルを、走査線選択のための高電圧レベルに変換する。出力回路 78 は、レベルシフタ 76 により変換されて出力された走査電圧をバッファリングして表示パネルの走査線に出力し、走査線を選択駆動する。なお走査ドライバ 70 は図8(C)に示す構成であってもよい。図8(C)では、走査アドレス生成回路 73 が走査アドレスを生成して出力し、アドレスデコーダ 74 が走査アドレスのデコード処理を行う。そしてこのデコード処理により特定された走査線に対して、レベルシフタ 76、出力回路 78 を介して走査電圧が出力される。

【0060】

電源回路 90 は各種の電源電圧を生成する回路であり、図9(A)にその構成例を示す。昇圧回路 92 は、入力電源電圧や内部電源電圧を、昇圧用キャパシタや昇圧用トランジスタを用いてチャージポンプ方式で昇圧し、昇圧電圧を生成する回路であり、1次~4次昇圧回路などを含むことができる。この昇圧回路 92 により、走査ドライバ 70 や階調電圧生成回路 110 が使用する高電圧を生成できる。レギュレータ回路 94 は、昇圧回路 92 により生成された昇圧電圧のレベル調整を行う。VCOM生成回路 96 は、表示パネルの対向電極に供給するVCOM電圧を生成して出力する。制御回路 98 は電源回路 90 の制御を行うものであり、各種の制御レジスタなどを含む。

【0061】

階調電圧生成回路(補正回路) 110 は階調電圧を生成する回路であり、図9(B)にその構成例を示す。選択用電圧生成回路 112 (電圧分割回路) は、電源回路 90 で生成された高電圧の電源電圧 VDDH、VSSH に基づいて、選択用電圧 VS0 ~ VS255 (広義には R 個の選択用電圧) を出力する。具体的には選択用電圧生成回路 112 は、直列に接続された複数の抵抗素子を有するラダー抵抗回路を含む。そして VDDH、VS

10

20

30

40

50

S Hを、このラダー抵抗回路により分割した電圧を、選択用電圧V S 0 ~ V S 2 5 5として出力する。階調電圧選択回路1 1 4は、ロジック回路4 0により調整レジスタ1 1 6に設定された階調特性の調整データに基づいて、選択用電圧V S 0 ~ V S 2 5 5の中から、例えば6 4階調の場合には6 4個(広義にはS個。R > S)の電圧を選択して、階調電圧V 0 ~ V 6 3として出力する。このようにすれば表示パネルに応じた最適な階調特性(補正特性)の階調電圧を生成できる。なお極性反転駆動の場合には、正極性用のラダー抵抗回路と負極性用のラダー抵抗回路を選択用電圧生成回路1 1 2に設けてもよい。またラダー抵抗回路の各抵抗素子の抵抗値を、調整レジスタ1 1 6に設定された調整データに基づいて変更できるようにしてもよい。また選択用電圧生成回路1 1 2や階調電圧選択回路1 1 4に、インピーダンス変換回路(ボルテージフォロワ接続の演算増幅器)を設ける構成にしてもよい。

10

【0 0 6 2】

図1 0 (A)に、図8 (A)のD / A変換回路5 4が含む各D A C (Digital Analog Converter)の構成例を示す。図1 0 (A)の各D A Cは、例えばサブピクセル毎(或いは画素毎)に設けることができ、ROMデコーダ等により構成される。そしてメモリ2 0からの6ビットのデジタルの画像データD 0 ~ D 5とその反転データX D 0 ~ X D 5に基づいて、階調電圧生成回路1 1 0からの階調電圧V 0 ~ V 6 3のいずれかを選択することで、画像データD 0 ~ D 5をアナログ電圧に変換する。そして得られたアナログ電圧の信号D A Q (D A Q R、D A Q G、D A Q B)を出力回路5 6に出力する。

【0 0 6 3】

なお低温ポリシリコンT F T用の表示ドライバ等で、R用、G用、B用のデータ信号をマルチプレクスして表示ドライバに送る場合(図1 0 (C)の場合)には、R用、G用、B用の画像データを、1つの共用のD A Cを用いてD / A変換することもできる。この場合には図1 0 (A)の各D A Cは画素毎に設けられる。

20

【0 0 6 4】

図1 0 (B)に、図8 (A)の出力回路5 6が含む各出力部S Qの構成例を示す。図1 0 (B)の各出力部S Qは画素毎に設けることができる。各出力部S Qは、R(赤)用、G(緑)用、B(青)用のインピーダンス変換回路O P R、O P G、O P B(ボルテージフォロワ接続の演算増幅器)を含み、D A Cからの信号D A Q R、D A Q G、D A Q Bのインピーダンス変換を行って、データ信号D A T A R、D A T A G、D A T A BをR、G、B用のデータ信号出力線に出力する。なお例えば低温ポリシリコンT F Tパネルの場合には、図1 0 (C)に示すようなスイッチ素子(スイッチ用トランジスタ)S W R、S W G、S W Bを設け、R用、G用、B用のデータ信号が多重化されたデータ信号D A T Aを、インピーダンス変換回路O Pが出力するようにしてもよい。またデータ信号の多重化を複数画素に亘って行うようにしてもよい。また出力部S Qに、図1 0 (B) (C)のようなインピーダンス変換回路を設けずに、スイッチ素子等だけを設ける構成にしてもよい。

30

【0 0 6 5】

4. 集積回路装置の幅

4. 1 パッドと静電気保護素子の配置の関係

本実施形態では、集積回路装置1 0のインターフェース領域、例えば出力側インターフェース領域1 2に設けられたパッドに接続される静電気保護素子を該パッドの下層に配置することで、集積回路装置1 0のD 2方向での幅をより一層小さくできる。静電気保護素子の他にトランジスタや抵抗素子をパッドの下層に配置する場合、その配置を工夫することで、集積回路装置1 0のD 2方向での幅Wをより一層小さくできる。

40

【0 0 6 6】

図1 1は、出力側インターフェース領域1 2に設けられたパッド2 0 0の静電気保護回路を示している。パッド2 0 0に接続された出力線2 0 2と、高電位側の第1の電源線2 0 4との間には、P型トランジスタ2 1 0が接続されている。また、出力線2 0 2と低電位側の第2の電源線2 0 6との間には、N型トランジスタ2 1 2が接続されている。

【0 0 6 7】

50

これらP及びN型トランジスタ210, 212を、パッド200に印加される静電気から保護することが、静電気保護素子の役目である。

【0068】

この静電気保護素子として、第1の電源線204と出力線202との間に、第1の静電気保護素子例えば第1のダイオードDI1が、逆方向接続されている。同様に、出力線202と第2の電源線206との間に、第2の静電気保護素子例えば第2のダイオードDI2が、逆方向接続されている。本実施形態では、これら第1, 第2の静電気保護素子DI1, DI2の配置について説明する。なお、第1, 第2の電源線204, 206間には、その間に一定電圧以上の高い電圧が印加された際に、一定電圧値で電圧をクランプさせる電源間保護素子208が接続される。この電源間保護素子208として、バイポーラトランジスタ、サイリスタ、複数個を逆方向に直列接続したダイオードなどを用いることができる。

10

【0069】

本実施形態は、第1及び第2の静電気保護素子DI1, DI2をパッド200の下層に配置することで、集積回路装置10のD2方向での幅をより一層小さくするものである。

【0070】

4.2 データドライバの出力パッドと静電気保護素子

図12では、図5(B)に示す集積回路装置10のメモリMB、データドライバDB及びそのデータドライバDBの出力パッド領域PDBがマクロセル化されている。ただし、本実施形態はマクロセル化されていないものにも適用可能である。

20

【0071】

図12において、出力パッド領域PDBでは、N(Nは2以上の整数)列例えばN=2として、第1, 第2のパッド列220, 222を有する。第1, 第2のパッド列220, 222は、各列がD4方向(広義には第1の方向)で間隔をあけて配置され、かつ、D4方向とは直交するD1方向(広義には第2の方向)にて間隔をあけて複数のパッド200(第1のパッド列220では複数のパッド200A、第2のパッド列222では複数のパッド200B)を同一ピッチで配列している。図12では、第1, 第2のパッド列220, 222の各列のパッド200A, 200BがD4方向にて一直線上にはなく、D4方向で半ピッチ分ずれたいわゆる千鳥配列となっている。第1, 第2のパッド列220, 222の各列のパッド200A, 200BをD4方向にて一直線上に配置しても良いが、ピッチを一定としたとき、静電気保護素子の形成領域をD1方向で拡大するには、千鳥状配列が有利である。

30

【0072】

ここで、本実施形態の集積回路装置10は五層の配線層を有し、これらを下層から順に、ALA, ALB, ALC, ALD及びALEと称する。第五層金属層ALEは、図6(A)に示すようにパッド200の他、図5(A)(B)に示す各ブロック間の配線層として用いられる。第4層ALD以下の各層にてブロック内配線が実施される。

【0073】

図13は、例えばP型半導体基板上に形成される第1, 第2のダイオードDI1, DI2と、第1, 第2のパッド列220, 222の平面レイアウトを示している。

40

【0074】

図13に示すように、第1のパッド列220のパッド200Aと、第2のパッド列222のパッド200Bとであって、D4方向で互いに近接した位置関係にある2つのパッド200A, 220Bの各々の少なくとも一部をそれぞれ含む領域の下層に、そのパッド200A, 200Bに接続される第1, 第2のダイオードDI1, DI2が2個ずつ形成されている。図13では、パッド200Aを含む領域の下層には1個の第2のダイオードDI2が1個形成され、パッド200Bを含む領域の下層には1個の第2のダイオードDI2と2個の第2の第1のダイオードDI1が形成されているが、レイアウトはこれに限定されない。なお、パッド200A, 200Bと、第1, 第2のダイオードDI1, DI2との接続関係は、図14に模式的に示されている。図13をも考慮すると、パッド200

50

A, 200Bに接続される各2つの第1, 第2のダイオードDI1, DI2は、パッド200A, 200Bが形成される領域の下層の領域を利用して形成されていることが分かる。つまり、図13では、パッド200Aは第2のダイオードDI2の上層に形成され、パッド200Bは第1及び第2のダイオードDI1, DI2の上層に形成されている。なお、パッド200Bより細く延びる端子は、下層とのビア接続用の端子である。

【0075】

このレイアウトを実現するために、D4方向にて隣接する2個のパッド200A, 200Bに接続される計4つの第1及び第2の静電気保護素子DI1, DI2は、D4の方向に沿って形成されている。

【0076】

また、第1列目のパッド200Aに接続される第2の静電気保護素子DI2は、そのパッド200Aの下層に位置する領域に形成され、第2列目のパッド200Bに接続される第1の静電気保護素子DI1は、そのパッド200Bの下層に位置する領域に形成され、かつ、パッド200A, 200Bに接続される第2の静電気保護素子DI2, DI2はD4方向で隣接して配置され、残りの第1の静電気保護素子DI1, DI1はD4方向で隣接して配置されている。このレイアウトにより、同一構造の複数の静電気保護素子(DI1またはDI2)を一方に偏らせることで、ウェル分離を少なくし、かつ、パッド200A, 200Bと計4つの第1, 第2の静電気保護素子DI1, DI2との接続距離を短く設定することができる。

【0077】

例えば、D4方向での第1, 第2の静電気保護素子DI1, DI2の配列を交互とすると、ウェル分離が増えてD4方向に長くなるが、本実施形態ではその必要がないので短くできる。

【0078】

また、図13に示すように、第1, 第2の静電気保護素子DI1, DI2の不純物層はD4方向が短く、D1方向で長い横長形状となっている。この理由は、配線のインピーダンスを低くするためである。静電気保護素子とパッドとは太い線幅のメタルで接続することでインピーダンスを下げることができ、不純物層は横長形状が好適である。もし、不純物層を縦長とし、かつ、D4方向の寸法を圧縮するとなると、一つの静電気保護素子を2つに分離した2フィンガーとなり、メタルで2つの静電気保護素子をつなぐ必要がある。しかし、第二層金属配線層ALBには多数の配線があるので、配線用メタルを太くできず、結果として配線インピーダンスが大きくなってしまふ。本実施形態では、不純物層を横長とすることで、配線インピーダンスを低減することができる。

【0079】

以上のレイアウトによって、第1, 第2のダイオードDI1, DI2をパッド下以外の領域に形成するものと比較して、集積回路装置10のD2方向での幅Wをより一層小さくできる。

【0080】

なお、図13及び図14では、パッド200A側に第2の静電気保護素子DI2を形成し、パッド200B側に第1の静電気保護素子DI1を形成したが、逆の配置であっても良い。

【0081】

次に、図13に示す第1, 第2のダイオードDI1, DI2の断面構造について説明する。図15は、図13に示す第2のダイオードDI2のA-A'断面を模式的に示しており、図13の図面上の寸法とは異なっている。データドライバの出力トランジスタはMV系(VDD2-VSS)であり、P型半導体Psubの電位VEEとは隔絶するために、トリプルウェル構造が採用されている。図15に示すように、P型半導体基板Psubには、不純物濃度がN⁻及びN⁺のN型ウェル、そのN型ウェル内にP型ウェル、さらにそのP型ウェル内にP, N型の高不純物層がそれぞれ形成され、トリプルウェル構造となっている。このトリプルウェルのうち、不純物濃度がN⁻及びN⁺のN型ウェルは、図

10

20

30

40

50

13に示すD1方向で連続しており、かつ、D4方向で隣接する第2の静電気保護素子DI2, DI2で共用される(図13参照)。そして、P型半導体基板Psubとは電氣的に隔離されたP型ウェル内にて、P型不純物層をVSS電位とし、N型不純物層にパッド200を接続することで、PN接合による第2のダイオードDI2が形成されている。なお、実際には各不純物層は近接配置されている。

【0082】

このトリプルウェル構造に対して、図13に示す境界線上のPストップ層Pstopにて隔離された第1のダイオードDI1の形成領域の断面構造は、図13のB-B'断面である図16に示されている。

【0083】

図16において、第1のダイオードDI1の形成領域はツインウェル構造となっている。図16に示すように、P型半導体基板Psubには、不純物濃度がN₁及びN₂のN型ウェル、そのN型ウェル内にP, N型の高不純物層がそれぞれ形成され、ツインウェル構造となっている。このツインウェル構造のうち、不純物濃度がN₁及びN₂のN型ウェルも、図13の矢印D1方向に沿って連続しており、かつ、D4方向で隣接する第1の静電気保護素子DI1, DI1で共用される(図13参照)。そして、P型半導体基板Psubとは電氣的に隔離されたN型ウェル内にて、N型不純物層をVDD2電位とし、P型不純物層にパッド200を接続することで、PN接合による第1のダイオードDI1が形成されている。

【0084】

ここで、第1の静電気保護素子DI1のうち、パッド200A, 200Bに接続されるP型不純物層は、図13に示すように、平面視でリング形状に形成されている。この理由は、D1方向で隣り合うP型不純物層間の寄生バイポーラトランジスタのベース長を広げて、寄生バイポーラトランジスタの能力を下げるためである。また、D1方向で隣り合うP型不純物層の対向面積が小さいと、その間で破壊が生ずるため、リング形状によって対向面積を増やして破壊を防止している。

【0085】

ここで、図5(A)(B)に示す4つのメモリMB領域では、第四層金属ALDを、ビット線BLと第五層金属層BLEとの間の容量結合を防止するシールド層として用いている。

【0086】

図17(A)及び図17(B)は、メモリセルMCのデータの読み出しを説明する図であり、説明の簡略化のため、メモリセルMCにデータ“1”が保持されている場合を示す。図17(A)のA11に示すようにワード線WLの選択によりワード線WLの電位が上昇する。そしてA12に示すタイミングでワード線WLの電位がHighレベルに到達すると、例えばビット線/BLの電位がHighレベルからLowレベルに向かって下降する。

【0087】

そして例えばセンスアンプをイネーブルに設定するセンスアンプイネーブル信号SAEが図17(A)のA13に示すように立ち上がると、A14のタイミングでビット線BL、/BLの電位差がセンスアンプによって検出される。例えば、この場合にはビット線/BLの電位がビット線BLの電位よりも低いため例えばデータ“1”がセンスアンプによって検出される。

【0088】

メモリセルMCに保持されているデータは、上記のように正確に検出することができる。これに対して、図17(B)は異常なデータが検出されるケースを示す。図17(B)に示すケースは、メモリセルMCが配列されている領域の上層に電圧VDDよりも大きな電圧が供給される電源供給配線GLが、第五層金属層ALEに形成されている場合である。

【0089】

10

20

30

40

50

図17(B)のA15に示すようにワード線WLの選択によりワード線WLの電位が上昇する。そしてA16に示すタイミングでワード線WLの電位がHighレベルに到達すると、例えばビット線/BLの電位がHighレベルからLowレベルに向かって下降する。その後、A17に示すように電源供給配線GLに信号が供給されることで、その電位がHighレベルよりも上回ってしまうと、その電位が下降し続けていたビット線/BLの電位はA18に示すように急激に上昇してしまう。これは、ビット線BL、/BLと第3の電源供給配線GLとの間の容量カップリングによる。ビット線BL、/BLの上層に電源供給配線GLが形成されることで、ビット線BL、/BLと電源供給配線GLとの間の層間絶縁膜による容量が形成される。電源供給配線GLの電位が上昇すると、その容量によるカップリングでビット線BL、/BLの電位も上昇してしまう。即ち、ビット線BL、/BLの上層に電源供給配線GLが形成されると、ビット線BL、/BLの電位が不安定になる。

10

【0090】

その後、センスアンプイネーブル信号SAEが立ち上がるとセンスアンプ211でビット線BL、/BLの電位差が検出される。ところが、この場合、A18に示すように電位が上昇したビット線/BLの電位は、A19に示すようにビット線BLの電位よりも低いレベルまで下がりきらず、結果としてビット線BLの電位よりもビット線/BLの電位が高い状態でセンスアンプ211に電位差の検出が行われる。

【0091】

これにより、センスアンプ211は、ビット線BLの電位がビット線/BLの電位よりも低いと判断し、データ“0”を検出する。つまり、本来データ“1”として検出されるべきメモリセルMCから、データ“0”のデータが検出され、異常な値が検出されてしまう。

20

【0092】

このような現象に対して、本実施形態では、図18に示すようにメモリセルMCにシールド配線SHD(広義にはビット線保護用配線)を設けることで上記のような異常な読み出しを防止することができる。

【0093】

図18に示すシールド配線SHDは、非シールド配線領域NSHを有する格子パターン状に形成されている。メモリセルMCは破線で示す大きさであり、中央にビット線BL、/BLが横方向に沿って形成され、その両側にてビット線と平行にVSS配線が形成されている。これらビット線BL、/BLとVSS配線の上層のシールド配線SHDは、VSS配線の幅でかつメモリセルMCの長さの非シールド配線領域NSHを有し、シールド配線SHDの形成時のガス抜き穴として利用している。なお、非シールド配線領域NSHの下層にはVSS配線が必ず存在するので、VSS配線によってシールド効果が担保される。

30

【0094】

このように、ビット線用のシールド配線SHDを格子パターン状に形成することで、シールド配線SHDが縦横に連続し、VSS配線層として好適に利用できる。

【0095】

本実施形態では、図11に示すVSS端子とVSS配線をつなぐ配線層としてシールド配線SHDを利用している。この結果、図11に示す抵抗Rの抵抗値を下げることができ、VSS端子に至る配線インピーダンスを低減することができる。

40

【0096】

ここで、図11に示す電源間保護素子208は、複数のパッド200に対して一つ設けられる。特に、電源間保護素子208の数が少なく、かつ、VSS端子までの配線距離が長い場合には、シールド配線SHDにより電源間保護素子208とVSS端子とを接続することで、配線インピーダンスを大幅に低減出来る。

【0097】

4.3 走査ライバの出力パッドと静電気保護素子

50

図5(A)(B)に示す走査ドライバSB(SB1, SB2)のパッド下にも、そのパッドに接続される静電気保護素子を配置することができる。走査ドライバの場合も、出力パッド200と第1,第2の静電気保護素子DI1, DI2及び電源間保護素子208との関係は、図11の通りで、データドライバと機能回路上は共通している。ただし、走査線ドライバは高電圧出力となるので、第1の電源線204の電位は電位VDD2よりも高い高電位VDDHであり、第2の電源線206の電位は接地電位VSSよりも低い電位VEEである(図11に括弧書きで示す)。

【0098】

図19において、走査ドライバの出力パッド領域においても、N(Nは2以上の整数)列例えばN=2として、第1,第2のパッド列230, 232を有する。第1,第2のパッド列230, 232は、各列がD4方向で間隔をあけて配置され、かつ、D4方向とは直交するD1方向にて間隔をあけて複数のパッド200(第1のパッド列230では複数のパッド200C、第2のパッド列232では複数のパッド200D)を配列している。図19では、第1,第2のパッド列230, 232の各列のパッド200C, 200DがD4方向にて一直線上にはなく、いわゆる千鳥配列となっている。ただし、第1,第2のパッド列230, 232の各列のパッド200C, 200DをD4方向にて一直線上に配置しても良い。

10

【0099】

図19は、P型半導体基板上に形成される第1,第2のダイオードDI1, DI2と、第1,第2のパッド列230, 232の平面レイアウトを示している。

20

【0100】

図19に示すように、2列のパッド列の各列でM(Mは2以上の整数)個例えばM=2個のパッドを含む(N×M)=4個のパッド200C1, 200C2, 200D1, 200D2の各々の一部又は全部を含む領域の下層に、(N×M)=4個のパッドに接続される(N×M)=4個の静電気保護素子DI1, DI2, DI2, DI1が設けられている。なお、パッド200C1, 200C2, 200D1, 200D2と、各4つの第1,第2のダイオードDI1, DI2との接続関係は、図20に模式的に示されている。図20をも考慮すると、パッド200C1, 200C2, 200D1, 200D2に接続される各4つの第1,第2のダイオードDI1, DI2は、パッド200C1, 200C2, 200D1, 200D2が形成される領域の下層の領域を利用して形成されていることが分かる。つまり、図19では、パッド200C1, 200C2は各2つの第1,第2のダイオードDI1, DI2の上層に形成され、パッド200D1, 200D2は各2つの第1及び第2のダイオードDI1, DI2の上層に形成されている。

30

【0101】

このレイアウトを実現するために、D1及びD4方向にて隣接する4個のパッド200C1, 200C2, 200D1, 200D2に接続される計8つの第1及び第2の静電気保護素子DI1, DI2は、D4の方向に沿って形成されている。

【0102】

ここで、第1及び第2の静電気保護素子DI1, DI2の不純物層のD1方向の長さは、第2の方向でのパッドピッチPよりも長く形成されている。これにより、第1及び第2の静電気保護素子DI1, DI2は、D4方向の長さを圧縮しながら、静電保護素子としての特性を担保することができ、しかもデータドライバ出力で説明したとおり、配線インピーダンスを低減することができる。

40

【0103】

図13とは異なり、図19での静電気保護素子の配列は、第1及び第2のパッド列230, 232の下層では、D4方向にて、ダイオードDI1, DI2, DI2, DI1とされている。

【0104】

図20に示すように接続したとき、上述したミラー配置の場合が、各パッド200C1, 200C2, 200D1, 200D2から静電保護素子までの配線長さを短縮でき、そ

50

れにより配線インピーダンスを低減できる。特に、4つのパッド200C1, 200C2, 200D1, 200D2のうち、D1, D3方向にて最端短部のパッド200C1, 200D2は、各パッド200C1, 200D2の下層に位置する第1及び第2の静電気保護素子D1, D2と接続されるからである。この観点から言えば、D4方向にて、ダイオードDI2, DI1, DI1, DI2と配列しても良い。

【0105】

また、図20に示すように、第1, 第2のダイオードDI1, DI2を一組とし、D4方向で隣り合う2つの第2の静電保護素子DI2, DI2の境界を境として、平面視で二組がミラー配置されている。こうすると、図19に示す繰り返しパターンのマスク設計などが容易となる。一組を構成する第1, 第2のダイオードDI1, DI2のD4方向での配列順序は、図19とは逆であっても良い。

10

【0106】

なお、図19において、第1のダイオードDI1の形成領域と第2のダイオードDI2の形成領域とを、図13のように分離していない理由は、後述する通り、走査ドライバは基板電位VEEを用いたHV系であり、第1, 第2の静電気保護素子DI1, DI2を全てツインウェル構造にて形成できるからである。

【0107】

次に、図19に示す第1, 第2のダイオードDI1, DI2の断面構造について説明する。図21は、図19に示す第1及び第2のダイオードDI1, DI2のC-C'断面を示している。走査ドライバの出力トランジスタはHV系(VDDH-VEE)であり、P型半導体Psubの電位VEEを利用できるので、P型基板Psubと隔絶する必要はなく、第1, 第2のダイオードDI1, DI2をツインウェルにて形成できる。

20

【0108】

図21に示すように、P型半導体基板Psubには、不純物濃度がN⁻のN型ウェル、そのN型ウェル内にP, N型の高不純物層がそれぞれ形成され、ツインウェル構造となっている。N型不純物層は電位VDDHに設定され、P型不純物層をパッドに接続することで、この構造のPN接合により、第1の静電気保護素子DI1が形成されている。

【0109】

なお、N型ウェルの周囲にはP型不純物リングが形成され、そのP型リングの片側にてP型基板Psub内に、N型不純物層及びP型不純物層が形成されている。P型不純物層をP型基板Psubと同電位VEEとし、N型不純物層をパッドに接続している。この構造のPN接合によって、第2の静電気保護素子D2が形成される。

30

【0110】

5. 電子機器

図22(A)(B)に本実施形態の集積回路装置10を含む電子機器(電気光学装置)の例を示す。なお電子機器は図22(A)(B)に示されるもの以外の構成要素(例えばカメラ、操作部又は電源等)を含んでもよい。また本実施形態の電子機器は携帯電話機には限定されず、デジタルカメラ、PDA、電子手帳、電子辞書、プロジェクタ、リアプロジェクションテレビ、或いは携帯型情報端末などであってもよい。

【0111】

図22(A)(B)においてホストデバイス410は、例えばMPU(Micro Processor Unit)、ベースバンドエンジン(ベースバンドプロセッサ)などである。このホストデバイス410は、表示ドライバである集積回路装置10の制御を行う。或いはアプリケーションエンジンやベースバンドエンジンとしての処理や、圧縮、伸長、サイジングなどのグラフィックエンジンとしての処理を行うこともできる。また図22(B)の画像処理コントローラ(表示コントローラ)420は、ホストデバイス510に代行して、圧縮、伸長、サイジングなどのグラフィックエンジンとしての処理を行う。

40

【0112】

表示パネル400は、複数のデータ線(ソース線)と、複数の走査線(ゲート線)と、データ線及び走査線により特定される複数の画素を有する。そして、各画素領域における

50

電気光学素子（狭義には、液晶素子）の光学特性を変化させることで、表示動作を実現する。この表示パネル400は、TF T、TF Dなどのスイッチング素子を用いたアクティブマトリクス方式のパネルにより構成できる。なお表示パネル400は、アクティブマトリクス方式以外のパネルであってもよいし、液晶パネル以外のパネルであってもよい。

【0113】

図22(A)の場合には、集積回路装置10Aとしてメモリ内蔵のものを用いることができる。即ちこの場合には集積回路装置10Aは、ホストデバイス410からの画像データを、一旦内蔵メモリに書き込み、書き込まれた画像データを内蔵メモリから読み出して、表示パネルを駆動する。一方、図22(B)の場合には、集積回路装置10Bとしてメモリ非内蔵のものを用いることができる。即ちこの場合には、ホストデバイス410からの画像データは、画像処理コントローラ420の内蔵メモリに書き込まれる。そして集積回路装置20は、画像処理コントローラ420の制御の下で、表示パネル400を駆動する。

【0114】

6. 変形例

本発明の実施形態について詳細に説明したが、本発明の新規事項及び効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。したがって、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書または図面において、少なくとも一度、より広義又は同義な異なる用語と共に記載された用語は、明細書または図面のいかなる箇所においても、その異なる用語に置き換えることができる。

【0115】

上述した実施形態は、表示ドライバを例に挙げて説明したが、各種の半導体集積回路に適用できることは言うまでもない。本実施形態のパッドは、正確にはパッドメタルを意味し、パッドメタル上の絶縁膜に開口が設けられ、そこにバンプが形成されるものである。ただし、パッドはバンプに用いられるものに限らず、静電気が印加される外部端子として利用できるものであれば、種類は問わない。

【0116】

また、上述した実施形態では、データドライバ出力と走査ドライバ出力について説明したが、その他の出力端子、入力端子あるいは入出力端子に適用することもできる。入力端子に関して言えば、図11と機能的に異なることは、P型トランジスタ及びN型トランジスタが存在しないだけである。図11に示す静電気保護素子及び電源間保護素子などは入力端子にも必要であるので、本発明を適用することができる。

【図面の簡単な説明】

【0117】

【図1】図1(A)(B)(C)は本実施形態の比較例の説明図である。

【図2】図2(A)(B)は集積回路装置の実装についての説明図である。

【図3】本実施形態の集積回路装置の構成例の図である。

【図4】種々のタイプの表示ドライバとそれが内蔵する回路ブロック図である。

【図5】図5(A)(B)は本実施形態の集積回路装置の平面レイアウト例を示す図である。

【図6】図6(A)(B)は集積回路装置の断面図である。

【図7】集積回路装置の回路構成例を示す図である。

【図8】図8(A)(B)(C)はデータドライバ、走査ドライバの構成例を示す図である。

【図9】図9(A)(B)は電源回路、階調電圧生成回路の構成例を示す図である。

【図10】図10(A)(B)(C)はD/A変換回路、出力回路の構成例を示す図である。

【図11】パッド及びそれを保護する静電気保護素子を示す図である。

【図12】パッド、メモリ及びデータドライバのマクロセルを示す図である。

【図13】データドライバの出力パッドとその下層に形成される静電気保護素子の平面レイアウトを示す図である。

【図14】図13に示すパッドと静電気保護素子との接続を示す模式図である。

【図15】図13のA-A'断面図である。

【図16】図13のB-B'断面図である。

【図17】図17(A)(B)は、ビット出力データの検出を説明するための図である。

【図18】RAM領域のビット線シールド層を説明するための図である。

【図19】走査ドライバの出力パッドとその下層に形成される静電気保護素子の平面レイアウトを示す図である。

【図20】図19に示すパッドと静電気保護素子との接続を示す模式図である。

10

【図21】図19のC-C'断面図である。

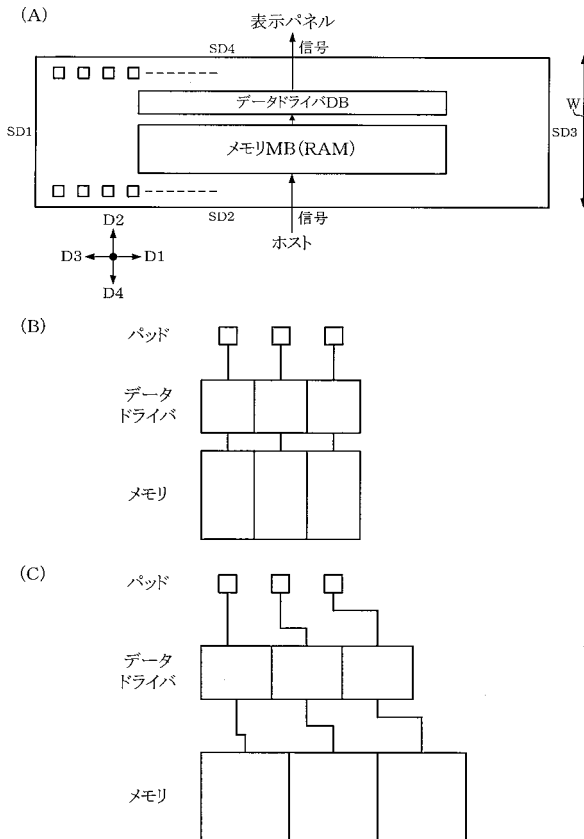
【図22】図22(A)(B)は、本実施形態の集積回路装置を含む電子機器を示す図である。

【符号の説明】

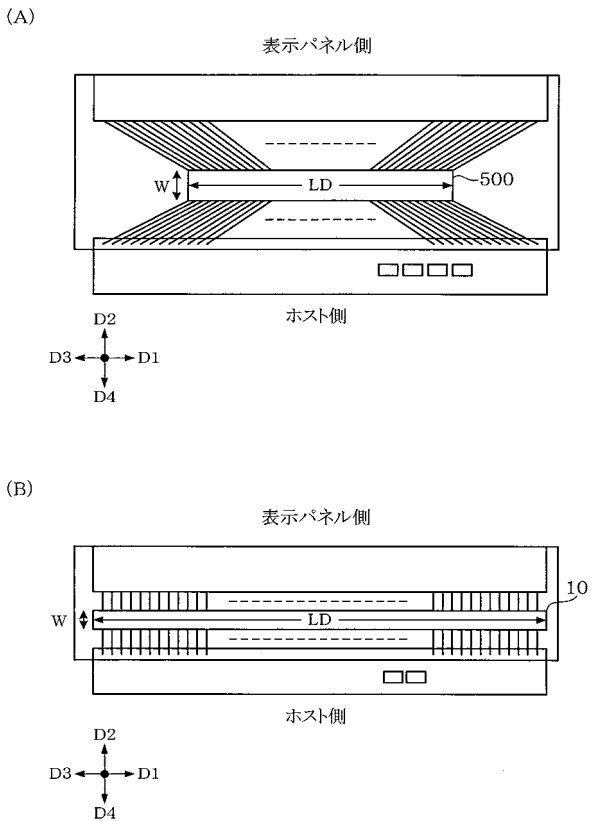
【0118】

200, 200A, 200B, 200C, 200D パッド、220, 222, 230, 233, パッド列、DI1 第1の静電気保護素子、DI2 第2の静電気保護素子、SDH シールド配線層、NSH 非シールド領域

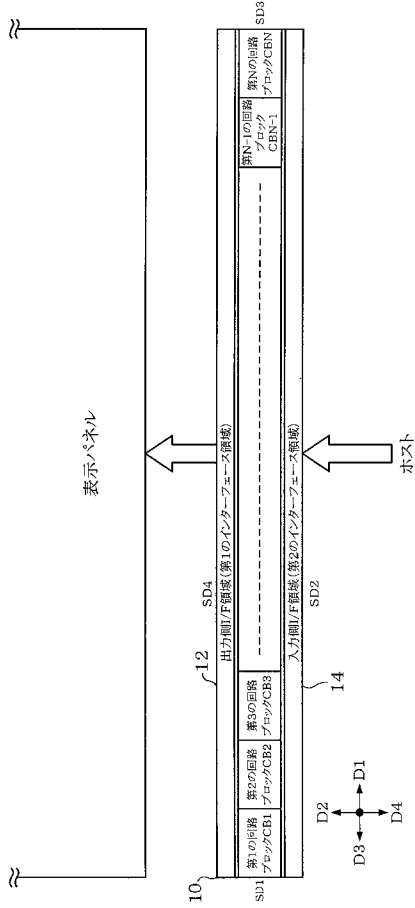
【図1】



【図2】



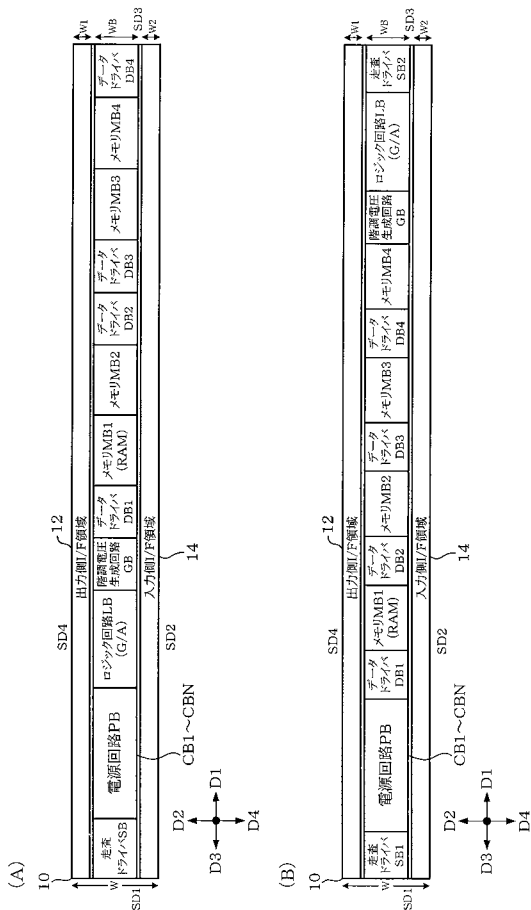
【図3】



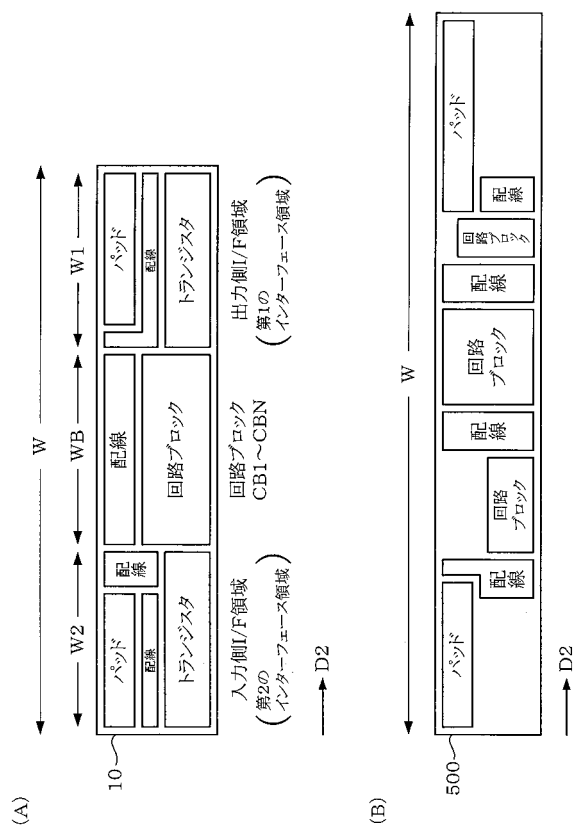
【図4】

	メモリ(RAM)内蔵		メモリ非内蔵		CSTN	TFD
	アモルプハス TFT	低温ポリシリコン TFT	アモルプハス TFT	低温ポリシリコン TFT		
メモリ(RAM)	○	○	×	×	○	○
データドライブ	○	○	○	○	○	○
走査ドライブ	○	×	○	×	○	○
ロジック回路(G/A)	○	○	○	○	○	○
階調電圧生成回路(γ)	○	○	○	○	×	×
電源回路	○	○	○	○	○	○

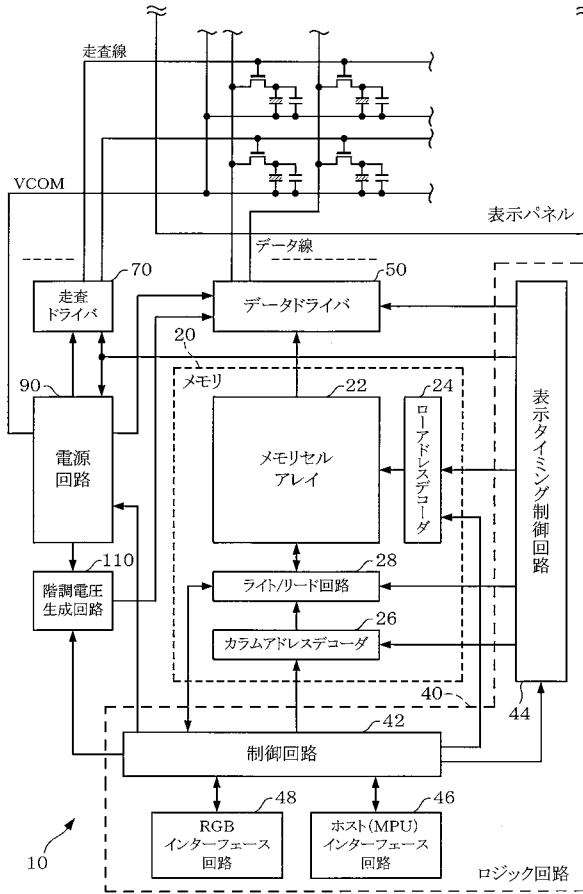
【図5】



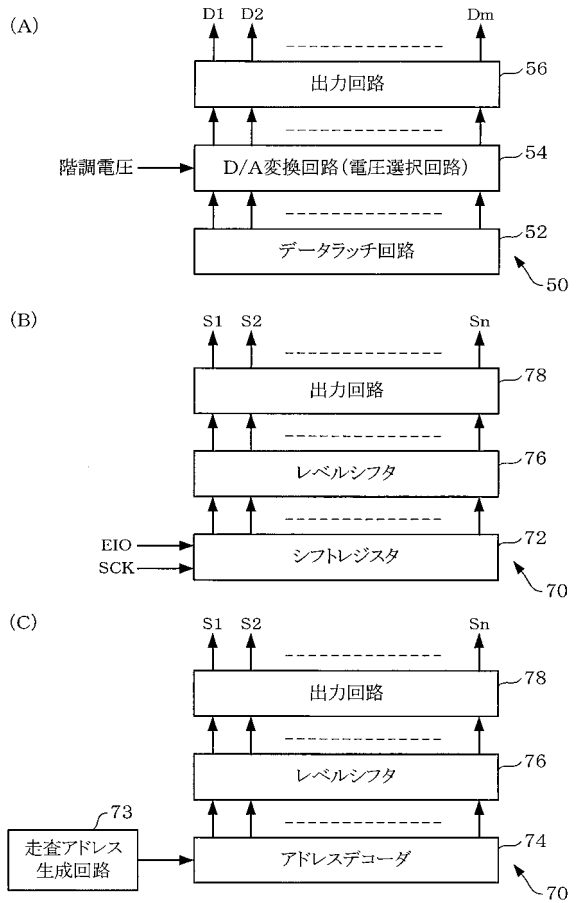
【図6】



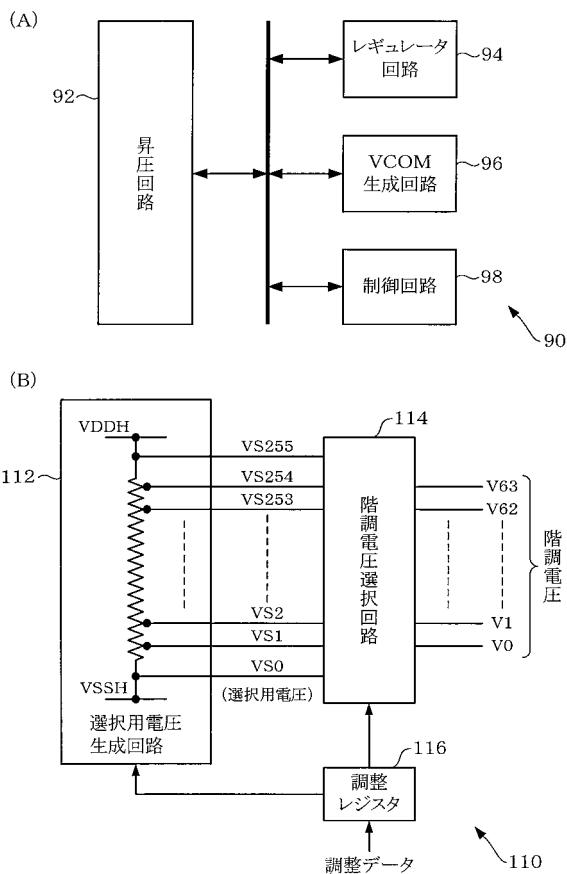
【図7】



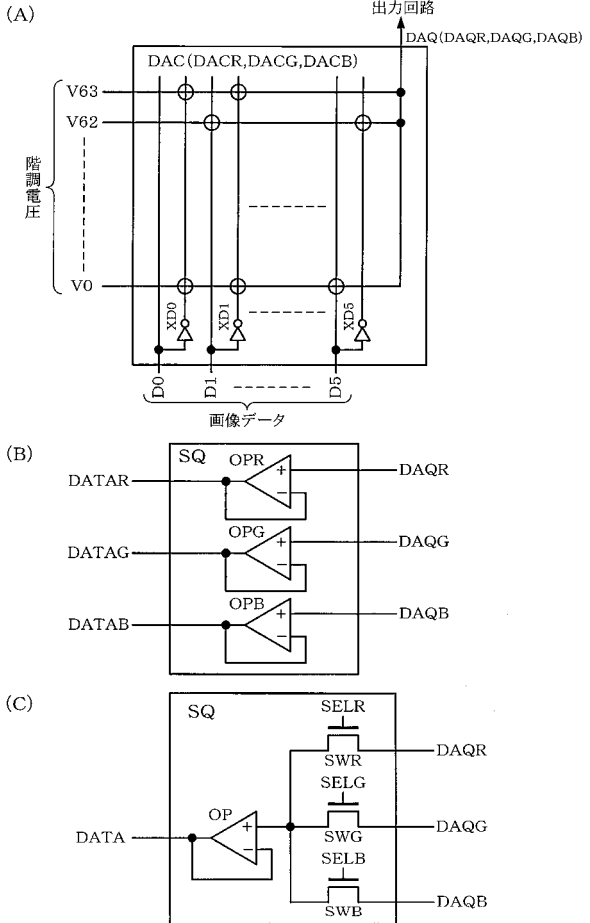
【図8】



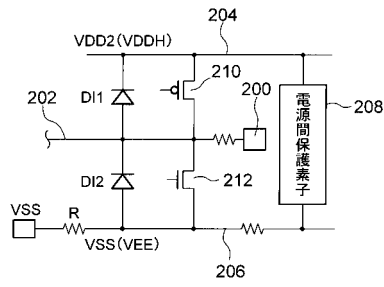
【図9】



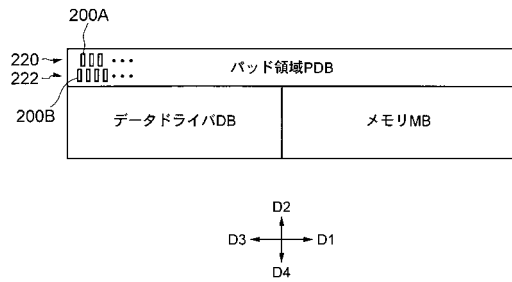
【図10】



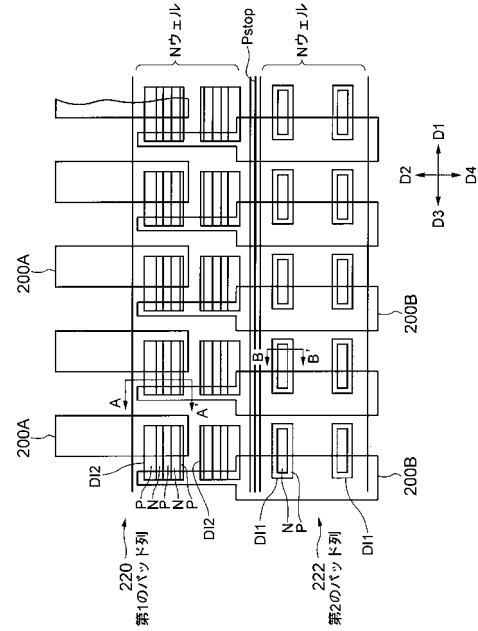
【図11】



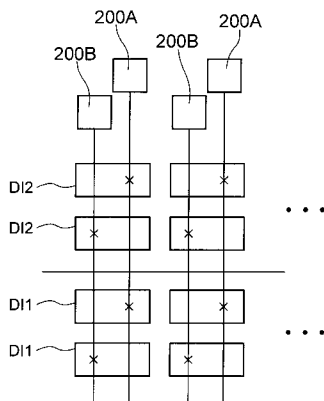
【図12】



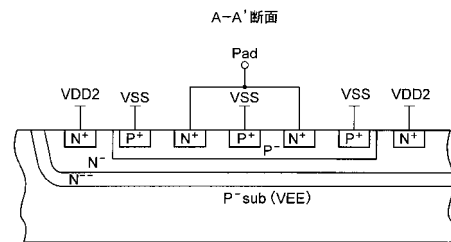
【図13】



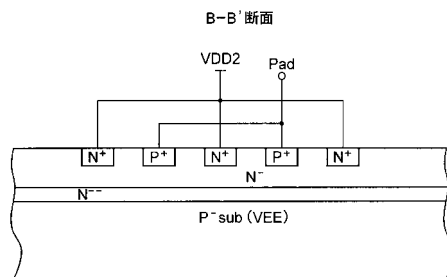
【図14】



【図15】

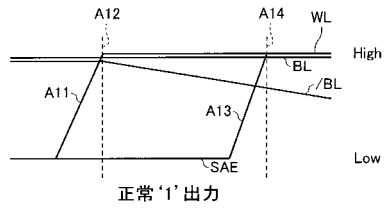


【図16】

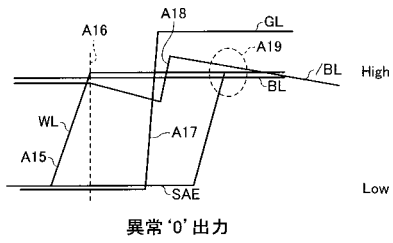


【図17】

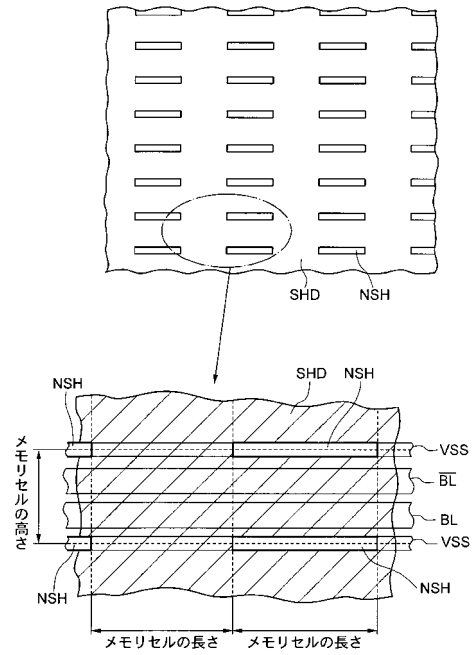
(A)



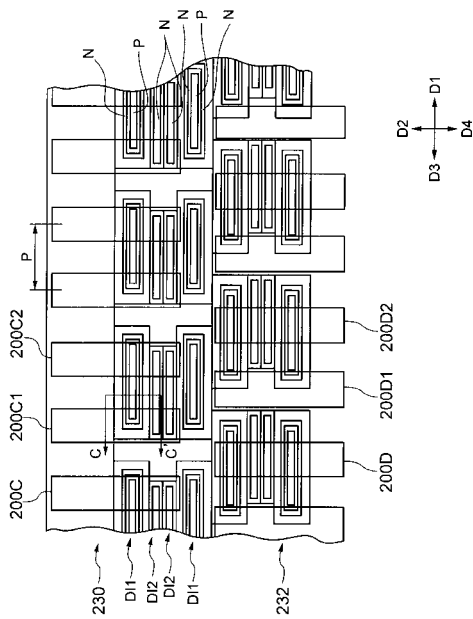
(B)



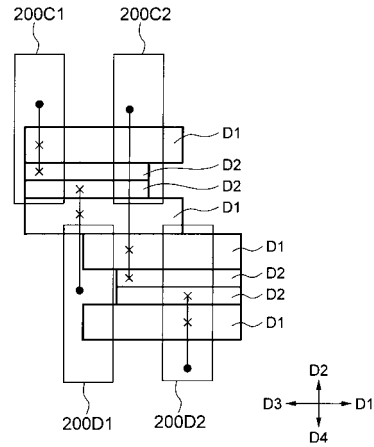
【図18】



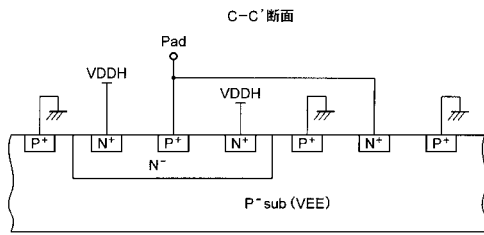
【図19】



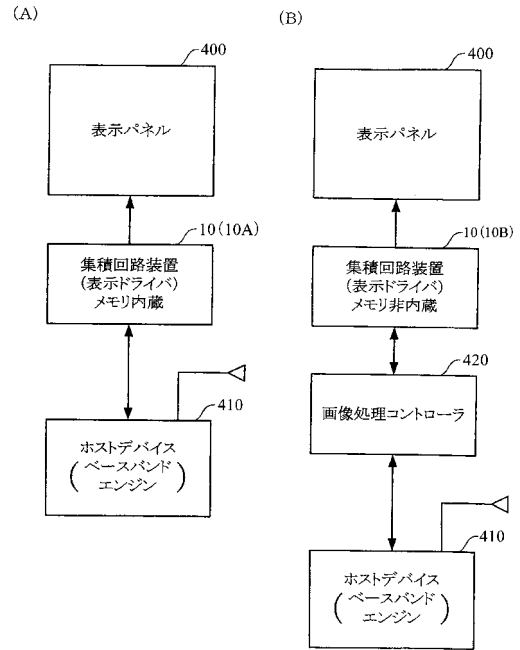
【図20】



【図 2 1】



【図 2 2】



フロントページの続き

(51)Int.Cl.		F I
<i>H 0 1 L 21/8234 (2006.01)</i>		G 0 9 G 3/36
<i>G 0 9 G 3/36 (2006.01)</i>		G 0 9 G 3/20 6 2 1 M
<i>G 0 9 G 3/20 (2006.01)</i>		G 0 9 G 3/20 6 8 0 G
<i>G 0 2 F 1/1345 (2006.01)</i>		G 0 9 G 3/20 6 3 1 A
		G 0 2 F 1/1345

(72)発明者 伊藤 悟
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 森口 昌彦
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 大嶋 洋一

(56)参考文献 特開2002-083933(JP,A)
特開2006-228770(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 2
G 0 2 F 1 / 1 3 4 5
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6
H 0 1 L 2 1 / 8 2
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 0 6
H 0 1 L 2 7 / 0 8 8