

[19]中华人民共和国专利局

[51]Int.Cl.⁴
G06F 13/12



[12] 发明专利申请公开说明书

[11] CN 85 1 09274 A

CN 85 1 09274 A

[43] 公开日 1986年10月15日

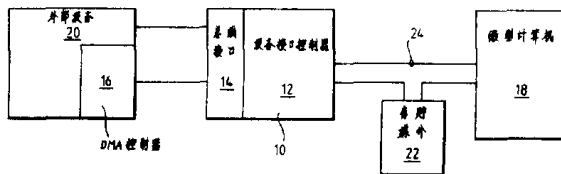
[21] 申请号 85 1 09274
 [22] 申请日 85. 12. 23
 [30] 优先权
 [32] 85. 2. 25 [33] 美国 [31] 705, 456
 [71] 申请人 国际标准电气公司
 地址 美国纽约州10022纽约
 [72] 发明人 埃吉尼·彼得·格里蒂
 吉坦德·库马·维

[74] 专利代理机构 中国国际贸易促进委员会专利
 代理部
 代理人 姚 珊

[54] 发明名称 设备控制器的接口装置

[57] 摘要

一种与DMA控制器连用的装置, 包括具有通用和特定指令程序的设备接口控制器及设备总线接口。该装置用于切断DMA控制器和与其相连接的微型计算机之间的所有通讯信号。



242/8603822/21

权 利 要 求 书

1、 用于与 DMA 控制器相连用的装置；上述装置其特征在于装置(14)，它实际上置于上述 DMA 控制器和与其相连接的微型计算机之间用于切断它们之间的通信，上述装置(14)包括对该 DMA 控制器(16)进行服务的装置(12)，因而使该微型计算机(18)不需要经常服务于上述 DMA 控制器(16)发出的中断请求。

2、 如权利要求 1 所述的装置进一步包括：

用于暂存来自上述 DMA 控制器多个通道数据的装置。

3、 如权利要求 2 所述的装置进一步包括：

选择上述多个通道中的一个通道用于上述通信切断装置的服务的装置。

4、 如权利要求 2 所述的装置进一步包括：

向上述通信切断装置指出哪个通道在上述数据暂存装置中存有数据的装置。

5、 如权利要求 1 所述的装置，其中上述通信切断装置包括：

总线接口；该总线接口分别与 DMA 控制器的控制总线、地址总线以及数据总线相连。

6、 如权利要求 5 中所述的装置，其中上述总线接口进一步包括：

数据缓冲器；

地址缓冲器；

用于向上述总线接口指出上述 DMA 控制器启动的装置。

7、 如权利要求 6 中所述的装置，其中上述总线接口进一步包括：

响应于任何 DMA 控制器的启动而阻止其再次启动的装置。

8、 如权利要求 5 中所述的装置，其中上述通讯切断装置进一步包括：

设备接口控制器；该设备接口控制器具有用于监测上述总线接口的装置。

9、 如权利要求 8 中所述的装置，其中上述设备接口控制器包括：

专用微处理机；

用于存贮适用于命令和控制上述 DMA 控制器的程序的装置；该装置被上述专用微处理机进行访问，用于上述 DMA 控制器的服务。

10、 如权利要求 9 中所述的装置，其中上述总线接口监测装置与上述总线接口的 DMA 启动指示装置相接口。

11、 如权利要求 9 中所述的装置，其中上述设备接口控制器进一步包括：

多路地址/数据总线；该多路地址/数据总线将上述设备接口控制器的专用微处理机与上述总线接口互相连接起来。

12、 用于与 DMA 控制器相连用的装置包括：

与上述 DMA 控制器的总线相连的装置，用于转换从与上述 DMA 控制器相连接的微型计算机中发出的处理信号；

用于响应上述转换信号的装置，借此，使上述 DMA 控制器无需采用上述微型计算机的局部总线既完成 DMA 处理，用以进行数据传送。

13、 如权利要求 12 中所述的装置，其中上述 DMA 处理信号转换装置包括设备总线接口，其一端与上述 DMA 控制器的总线相连，另一端与上述用于响应该转换信号的装置相连。

14、 如权利要求 13 所述的装置，其中上述用于响应该转换信

号的装置包括，专用微处理机和用于存贮控制上述 DMA 控制器的程序的装置。

15、如权利要求 13 所述的装置，其中上述 DMA 处理信号转换装置进一步包括多通道缓冲器；该缓冲器适用于接受来自多个 DMA 通道的 DMA 传送。

16、如权利要求 15 所述的装置，其中上述转换装置包括地址选择器；该地址选择器具有与上述多通道缓冲器中的每个缓冲器相关联的地址。

17、如权利要求 16 所述的装置进一步包括多个触发器；将每个触发器与上述 DMA 通道中的一个通道相连接，并且，当数据被送入与上述 DMA 通道相连的上述多通道缓冲器中的缓冲器时，将该触发器置位。

18、如权利要求 17 所述的装置，其中上述触发器具有一个代表所有上述置位触发器逻辑或的输出信号。

设备控制器的接口装置

本发明涉及与直接存储存取 (DMA) 控制器连用的一种装置, 特别是涉及这样一种适合于切断 DMA 控制器和与其相连的微型计算机之间正常通信的装置。

自从数据通信问世以来, 系统设计人员的一个主要任务就是如何有效地控制附加的外部设备。从历史上看, 这个任务一直是、并且仍然是很困难的, 这不仅因为所用的外部设备多种多样, 例如工作台、打印机或诸如此类的其他种种设备, 还因为运行数据速率的多种多样以及对这些设备的不同厂家的制作规格。由于所用微处理设备的多样性, 这个任务就更复杂了, 大多数设备都不能直接与外部设备交换信息, 因而需要某些形式的接口设备, 使得在外部设备和控制数据流的微处理器之间能够进行通讯联系。

对于这些困难的一个常用解决方案是, 采用一个接口; 它包括为控制一个特定的外部设备而设计的一套指令, 即专用程序。另外, 在微处理机装置和接口之间引入例如随机存取存储器 (RAM) 这样的数据存储器。在操作中, 微处理机装置将通过其局部总线把一位信息传送到存储媒介。然后, 微处理机再把这一位信息传送到接口。而后再根据所存储的程序, 控制外部设备接受此信息。一旦完成位传送, 接口就询问存储媒介, 或者变为闲置, 以获得下一个要传送来的信息。一旦信息已传送到接口, 存储媒介就将包括有引起微处理机中断的指令, 而不管由它正在执行的任务如何, 从而去请求下一个信息。

这个传送过程显然很慢, 而且效率很低。这样, 现在的系统一般都包括对于微处理机的扩展寄存器, 以提供大量信息, 然后通过接口

转送到外部设备。这个技术所带来的优点是，提高了从存储媒介到微处理机之间中断的时间间隔。

但无论如何，大多数常用的系统还是经常需要在微处理机和存储媒介之间、沿着微处理机的局部总线传送信息，也利用这同一个局部微处理机总线在存储媒介和接口之间传送信息。结果，除为要求进一步的指示而中断微处理机之外，在存贮媒介和设备接口之间数据实际传送期间，微处理机还要被中断，即脱离开对其局部总线的访问。因此，微处理机不能经常访问其局部总线而使其在任意给定的时间控制多个外部设备。在这种设置下，接口获得微处理机的局部总线之后，就直接访问微处理机的存储部分。我们把具有这种特性的接口恰当地称之为直接存储存取 (DMA) 控制器。

对于这种低效设置的一种常用解决办法是，为 DMA 控制器提供一附加的指令系统，与微处理机的指令区分开。这种方法排除了通常由微处理机所执行的一些功能，因而提高了微处理机总体运行速度。然而现在，已经把固定指令的程序存贮在存贮媒介之内了，因而减少了可用于整个系统的存贮容量，提高了传送量，这样就限制了对微处理机总线的访问。这一技术的内在折中在于，增大了存贮媒介对微处理机提出的中断与中断之间的时间间隔，而减少了可用存贮区。但是若没有这样一个程序，DMA 控制器通常几乎只限于访问存贮媒介中相邻接的数据块，并以由微处理机对它提供的一个地址起始。因此，一旦把该数据块传送出去之后，微处理机必须重新填充该数据块，并向 DMA 控制器指出对于这个信息的地址和计数是什么，放在哪里。

普通 DMA 控制器的另一个主要问题是，对于每个正在处理的指定外部设备需要特定的控制指令。因此，通过把程序放入存储媒介中，并且也可以把用于控制外部设备的具体的控制指令存贮在其中，这样

就可以不需要微处理机进一步的操作了。遗憾的是，需要用存贮媒介的一些附加部分来放置这些具体的控制指令，而这些附加部分通常是用于存储微处理机和外部设备之间要传送的信息的。这样，受下列四个基本不利情况中任何一个或多个的影响，在所能处理的外部设备的数目上，现在的控制器和与之相接口的微处理机都受到很大的限制。这些不利情况通常是指：总线等待时间，总线占用时间，中断等待时间，以及中断服务时间。

总线等待情况的出现是因为一些设备具有苛刻的响应要求。即，若在一个苛刻的时间期间之内未能响应来自这些设备的请求，则常常会导致数据丢失，数据丢失的出现是因为新来的数据超过了要传送的数据，或者换句话说，因为设备发送端企图恢复还没有提供的数据从而导致无意义信息的发送。这些情况是同一事物的不同形式，通常分别把它们称为：“数据过载” (data overrun) 和“数据欠载” (data underrun)。输入/输出负载很重时，这种情况经常出现，因为在所要求的苛刻的时间期间之内，微处理机的局部总线通信量根本不允许响应局部总线的请求。对于总线等待情况的通常解决方案是，提供双缓冲并利用传送前的先入先出 (FIFO) 系统，以便减轻任何设备访问该缓冲器上的瞬间需求。因此，总线只需响应平均短期限负载。但是，这种解决方案成本很高，需要很多装置，并且提高了总的功率需求。

当数据传送的通信量增加以致于需要总线宽度中相当的一部分时，会出现总线占用的情况，其结果是，微处理机的计算能力下降了。这种情况实际上影响了系统的整个信息吞吐量。这种情况的传统解决方法一直是，在多个微处理机上分配数据传送负载和 DMA 控制器的控制，和/或引入快速微处理机。但这两种解决方案，都是很昂贵的。

当 DMA 控制器向受控外部设备传送信息一完毕，就会出现中断等待状态；随后便产生请求更多的数据、信息或指令的一个中断。由于几个原因中的任意一个原因，对于微处理机响应这样一个中断请求所需要的时间可能是很苛刻的。这些原因中最重要的原因大概是，不能响应这样的一个中断会造成微处理机不能识别来自同一信号源的任意后继的中断；这些中断在所提出的中断得到回答之前就出现了。尽管对于现代设备来说迅速响应中断是可能的，但在任何一个微处理机上的很重的中断负载还是会造成延迟响应后继的中断，即当另一些中断正被服务时，微处理机的过载会导致中断等待服务的阻塞。

中断等待的状态是与中断服务状态的时间有关的。中断服务时间（最少为大约 1 毫秒）产生于一个简单的事实，即一旦中断请求被微处理机所响应，则其请求自身必须一直得到服务。典型情况是，一个为接收数据而设计的设备必须首先要初始化，即在第一个数据传送到之前让它进入准备状态。做不到这点就会引起数据过载和数据欠载，并且其方式与总线等待状态完全相同。进而，初始化要求传送控制指令，指示设备往哪里存贮要来的数据，并确定现在适合于接收数据。另外，在初始化之前还必须进行差错检验，以便保证前面的发送一直是正确发出的，从而保证初始化不会导致数据过载。最后，为了执行程序和处理数据，微处理机必须有对局部总线的访问，以便完成其数据处理，也就是说微处理机至少在完成所需的处理时必须访问总线。这常常会带来困难，因为现有的 DMA 控制器需要通过与之相连的微处理机提供相当可观的服务，以便有效地服务于所有的中断并避免上述的一些问题。因此，把微处理机的真正任务（即计算任务）放慢了，并且变成实际上受到了 DMA 控制器的约束。

然而取代现有 DMA 控制器的技术正在成为是公知的，并且是人人

都可以用的技术了；这样就减轻了上面讨论的一些困难。但尽管如此，至少在可以看到的将来，这些困难会依然存在的，因为现在许多外部设备都作为其集成电路的一部分包括有 DMA 控制器。从一个系统的观点来看，这些外部设备 DMA 控制器是设计一个微计算机接口必须要设计的一些设备。

因此，本发明的一个目的是提供一种与 DMA 控制器连用的装置，它实质上完全地克服了上述困难。

通过一种装置的作用，该目的至少部分地得到了实现。该装置具有切断 DMA 控制器与同它相连接的微型计算机之间正常通讯的部件。

结合提交的权利要求和附图阅读下面的详细说明，对于本领域的一般技术人员来说，其它目的和优点将会都是很清楚的。

图 1 是在典型工作环境中实施本发明原理装置的框图；

图 2 是图 1 中所示的设备接口控制器的详细框图；

图 3 是图 1 中所示的总线接口的详细框图；

图 4 是包括图 1 所示装置的一种实施方案的框图；

图 5 是包括图 1 所示装置的另一种实施方案的框图；

图 6 是包括图 1 所示装置的再一种实施方案的框图。

一种实施本发明原理的装置，在图 1 中通常由 10 表示，它包括设备接口控制器 12 和设备总线接口 14。如图所示，将装置 10 设置为致使把 DMA 控制器 16 和与它相连接的微计算机 18 之间的一般通信切断。DMA 控制器 16 虽然不是必须在外部设备 20 自身之中，但它实际上是外部设备 20 的一个组成部分，因而不能把它合理地替换掉或回避掉。微计算机 18 可以与任何具有外部设备 20 的系统相连接，而把所相连着的 DMA 控制器当作附在它上面的一个受控附件。尽管只示出一个 DMA 控制器 16，但应该了解到，同一个装置 10 和微计算

机 18 可以使用多个这样的 DMA 控制器 16。

如图 1 所示，在一种结构中，设备接口控制器 12 和微计算机 18 配备有存贮媒介 22。实际上，存贮媒介 22 最好能够平等地、独立地利用设备接口控制器 12 和微计算机 18。在这种结构中，设备接口控制器 12 和微计算机 18 间的唯一直接通信就是通过一组中断/通道联机线。因为在设备接口控制器 12 和存贮媒介 22 之间的传送期间，其局部总线实质上不能用来直接传送地址和数据信息，所以仅只是这种安排就会导致微计算机 18 丢掉相当大一部分中断服务的负载。特别适用于这种结构的一种装置在美国专利申请序列号 4000 的题目为“数据传送控制装置”的专利申请中作了描述和讨论，该申请与本申请同日申请，并转让给同一受让人。将这份申请在此一并视作参考文献。

如以下参照图 2 详细讨论的，设备接口控制器 12 包括用于存贮通用指令程序的装置和用于存贮特定指令程序的一个系统的装置，前者控制与它相接口的 DMA 控制器 16，后者为与它所相接口的各种 DMA 控制器 16 提供特定的指令。对于本说明书来说，认为设备接口控制器 12 实质上是与美国专利申请序列号为 4000 的题目为“设备接口控制器”的申请中所描述和讨论的设备接口控制器相同，该申请与本申请同日申请并转让给同一受让人。把这份申请在此一并视作为参考文献。

如同在以上所述美国专利申请序列号为 4000 的题目为“设备接口控制器”的申请中所讨论的那样，并且如图 2 所示，该设备接口控制器 12 包括有算术逻辑单元 (ALU) 26，微程序控制器 28 及局部 (或超快速暂存) 存储器 30。ALU 26、微程序控制器 28 和超快速暂存存储器 30 实际上起着专用微处理机的作用。另外，设备接口控


制器 12 还包括适合于存贮通用指令程序和 DMA 控制器特定程序系统的可编程只读存贮器 (PROM) 单元 32。进而, 设备接口控制器 12 分别包括: 第一和第二三态缓冲器 34 和 36, 译码和锁存逻辑单元 38, 第一和第二地址锁存器 40 和 42, 第一和第二多路转接器 44 和 46, 以及第一和第二触发器 48 和 50。

如图 3 所示, 在一个实施方案中, 装置 10 的设备总线接口 14 包括, 可编程阵列逻辑 (PAL) 器件 52, 数据锁存/缓冲器 54, LO 地址锁存/缓冲器 56, HI 地址锁存/缓冲器 58 以及触发器 60。在一种实施方案中, PAL 52 是由加利福尼亚、森尼韦尔的高级微器件 (Advanced Micro Devices) 公司制造并销售的 AMPAL 16R8 L。每个锁存/缓冲器 54、56 和 58 都是由得克萨斯、达拉斯的得克萨斯仪器仪表公司 (Texas Instruments Corp.) 生产并销售的 74ALS652。触发器 60 是随时可从许多工业厂家中买得到的一般器件。在设备总线接口 14 的设备接口控制器一侧 62, PAL 52 和触发器 60 与译码和锁存逻辑单元 38 互连。还通过其外部状态线 64 把触发器 60 与设备接口控制器 12 的第一触发器 48 相连。第一触发器 48 由设备接口控制器 12 的专用微处理机探询, 即活性监测。锁存/缓冲器 54、56 和 58 连接到设备接口控制器 12 的地址/数据总线 66。

在设备总线接口 14 的 DMA 控制器一侧 68, PAL 52 和触发器 60 与控制总线 70 相连, HI 地址锁存/缓冲器 58 与地址总线 72 相连, 数据锁存/缓冲器 54 和 LO 地址锁存/缓冲器 56 与数据总线 74 相连。如先有技术中已知的那样, DMA 控制器 16 通常包括有多线总线, 其中第一组线专用于支持控制信号, 第二组线专用于运载 HI 地址信号, 第三组线专用于运载 LO 地址信息, 并且通过多路转换传输

实现数据传送。HI和LO目的地与使用DMA控制器的通常规定有关。即，“LO”地址通常是在数据总线74上用8位数据作多路转换的一个8位地址，而“HI”地址是通过数据传送把它运载到地址总线72上的。

如图4所示，在一种工作方案中，DMA控制器16适合于支持一个通用同步/异步接收机/发送机(USART)76。将它与调制解调器78相连，用以向电话线80提供数据服务。在这个实施方案的实际讨论中，认为DMA控制器16起始执行一个数据传送。为使读者方便起见，图4中前面已经描述过的一些部件，在这里用相同的字码表示之。最初，DMA控制器16提供多路地址/数据总线74上的地址和数据的LO部分，同时提供地址总线72上的HI地址。一旦检测到这个传送信息的意向，总线接口14就进行三个操作：首先通过PAL52，总线接口14通过控制总线70向DMA控制器16发送一个“未准备好”信号，以此来强制DMA控制器16维持其现有状态；其次，总线接口14通过触发器60产生对于设备接口控制器12的一个中断信号，用以指示现在时刻的外部状态；第三，将地址分别锁存在接口LO地址和HI地址缓冲器56和58中，并且把与LO地址多路复用的数据锁存在数据缓冲器54中。应该明白，PAL52的操作和时序依赖于总线接口14相连接的特定的DMA控制器16，一旦了解了本发明的原理，就会认为这种PAL52的实现方案是在本专业领域中一般技术人员的技术水平之内。

如同以上提到的序列号 、题目为“数据传输控制装置”的美国专利申请中所解释的那样，多路转换器44和46在第一触发器48上检测外部状态的变化，并根据存贮在PROM单元32中的程序，通过微程序控制器28和ALU26，在整个DMA控制器16上，要求

控制。实质上，设备接口控制器 12 检查地址，并根据存贮在 PROM 单元 32 中的特定程序确定对数据如何处理，然后向 DMA 控制器 16 发出信号，以此完成传送，对于所有的意图和目的来说，从 DMA 控制器 16 起的作用来看，它好象是直接和微计算机 18 相连的。但是，因为设备接口控制器 12 对 DMA 控制器 16 施加控制，所以微计算机 18 不需要直接地和迅速地响应 DMA 控制器 16 的活动。再者，尽管从表面上看是装置 10 对 DMA 控制器 16 进行控制，但实际上是微计算机 18 在进行控制。因此，装置 10 不是 DMA 控制器 16 的控制器，尽管这点不会被 DMA 控制器 16 检测出来。

图 4 所示的结构需要相对很少的硬件，用以有效地免除 DMA 控制器 16 对微型计算机 18 的局部总线挂载。但是，不需要设备接口控制器 12 迅速响应 DMA 控制器 16 的所有传送，因为总线接口 14 的数据锁存/缓冲器 54 不够大到足以存贮其一个通道的两个以上的 DMA 传送。因此，为了避免由于数据超载或数据欠载而造成的数据丢失，在来自 DMA 控制器 16 的任何一个通道上的第二次数据传送发生之前，要求该设备接口控制器 12 处理所需要的任何数据，以满足 DMA 控制器 16。

在第二种工作环境中，在 DMA 控制器和设备接口控制器之间设置了多通道缓冲器 82，用以缓和来自设备接口控制器 12 迅速响应的要求。为读者方便起见，在这个图中，上述的一些部件在这里用相同的数码表示之。如图 5 所示，DMA 控制器 16 适用于服务一对 USART_S 76，并分别与每个发送和接收部分 84 和 86 具有双向通讯。

另外，为把与数据有关的地址顺序存贮在多通道缓冲器 82 的每个通道中，设置了通道选择器 88。当数据进入多通道缓冲器 82 的任何一个通道之中时，通道选择器 88 就向多个通道选择器 90 提供一

个信号。这个信号对该设备接口控制器 12 起动一个中断信号。

在一种最佳实现方案中，多通道缓冲器 82 包括有多个由得克萨斯、达拉斯的得克萨斯仪器仪表公司制造并销售的 74 ALS 373 数据锁存/缓冲器，例如每个 DMA 通道一个。特别适合于与这些锁存缓冲器连用的一种选择器 88 是 74 ALS 138，也是由得克萨斯、达拉斯的得克萨斯仪器仪表公司制造并销售的。中断触发器 90 是通过各个厂家都可以随时买得到的。

在工作当中，设备接口控制器 12 为 DMA 控制器 16 产生相应于多通道缓冲器 82 中的一个通道的地址。DMA 控制器 16 实际上利用这些地址完成向多通道缓冲器 82 的 DMA 传送。进入 DMA 传送使得通道选择器 88 给一个中断触发器 90 置位。当中断触发器 90 中的任何一个都被置位后，则向设备总线接口 14 的触发器 60 产生出一个信号。如前面所讨论的，根据由于 DMA 传送而产生的外部信号，触发器 60 使得设备接口控制器 12 的触发器 48 改变状态。触发器 48 的状态受设备接口控制器 12 的专用微处理机监测。然后，设备接口控制器 12 通过设备总线接口 14 询问中断触发器 90 读通道、或者其中具有 DMA 传送信息的通道，而后，设备接口控制器 12 根据 PROM 单元 32 中的微程序执行 DMA 传送，接着向 DMA 控制器 16 提供一个通道服务的新地址。另外，向选择器 88 提供那个地址，这样，当那个地址由 DMA 控制器 16 提出时，则选择器 88 启动多通道缓冲器 82 中相应的数据锁存/缓冲器，从而使 DMA 传送的数据存贮在其中。

这种实现方案的主要优点是，可以同时服务多个 DMA 通道，并且设备接口控制器 12 只需在同一 DMA 通道上后续 DMA 传送之前作响应。

当 DMA 控制器 16 适用于提供 DMA 传送应答信号时，通道选择器 88 就变为多余的，并且可以省掉。这样的一种 DMA 控制器 16 是

8257；它是由加利福尼亚、圣克拉拉的英特尔公司制造并销售的。对于这种设备的一种实现方案示于图6中。

如图6所示，DMA控制器16分别与每个USART 76的每个发送和接收部分84和86具有双向通信。信号线92运载从DMA控制器16到每个USART 76的相应部分84或86的DMA传送应答信号。根据来自每个USART 76的相应部分84或86的DMA传送请求，由DMA控制器16提供的地址同时也提供给中断触发器90和多通道缓冲器82。因此这个信号使与地址通道有关的触发器90执行DMA传送，同时启动多通道缓冲器82中的一个相应的数据锁存/缓冲器，去接收该DMA传送。

这种实现方案的优点是，免除了设备接口控制器12向通道选择器和DMA控制器16提供地址并分配地址的任务。

本装置10的长处在于，从控制微处理机的工作存贮器中去掉了施加控制的程序。这样，可用于系统使用的存贮器得到最大限度的增加。或许，一个更重要的优点是，控制微型计算机18实质上完全摆脱了DMA控制器的中断负载。结果，控制微型计算机实际上不禁止执行分配给它的数据处理任务，这很明显地会导致系统范围操作速度的提高，以及数据处理能力的提高。

尽管已经参照典型实施方案对本发明进行了描述，但在本发明的范围和精神之内，还可以进一步提出其他的一些设置和结构，因此，本发明仅由对此所提交的权利要求书和其合理的解释所限定。

图. 1.

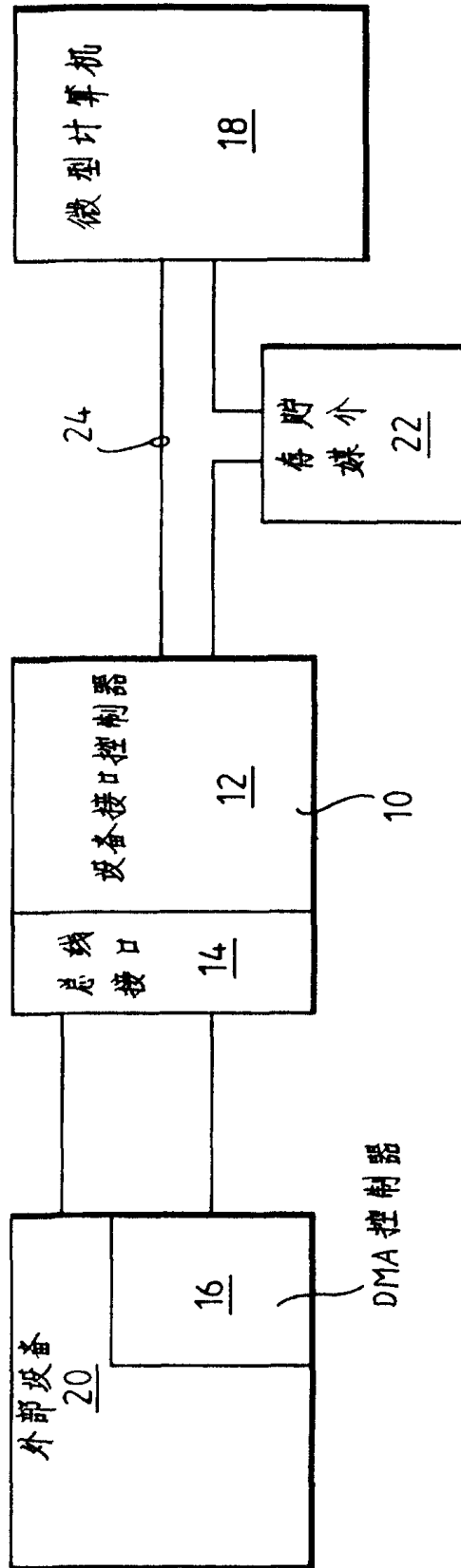


图 2. 去设备总线接口
去微机

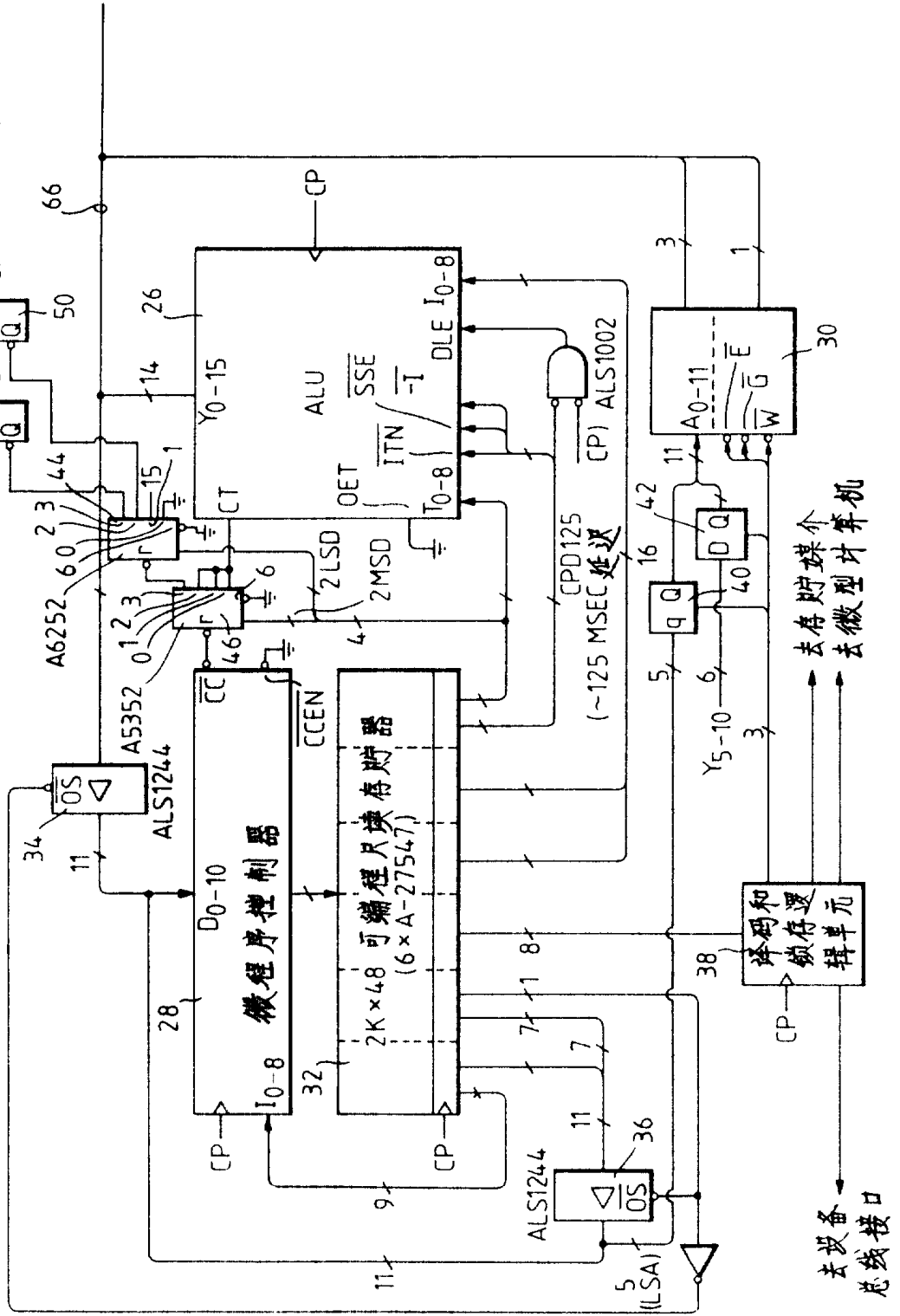


图.3.

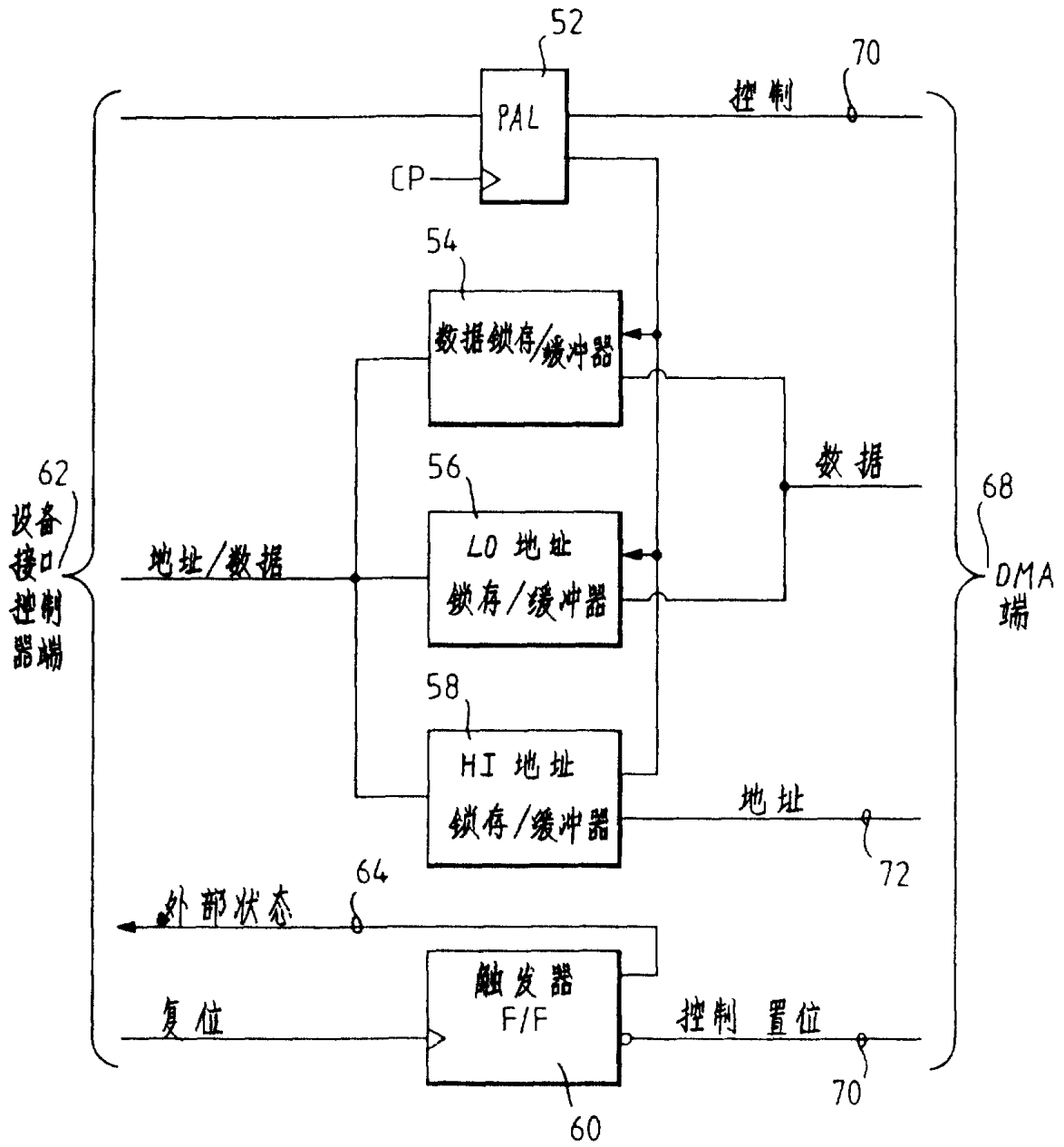


图. 4.

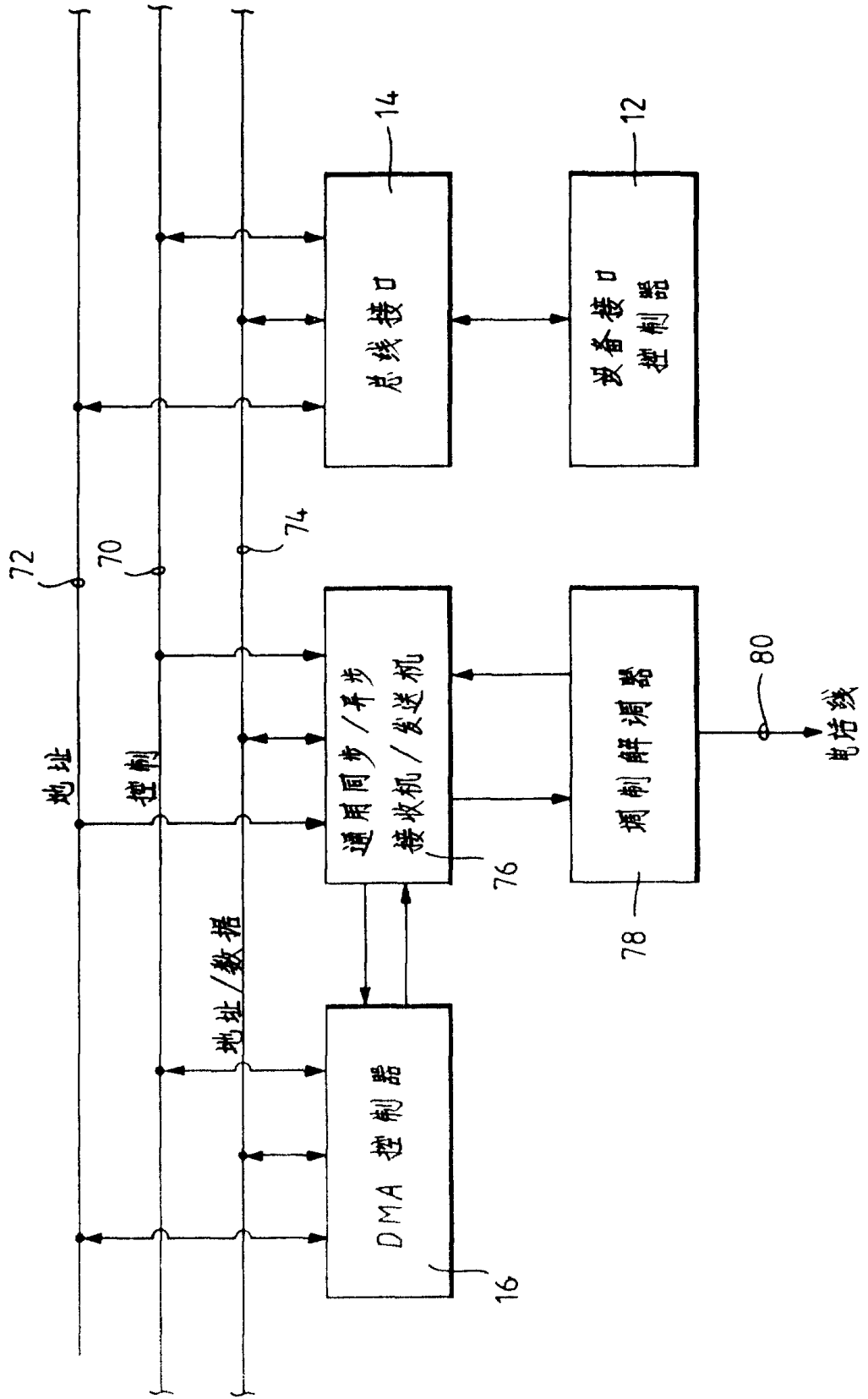


图 5.

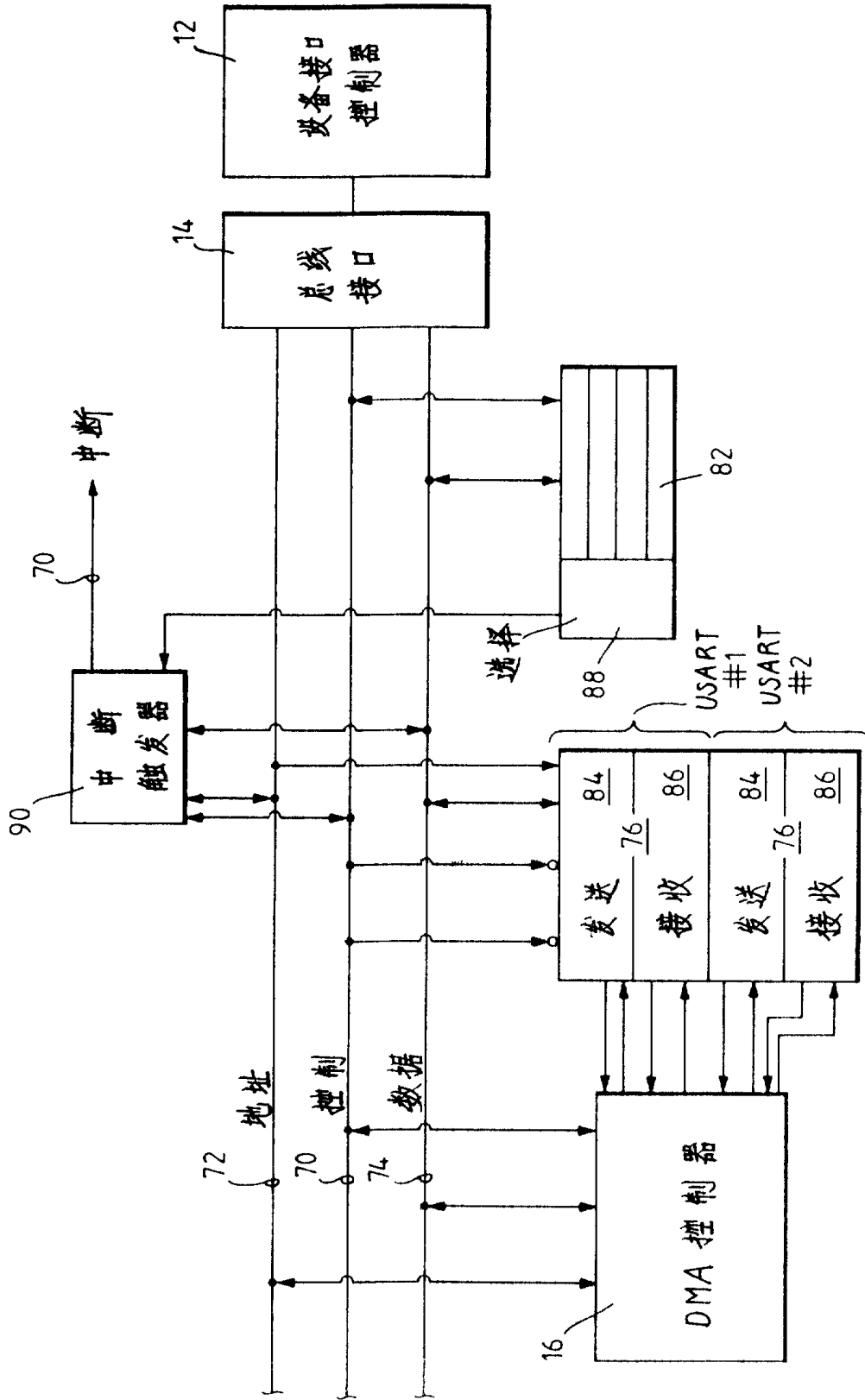


图.6.

