

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6280359号  
(P6280359)

(45) 発行日 平成30年2月14日(2018.2.14)

(24) 登録日 平成30年1月26日(2018.1.26)

(51) Int.Cl.

F 1

G 0 5 B 19/05 (2006.01)

G 0 5 B 19/05

D

請求項の数 3 (全 12 頁)

(21) 出願番号 特願2013-260493 (P2013-260493)  
 (22) 出願日 平成25年12月17日(2013.12.17)  
 (65) 公開番号 特開2015-118468 (P2015-118468A)  
 (43) 公開日 平成27年6月25日(2015.6.25)  
 審査請求日 平成28年11月25日(2016.11.25)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (73) 特許権者 598076591  
 東芝インフラシステムズ株式会社  
 神奈川県川崎市幸区堀川町72番地34  
 (74) 代理人 100107928  
 弁理士 井上 正則  
 (72) 発明者 弘田 達夫  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内

審査官 黒田 暁子

最終頁に続く

(54) 【発明の名称】 プログラマブルコントローラ

(57) 【特許請求の範囲】

【請求項1】

プログラマブルコントローラは、制御プログラムを実行するCPUと、  
 前記CPUの外部メモリと、前記CPUの外部入出力デバイスとを備える外部デバイスと、  
 前記制御プログラムの実行により、前記CPUが前記外部デバイスに書き込むWriteデータを  
 出力する出力信号、及び前記CPUが前記外部デバイスから読み出すReadデータを入力する  
 入力信号をインタフェースするFPGAで構成されるFPGAインタフェース処理部と、  
 前記CPUと前記FPGAインタフェース処理部との間を接続するCPUバスと、前記FPGAインタフ  
 ェース処理部と前記外部デバイスとを接続する、外部入出力バスと、を備え、  
 前記FPGAインタフェース処理部は、前記制御プログラムを実行する場合に前記入力信号及  
 び前記出力信号をインタフェースするとともに、前記Writeデータを前記外部入出力バス  
 に出力する第1の比較タイミング信号を生成する、また、前記Readデータを前記CPUバス  
 に出力する第2の比較タイミング信号を生成する、通常インタフェース処理回路部と、  
 前記CPUが前記CPUバスを介して出力した第1のWriteデータと、当該第1のWriteデータを  
 前記通常インタフェース処理回路部が処理し、前記外部入出力バスに出力する第2のWrit  
 eデータとを、前記第1の比較タイミング信号で比較して一致/不一致を判定し、  
 また、前記外部入出力バスを介して入力される第1のReadデータと、当該第1のReadデー  
 タを前記通常インタフェース処理回路部が処理し、前記CPUバスに出力する第2のReadデ  
 ータとを、前記第2の比較タイミング信号で比較して一致/不一致を判定する、  
 比較回路部と、

10

20

を備え、

前記通常インタフェース処理回路部は、前記CPUと前記CPUバスを介して入出力するCPUバス信号とをインタフェースするCPU/インタフェース回路と、

前記外部デバイスと前記外部入出力バスを介して入出力する外部入出力バス信号とをインタフェースするとともに、前記第1の比較タイミング信号及び前記第2の比較タイミング信号を生成する外部デバイスインタフェース回路と、

前記外部デバイスへのアクセス要求と、前記外部デバイスからのアクセス要求と、を調停する内部回路と、

を備え、

前記制御プログラムの実行中に、前記FPGAインタフェース処理部の入出力処理動作の良否を自己診断するようにしたことを特徴とするプログラマブルコントローラ。

10

【請求項2】

前記外部デバイスは、データメモリとワークメモリとを備えるメモリ、及び外部入出力デバイスを備え、

前記外部デバイスインタフェース回路は、前記当該メモリとの間をインタフェースするデータメモリインタフェース回路と、ワークメモリインタフェース回路と、外部入出力インタフェース回路と、を備え、

前記外部入出力バスは、当該データメモリと接続するデータメモリバス及びワークメモリと接続するワークメモリバスと、当該外部入出力デバイスと接続する入出力デバイスバスと、を備えるようにした請求項1に記載のプログラマブルコントローラ。

20

【請求項3】

前記比較回路部は、前記CPUバス信号を記憶する第1のメモリと、

前記外部入出力バス信号を記憶する第2のメモリと、

前記CPUバスを介して出力された第1のWriteデータと、当該第1のWriteデータを前記通常インタフェース処理回路部が処理し、前記外部入出力バスに出力する第2のWriteデータとを、前記第1の比較タイミング信号で比較して一致/不一致を判定し、また、前記外部入出力バスを介して入力される当該第1のReadデータと、当該第1のReadデータを前記通常インタフェース処理回路部が処理し、前記CPUバスに出力する当該第2のReadデータとを、前記第2の比較タイミング信号で比較して一致/不一致を判定する比較制御回路と

30

、  
前記第1の比較タイミングでの判定の結果不一致と判定された場合、前記第1のメモリから、対応する前記第1のWriteデータを抽出して再判定要求信号とともに、前記内部回路を介して送信し、

一致の場合には、前記外部デバイスに前記第2のWriteデータの送信を指示する信号を、不一致の場合には再判定要求信号を、夫々対応するインタフェース回路に送信し、

前記第2の比較タイミングでの判定の結果不一致と判定された場合、前記第2のメモリから、対応する前記第1のReadデータを抽出して再判定要求信号とともに、前記内部回路を介して送信し、

一致の場合には、前記外部デバイスに前記第2のReadデータの送信を指示する信号を、不一致の場合には再判定要求信号を、夫々対応するインタフェース回路に送信する、再処理回路と、

40

を備え、不一致の場合に修復データを送信して制御プログラムを継続実行するようにしたことを特徴とする請求項1に記載のプログラマブルコントローラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、FPGAを使用して構成された信号処理回路を備えるプログラマブルコントローラにおいて、当該FPGAで構成された信号処理回路の自己診断と、エラー検出時の修復機能と、を備えるプログラマブルコントローラに関する。

【背景技術】

50

## 【 0 0 0 2 】

FPGA (Field Programmable Gate Array)やCPLD (Complex Programmable Logic Device)などのプログラマブルロジックデバイスは、製造後にユーザで内部論理回路を再構成できる集積回路である。

## 【 0 0 0 3 】

このプログラマブルロジックデバイスは、携帯電話機器、家電、汎用PC、など幅広い分野で使用され、メーカー独自の機能やインタフェース、Ethernet (R)やRS-232C、SPIなどのI/Oインタフェース、SDRAMやSRAMなどのメモリアンタフェースをサポートするなど、様々な用途で使用されている。

## 【 0 0 0 4 】

高信頼性が要求される制御システム機器に使用されるプログラマブルコントローラにおいても、FPGAやCPLDを使用し装置が普及してきている。

## 【 0 0 0 5 】

このFPGAを使用した回路には、近年、製品の小型化や多機能化の要求などにより、複数の機能を備えた回路ブロックを組み込んだものが使用されるようになっている。

## 【 0 0 0 6 】

このようなFPGAを使用して製作されたロジック回路(以後、FPGAの回路と称す)では、外部から入力されたアドレス信号やデータ信号が複数の回路ブロックを介して、外部へ出力されることが多く、また、クロック信号の高速化や動作電圧の低下などにより、クロストークや静電気などのノイズの影響を受けやすくなっている。

## 【 0 0 0 7 】

また、SRAMをベースに回路ロジックを生成したFPGAでは、一過性のソフトエラーなどの影響を受ける恐れもある。

## 【 0 0 0 8 】

そのため、ロジック回路や動作タイミング設計の不良、ロジック回路へのノイズの混入、内部回路のクロストークなどにより、ロジック回路で意図しないデータへ変換される可能性が高くなっている。

## 【 0 0 0 9 】

従来からハードウェアの信号品質向上のため、IC回路やメモリ間でECC(Error Check and Correct)付きの信号でデータの送受信を実施し、意図しないデータとなった場合でも訂正、検出できるような手法が広く使用されている。

## 【 0 0 1 0 】

この方法では、アドレスデコードなどデータ変換が必要な回路では、ECCデータを生成することが困難な構成となり、データの信頼性を向上することはできない。

## 【 0 0 1 1 】

そこで、CPU周辺のアドレス異常個所を検出して、異常個所やその原因を容易に特定することが可能な自己診断機能を備えた回路装置が開示されている(例えば、特許文献1参照。 )。

## 【 0 0 1 2 】

また、情報処理装置を停止することなく、故障前と同じ情報処理を継続して実行する情報処理装置及び回路再構成装置が知られている(例えば、特許文献2参照。 )。

## 【 0 0 1 3 】

また、回路構成を変更可能な回路が動作している状態で、ソフトエラーを検出し、ソフトエラーを回復することができる電子デバイス及び電子デバイスの故障回復方法(例えば、特許文献3参照。 )が知られている。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 1 4 】

【 特許文献 1 】 特許第 4 6 2 1 8 2 5 号号公報

【 特許文献 2 】 特開 2 0 1 1 - 2 1 6 0 2 0 号公報

10

20

30

40

50

【特許文献3】特開2010-134678号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

上述した特許文献1のエラー検出方法は、アドレス信号のみのエラー検出はできるが、エラーを検出した際に正しいデータ信号へ修正し、継続的にプログラマブルコントローラを稼働させることができない問題があった。

【0016】

また、特許文献2は、機能ブロックの冗長化を図り、出力されたデータの多数決をとることでFPGAの回路の信頼性向上を図っているが、冗長化するロジック回路は同一であるので、同じエラーが検出される可能性が高くなり、同時にエラーが検出された場合には誤判定となる可能性が高くなる問題がある。

【0017】

また、特許文献3においては、同じFPGAの回路2組を実装する必要があるので、回路を実装するためのスペースに制約が生じる問題がある。

【0018】

本発明は、上記問題点を解決するためになされたものであり、FPGAを使用して構成された信号処理回路を備えるプログラマブルコントローラにおいて、当該FPGAで構成された信号処理回路の自己診断と、エラー検出時の修復機能と、を備えるプログラマブルコントローラを提供することを目的とする。

【課題を解決するための手段】

【0019】

上記目的を達成するために、本実施形態のプログラマブルコントローラは、制御プログラムを実行するCPUと、前記CPUの外部メモリと、前記CPUの外部入出力デバイスとを備える外部デバイスと、前記制御プログラムの実行により、前記CPUが前記外部デバイスに書き込むWriteデータを出力する出力信号、及び前記CPUが前記外部デバイスから読み出すReadデータを入力する入力信号をインタフェースするFPGAで構成されるFPGAインタフェース処理部と、前記CPUと前記FPGAインタフェース処理部との間を接続するCPUバスと、前記FPGAインタフェース処理部と前記外部デバイスとを接続する、外部入出力バスと、を備え、前記FPGAインタフェース処理部は、前記制御プログラムを実行する場合に前記入力信号及び前記出力信号をインタフェースするとともに、前記Writeデータを前記外部入出力バスに出力する第1の比較タイミング信号を生成する、また、前記Readデータを前記CPUバスに出力する第2の比較タイミング信号を生成する、通常インタフェース処理回路部と、前記CPUが前記CPUバスを介して出力した第1のWriteデータと、当該第1のWriteデータを前記通常インタフェース処理回路部が処理し、前記外部入出力バスに出力する第2のWriteデータとを、前記第1の比較タイミング信号で比較して一致/不一致を判定し、また、前記外部入出力バスを介して入力される第1のReadデータと、当該第1のReadデータを前記通常インタフェース処理回路部が処理し、前記CPUバスに出力する第2のReadデータとを、前記第2の比較タイミング信号で比較して一致/不一致を判定する、比較回路部と、を備え、前記通常インタフェース処理回路部は、前記CPUと前記CPUバスを介して入出力するCPUバス信号とをインタフェースするCPU/インタフェース回路と、前記外部デバイスと前記外部入出力バスを介して入出力する外部入出力バス信号とをインタフェースするとともに、前記第1の比較タイミング信号及び前記第2の比較タイミング信号を生成する外部デバイスインタフェース回路と、前記外部デバイスへのアクセス要求と、前記外部デバイスからのアクセス要求と、を調停する内部回路と、を備え、前記制御プログラムの実行中に、前記FPGAインタフェース処理部の入出力処理動作の良否を自己診断するようにしたことを特徴とする。

【図面の簡単な説明】

【0020】

【図1】実施の形態のプログラマブルコントローラのブロック構成図。

【図 2】FPGAインタフェース処理部のブロック構成図。

【図 3】比較処理回路部の動作を説明するフローチャート図。

【発明を実施するための形態】

【0021】

以下、本発明に係るFPGAを使用して構成された信号処理回路を備えるプログラマブルコントローラの実施例について、図 1 を参照して説明する。

【0022】

図 1 は本発明の実施形態のプログラマブルコントローラの概要を示す機能ブロック構成図である。

【0023】

プログラマブルコントローラ 1 は、図示しないプログラムメモリに予め記憶された制御プログラムを実行するCPU 2 と、CPU 2 のメモリ 4 a と、CPU 2 の外部入出力デバイス 4 b とを備える外部デバイス 4 と、制御プログラムの実行により、CPU 2 が外部デバイス 4 に書き込むWriteデータを出力する出力信号、及びCPU 2 が外部デバイスから読み出すReadデータを入力する入力信号をインタフェースするFPGAで構成されるFPGAインタフェース処理部 3 と、を備える。

【0024】

更に、CPU 2 とFPGAインタフェース処理部 3 との間を接続するCPUバス 1 5 と、FPGAインタフェース処理部 3 と外部デバイス 4 とを接続する、双方向パラレル転送の外部入出力バス 1 6 と、を備える。

【0025】

尚、CPUバス 1 5 は、アドレスバス、データバス、制御線で構成され、CPUバス信号はこのCPUバス 1 5 を介してFPGAインタフェース処理部 3 に転送される。また、外部入出力バス 1 6 には、このバスに接続される夫々のデバイスのアドレス信号、データ信号、及びその制御信号が転送される。

【0026】

また、CPU 2 は、CPUバス 1 5 、及び外部入出力バス 1 6 (データメモリバス 1 6 a 、ワークメモリバス 1 6 b 、及び入出力デバイスバス 1 6 c ) を介して、夫々の外部デバイス 4 (データメモリ 4 a 1 、ワークメモリ 4 a 2 、外部入出力デバイス 4 b へのWriteデータの書き込み、Readデータの読み出しを双方向で転送する。

【0027】

ここで、CPU2と外部デバイス 4 との応答は、CPUバス 1 5 を介してCPU 2 に入出力する信号について、夫々のインタフェース回路 1 4 c からレディ信号をCPU 2 に送信するようにして、CPU 2 はレディ信号を受信するまでの間は、次の動作に遷移しないウェイト制御が可能なインタフェース形式としておく。

【0028】

次に、各部の構成について説明する。FPGAインタフェース処理部 3 は、入出力するデータと、の一致 / 不一致を検出し、不一致(エラー)がある場合にデータの修復処理を実行する詳細を後述する比較回路部 1 3 と、外部デバイス 4 とCPU 2 との間の入出力信号をインタフェースする通常インタフェース処理回路部 1 4 と、を備える。

【0029】

即ち、通常インタフェース処理回路部 1 4 は、CPUバス 1 5 信号(アドレス信号、データ信号、制御信号)を入力し、アドレス信号、データ信号、制御信号をデコードして、外部入出力バス 1 6 に出力し、また、外部入出力バス 1 6 から外部デバイス 4 から読み出すReadデータを入力し、この信号をエンコードしてCPUバス 1 5 に出力し、夫々の外部デバイス 4 とCPU 2 との間の入出力データをインタフェースする。

【0030】

更に、通常インタフェース処理回路部 1 4 は、Write(書き込み)データを外部入出力バス 1 6 に出力する第 1 の比較タイミング信号を生成する、また、Read(読み出し)データをCPUバス 1 5 に出力する第 2 の比較タイミング信号を生成する。

## 【 0 0 3 1 】

比較回路部 1 3 は、CPUバス 1 5 を介して出力された第 1 のWriteデータと、当該第 1 のWriteデータを通常インタフェース処理回路部 1 4 が処理し、外部入出力バス 1 6 に出力する第 2 のWriteデータとを、第 1 の比較タイミング信号で比較して一致/不一致を判定し、また、外部入出力バス 1 6 を介して入力される当該第 1 のReadデータと、当該第 1 のReadデータを通常インタフェース処理回路部 1 4 が処理し、CPUバス 1 5 に出力する当該第 2 のReadデータとを、第 2 の比較タイミング信号で比較して一致/不一致を判定する。

## 【 0 0 3 2 】

第 1 の比較タイミング信号、第 2 の比較タイミング信号は、入力するデータ毎に予め設定された時間、遅延させたタイミングとする。即ち、メモリ 1 3 a 1、または、メモリ 1 3 a 2 にデータが入力されるタイミングから、通常インタフェース処理回路部 1 3 で処理され、対応する比較データが比較可能となるまで遅延する。

10

## 【 0 0 3 3 】

このように構成された、プログラマブルコントローラ 1 は、制御プログラムの実行中に、FPGAインタフェース処理部 3 の入出力処理動作の良否を自己診断することが出来る。

## 【 0 0 3 4 】

次に、各部の詳細構成について説明する。通常インタフェース処理回路部 1 4 は、CPU 2 と当該通常インタフェース処理回路 1 4 との間でCPUバス 1 5 を介して入出力するCPUバス信号 s 1 5 をインタフェースするCPU/インタフェース回路 1 4 a と、外部デバイス 4 と通常インタフェース処理回路 1 4 との間で外部入出力バス 1 6 を介して入出力する外部入出力バス信号 s 1 6 c とをインタフェースするとともに、第 1 の比較タイミング信号及び第 2 の比較タイミング信号を生成する外部デバイスインタフェース回路 1 4 c と、外部デバイス 4 へのアクセス要求と、外部デバイス 4 からのアクセス要求と、を調停する内部回路 1 4 b と、を備える。

20

## 【 0 0 3 5 】

また、CPUインタフェース回路 1 4 a は、CPUバス 1 5 から入力したデータ、アドレス、及び制御信号をデコードして内部回路 1 4 b に送り、また、外部デバイスバス 1 6 から入力したデータ、アドレス、及び制御信号をエンコードしてCPUバス 1 5 を介してCPU 2 に送る。

## 【 0 0 3 6 】

尚、更に詳細には、外部デバイス 4 は、データメモリ 4 a 1 とワークメモリ 4 a 2 とを備えるメモリ 4 a、及び外部入出力デバイス 4 b を備え、外部デバイスインタフェース回路 1 4 c は、対応するメモリとの間をインタフェースするデータメモリインタフェース回路 1 4 c 1 と、ワークメモリインタフェース回路 1 4 c 2 と、外部入出力デバイスインタフェース回路 1 4 c 3 と、を備える。

30

## 【 0 0 3 7 】

外部デバイスインタフェース回路 1 4 c の夫々の回路は、外部デバイス 4 と内部回路 1 4 b との異なる信号形態をインタフェースする変換機能を有する。

## 【 0 0 3 8 】

一般に、ワークメモリ 4 a 2 は、SRAM(Static Random Access Memory)で構成され、データメモリ 4 a 1 はSDRAM(Synchronous Dynamic Random Access Memory)で構成され、CPU 2 が制御プログラムを実行する場合にアクセスされる。

40

## 【 0 0 3 9 】

また、外部入出力デバイス 4 b は、CPU 2 が制御する被制御対象からの入力信号、及び操作端部などの出力力装置からの信号をインタフェースする。

## 【 0 0 4 0 】

また、外部入出力バス 1 6 は、データメモリ 4 a 1 と接続するデータメモリバス 1 6 a 及びワークメモリ 4 a 2 と接続するワークメモリバス 1 6 b と、外部入出力デバイス 4 b と接続する入出力デバイスバス 1 6 c と、を備える。

## 【 0 0 4 1 】

50

次に、比較回路部 1 3 の詳細構成について、図 2 を参照して説明する。比較回路部 1 3 は、CPUバス信号を記憶する第 1 のメモリ 1 3 a 1 と、外部入出力バス信号を記憶する第 2 のメモリ 1 3 a 2 と、CPUバス 1 5 を介して出力された第 1 のWriteデータと、第 1 のWriteデータを通常インタフェース処理回路部 1 4 が処理し、外部入出力バス 1 6 に出力する第 2 のWriteデータとを、第 1 の比較タイミング信号で比較して一致/不一致を判定し、また、外部入出力バス 1 6 を介して入力される第 1 のReadデータと、当該第 1 のReadデータを通常インタフェース処理回路部 1 4 が処理し、CPUバス 1 5 に出力する第 2 のReadデータと、を前記第 2 の比較タイミング信号で比較して一致/不一致を判定する比較制御回路 1 3 b と、を備える。

【 0 0 4 2 】

10

更に、第 1 の比較タイミングでの判定の結果不一致と判定された場合、比較制御回路 1 3 b から不一致信号 ( s 1 3 b 2 ) を受信して、第 1 のメモリ 1 3 a 1 から、対応する第 1 のWriteデータを抽出して再判定要求信号 s 1 3 c とともに、内部回路 1 4 b を介して送信し、一致の場合には、外部デバイス 4 に第 2 のWriteデータの送信を指示する信号を、不一致の場合には再判定要求信号を、夫々対応するインタフェース回路に送信し、または、第 2 の比較タイミングでの判定の結果不一致と判定された場合、第 2 のメモリ 1 3 a 2 から、対応する第 1 のReadデータを抽出して再判定要求信号とともに、内部回路 1 4 b を介して送信し、一致の場合には、前記外部デバイスに前記第 2 のReadデータの送信を指示する信号を、不一致の場合には再判定要求信号を、夫々対応するインタフェース回路に送信する、再処理回路 1 3 c と、を備える。

20

【 0 0 4 3 】

更に、比較制御回路 1 3 b から不一致信号 s 1 3 b 2 を受信するとともに、不一致と判定された信号を比較制御回路 1 3 b から受信して、エラー内容をロギングする記憶保持可能なメモリと、不一致内容(エラー)を表示するLED等の表示部と、を備えるエラー処理回路 1 3 d を備える。このエラー処理回路 1 3 d は、別の場所に設けられる外部の表示部に備えるようにしても良い。

【 0 0 4 4 】

このように構成されたFPGAインタフェース処理回路 3 を備えるプログラマブルコントローラ 1 は、比較回路部 1 3 により、FPGAインタフェース処理部 3 の通常インタフェース処理回路 1 4 で処理する前の入力信号と、通常インタフェース処理回路 1 4 で処理した後の対応する出力信号 3 とを比較して、一致の場合には、外部デバイス 4 に第 2 のWriteデータ、または、第 2 のReadデータの送信を指示する信号を送り、不一致の場合には再判定要求信号を、夫々対応する外部デバイスインタフェース回路 1 4 c に送信するようにした。

30

【 0 0 4 5 】

したがって、通常インタフェース処理回路 1 4 の自己診断と、通常インタフェース処理回路 1 4 の処理にエラーが検出された場合の修復処理とを、制御プログラムを停止することなく実行することができるプログラマブルコントローラを提供することができる。

【 0 0 4 6 】

次に、図 3 を参照して、本実施形態のFPGAで構成された通常インタフェース処理回路 1 4 の自己診断、及び、エラーの修復機能を備えるプログラマブルコントローラ 1 の比較回路部 1 3 の処理動作について説明する。

40

【 0 0 4 7 】

この処理動作 ( 図 3 の s 3 ~ s 7 ) の間、夫々のインタフェース回路 1 4 c からレディ信号をCPU 2 に送信するようにして、CPU 2 はレディ信号を受信するまでの間は、次の動作に遷移しないウェイト制御を実行する。

【 0 0 4 8 】

図 3 は、本実施形態の比較回路部 1 3 の処理動作を説明するためのフローチャートである。このフローチャートは、CPU 2 が外部デバイス 4 のワークメモリ 4 a 2 にWriteデータを書き込む場合の自己診断動作を 1 例として説明する。

【 0 0 4 9 】

50

まず、CPU 2 から処理を実行するためのWriteデータ信号（アドレス・データ・制御信号）が出力されると、このCPUバス信号は、メモリ 1 3 a 1 と通常インタフェース処理回路部 1 4 のCPUインタフェース回路 1 4 a とに入力される。

【 0 0 5 0 】

メモリ 1 3 a 1 入力された信号は、予め設定されるサイクル数分一次記憶される（s 1）。

【 0 0 5 1 】

一方、CPUインタフェース回路 1 4 a に入力されたCPUバス信号 s 1 5 は、内部回路 1 4 b、及びワークメモリインタフェース回路 1 4 c 2 を介して、ワークメモリ 4 a 2 に出力される。

10

【 0 0 5 2 】

そして、比較制御回路 1 3 b では、メモリ 1 3 a 1 に一次記憶されたデータと、通常インタフェース処理回路部 1 4 で処理され、ワークメモリインタフェース回路 1 4 a 2 からメモリバス 1 6 a に出力された、メモリ 1 3 a 1 の一次記憶データに対応するデータと、を第 1 の比較タイミング信号で比較する。

【 0 0 5 3 】

比較のデータ入力回路は、雑音の影響を受けないように配慮された構成としておき、比較タイミングは、ワークメモリインタフェース回路 1 4 c 2 で生成される、ワークメモリバス 1 6 b に出力するデータのラッチ信号に同期した比較タイミング信号 s 1 4 c 2 で比較する（s 2）。

20

【 0 0 5 4 】

比較の結果（s 3）、一致（エラーなし）と判定された場合には、比較制御回路 1 3 b は、一致信号 s 1 3 b 1 をワークメモリインタフェース回路 1 4 c 2 に送り、ワークメモリインタフェース回路 1 4 c 2 からラッチされたデータが、そのままメモリバス 1 6 b を介してワークメモリ 4 a 2 に出力される（s 7）。

【 0 0 5 5 】

不一致と判定された場合には、比較制御回路 1 3 b は、不一致信号 s 1 3 b 2 を再処理回路 1 3 c、エラー処理回路 1 3 d、及びワークメモリインタフェース回路 1 4 c 2 に送る。

【 0 0 5 6 】

ワークメモリインタフェース回路 1 4 c 2 では、ワークメモリ 4 a 2 への信号の出力を停止する。また、エラー処理回路 1 3 d では、エラー内容を図示しない内部レジスタ、及び、バックアップ可能な図示しないバックアップメモリにロギングする。また、必要がある場合は、図示しない表示器よりエラーを表示する（s 8）。

30

【 0 0 5 7 】

エラーを通知された再処理回路 1 3 c では、不一致となったエラー内容から対応するデータをメモリ 1 3 a 1 から抽出し、対応するアドレス、データ、制御信号の情報から、ワークメモリ 4 a 2 に送信するデータを再生し、内部回路 1 4 b に送る（s 4）。

【 0 0 5 8 】

そして、比較制御回路 1 3 b は、内部回路 1 4 b からワークメモリインタフェース回路 1 4 c 2 で再処理されたワークメモリバス 1 6 b への出力データと、メモリ 1 3 a 1 から再抽出したデータとを再比較する（s 5）。

40

【 0 0 5 9 】

比較の結果一致した場合には、ワークメモリインタフェース回路 1 4 c 2 からワークメモリバス 1 6 b を介してデータを出力し（s 7）、CPU 2 は、このエラーは一過性の故障と判断して制御プログラムの実行を継続する。

【 0 0 6 0 】

この、再比較において、エラーが検出された場合、メモリ 1 3 a 1 に記憶されたデータを正として、再処理回路 1 3 c から出力されたデータをワークメモリインタフェース回路 1 4 c 2 の図示しない出力レジスタに書き込み（s 6）、ワークメモリバス 1 6 b を介し

50

て出力する ( s 7 )。

【 0 0 6 1 】

他の外部デバイス 4 にWriteデータを書き込む場合、本ワークメモリ 4 a 2 に書き込む場合と同様であるのでその説明を省略する。

【 0 0 6 2 】

また、外部デバイス 4 からReadデータを読み出しする場合の動作は、外部デバイス 4 からWrite データを書き込み(Write)する場合は、比較制御回路 1 3 b で比較する一方の基準となる参照データをメモリ 1 3 a 1 から抽出したが、外部デバイス 4 からReadデータを読み出しする場合は、比較制御回路 1 3 b で比較する基準となる参照データをメモリ 1 3 a 2 から抽出する点異なる。

10

【 0 0 6 3 】

その他の動作は、外部デバイス 4 からWriteデータを書き込みする場合と同様であるのでその説明を省略する。

【 0 0 6 4 】

以上説明したように、本実施形態によれば、FPGAを使用して構成された信号処理回路を備えるプログラマブルコントローラにおいて、制御プログラムの実行を停止することなく、当該FPGAで構成された信号処理回路の自己診断と、エラー検出時の修復機能と、を備えるプログラマブルコントローラを提供することができる。

【 0 0 6 5 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【 符号の説明 】

【 0 0 6 6 】

- 1 プログラマブルコントローラ
- 2 CPU
- 3 FPGAインタフェース処理部
- 4 外部デバイス
- 4 a メモリ
- 4 a 1 データメモリ ( SRAM )
- 4 a 2 ワークメモリ ( SDRAM )
- 4 b 外部入出力デバイス
- 1 3 比較回路部
- 1 3 a 1、1 3 a 2 メモリ
- 1 3 b 比較制御回路
- 1 3 c 再処理回路
- 1 3 d エラー処理回路
- 1 4 通常インタフェース処理回路部
- 1 4 a CPU インタフェース回路
- 1 4 b 内部回路
- 1 4 c 外部デバイスインタフェース回路
- 1 4 c 1 データメモリインタフェース回路
- 1 4 c 2 ワークメモリインタフェース回路
- 1 4 c 3 外部入出力インタフェース回路
- 1 5 CPUバス
- 1 6 外部入出力バス
- 1 6 a、1 6 b メモリバス

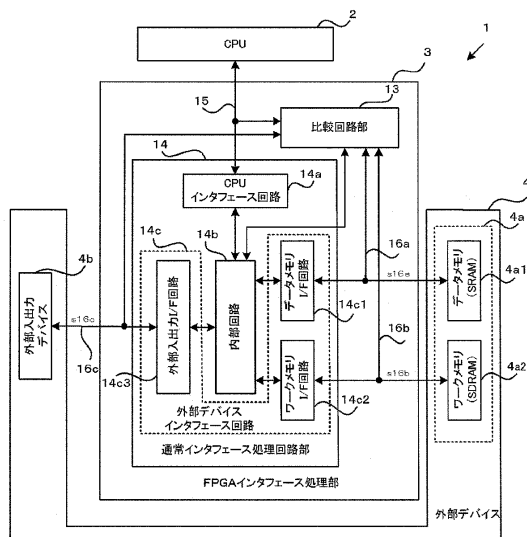
30

40

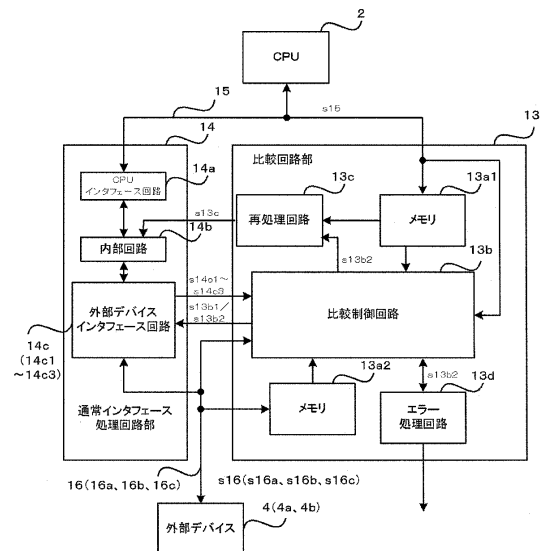
50

## 16c 入出力デバイスバス

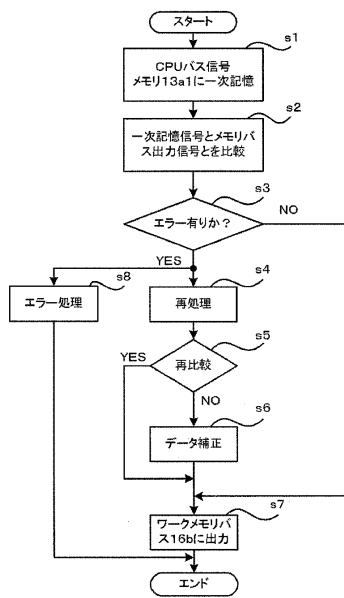
【図1】



【図2】



【図 3】



---

フロントページの続き

(56)参考文献 特開2010-039739(JP,A)  
特開昭61-188602(JP,A)  
特開平01-277951(JP,A)  
特開平05-012189(JP,A)  
特開2000-207003(JP,A)  
特開平09-091137(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G05B 19/05