

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成24年8月2日 (2012.8.2)

【公表番号】特表2007-522655(P2007-522655A)
 【公表日】平成19年8月9日 (2007.8.9)
 【年通号数】公開・登録公報2007-030
 【出願番号】特願2006-551018(P2006-551018)
 【国際特許分類】

H 0 1 L 27/10 (2006.01)

G 1 1 C 17/12 (2006.01)

G 1 1 C 16/04 (2006.01)

【F I】

H 0 1 L 27/10 4 3 1

G 1 1 C 17/00 3 0 4 B

G 1 1 C 17/00 6 2 2 Z

【誤訳訂正書】
 【提出日】平成24年6月20日 (2012.6.20)
 【誤訳訂正 1】
 【訂正対象書類名】明細書
 【訂正対象項目名】0 0 1 7
 【訂正方法】変更
 【訂正の内容】
 【0 0 1 7】

読取り動作中には、異なるセンシング技法およびセンシング回路を使用して、どのトランジスタ特性が使用されるかに応じてプログラムされたセルをプログラムされていないセルから識別するはずである。セルが図 5 A および図 5 B の O T P メモリ・セル 5 0 0 などにおけるこのセルのしきい値電圧における変化を引き起こすことによってプログラムされている場合には、次いでセル 5 0 0 は、(i) すべてのセルについてのソース端子を正の電位 (V_{DD}) まで引き上げ、(i i) この選択された行に沿ったすべてのセルについてのゲート接続を正の電位 (V_{DD}) まで引き上げることによって読み取られる。次いで、この列 (ドレイン) 電圧は、そのプリチャージ電圧レベル (アース) からこのソース電位 (V_{DD}) よりもセル・トランジスタしきい値電圧 (V_t) だけ低い電圧まで変化するはずである。これらのプログラムされたセルは、これらのプログラムされていないセルよりも高い V_t を有するはずであり、これについては、この列に接続されたセンス増幅器によって検出されるはずである。

【誤訳訂正 2】
 【訂正対象書類名】特許請求の範囲
 【訂正対象項目名】全文
 【訂正方法】変更
 【訂正の内容】
 【特許請求の範囲】
 【請求項 1】

ワン・タイム・プログラマブル・メモリをプログラムするための方法であって、
 トランジスタのアレイを取得するステップと、

ホット・キャリア・トランジスタ・エージング技法を使用して少なくとも 1 つの前記トランジスタの特性を変更して、前記少なくとも 1 つのトランジスタをプログラムするステップとを含み、前記ホット・キャリア・エージング技法はゲート酸化膜へのキャリアの注入を含み、前記キャリアの注入は、トラップの生成及びトラップへの注入のうちの少なく

とも1つを引き起こし、変更された前記特性は前記少なくとも1つのトランジスタのしきい値電圧における変化であり、前記方法はさらに、

前記少なくとも1つのトランジスタの前記しきい値電圧における前記変化を感知することにより、プログラムされた前記少なくとも1つのトランジスタを検出するステップを含み、

前記検出するステップにおけるトランジスタ電流は、前記プログラムするステップにおけるトランジスタ電流と逆方向であり、

前記検出するステップは、(i) 前記トランジスタのアレイのそれぞれについてのソース端子を正の電位にまで引き上げるステップと、(i i) 選択された行に沿ったすべてのトランジスタについてのゲート端子を正の電位にまで引き上げるステップと、(i i i) ドレイン電圧が、プリチャージ電圧レベルから前記正のゲート端子電位よりもセル・トランジスタのしきい値電圧だけ低い電圧まで変化しているかどうかを検出するステップとを含む、方法。

【請求項2】

前記プログラムするステップが、前記少なくとも1つのトランジスタにストレスの多い電圧を印加して、前記ホット・キャリア・トランジスタ・エージングを引き起こすステップをさらに含む、請求項1に記載の方法。

【請求項3】

前記プログラムするステップが、前記少なくとも1つのトランジスタのドレインおよびゲートにストレスの多い電圧を印加して、前記少なくとも1つのトランジスタの前記しきい値電圧における前記変化を引き起こすステップをさらに含む、請求項1に記載の方法。

【請求項4】

前記プログラムするステップが、前記少なくとも1つのトランジスタの飽和電流における変化を引き起こす、請求項1に記載の方法。

【請求項5】

ワン・タイム・プログラマブル・メモリであって、

トランジスタのアレイを含み、ホット・キャリア・トランジスタ・エージングを使用して少なくとも1つの前記トランジスタの特性を変更して、前記少なくとも1つのトランジスタがプログラムされ、前記ホット・キャリア・エージングはゲート酸化膜へのキャリアの注入を含み、前記キャリアの注入は、トラップの生成及びトラップへの注入のうちの少なくとも1つを引き起こすものであり、変更された前記特性は前記少なくとも1つのトランジスタのしきい値電圧における変化であり、さらに、

前記少なくとも1つのトランジスタの前記変更された特性を感知する回路を含み、

前記感知する回路におけるトランジスタ電流は、前記プログラムされる時のトランジスタ電流と逆方向であり、

前記回路は前記少なくとも1つのトランジスタの前記しきい値電圧における前記変化を感知し、前記回路は、(i) 前記トランジスタのアレイのそれぞれについてのソース端子を正の電位にまで引き上げ、(i i) 選択された行に沿ったすべてのトランジスタについてのゲート端子を正の電位にまで引き上げ、(i i i) ドレイン電圧が、プリチャージ電圧レベルから前記正のゲート端子電位よりもセル・トランジスタのしきい値電圧だけ低い電圧まで変化しているかどうかを検出する、ワン・タイム・プログラマブル・メモリ。

【請求項6】

ワン・タイム・プログラマブル・メモリ素子であって、

ホット・キャリア・トランジスタ・エージングを使用してトランジスタ特性を変更してプログラムされる少なくとも1つのトランジスタを含み、前記ホット・キャリア・エージングはゲート酸化膜へのキャリアの注入を含み、前記キャリアの注入は、トラップの生成及びトラップへの注入のうちの少なくとも1つを引き起こすものであり、変更された前記トランジスタ特性は前記少なくとも1つのトランジスタのしきい値電圧における変化であり、さらに、

前記少なくとも1つのトランジスタの前記変更された特性を感知する回路を含み、

前記感知する回路におけるトランジスタ電流は、前記プログラムされるときのトランジスタ電流と逆方向であり、

前記回路は前記しきい値電圧における前記変化を感知し、前記回路は、(i) 前記少なくとも1つのトランジスタについてのソース端子を正の電位にまで引き上げ、(i i) 前記少なくとも1つのトランジスタについてのゲート端子を正の電位にまで引き上げ、(i i i) ドレイン電圧が、プリチャージ電圧レベルから前記正のゲート端子電位よりもセル・トランジスタのしきい値電圧だけ低い電圧まで変化しているかどうかを検出する、ワン・タイム・プログラマブル・メモリ素子。

【請求項7】

集積回路であって、

ワン・タイム・プログラマブル・メモリを備え、前記ワン・タイム・プログラム・メモリは、

トランジスタのアレイを含み、ホット・キャリア・トランジスタ・エージングを使用して少なくとも1つの前記トランジスタの特性を変更して、前記少なくとも1つのトランジスタがプログラムされており、前記ホット・キャリア・エージングはゲート酸化膜へのキャリアの注入を含み、前記キャリアの注入は、トラップの生成及びトラップへの注入のうちの少なくとも1つを引き起こすものであり、変更された前記特性は前記少なくとも1つのトランジスタのしきい値電圧における変化であり、さらに、

前記少なくとも1つのトランジスタの前記変更された特性を感知する回路を含み、

前記感知する回路におけるトランジスタ電流は、前記プログラムされるときのトランジスタ電流と逆方向であり、

前記回路は前記少なくとも1つのトランジスタの前記しきい値電圧における前記変化を感知し、前記回路は、(i) 前記トランジスタのアレイのそれぞれについてのソース端子を正の電位にまで引き上げ、(i i) 選択された行に沿ったすべてのトランジスタについてのゲート端子を正の電位にまで引き上げ、(i i i) ドレイン電圧が、プリチャージ電圧レベルから前記正のゲート端子電位よりもセル・トランジスタのしきい値電圧だけ低い電圧まで変化しているかどうかを検出する、集積回路。