



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0118843
(43) 공개일자 2009년11월18일

(51) Int. Cl.

H05K 1/02 (2006.01)

(21) 출원번호 10-2009-0040105

(22) 출원일자 2009년05월08일

심사청구일자 2009년05월08일

(30) 우선권주장

JP-P-2008-126654 2008년05월14일 일본(JP)

JP-P-2009-041727 2009년02월25일 일본(JP)

(71) 출원인

가부시키가이샤 무라타 세이사쿠쇼

일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고

(72) 발명자

이타무라 히로토

일본국 교토후 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시키가이샤 무라타 세이사쿠쇼

(74) 대리인

윤동열

전체 청구항 수 : 총 18 항

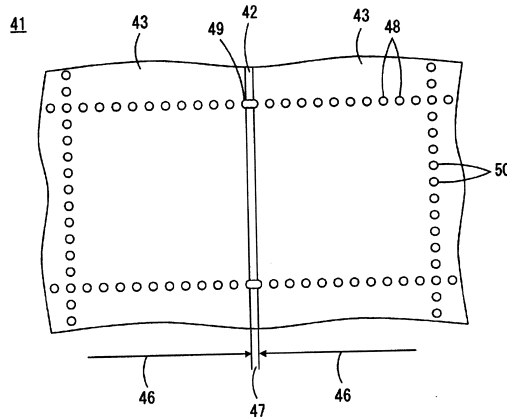
(54) 세라믹 전자부품 및 그 제조방법 및 집합부품

(57) 요약

갭 치수가 좁은 복수의 외부단자 전극이 주면(主面)에 형성된 세라믹 전자부품을 얻기 위해, 집합부품을 복수의 브레이크(break) 유도구멍이 미싱선과 같이 배열된 소정의 브레이크 라인을 따라 브레이크할 때, 좁은 갭 치수 때문에 원활한 브레이크가 불가능해지는 경우가 있다.

집합부품(41)은, 브레이크 유도구멍(48~50)이 통과하는 브레이크 라인상에 있어서, 외부단자 전극용 도전성 페이스트막(43)과 교차하는 제1의 영역(46)과 교차하지 않는 제2의 영역(47)을 가지고 있고, 제1의 브레이크 유도구멍(48)은 제2의 영역(47)에 이르지 않도록 하여 제1의 영역(46)에 형성되고, 제2의 브레이크 유도구멍(49)은 제2의 영역(47)에만, 혹은 제2의 영역(47)으로부터 제1의 영역(46)에 부분적으로 이르도록 하여 형성되며, 제1의 브레이크 유도구멍(48)끼리의 피치는 제2의 브레이크 유도구멍(49)끼리의 피치보다도 넓게 된다.

대표도 - 도7



특허청구의 범위

청구항 1

서로 대향하는 제1 및 제2의 주면 및 상기 제1 및 제2의 주면간을 연결하는 제1 내지 제4의 측면을 가지는 세라믹 소체와,

상기 세라믹 소체의 적어도 상기 제1의 주면상에 형성된 외부도체를 가지고,

적어도 상기 제1의 측면에는 상기 제1 및 제2의 주면간을 연결하는 방향으로 연장되면서, 적어도 상기 제1의 주면에까지 달하도록 형성된 복수의 오목홈이 형성되며,

상기 제1의 주면에서의 상기 제1의 측면에 접하는 제1의 모서리부에는,

상기 외부도체의 끝가장자리가 위치하고 있는 적어도 2개의 제1의 영역과,

서로 이웃하는 2개의 상기 제1의 영역간에 위치하면서 상기 외부도체의 끝가장자리가 위치하고 있지 않은 적어도 한 개의 제2의 영역이 형성되고,

상기 복수의 오목홈은,

상기 제2의 영역에는 이르지 않도록 하여 상기 제1의 영역에 있어서 소정의 피치로 형성된 복수의 제1의 오목홈과,

상기 제2의 영역에만, 혹은 상기 제2의 영역으로부터 상기 제1의 영역에 부분적으로 이르도록 하여 소정의 피치로 형성된 복수의 제2의 오목홈을 포함하며,

상기 제1의 오목홈끼리의 피치를 P_1 , 상기 제2의 오목홈끼리의 피치를 P_2 로 했을 때,

$$P_1 > P_2$$

를 만족하는 것을 특징으로 하는 세라믹 전자부품.

청구항 2

제1항에 있어서,

서로 이웃하는 상기 제2의 오목홈은 서로 겹쳐 있는 것을 특징으로 하는 세라믹 전자부품.

청구항 3

제1항에 있어서,

서로 이웃하는 상기 제2의 오목홈은 서로 독립되어 있는 것을 특징으로 하는 세라믹 전자부품.

청구항 4

서로 대향하는 제1 및 제2의 주면 및 상기 제1 및 제2의 주면간을 연결하는 제1 내지 제4의 측면을 가지는 세라믹 소체와,

상기 세라믹 소체의 적어도 상기 제1의 주면상에 형성된 외부도체를 가지고,

적어도 상기 제1의 측면에는 상기 제1 및 제2의 주면간을 연결하는 방향으로 연장되면서, 적어도 상기 제1의 주면에까지 달하도록 형성된 복수의 오목홈이 형성되며,

상기 제1의 주면에서의 상기 제1의 측면에 접하는 제1의 모서리부에는,

상기 외부도체의 끝가장자리가 위치하고 있는 적어도 2개의 제1의 영역과,

서로 이웃하는 2개의 상기 제1의 영역간에 위치하면서, 상기 외부도체의 끝가장자리가 위치하고 있지 않은 적어도 한 개의 제2의 영역이 형성되고,

상기 복수의 오목홈은,

상기 제2의 영역에는 이르지 않도록 하여 상기 제1의 영역에 형성된 복수의 제1의 오목홈과,

상기 제2의 영역에 형성된 적어도 한 개의 제2의 오목홈을 포함하고,

상기 제1의 오목홈의 상기 제1의 모서리부에 따른 길이를 D_1 , 상기 제2의 오목홈의 상기 제1의 모서리부에 따른 길이를 D_2 로 했을 때,

$$D_1 < D_2$$

를 만족하는 것을 특징으로 하는 세라믹 전자부품.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 외부도체는 상기 적어도 2개의 제1의 영역의 한 쪽에 상기 끝가장자리를 위치시키고 있는 제1의 외부도체와, 상기 적어도 2개의 제1의 영역의 다른 쪽에 상기 끝가장자리를 위치시키고 있는 제2의 외부도체를 포함하고, 상기 제1의 외부도체와 상기 제2의 외부도체는 상기 제1의 주면상에 있어서 서로 독립적으로 형성되어 있는 것을 특징으로 하는 세라믹 전자부품.

청구항 6

제5항에 있어서,

상기 세라믹 전자부품은 적층된 복수의 유전체층과, 상기 유전체층을 통해 서로 대향하도록 마련된 제1 및 제2의 내부전극을 포함하는 적층 세라믹 콘덴서를 구성하는 것이고, 상기 제1의 외부도체는 상기 제1의 내부전극과 전기적으로 접속되며, 상기 제2의 외부도체는 상기 제2의 내부전극과 전기적으로 접속되어 있는 것을 특징으로 하는 세라믹 전자부품.

청구항 7

제6항에 있어서,

상기 유전체층 및 상기 제1 및 제2의 내부전극은 상기 제1의 주면에 대하여 수직방향으로 연장되어 있는 것을 특징으로 하는 세라믹 전자부품.

청구항 8

제6항에 있어서,

상기 유전체층 및 상기 제1 및 제2의 내부전극은 상기 제1의 주면에 대하여 평행방향으로 연장되어 있고, 상기 제1의 외부도체는 제1의 비아 도체를 통해 상기 제1의 내부전극과 전기적으로 접속되며, 상기 제2의 외부도체는 제2의 비아 도체를 통해 상기 제2의 내부전극과 전기적으로 접속되어 있는 것을 특징으로 하는 세라믹 전자부품.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 오목홈은 상기 제1 및 제2의 주면의 쌍방에까지 달하도록 형성되어 있는 것을 특징으로 하는 세라믹 전자부품.

청구항 10

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 오목홈은 상기 제1의 주면에까지만 달하도록 형성되어 있는 것을 특징으로 하는 세라믹 전자부품.

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,

서로 이웃하는 상기 제1의 오목홈과 상기 제2의 오목홈 사이의 피치는 상기 제1의 오목홈끼리의 피치 이하인

것을 특징으로 하는 세라믹 전자부품.

청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서,

상기 외부도체는 상기 제2의 주면상에도 형성되어 있는 것을 특징으로 하는 세라믹 전자부품.

청구항 13

제1항 내지 제12항 중 어느 한 항에 있어서,

상기 제1의 주면에서의 상기 제1의 측면에 대향하는 상기 제2의 측면에 접하는 제2의 모서리부에 대해서도, 상기 제1의 모서리부와 동일한 구성을 가지는 것을 특징으로 하는 세라믹 전자부품.

청구항 14

제1항 내지 제13항 중 어느 한 항에 있어서,

상기 외부도체는 적어도 그 표면이 Cu로 구성되는 것을 특징으로 하는 세라믹 전자부품.

청구항 15

서로 대향하는 제1 및 제2의 주면을 가지고, 외부도체가 적어도 상기 제1의 주면상에 형성되는 동시에 복수의 브레이크 유도구멍이 상기 제1 및 제2의 주면간을 연결하는 방향으로 연장되도록 형성되며, 각 상기 브레이크 유도구멍은 적어도 상기 제1의 주면상에 그 개구끝을 위치시키고 있고, 복수의 상기 브레이크 유도구멍은 소정의 브레이크 라인을 따라 분포하도록 배열되어 있는 집합부품을 준비하는 공정과,

상기 브레이크 라인을 따라 상기 집합부품을 분할함으로써, 복수의 세라믹 전자부품을 추출하는 공정을 포함하는 세라믹 전자부품의 제조방법으로서,

상기 집합부품은 이것을 상기 제1의 주면측에서 보았을 때, 상기 브레이크 라인상에 있어서, 상기 외부도체와 교차하는 제1의 영역과, 상기 외부도체와 교차하지 않는 제2의 영역을 가지고,

상기 복수의 브레이크 유도구멍은,

상기 제2의 영역에 이르지 않도록 하여 상기 제1의 영역에 형성되는 복수의 제1의 브레이크 유도구멍과,

상기 제2의 영역에만, 혹은 상기 제2의 영역으로부터 상기 제1의 영역에 부분적으로 이르도록 하여 소정의 피치로 형성된 복수의 제2의 브레이크 유도구멍을 포함하며,

상기 제1의 브레이크 유도구멍끼리의 피치는 상기 제2의 브레이크 유도구멍끼리의 피치보다도 넓게 되는 것을 특징으로 하는 세라믹 전자부품의 제조방법.

청구항 16

서로 대향하는 제1 및 제2의 주면을 가지고, 외부도체가 적어도 상기 제1의 주면상에 형성되는 동시에 복수의 브레이크 유도구멍이 상기 제1 및 제2의 주면간을 연결하는 방향으로 연장되도록 형성되며, 각 상기 브레이크 유도구멍은 적어도 상기 제1의 주면상에 그 개구끝을 위치시키고 있고, 복수의 상기 브레이크 유도구멍은 소정의 브레이크 라인을 따라 분포하도록 배열되어 있는 집합부품을 준비하는 공정과,

상기 브레이크 라인을 따라 상기 집합부품을 분할함으로써 복수의 세라믹 전자부품을 추출하는 공정을 포함하는 세라믹 전자부품의 제조방법으로서,

상기 집합부품은 이것을 상기 제1의 주면측에서 보았을 때, 상기 브레이크 라인상에 있어서, 상기 외부도체와 교차하는 제1의 영역과, 상기 외부도체와 교차하지 않는 제2의 영역을 가지고,

상기 복수의 브레이크 유도구멍은,

상기 제2의 영역에는 이르지 않도록 하여 상기 제1의 영역에 형성된 복수의 제1의 브레이크 유도구멍과,

상기 제2의 영역에 형성된 적어도 한 개의 제2의 브레이크 유도구멍을 포함하며,

상기 제2의 브레이크 유도구멍의 상기 브레이크 라인에 따른 길이는 상기 제1의 브레이크 유도구멍의 상기 브레

이크 라인에 따른 길이보다도 길게 되는 것을 특징으로 하는 세라믹 전자부품의 제조방법.

청구항 17

소정의 브레이크 라인을 따라 분할함으로써, 복수의 세라믹 전자부품을 추출할 수 있는 집합부품으로서,

서로 대향하는 제1 및 제2의 주면을 가지고, 외부도체가 적어도 상기 제1의 주면상에 형성되는 동시에 복수의 브레이크 유도구멍이 상기 제1 및 제2의 주면간을 연결하는 방향으로 연장되도록 형성되며, 각 상기 브레이크 유도구멍은 적어도 상기 제1의 주면상에 그 개구끝을 위치시키고 있고, 복수의 상기 브레이크 유도구멍은 상기 브레이크 라인을 따라 분포하도록 배열되어 있으며,

상기 집합부품은 이것을 상기 제1의 주면측에서 보았을 때, 상기 브레이크 라인상에 있어서, 상기 외부도체와 교차하는 제1의 영역과, 상기 외부도체와 교차하지 않는 제2의 영역을 가지고,

상기 복수의 브레이크 유도구멍은,

상기 제2의 영역에 이르지 않도록 하여 상기 제1의 영역에 형성되는 복수의 제1의 브레이크 유도구멍과,

상기 제2의 영역에만, 혹은 상기 제2의 영역으로부터 상기 제1의 영역에 부분적으로 이르도록 하여 소정의 피치로 형성된 복수의 제2의 브레이크 유도구멍을 포함하며,

상기 제1의 브레이크 유도구멍끼리의 피치는 상기 제2의 브레이크 유도구멍끼리의 피치보다도 넓게 되어 있는 것을 특징으로 하는 집합부품.

청구항 18

소정의 브레이크 라인을 따라 분할함으로써, 복수의 세라믹 전자부품을 추출할 수 있는 집합부품으로서,

서로 대향하는 제1 및 제2의 주면을 가지고, 외부도체가 적어도 상기 제1의 주면상에 형성되는 동시에 복수의 브레이크 유도구멍이 상기 제1 및 제2의 주면간을 연결하는 방향으로 연장되도록 형성되며, 각 상기 브레이크 유도구멍은 적어도 상기 제1의 주면상에 그 개구끝을 위치시키고 있고, 복수의 상기 브레이크 유도구멍은 상기 브레이크 라인을 따라 분포하도록 배열되어 있으며,

상기 집합부품은 이것을 상기 제1의 주면측에서 보았을 때, 상기 브레이크 라인상에 있어서, 상기 외부도체와 교차하는 제1의 영역과, 상기 외부도체와 교차하지 않는 제2의 영역을 가지고,

상기 복수의 브레이크 유도구멍은,

상기 제2의 영역에는 이르지 않도록 하여 상기 제1의 영역에 형성된 복수의 제1의 브레이크 유도구멍과,

상기 제2의 영역에 형성된 적어도 한 개의 제2의 브레이크 유도구멍을 포함하며,

상기 제2의 브레이크 유도구멍의 상기 브레이크 라인에 따른 길이는 상기 제1의 브레이크 유도구멍의 상기 브레이크 라인에 따른 길이보다도 길게 되어 있는 것을 특징으로 하는 집합부품.

명세서

발명의 상세한 설명

기술분야

<1> 이 발명은 세라믹 전자부품 및 그 제조방법 및 집합부품에 관한 것으로서, 특히, 주면상에 외부단자 전극과 같은 외부도체가 형성된 것으로, 집합부품을 소정의 브레이크 라인을 따라 브레이크함으로써 얻어지는 세라믹 전자부품 및 그 제조방법, 및 분할함으로써 복수의 세라믹 전자부품을 추출할 수 있는 집합부품에 관한 것이다.

배경기술

<2> 최근, 휴대전화나 퍼스널 컴퓨터 등의 전자기기에는 적층 세라믹 콘덴서로 대표되는 적층 세라믹 전자부품이 다수 사용되고 있다. 일반적으로 적층 세라믹 전자부품은 직방체 형상의 세라믹 소체와, 세라믹 소체의 외표면에 형성된 한 쌍의 외부단자 전극을 가진다. 외부단자 전극은 침지법에 의해 세라믹 소체 단부(端部)에 도전성 페이스트를 도포하여 베이킹함으로써 형성되는 경우가 많고, 이 경우, 각 외부단자 전극은 세라믹 소체의 한 개의

단면(端面)을 중심으로 총 5면에 걸쳐 형성된다.

- <3> 그런데, 최근 전자부품의 실장형태의 다양화나, 용도 특화형 전자부품의 수요 증대 등의 배경으로부터, 세라믹 전자부품의 외부단자 전극의 형상이나 배치에 대해서도 다양화가 진행되고 있고, 예를 들면 세라믹 소재의 1면 상 혹은 대향하는 2면상에 외부단자 전극이 형성되는 타입의 것도 제안되어 있다(예를 들면, 특허문헌 1 및 2 참조).
- <4> 이와 같이, 세라믹 소재의 1면상 또는 대향하는 2면상에 외부단자 전극이 형성되는 경우, 외부단자 전극을 침지법 이외의 방법에 의해 형성하는 것이 가능해진다. 예를 들면, 복수의 세라믹 전자부품을 위한 복수의 세라믹 소재를 구성하는 집합부품의 주면상에 외부단자 전극용 도전성 페이스트막을 인쇄하여 베이킹한 후, 집합부품을 분할하여 개개의 세라믹 전자부품을 위한 세라믹 소재를 추출하는 방법을 채용할 수 있다(예를 들면, 특허문헌 3, 특허 단락 [0003] 참조).
- <5> 여기서, 분할되는 집합부품은 소결한 단단한 세라믹으로 구성되기 때문에, 다이서(dicer)와 같은 절단 수단으로 분할하면 각 세라믹 전자부품의 세라믹 소재에 깨짐이나 흠이 발생할 우려가 있다. 이 문제를 해결하기 위해, 상기 특허문헌 3에서는, 미소성의 집합부품을 판상의 절단칼에 의해 눌러 자르는 것이 제안되어 있지만, 이 방법으로는 절단 후의 생(生) 칩끼리가 달라붙기 쉽다는 문제가 있다.
- <6> 그리하여 생각되는 방법으로서 세라믹 다층기판 등의 제조시에 많이 사용되고 있는 브레이크법을 들 수 있다. 브레이크법은, 미소성의 집합부품에 브레이크 홈을 형성하여, 소성 후에 브레이크 홈을 따라 집합부품을 분할하기 때문에 상기와 같은 다이서나 판상 절단칼을 사용할 시의 문제는 생기지 않는다. 또한 도금공정이나 측정공정을 집합부품의 상태로 행할 수 있기 때문에 생산 효율도 뛰어나다.
- <7> 브레이크법으로서는 다양한 것이 제안되고 있는데, 그 중에서도 특허문헌 4에 개시된 브레이크법은 흥미롭다. 특허문헌 4에 기재된 기술에 의하면, 불연속적인 직선상의 브레이크 홈을 형성함으로써, 작업공정을 진행시키는 데 있어서의 취급시에 집합부품이 뜻하지 않게 깨져 버리는 것을 방지할 수 있다.
- <8> 한편, 최근 다층 배선기판의 소형화를 도모하기 위해 세라믹 전자부품을 다층 배선기판 내부에 묻는 것이 제안되고 있다. 예를 들면, 특허문헌 5에는, 기판 내부에 세라믹 전자부품을 묻을 때에, 예를 들면 세라믹 전자부품의 주면에 형성된 외부단자 전극이 위가 되도록 하고, 세라믹 전자부품을 코어기판 내부에 수납하여, 코어기판과 세라믹 전자부품을 피복하도록 절연층을 형성하고, 레이저광에 의해 절연층을 관통하여 외부단자 전극 표면에 도달하는 비아홀을 형성하고, 비아홀에 도전체를 충전하여 배선회로와 외부단자 전극을 전기적으로 접속하는 공정을 포함하는 적층용 모듈의 제조방법이 기재되어 있다.
- <9> 상기 매장(埋藏)에 있어서는, 레이저광 조사에 대하여 높은 정밀도가 요구된다. 잘못하여 레이저광이 세라믹 소재에 닿아 버리면 세라믹 전자부품의 특성이 손상될 우려가 있기 때문이다.
- <10> 이 때문에, 묻히는 세라믹 전자부품의 외부단자 전극은 가능한 한 면적이 넓은 것이 바람직하고, 예를 들면, 특허문헌 1 및 2에 나타난 타입의 적층 세라믹 전자부품에 대해서는, 도 17에 나타내는 바와 같이, 필요한 갭(1)만을 남기고 외부단자 전극(2 및 3)의 각 면적을 가능한 한 넓게 취하도록 설계할 필요가 있다.
- <11> 그런데, 상기와 같이 갭 치수가 좁은 복수의 외부단자 전극이 형성된 세라믹 전자부품을 불연속의 미싱선과 같은 브레이크 홈이 형성된 소정의 브레이크 라인을 따라 브레이크하는 브레이크법을 사용하여 제작하고자 하는 경우, "브레이크 불량"이 일어나기 쉬운 것을 알 수 있었다. 이 "브레이크 불량"은 브레이크됨으로써 나타난 세라믹 소재의 측면에서의 갭 부분을 따르는 부분이 깨끗하게 브레이크되지 않고, 측면에 돌기(브레이크된 상대측에는 구덩이)가 발생하거나, 갭 부분을 기점으로 하여 세라믹 소재에 깨짐이나 흠이 발생하는 등의 것이다.
- <12> 특허문헌 4에 기재된 바와 같이, 브레이크를 유도하기 위한 불연속적인 동 사이즈의 오목부를 등(等) 피치로 형성하면, 좁은 갭 부분에 브레이크 유도용의 오목부가 형성되지 않고, 갭 부분을 끼고 2개의 브레이크 유도용 오목부가 배치되기 쉽다. 이 경우, 주면의 대부분을 차지하는 외부단자 전극 형성부에 있어서는, 브레이크 유도용 오목부간에 인장(引張) 응력을 집중시키기 쉽지만, 한편, 면적이 좁으면서 외부단자 전극 형성부보다 조금 낮은 위치에 있는 갭 부분에 있어서는, 인장 응력을 집중시키기 어렵다. 이 때문에, 갭 부분을 기점으로 하여 "브레이크 불량"이 발생하기 쉬워지는 것으로 추측된다.
- <13> [특허문헌 1] 일본국 공개특허공보 2006-216622호
- <14> [특허문헌 2] 일본국 공개특허공보 2006-339337호

- <15> [특허문헌 3] 일본국 공개특허공보 평9-260187호
- <16> [특허문헌 4] 일본국 공개특허공보 2003-273272호
- <17> [특허문헌 5] 일본국 공개특허공보 2005-064446호

발명의 내용

해결 하고자하는 과제

- <18> 그리하여, 이 발명의 목적은 상술한 문제를 해결할 수 있는 세라믹 전자부품 및 그 제조방법, 및 분할함으로써 복수의 세라믹 전자부품을 추출할 수 있는 집합부품을 제공하고자 하는 것이다.

과제 해결수단

- <19> 이 발명은 서로 대향하는 제1 및 제2의 주면 및 제1 및 제2의 주면간을 연결하는 제1 내지 제4의 측면을 가지는 세라믹 소체와, 세라믹 소체의 적어도 제1의 주면상에 형성된 외부도체를 가지는 세라믹 전자부품에 우선 주목한다.
- <20> 이러한 세라믹 전자부품에 있어서, 적어도 제1의 측면에는 제1 및 제2의 주면간을 연결하는 방향으로 연장되면서, 적어도 제1의 주면에까지 달하도록 형성된 복수의 오목홈이 형성된다. 또한 이들 오목홈은 집합부품에 있어서 브레이크를 유도하기 위해 소정의 브레이크 라인을 따라 마련된 브레이크 유도구멍의 절반에 상당하는 것이다.
- <21> 제1의 주면에서의 제1의 측면에 접하는 제1의 모서리부에는, 외부도체의 끝가장자리가 위치하고 있는 적어도 2개의 제1의 영역과, 서로 이웃하는 2개의 제1의 영역간에 위치하면서, 외부도체의 끝가장자리가 위치하고 있지 않은 적어도 한 개의 제2의 영역이 형성된다.
- <22> 이 발명의 제1의 국면에서는, 상기 복수의 오목홈은 제2의 영역에는 이르지 않도록 하여 제1의 영역에 있어서 소정의 피치로 형성된 복수의 제1의 오목홈과, 제2의 영역에만, 혹은 제2의 영역으로부터 제1의 영역에 부분적으로 이르도록 하여 소정의 피치로 형성된 복수의 제2의 오목홈을 포함하고, 제1의 오목홈끼리의 피치를 P_1 , 제2의 오목홈끼리의 피치를 P_2 로 했을 때 $P_1 > P_2$ 를 만족하는 것을 특징으로 하고 있다.
- <23> 이 제1의 국면에 있어서, 서로 이웃하는 제2의 오목홈은 서로 겹쳐 있어도, 서로 독립되어 있어도 된다.
- <24> 이 발명의 제2의 국면에서는, 상기 복수의 오목홈은 제2의 영역에는 이르지 않도록 하여 제1의 영역에 형성된 복수의 제1의 오목홈과, 제2의 영역에 형성된 적어도 한 개의 제2의 오목홈을 포함하고, 제1의 오목홈의 제1의 모서리부에 따른 길이를 D_1 , 제2의 오목홈의 제1의 모서리부에 따른 길이를 D_2 라고 했을 때 $D_1 < D_2$ 를 만족하는 것을 특징으로 하고 있다.
- <25> 이 발명의 바람직한 실시형태에서는, 상기 외부도체는 상기 적어도 2개의 제1의 영역의 한 쪽에 상기 끝가장자리를 위치시키고 있는 제1의 외부도체와, 상기 적어도 2개의 제1의 영역의 다른 쪽에 상기 끝가장자리를 위치시키고 있는 제2의 외부도체를 포함하고, 제1의 외부도체와 제2의 외부도체는 제1의 주면상에 있어서 서로 독립적으로 형성되어 있다.
- <26> 상기의 실시형태에 있어서, 이 발명에 따른 세라믹 전자부품이 적층된 복수의 유전체층과, 유전체층을 통해 서로 대향하도록 마련된 제1 및 제2의 내부전극을 포함하는 적층 세라믹 콘덴서를 구성하는 것일 때, 제1의 외부도체는 제1의 내부전극과 전기적으로 접속되고, 제2의 외부도체는 제2의 내부전극과 전기적으로 접속된다.
- <27> 상기와 같이, 세라믹 전자부품이 적층 세라믹 콘덴서를 구성할 때, 유전체층 및 제1 및 제2의 내부전극은 제1의 주면에 대하여 수직방향으로 연장되어 있어도, 제1의 주면에 대하여 평행방향으로 연장되어 있어도 된다. 후자의 경우, 제1의 외부도체는 제1의 비아 도체(via conductor)를 통해 제1의 내부전극과 전기적으로 접속되고, 제2의 외부도체는 제2의 비아 도체를 통해 제2의 내부전극과 전기적으로 접속된다.
- <28> 이 발명에 따른 세라믹 전자부품에 있어서, 오목홈은 제1 및 제2의 주면의 쌍방에까지 달하도록 형성되어 있어도, 제1의 주면까지만 달하도록 형성되어 있어도 된다.
- <29> 또한 서로 이웃하는 제1의 오목홈과 제2의 오목홈 사이의 피치는 제1의 오목홈끼리의 피치 이하인 것이 바람직

하다.

- <30> 이 발명은 외부도체가 제2의 주면상에도 형성되어 있는 세라믹 전자부품에도 적용된다.
- <31> 이 발명에 따른 세라믹 전자부품에 있어서, 제1의 주면에서의 제1의 측면에 대항하는 제2의 측면에 접하는 제2의 모서리부에 대해서도 제1의 모서리부와 동일한 구성을 가지는 것이 바람직하다.
- <32> 이 발명에 따른 세라믹 전자부품이 배선기판에 묻혀 사용되고, 레이저광을 사용하여 외부도체에 도달하는 비아 홀 도체가 배선기판에 형성되는 경우에는, 외부도체는 적어도 그 표면이 Cu로 구성되는 것이 바람직하다.
- <33> 이 발명은 또한 상술과 같은 세라믹 전자부품을 제조하는 방법에도 주목된다.
- <34> 이 발명에 따른 세라믹 전자부품의 제조방법은 서로 대항하는 제1 및 제2의 주면을 가지고, 외부도체가 적어도 제1의 주면상에 형성되는 동시에 복수의 브레이크 유도구멍이 제1 및 제2의 주면간을 연결하는 방향으로 연장되도록 형성되며, 각 브레이크 유도구멍은 적어도 제1의 주면상에 그 개구끝을 위치시키고 있고, 복수의 브레이크 유도구멍은 소정의 브레이크 라인을 따라 분포하도록 배열되어 있는 집합부품을 준비하는 공정과, 브레이크 라인을 따라 집합부품을 분할함으로써 복수의 세라믹 전자부품을 추출하는 공정을 포함하고 있다.
- <35> 또한 상술의 브레이크 유도구멍은 적어도 제1의 주면상에 그 개구끝을 위치시키고 있으면 되고, 따라서, 제1 및 제2의 주면의 쌍방 위에 개구끝을 위치시키면서 집합부품을 두께방향으로 관통하는 관통부로 형성되어도, 제1의 주면상에만 개구끝을 위치시키면서 집합부품을 두께방향으로 관통하지 않는 오목부로 형성되어도 된다.
- <36> 상기 집합부품은 이것을 제1의 주면측에서 보았을 때, 브레이크 라인상에 있어서, 외부도체와 교차하는 제1의 영역과 외부도체와 교차하지 않는 제2의 영역을 가지고 있다.
- <37> 상술한 제1의 국면에 따른 세라믹 전자부품을 제조하고자 하는 경우에는, 상술의 복수의 브레이크 유도구멍은, 제2의 영역에 이르지 않도록 하여 제1의 영역에 형성되는 복수의 제1의 브레이크 유도구멍과, 제2의 영역에만, 혹은 제2의 영역으로부터 제1의 영역에 부분적으로 이르도록 하여 소정의 피치로 형성된 복수의 제2의 브레이크 유도구멍을 포함하고, 제1의 브레이크 유도구멍끼리의 피치는 제2의 브레이크 유도구멍끼리의 피치보다도 넓게 되는 것을 특징으로 하고 있다.
- <38> 한편, 상술한 제2의 국면에 따른 세라믹 전자부품을 제조하고자 하는 경우에는, 상술의 복수의 브레이크 유도구멍은, 제2의 영역에는 이르지 않도록 하여 제1의 영역에 형성된 복수의 제1의 브레이크 유도구멍과, 제2의 영역에 형성된 적어도 한 개의 제2의 브레이크 유도구멍을 포함하고, 제2의 브레이크 유도구멍의 브레이크 라인에 따른 길이는 제1의 브레이크 유도구멍의 브레이크 라인에 따른 길이보다도 길게 되는 것을 특징으로 하고 있다.
- <39> 이 발명은 또한 상술한 세라믹 전자부품의 제조방법에 있어서 유리하게 사용되는 집합부품, 보다 구체적으로는, 소정의 브레이크 라인을 따라 분할함으로써 복수의 세라믹 전자부품을 추출할 수 있는 집합부품에도 주목된다.
- <40> 이 발명에 따른 집합부품은 서로 대항하는 제1 및 제2의 주면을 가진다. 외부도체가 적어도 제1의 주면상에 형성되는 동시에 복수의 브레이크 유도구멍이 제1 및 제2의 주면간을 연결하는 방향으로 연장되도록 형성된다. 각 브레이크 유도구멍은 적어도 제1의 주면상에 그 개구끝을 위치시키고 있다. 또한 복수의 브레이크 유도구멍은 브레이크 라인을 따라 분포하도록 배열되어 있다.
- <41> 상기 집합부품은 이것을 제1의 주면측에서 보았을 때, 브레이크 라인상에 있어서, 외부도체와 교차하는 제1의 영역과 외부도체와 교차하지 않는 제2의 영역을 가지고 있다.
- <42> 상술한 제1의 국면에 따른 세라믹 전자부품을 추출하기 위한 집합부품에 있어서는, 복수의 브레이크 유도구멍은, 제2의 영역에 이르지 않도록 하여 제1의 영역에 형성되는 복수의 제1의 브레이크 유도구멍과, 제2의 영역에만, 혹은 제2의 영역으로부터 제1의 영역에 부분적으로 이르도록 하여 소정의 피치로 형성된 복수의 제2의 브레이크 유도구멍을 포함하고, 제1의 브레이크 유도구멍끼리의 피치는 제2의 브레이크 유도구멍끼리의 피치보다도 넓게 되어 있는 것을 특징으로 하고 있다.
- <43> 한편, 상술한 제2의 국면에 따른 세라믹 전자부품을 추출하기 위한 집합부품에 있어서는, 복수의 브레이크 유도구멍은, 제2의 영역에는 이르지 않도록 하여 제1의 영역에 형성된 복수의 제1의 브레이크 유도구멍과, 제2의 영역에 형성된 적어도 한 개의 제2의 브레이크 유도구멍을 포함하고, 제2의 브레이크 유도구멍의 브레이크 라인에 따른 길이는 제1의 브레이크 유도구멍의 브레이크 라인에 따른 길이보다도 길게 되어 있는 것을 특징으로 하고 있다.

효 과

- <44> 이 발명에 의하면, 예를 들면 갭 치수가 좁은 복수의 외부단자 전극이 주면상에 형성된 세라믹 전자부품과 같이, 세라믹 소체의 주면에서의 한 쪽의 측면에 접하는 모서리부에 외부도체의 끝가장자리가 위치하고 있는 적어도 2개의 제1의 영역과, 서로 이웃하는 2개의 제1의 영역간에 위치하면서 외부도체의 끝가장자리가 위치하고 있지 않은 적어도 한 개의 제2의 영역이 형성된 세라믹 전자부품을 얻기 위해, 집합부품을 복수의 브레이크 유도구멍이 배열된 소정의 브레이크 라인을 따라 브레이크할 때, 원활한 브레이크가 가능해져 세라믹 소체의 측면에 돌기나 구멍이가 생기거나, 세라믹 소체에 깨짐이나 흠이 생기는 등의 "브레이크 불량"이 일어나기 어려워진다.
- <45> 따라서, 세라믹 전자부품의 주면에 형성된 외부도체가 예를 들면 위가 되도록 하여, 세라믹 전자부품을 배선기판 내부에 수납한 상태로, 레이저광에 의해 배선기판의 일부를 관통하여 외부도체 표면에 도달하는 비아홀을 형성하고, 비아홀에 도전체를 충전함으로써 배선회로와 외부도체를 전기적으로 접속하는 공정을 실시하는 데 있어, 레이저광 조사에 대하여 높은 정밀도가 요구되지 않도록 하기 때문에, 묻히는 세라믹 전자부품의 외부도체의 면적을 넓게 해도, 이러한 전자부품을 얻기 위한 집합부품의 브레이크를 원활하면서 양호하게 행할 수 있게 된다.

발명의 실시를 위한 구체적인 내용

- <46> 도 1 내지 도 4는 이 발명의 제1의 실시형태에 의한 세라믹 전자부품으로서의 적층 세라믹 콘덴서(11)를 나타내는 것이다. 여기서, 도 1은 평면도, 도 2는 정면도, 도 3 및 도 4는 단면도이다. 또한 도 1 및 도 2에 있어서, L, W 및 T는 각각 길이방향, 폭방향 및 두께방향을 나타내고, 도 3은 LT 단면도이며, 도 4는 WT 단면도이다. 또한 도 3에 있어서, 도 3a와 도 3b는 서로 다른 단면을 나타내고 있다.
- <47> 도 1 및 도 2에 나타내는 바와 같이, 적층 세라믹 콘덴서(11)는 서로 대향하는 제1 및 제2의 주면(12 및 13)과, 제1 및 제2의 주면(12 및 13)간을 연결하는 제1 내지 제4의 측면(14 내지 17)을 가지는 세라믹 소체로서의 콘덴서 본체(18)를 가진다.
- <48> 또한 콘덴서 본체(18)의 제1의 주면(12)상에는 외부도체로서의 제1 및 제2의 외부단자 전극(19 및 20)이 갭(21)을 통해 서로 독립적으로 형성되고, 제2의 주면(13)상에도 동일하게 하여 제1 및 제2의 외부단자 전극(19 및 20)이 형성되어 있다. 제1 및 제2의 외부단자 전극(19 및 20)은 모두 하지층(22)과, 하지층(22) 위에 형성된 도금막(23)을 포함한다.
- <49> 또한 콘덴서 본체(18)의 제1 및 제2의 측면(14 및 15)에는 복수의 오목홈(24 및 25)이 형성되어 있다. 오목홈(24 및 25)은 제1 및 제2의 주면(12 및 13)간을 연결하는 방향으로 연장되면서, 제1 및 제2의 주면(12 및 13)의 쌍방에까지 달하도록 형성되어 있다. 콘덴서 본체(18)의 제3 및 제4의 측면(16 및 17)에도 오목홈(26)이 형성되어 있다.
- <50> 또한 제1의 주면(12)에서의 제1의 측면(14)에 접하는 제1의 모서리부(27)에는 제1 또는 제2의 외부단자 전극(19 또는 20)의 끝가장자리가 위치하고 있는 2개의 제1의 영역(28)과, 서로 이웃하는 2개의 제1의 영역(28)간에 위치하면서, 제1 및 제2의 외부단자 전극(19 및 20)의 어느 끝가장자리도 위치하고 있지 않은 한 개의 제2의 영역(29)이 형성된다.
- <51> 도 3 및 도 4에 나타내는 바와 같이, 적층 세라믹 콘덴서(11)는 적층된 복수의 유전체층(30)과, 유전체층(30)을 통해 서로 대향하도록 마련된 복수 세트의 제1 및 제2의 내부전극(31 및 32)을 포함하고 있다. 이 실시형태에서는, 유전체층(30) 및 제1 및 제2의 내부전극(31 및 32)은 제1의 주면(12)에 대하여, 즉 실장면에 대하여 수직방향으로 연장되어 있다. 제1 및 제2의 내부전극(31 및 32)은 각각 용량부(33 및 34)와 인출부(35 및 36)를 가지고, 각각 제1 및 제2의 외부단자 전극(19 및 20)과 전기적으로 접속되어 있다.
- <52> 도 5는 도 1의 일부를 확대하여 나타내는 도면이다. 도 5에 잘 나타나 있는 바와 같이, 상술의 복수의 오목홈(24 및 25)은 복수의 제1의 오목홈(24)과 복수의 제2의 오목홈(25)으로 분류된다.
- <53> 제1의 오목홈(24)은 제2의 영역(29)에는 이르지 않도록 하여 제1의 영역(28)에 형성되어 있다. 제1의 오목홈(24)은 제1의 모서리부(27)에 따른 길이가 D_1 인 반원 형상을 가지고, 복수의 제1의 오목홈(24)이 피치(P_1)로 서로 등 피치로 배치되어 있다. 여기서 말하는 피치란, 서로 이웃하는 오목홈(24)의 각각의 제1의 모서리부(27)에 따른 중점을 연결한 거리를 의미한다. 또한 제1의 오목홈(24)의 형상은 도시한 바와 같은 반원 형상에 한정되지

않고 삼각형, 사각형, 긴 원 등의 형상이어도 된다.

- <54> 제2의 오목홈(25)은 제2의 영역(29)에 형성되어 있다. 특히, 이 실시형태에서는, 제2의 오목홈(25)은 제2의 영역(29)으로부터 이것에 인접하는 제1의 영역(28)에 부분적으로 이르도록 하여 제2의 영역(29)의 전역에 걸쳐 형성되어 있다. 제2의 오목홈(25)은 제1의 모서리부(27)에 따른 길이가 D_2 이고, 3개의 반원상이면서 동 면적의 오목홈(25)이 피치(P_2)로 서로 겹치면서 줄 지어 배치되어 있다. 또한 이와 같이 복수의 오목홈이 서로 겹치면서 줄 지어 하나의 오목홈이 되어 있는 것도, 편의상 복수의 오목홈으로 간주한다. 제2의 오목홈(25)의 형상은 도시한 바와 같은 반원 형상에 한정되지 않고 삼각형, 사각형, 긴 원 등의 형상이어도 된다.
- <55> 제1의 오목홈(24)끼리의 피치를 P_1 , 제2의 오목홈(25)끼리의 피치를 P_2 로 했을 때 $P_1 > P_2$ 라는 관계를 만족한다. 제1 및 제2의 오목홈(24 및 25)은 후술하는 제조 프로세스에서의 브레이크 공정이 끝난 후의 브레이크 유도구멍(48 및 49)(도 7 참조)의 절반에 상당하는데, 이와 같이 제1 및 제2의 외부단자 전극(19 및 20)간의 갭(21) 부분에 상당하는 제2의 영역(29)에 있어서, 브레이크 유도구멍의 피치를 짧게 함으로써 원활한 브레이크가 가능해져 확실하게 구조 결합을 억제할 수 있다.
- <56> 또한 서로 이웃하는 제1의 오목홈(24)과 제2의 오목홈(25) 사이의 피치(P_3)에 대해서는 $P_1 \geq P_3$ 의 관계에 있는 것이 바람직하다. 이렇게 함으로써 제2의 오목홈(25) 부근에 브레이크 유도구멍이 집중하게 되기 때문에 보다 원활한 브레이크가 가능해진다.
- <57> 그 외에 치수에 관한 바람직한 조건은 이하와 같다.
- <58> 제1의 오목홈(24)의 길이(D_1)는 80~120 μm 인 것이 바람직하다.
- <59> 복수의 서로 겹치면서 줄지어진 제2의 오목홈(25)의 길이(D_2)는 160~240 μm 인 것이 바람직하다.
- <60> 제1의 오목홈(24)의 피치(P_1)는 150~250 μm 인 것이 바람직하다.
- <61> 복수의 서로 겹치면서 줄지어진 제2의 오목홈(25)의 피치(P_2)는 40~60 μm 인 것이 바람직하다.
- <62> 서로 이웃하는 제1의 오목홈(24)과 제2의 오목홈(25) 사이의 피치(P_3)는 150~250 μm 인 것이 바람직하다.
- <63> 콘덴서 본체(18)의 제3의 측면(16)에 형성된 오목홈(26) 및 제4의 측면(17)에 형성된 오목홈(26)은 각각 등 피치로 배치되어 있는 것이 바람직하다.
- <64> 제2의 영역(29)의 길이에 상당하는 갭(21)의 치수(G)는 140~160 μm 인 것이 바람직하다.
- <65> $D_1 < G$ 인 것이 바람직하다.
- <66> $D_2 \geq G$ 인 것이 바람직하다.
- <67> 이 실시형태에 있어서는, 제1의 주면(12)에서의 제1의 측면(14)에 대항하는 제2의 측면(15)에 접하는 제2의 모서리부(37)에 대해서도, 제1의 모서리부(27)와 마찬가지로, 제1 및 제2의 영역(28 및 29)이 존재하고, 제1 및 제2의 오목홈(24 및 25)이 제1의 모서리부(27)의 경우와 동일한 관계를 만족하고 있다. 단, 이 발명은 제2의 영역이 존재하는 각 모서리부에 대하여 적용될 수 있는 것이며, 적어도 한 개의 모서리부에 있어서 상기와 같은 관계를 만족하면 된다.
- <68> 또한 제1 및 제2의 외부단자 전극(19 및 20), 제1의 오목홈(24), 제2의 오목홈(25), 및 오목홈(26)의 배치에 관해서는 제1의 주면(12)과 제2의 주면(13)이 동일한 배치로 되어 있다.
- <69> 콘덴서 본체(18)의 두께는 0.3~1.5mm인 것이 바람직하다.
- <70> 콘덴서 본체(18)에 포함하는 유전체층(30)을 구성하는 유전체 세라믹으로서 BaTiO₃, CaTiO₃, SrTiO₃, CaZrO₃ 등을 주성분으로 하는 것을 사용할 수 있다. 또한 이들 주성분에 Mn 화합물, Fe 화합물, Cr 화합물, Co 화합물, Ni 화합물 등의 부성분을 첨가한 것을 사용해도 된다. 유전체층(30)의 각 두께는 1~10 μm 인 것이 바람직하다.
- <71> 내부전극(31 및 32)을 구성하는 도전 성분으로서, 예를 들면 Ni, Cu, Ag, Pd, Ag-Pd 합금, Au 등의 금속을 사용할 수 있다. 내부전극(31 및 32)의 각 두께는 1~10 μm 인 것이 바람직하다.
- <72> 외부단자 전극(19 및 20)의 하지층(22)을 구성하는 도전 성분으로서, 예를 들면 Ni, Cu, Ag, Pd, Ag-Pd 합금,

Au 등의 금속을 사용할 수 있다. 하지층(22)은 소결 금속으로 이루어지는 후막(厚膜) 도체를 사용하여 형성되거나, 직접 도금을 실시함으로써 형성된다. 하지층(22)에는 유리가 포함되어 있어도, 유전체층(30)을 구성하는 세라믹과 동종의 세라믹이 포함되어 있어도 된다. 하지층(22)의 두께는 5~40 μ m인 것이 바람직하다.

- <73> 외부단자 전극(19 및 20)의 도금막(23)을 구성하는 금속으로서는, 예를 들면 Ni, Cu, Sn, Sn-Pb 합금, Au 등을 사용할 수 있다. 도금막(23)은 복수층 형성되어 있어도 된다. 도금막(23)의 1층당의 두께는 1~10 μ m인 것이 바람직하다. 또한 하지층(22)과 도금막(23) 사이에, 도시하지 않지만 응력 완화용의 수지층이 형성되어 있어도 된다.
- <74> 이 발명에 따른 세라믹 전자부품을 배선기판에 묻어 사용하는 경우, 외부도체의 적어도 표면은 Cu로 구성되는 것이 바람직하다. 예를 들면, 이 실시형태에 따른 적층 세라믹 콘덴서(11)를 배선기판에 묻어 사용하는 경우, 외부단자 전극(19 및 20)의 최외층을 구성하는 도금막(23)은 Cu 도금으로 형성되는 것이 바람직하다. 상술한 특허문헌 5에 기재된 바와 같이, 매장시에는 레이저광에 의해 배선기판의 절연층을 관통하여 외부단자 전극 표면에 도달하는 비아홀을 형성하는데, Cu 도금은 레이저(특히 CO₂ 레이저)광을 반사하기 쉽기 때문에 레이저광에 의한 부품으로의 데미지를 억제할 수 있다.
- <75> 다음으로 적층 세라믹 콘덴서(11)의 제조 프로세스의 일례에 대하여 설명한다.
- <76> (1)세라믹 그린시트, 내부전극용 도전성 페이스트, 및 외부단자 전극용 도전성 페이스트를 준비한다. 세라믹 그린시트나 각종 도전성 페이스트에는 바인더 및 용제가 포함되는데, 공지의 유기 바인더나 유기 용제를 사용할 수 있다.
- <77> (2)세라믹 그린시트상에, 예를 들면 스크린 인쇄 등에 의해 소정의 패턴으로 내부전극용 도전성 페이스트를 인쇄하여 내부전극용 도전성 페이스트막을 형성한다.
- <78> (3)내부전극용 도전성 페이스트막이 인쇄된 세라믹 그린시트를 소정 매수 적층하고, 그 상하에 내부전극용 도전성 페이스트막이 인쇄되어 있지 않은 외층용 세라믹 그린시트를 소정 매수 적층하여 생(生) 집합부품(raw collective component)을 제작한다. 생 집합부품은 필요에 따라 정수압(靜水壓) 프레스 등의 수단에 의해 적층 방향에 압착된다.
- <79> (4)도 6에 나타내는 바와 같이, 생 집합부품(41)의 제1의 주면(42)상에 스크린 인쇄 등에 의해 소정의 패턴으로 외부단자 전극용 도전성 페이스트를 인쇄하여 외부단자 전극용 도전성 페이스트막(43)을 형성한다. 집합부품(41)은 이것을 파선으로 나타낸 브레이크 라인(44 및 45)을 따라 브레이크함으로써 복수의 적층 세라믹 콘덴서(11)를 추출할 수 있는 것이다. 집합부품(41)은 제1의 주면(42)측에서 보았을 때, 브레이크 라인(44)상에 있어서, 외부단자 전극용 도전성 페이스트막(43)과 교차하는 제1의 영역(46)과, 외부단자 전극용 도전성 페이스트막(43)과 교차하지 않는 제2의 영역(47)을 가지고 있다.
- <80> 생 집합부품(41)의 제1의 주면(42)과는 반대의 제2의 주면상에도 동일하게 하여 외부단자 전극용 도전성 페이스트막을 형성한다.
- <81> (5)도 7에 확대도로 나타내는 바와 같이, 집합부품(41)에 복수의 브레이크 유도구멍(48~50)을 형성한다. 브레이크 유도구멍(48~50)은 제1의 주면(42)과 제2의 주면 사이를 연결하는 방향으로 연장되도록 형성되고, 이 실시형태에서는, 제1의 주면(42)과 제2의 주면 사이에서 관통하고 있으며, 제1의 주면(42) 및 제2의 주면 상에 그 개구끝을 위치시키고 있다. 복수의 브레이크 유도구멍(48~50)은 브레이크 라인(44 및 55)을 따라 분포하도록 배열되어 있다. 복수의 브레이크 유도구멍(48~50)은 이른바 미싱선과 같은 상태의 것도 포함한다.
- <82> 또한 이 실시형태에 있어서는, 집합부품(41) 전체로 보았을 때에, 추출될 적층 세라믹 콘덴서(11)의 콘덴서 본체(18)의 제1 및 제2의 측면(14 및 15)과 평행한 방향을 따라 복수의 브레이크 유도구멍(48 및 49)은 부등(不等) 피치가 되도록 배치되어 있다. 즉, 브레이크 유도구멍(48)끼리는 등 피치이면서, 브레이크 유도구멍(49)끼리는 등 피치이지만, 브레이크 유도구멍(49)끼리의 피치가 브레이크 구멍(48)끼리의 피치에 비해 좁게 되어 있다. 한편, 콘덴서 본체(18)의 제3 및 제4의 측면(16 및 17)과 평행한 방향을 따라 복수의 브레이크 유도구멍(50)은 등 피치가 되도록 배치되어 있다.
- <83> 또한 브레이크 유도구멍(48~50)은 모두 같은 직경으로 구성되는 것이 바람직하다.
- <84> 브레이크 유도구멍(48~50)을 형성하는 수단으로서는 레이저나 NC 펀치 등을 사용할 수 있다.
- <85> 도 7에 있어서, 복수의 브레이크 유도구멍(48 및 49)이 분포하는 방향에서 보았을 때, 외부단자 전극용 도전성

페이스트막(43)이 인쇄되어 있는 부분은, 도 6에 나타난 제1의 영역(46)이며, 이것은 최종적으로 적층 세라믹 콘덴서(11)에서의 제1의 영역(28)이 되는 부분이고, 이 부분에는 복수의 제1의 브레이크 유도구멍(48)이 형성되어 있다.

- <86> 도 7에 있어서, 마찬가지로 복수의 브레이크 유도구멍(48 및 49)이 분포하는 방향에서 보았을 때, 외부단자 전극용 도전성 페이스트막(43)이 인쇄되어 있지 않은 부분은, 도 6에 나타난 제2의 영역(47)이며, 이것은 최종적으로 적층 세라믹 콘덴서(11)에서의 제2의 영역(29)이 되는 부분이고, 이 부분에는 복수의 제2의 브레이크 유도구멍(49)이 형성되어 있다.
- <87> 예를 들면, 도 5에 나타난 제2의 오목홈(25)을 형성하기 위해서는, 조사 피치를 좁히고 레이저 조사를 반복하여 제2의 브레이크 유도구멍(49)을 형성하면 된다. 또한 후술하는 도 10에 나타내는 바와 같은 제2의 오목홈(25)을 형성하기 위해서는, 레이저광을 조사한 채 소정 거리 레이저광을 이동시켜 제2의 브레이크 유도구멍(49)을 형성하면 된다.
- <88> 핀포인트에 갭 부분에 한 개의 브레이크 유도구멍을 형성하기 위해서는, 예를 들면, 매번 갭 부분을 센싱(sensing)하여 브레이크 유도구멍을 형성할 필요가 있는 등 브레이크 유도구멍의 형성을 위한 공정 시간이 길어져 버린다. 그러나 상기와 같이 복수의 협피치의 브레이크 유도구멍이나 긴 브레이크 유도구멍을 형성할 경우, 다소 위치 어긋남을 일으켜도 갭 부분에 확실하게 브레이크 유도구멍을 배치하는 것이 가능하여 브레이크 유도구멍 형성을 위한 공정 시간을 단축할 수 있다.
- <89> (6)생 집합부품(41)을 소성한다. 소성온도는 세라믹 그린시트, 내부전극용 도전성 페이스트 및 외부단자 전극용 도전성 페이스트의 각 재료에 따라 다르지만, 예를 들면 900~1300℃인 것이 바람직하다. 이것에 의해, 세라믹 그린시트에 포함되는 세라믹 및 내부전극용 도전성 페이스트가 소결하여 콘덴서 본체(18)가 얻어지는 동시에 외부단자 전극용 도전성 페이스트도 소결하여 외부단자 전극(19 및 20)의 하지층(22)이 콘덴서 본체(18)상에 형성된다.
- <90> (7)집합부품(41)의 상태에서 도금을 실시하여 외부단자 전극(19 및 20)의 하지층(22)상에 도금막(23)을 형성한다.
- <91> 또한 이 발명은 전해 도금을 사용하는 국면에서 특히 의의를 가진다. 왜냐하면, 집합부품(41)에 있어서, 추출될 각 적층 세라믹 콘덴서(11)의 제1 및 제2의 외부단자 전극(19 및 20)은 브레이크 유도구멍(48~50)을 제외한 부분에 있어서 각각 연결되어 있고, 집합부품(41)의 둘레 가장자리부에 배치되는 적층 세라믹 콘덴서(11)의 제1 및 제2의 외부단자 전극(19 및 20)에 전해 도금의 급전단자를 접속하는 것만으로 각 외부단자 전극에 급전을 행할 수 있기 때문이다.
- <92> (8)집합부품(41)의 상태에서 추출될 복수의 적층 세라믹 콘덴서(11)의 특성을 각각 측정한다.
- <93> (9)집합부품(41)을 브레이크 라인(44 및 45)을 따라 분할하여 복수의 적층 세라믹 콘덴서(11)를 추출한다.
- <94> 또한 외부단자 전극(19 및 20)의 하지층(22)은 상기와 같이 콘덴서 본체(18)를 얻기 위한 소성과 동시에 소성함으로써 형성되어도, 혹은 콘덴서 본체(18)를 얻기 위한 소성 후, 브레이크 전에 도전성 페이스트를 도포하여 베이킹함으로써 형성되어도 된다.
- <95> 도 8은 이 발명의 제2의 실시형태를 설명하기 위한 도 5에 대응하는 도면이다. 도 8에 있어서, 도 5에 나타내는 요소에 상당하는 요소에는 동일한 참조부호를 부여하여 중복하는 설명은 생략한다.
- <96> 도 8에 나타내는 적층 세라믹 콘덴서(11a)에서는, 제2의 오목홈(25)의 형성형태가 도 5에 나타내는 것과는 다르다. 즉, 이 적층 세라믹 콘덴서(11a)에서는, 복수의 제2의 오목홈(25)은 제2의 영역(29)에만 서로 독립된 상태로 형성되어 있다.
- <97> 이 실시형태의 경우도 $P_1 > P_2$ 를 만족함으로써 원활한 브레이크가 가능해져 구조 결함을 억제할 수 있다.
- <98> 도 9는 이 발명의 제3의 실시형태를 설명하기 위한 도 5에 대응하는 도면이다. 도 9에 있어서, 도 5에 나타내는 요소에 상당하는 요소에는 동일한 참조부호를 부여하여 중복하는 설명은 생략한다.
- <99> 도 9에 나타내는 적층 세라믹 콘덴서(11b)에서도 제2의 오목홈(25)의 형성형태에 특징이 있다. 즉, 이 적층 세라믹 콘덴서(11b)에서는, 복수의 제2의 오목홈(25)은 도 5에 나타낸 것과 마찬가지로, 제2의 영역(29)으로부터 제1의 영역(28)에 부분적으로 이르도록 하여 형성되어 있는데, 도 5에 나타낸 것과는 달리 서로 독립된 상태로

형성되어 있다.

- <100> 이 실시형태의 경우도 $P_1 > P_2$ 를 만족함으로써 원활한 브레이크가 가능해져 구조 결함을 억제할 수 있다.
- <101> 도 10은 이 발명의 제4의 실시형태를 설명하기 위한 도 5에 대응하는 도면이다. 도 10에 있어서, 도 5에 나타내는 요소에 상당하는 요소에는 동일한 참조부호를 부여하여 중복하는 설명은 생략한다.
- <102> 도 10에 나타내는 적층 세라믹 콘덴서(11c)에서는, 제2의 오목홈(25)은 복수의 오목홈이 서로 겹쳐 줄지어진 것이 아니라 한 개의 독립된 오목홈이고, 제1의 오목홈(24)의 제1의 모서리부(27)에 따른 길이를 D_1 , 제2의 오목홈(25)의 제1의 모서리부(27)에 따른 길이를 D_2 로 했을 때 $D_1 < D_2$ 를 만족한다.
- <103> 이러한 조건을 만족하는 적층 세라믹 콘덴서(11c)를 얻기 위한 집합부품에 있어서는, 브레이크 유도구멍으로서 외부단자 전극(19 및 20)간의 갭(21) 부분에 상당하는 제2의 영역(29)에 대응하는 영역에는 이르지 않도록 하여 제1의 영역(28)에 대응하는 영역에 형성된 복수의 제1의 브레이크 유도구멍과, 제2의 영역(29)에 대응하는 영역에 형성된 제2의 브레이크 유도구멍이 형성되는데, 제2의 브레이크 유도구멍의 브레이크 라인에 따른 길이(D_2 에 상당)를 제1의 브레이크 유도구멍의 브레이크 라인에 따른 길이(D_1 에 상당)보다도 길게 하는 것이 행해진다.
- <104> 따라서, 이 실시형태에 의해서도 원활한 브레이크가 가능해져 구조 결함을 억제할 수 있다.
- <105> 또한 이 실시형태에 있어서도, 제1의 실시형태의 경우와 마찬가지로 제1의 오목홈(24)의 길이(D_1)는 80~120 μm 인 것, 제2의 오목홈(25)의 길이(D_2)는 160~240 μm 인 것, 제1의 오목홈(24)의 피치(P_1)는 150~250 μm 인 것, 서로 이웃하는 제1의 오목홈(24)과 제2의 오목홈(25) 사이의 피치(P_3)는 150~250 μm 인 것, 제2의 영역(29)의 길이에 상당하는 갭(21)의 치수(G)는 140~160 μm 인 것, $D_1 < G$ 인 것과, 및 $D_2 \geq G$ 인 것이 바람직하다.
- <106> 도 11은 이 발명의 제5의 실시형태를 설명하기 위한 도 2에 대응하는 도면이다. 도 11에 있어서, 도 2에 나타내는 요소에 상당하는 요소에는 동일한 참조부호를 부여하여 중복하는 설명은 생략한다.
- <107> 도 11에 나타낸 적층 세라믹 콘덴서(11d)에서는, 제1 및 제2의 오목홈(24 및 25)이 제1의 주면(12)에까지만 달하도록 형성되고, 제2의 주면(13)에까지 달하지 않도록 형성되어 있는 것을 특징으로 하고 있다.
- <108> 이러한 구성을 가지는 적층 세라믹 콘덴서(11d)를 얻기 위한 집합부품에 있어서는, 제1 및 제2의 브레이크 유도구멍이 제2의 주면에까지 달하지 않도록 형성된다. 예를 들면, 관통한 브레이크 유도구멍을 다수 형성한 경우, 브레이크는 용이해지는 반면, 제조과정의 핸들링시에 집합부품이 의도하지 않게 깨져 버리는 등의 문제가 있다. 이에 대하여, 브레이크 유도구멍을 반관통상태로 형성함으로써 핸들링시에 있어서 집합부품이 뜻하지 않게 깨져 버리는 것을 억제할 수 있다.
- <109> 또한 도 11에 나타내는 바와 같이, 제1 및 제2의 오목홈(24 및 25)은 단면이 테이퍼(taper)를 가지는 형상이어도 된다. 예를 들면, 레이저광에 의해 제1 및 제2의 오목홈(24 및 25)이 될 브레이크 유도구멍을 형성한 경우, 레이저광의 에너지의 감쇠(減衰)에 의해 입사(入射) 위치로부터 멀어짐에 따라 레이저광의 힘이 약해진다. 그 결과, 브레이크 유도구멍이 테이퍼 형상을 가지는 것이 된다. 또한 반관통의 브레이크 유도구멍의 경우에 한정되지 않고, 도 2에 나타낸 바와 같은 전(全)관통의 오목홈(24 및 25)이 될 브레이크 유도구멍의 경우에도 테이퍼 형상으로 할 수 있다.
- <110> 도 12는 이 발명의 제6의 실시형태를 설명하기 위한 도 3에 대응하는 도면이다. 도 12에 있어서, 도 3에 나타내는 요소에 상당하는 요소에는 동일한 참조부호를 부여하여 중복하는 설명은 생략한다.
- <111> 도 12에 나타낸 적층 세라믹 콘덴서(11e)에서는 제1 및 제2의 외부단자 전극(19 및 20)이 제1의 주면(12)상에만 형성되어 있다. 이러한 타입의 적층 세라믹 콘덴서(11e)도 이 발명은 유효하게 기능할 수 있다.
- <112> 도 13 및 도 14는 이 발명의 제7의 실시형태를 설명하기 위한 것으로서, 도 13은 도 3과 마찬가지로 LT 단면도이며, 도 14는 LW 단면도이다. 또한 도 14에 있어서 도 14a와 도 14b는 서로 다른 단면을 나타내고 있다. 도 13 및 도 14에 있어서, 도 3 등에 나타내는 요소에 상당하는 요소에는 동일한 참조부호를 부여하여 중복하는 설명은 생략한다.
- <113> 도 13 및 도 14에 나타낸 적층 세라믹 콘덴서(11f)에서는 유전체층(30) 및 제1 및 제2의 내부전극(31 및 32)이 제1의 주면(12)에 대하여, 즉 실장면에 대하여 평행방향으로 연장되어 있으며, 제1의 외부단자 전극(19)은 제1

의 비아 도체(51)를 통해 제1의 내부전극(31)과 전기적으로 접속되고, 제2의 외부단자 전극(20)은 제2의 비아 도체(52)를 통해 제2의 내부전극(32)과 전기적으로 접속되어 있다.

- <114> 이러한 타입의 적층 세라믹 콘덴서(11f)도 이 발명은 유효하게 기능할 수 있다.
- <115> 이상, 이 발명을 적층 세라믹 콘덴서와 관련지어 설명하였는데, 이 발명은 적층 세라믹 콘덴서 이외의 세라믹 전자부품에도 적용할 수 있다.
- <116> 도 15는 이 발명의 제8의 실시형태를 설명하기 위한 도 1에 대응하는 도면이다. 도 15에 있어서, 도 1에 나타내는 요소에 상당하는 요소에는 동일한 참조부호를 부여하여 중복하는 설명은 생략한다.
- <117> 도 15에 나타나 있는 세라믹 전자부품(55)은 적층 세라믹 콘덴서를 구성하는 것에 한정되지 않는다. 이 세라믹 전자부품(55)은 상술의 콘덴서 본체(18)에 대응하는 세라믹 소체(56)를 포함하는데, 세라믹 소체(56)의 제1의 주면(57)상에 형성되는 외부도체(58)는 제1 및 제2의 도체부(59 및 60)와 이들 제1 및 제2의 도체부(59 및 60)를 서로 연결하는 연결부(61)를 가지고 있다. 연결부(61)는 비교적 좁은 폭이 되고, 그 결과, 제1의 주면(57)에서의 제1의 측면(62)측 및 제1의 측면(62)에 대항하는 제2의 측면(63)측에 각각 제1 및 제2의 컷아웃(cutout)(64 및 65)이 형성된다.
- <118> 이 실시형태에 있어서도, 제1의 주면(57)에서의 제1의 측면(62)에 접하는 제1의 모서리부(66)에는 외부도체(58)의 끝가장자리가 위치하고 있는 적어도 2개의 제1의 영역(28)과, 서로 이웃하는 2개의 제1의 영역(28)간에 위치하면서, 외부도체(58)의 끝가장자리가 위치하고 있지 않은 적어도 한 개의 제2의 영역(29)이 형성된다. 그리고, 제1의 영역(28)에는 제1의 오목홈(24)이 형성되고, 제2의 영역(29)에는 제2의 오목홈(25)이 형성된다.
- <119> 이하에 이 발명에 의한 효과를 확인하기 위해 실시한 실험예에 대하여 설명한다.
- <120> 상술한 제조 프로세스에 근거하여, 실시예 및 비교예에 따른 시료로서의 적층 세라믹 콘덴서를 제작하였다. 시료가 되는 적층 세라믹 콘덴서의 설계는 실시예 및 비교예 모두 이하의 표 1과 같다.

표 1

유전체 세라믹 재료	B a T i O ₃ 을 주성분으로 하는 세라믹
유전체층 두께	2 μ m
내부전극 재료	N i
내부전극 두께	1 μ m
외부단자 전극 하지층 재료	N i
외부단자 전극 하지층 두께	5 μ m
외부단자 전극 도금막 재료	C u
외부단자 전극 도금막 두께	5 μ m

- <121>
- <122> 상기와 같은 적층 세라믹 콘덴서를 얻기 위해 실시예 및 비교예의 각각에 따른 집합부품을 제작하였다. 이들 집합부품을 얻기 위한 소성시에는, 탑(top) 온도를 1200℃로 하면서, 소성로에 있어서 25시간 유지하여 소성 분위기를 환원성 분위기로 하는 소성 조건을 적용하였다. 각 집합부품은 36개의 적층 세라믹 콘덴서를 추출할 수 있는 것으로 하였다.
- <123> 상기의 집합부품을 브레이크하여 추출되는 적층 세라믹 콘덴서에 형성되는 오목홈 등의 각 부분의 치수에 대해서는, 실시예에서는 도 5에 도시한 각 부분의 치수 표시로 나타내고, 비교예에서는 도 16에 도시한 각 부분의 치수 표시로 나타내면 이하의 표 2에 나타내는 바와 같이 되도록 하였다.

표 2

	실시에(도 5)	비교예(도 16)
D ₁	100	100
D ₂	200	100
P ₁	170	170
P ₂	50	—
P ₃	170	—
P ₄	—	170
G	150	150

(단위 : μm)

<124>

<125>

얻어진 실시예 및 비교예의 각각에 따른 적층 세라믹 콘덴서의 외관을 현미경으로 검사하였다. 그 결과, 실시예에서는 얻어진 적층 세라믹 콘덴서 중 브레이크 불량이가 발생한 것은 없었다. 한편, 비교예에서는 얻어진 적층 세라믹 콘덴서 36개 중 3개에 있어서 브레이크 불량이가 확인되었다.

도면의 간단한 설명

<126>

도 1은 이 발명의 제1의 실시형태에 의한 세라믹 전자부품으로서의 적층 세라믹 콘덴서(11)를 나타내는 평면도이다.

<127>

도 2는 도 1에 나타낸 적층 세라믹 콘덴서(11)의 정면도이다.

<128>

도 3은 도 1에 나타낸 적층 세라믹 콘덴서(11)의 LT 단면도이며, 도 3a는 제1의 내부전극(31)이 통과하는 단면을 나타내고, 도 3b는 제2의 내부전극(32)이 통과하는 단면을 나타내고 있다.

<129>

도 4는 도 1에 나타낸 적층 세라믹 콘덴서(11)의 WT 단면도이다.

<130>

도 5는 도 1의 일부를 확대하여 나타내는 도면이다.

<131>

도 6은 도 1에 나타낸 적층 세라믹 콘덴서(11)를 제조하기 위해 제작되는 집합부품(41)의 제1의 주면(42)상에 외부단자 전극용 도전성 페이스트막(43)을 형성한 상태를 나타내는 평면도이다.

<132>

도 7은 도 6에 나타낸 집합부품(41)에 복수의 브레이크 유도구멍(48-50)을 형성한 상태를 나타내는 확대 평면도이다.

<133>

도 8은 이 발명의 제2의 실시형태를 설명하기 위한 도 5에 대응하는 도면이다.

<134>

도 9는 이 발명의 제3의 실시형태를 설명하기 위한 도 5에 대응하는 도면이다.

<135>

도 10은 이 발명의 제4의 실시형태를 설명하기 위한 도 5에 대응하는 도면이다.

<136>

도 11은 이 발명의 제5의 실시형태를 설명하기 위한 도 2에 대응하는 도면이다.

<137>

도 12는 이 발명의 제6의 실시형태를 설명하기 위한 도 3에 대응하는 도면이며, 도 12a는 제1의 내부전극(31)이 통과하는 단면을 나타내고, 도 12b는 제2의 내부전극(32)이 통과하는 단면을 나타내고 있다.

<138>

도 13은 이 발명의 제7의 실시형태를 설명하기 위한 것으로서, 적층 세라믹 콘덴서(11f)의 LT 단면도이다.

<139>

도 14는 도 13에 나타낸 적층 세라믹 콘덴서(11f)의 LW 단면도이며, 도 14a는 제1의 내부전극(31)이 통과하는 단면을 나타내고, 도 14b는 제2의 내부전극(32)이 통과하는 단면을 나타내고 있다.

<140>

도 15는 이 발명의 제8의 실시형태를 설명하기 위한 도 1에 대응하는 도면이다.

<141>

도 16은 실험예에 있어서 제작한 비교예에 따른 적층 세라믹 콘덴서를 나타내는 도 5에 대응하는 도면이다.

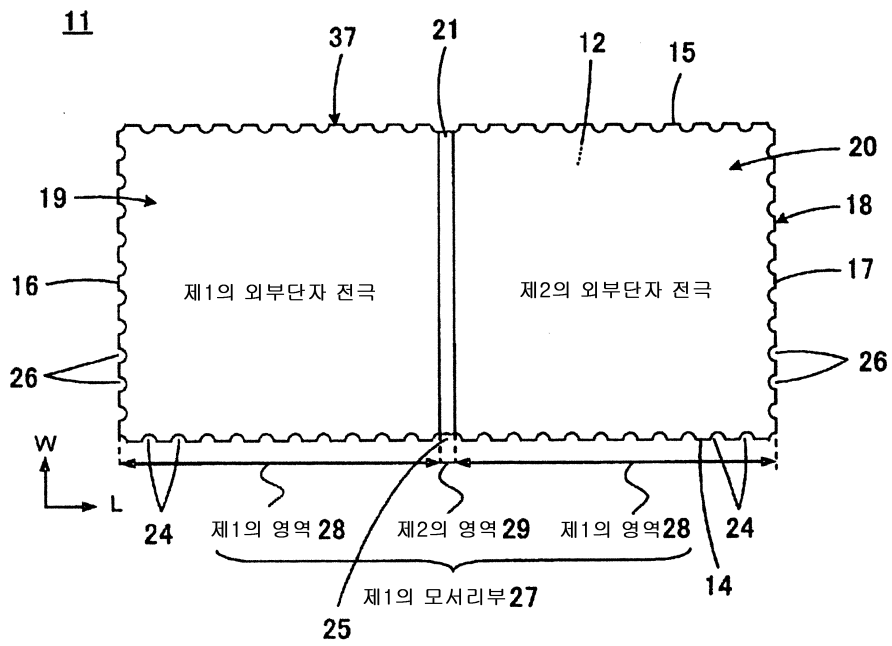
<142>

도 17은 외부단자 전극(2 및 3)의 면적을 가능한 한 넓게 하는 설계를 실시한 종래의 세라믹 전자부품을 나타내는 평면도이다.

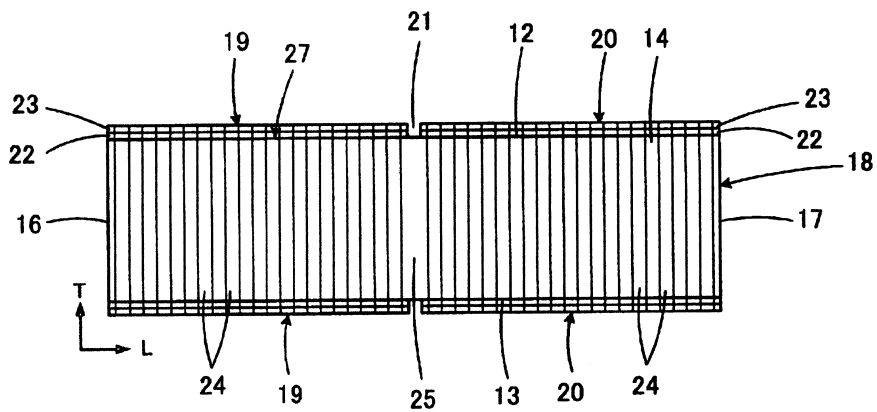
- <143> <부호의 설명>
- <144> 11, 11a, 11b, 11c, 11d, 11e, 11f: 적층 세라믹 콘덴서
- <145> 12, 42, 57: 제1의 주면
- <146> 13: 제2의 주면
- <147> 14, 62: 제1의 측면
- <148> 15, 63: 제2의 측면
- <149> 18: 콘덴서 본체
- <150> 19, 20: 외부단자 전극
- <151> 21: 겹
- <152> 24: 제1의 오목홈
- <153> 25: 제2의 오목홈
- <154> 27, 66: 제1의 모서리부
- <155> 28, 46: 제1의 영역
- <156> 29, 47: 제2의 영역
- <157> 30: 유전체층
- <158> 31: 제1의 내부전극
- <159> 32: 제2의 내부전극
- <160> 37: 제2의 모서리부
- <161> 41: 집합부품
- <162> 43: 외부단자 전극용 도전성 페이스트막
- <163> 48: 제1의 브레이크 유도구멍
- <164> 49: 제2의 브레이크 유도구멍
- <165> 51, 52: 비아 도체
- <166> 55: 세라믹 전자부품
- <167> 56: 세라믹 소체
- <168> 58: 외부도체

도면

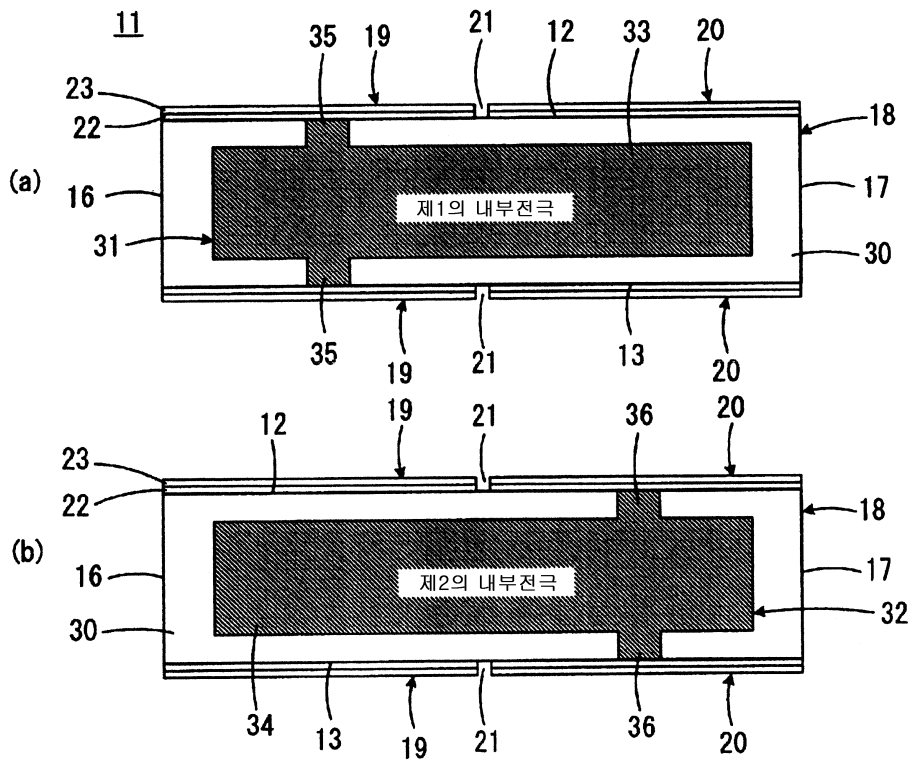
도면1



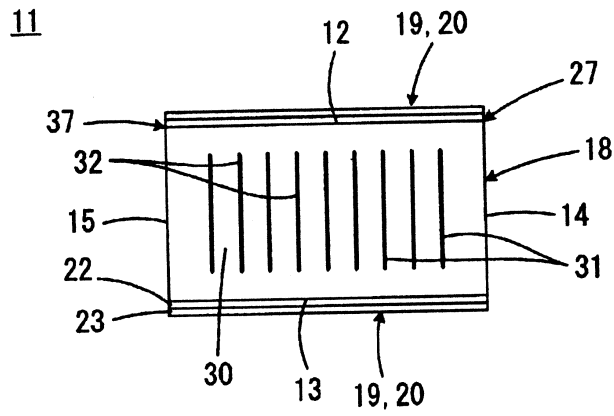
도면2



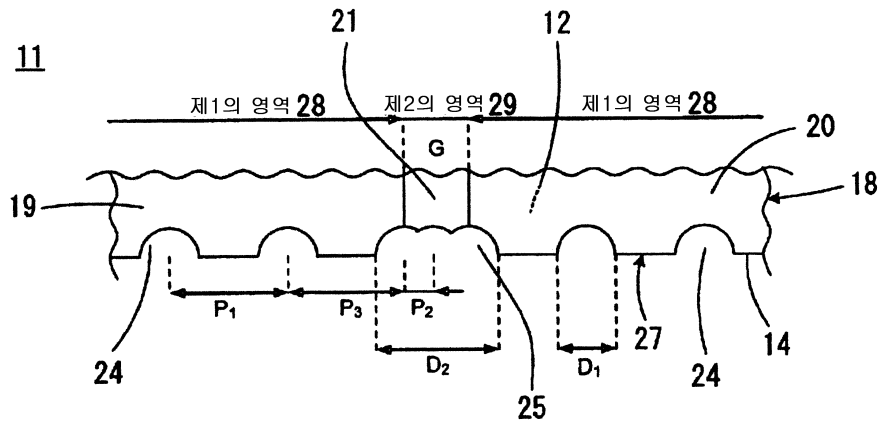
도면3



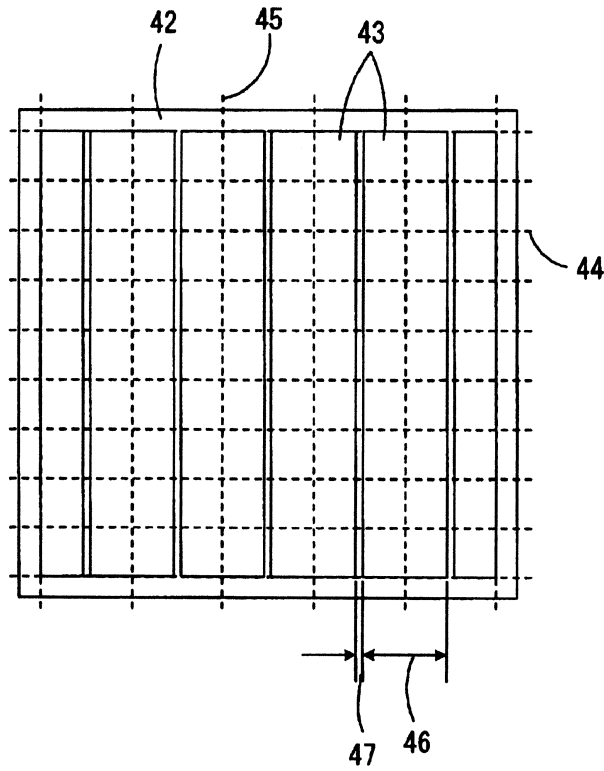
도면4



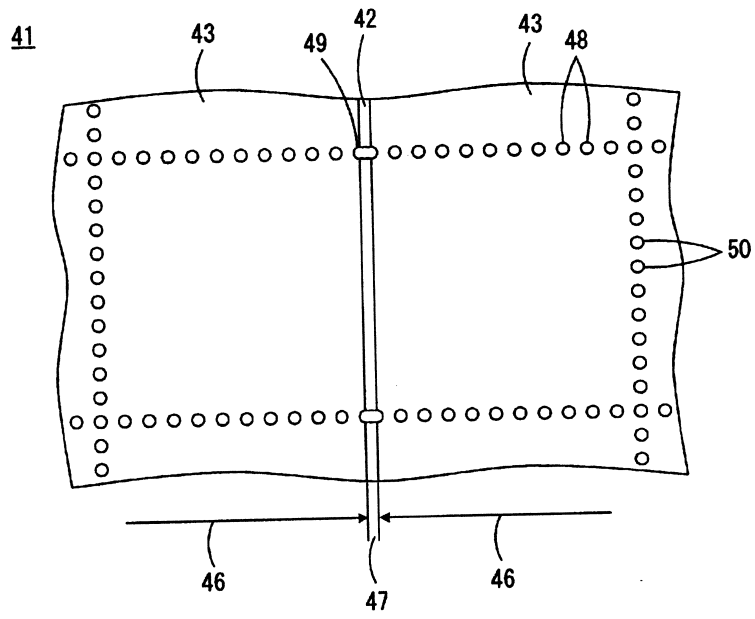
도면5



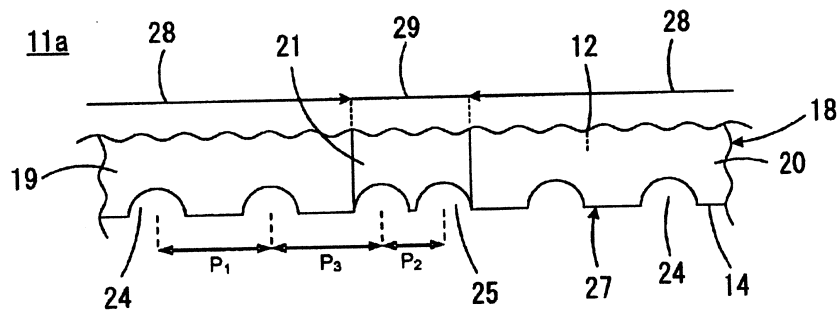
도면6



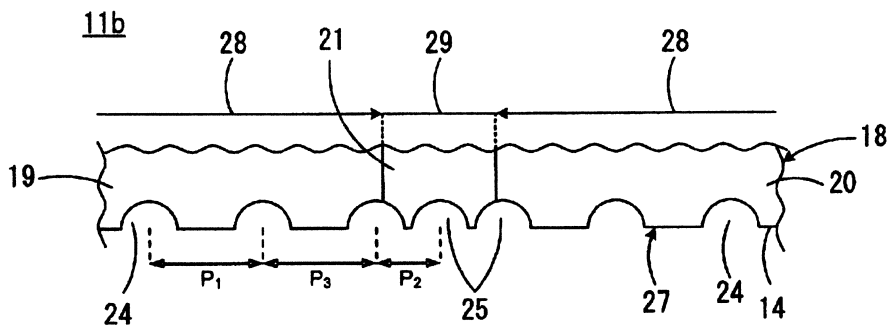
도면7



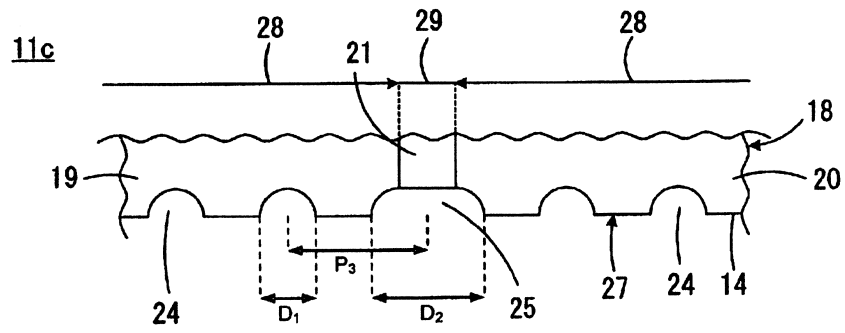
도면8



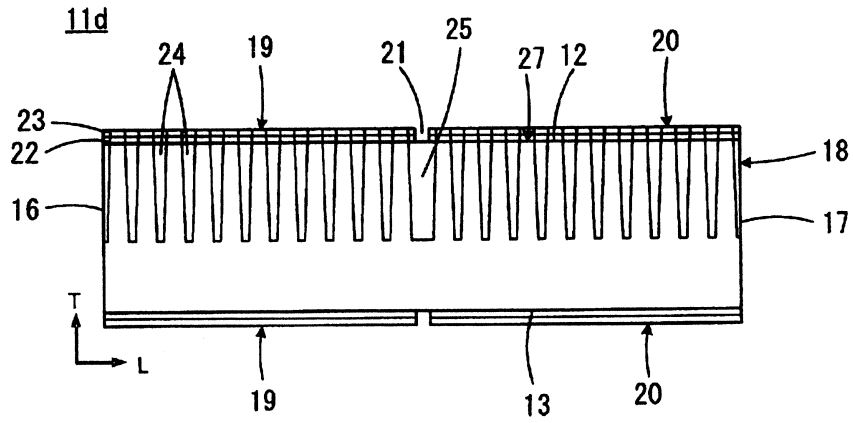
도면9



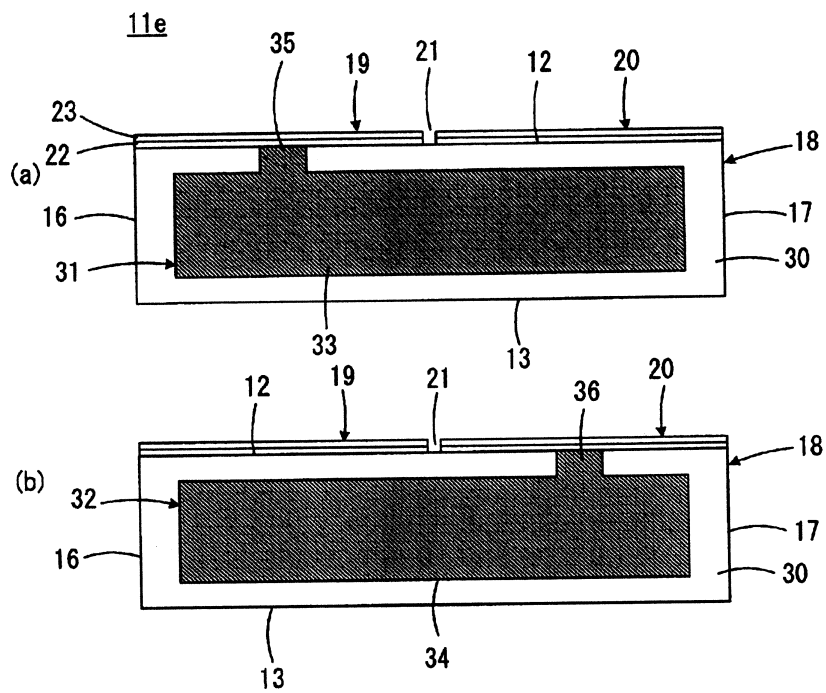
도면10



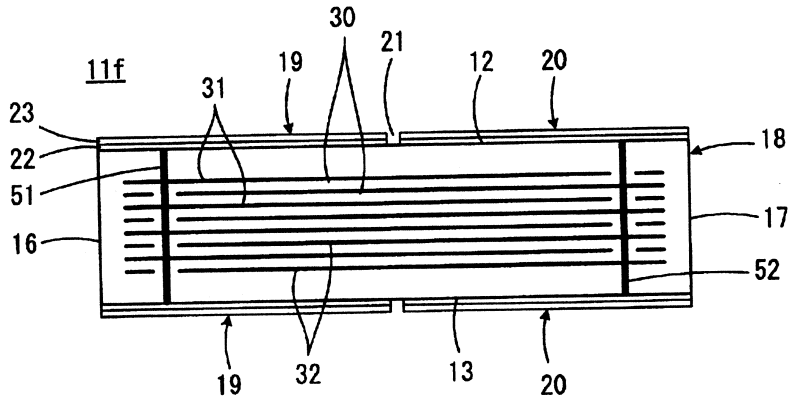
도면11



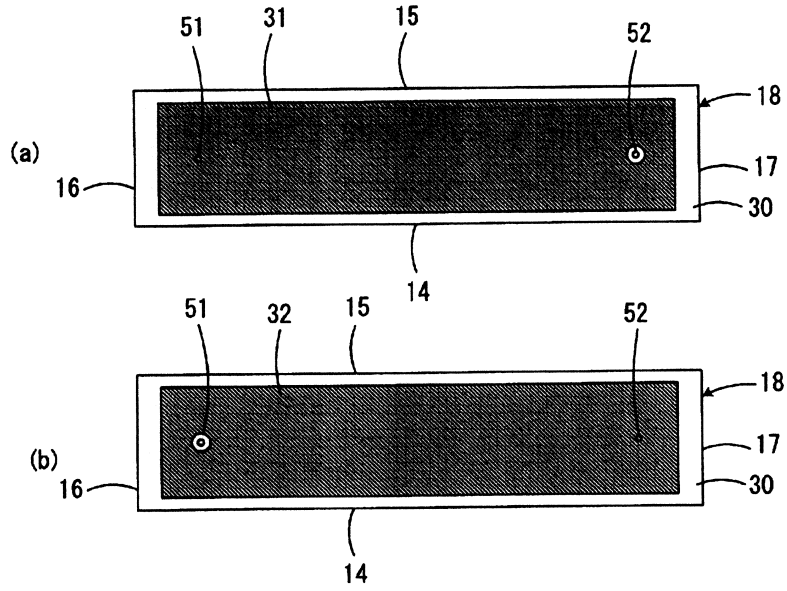
도면12



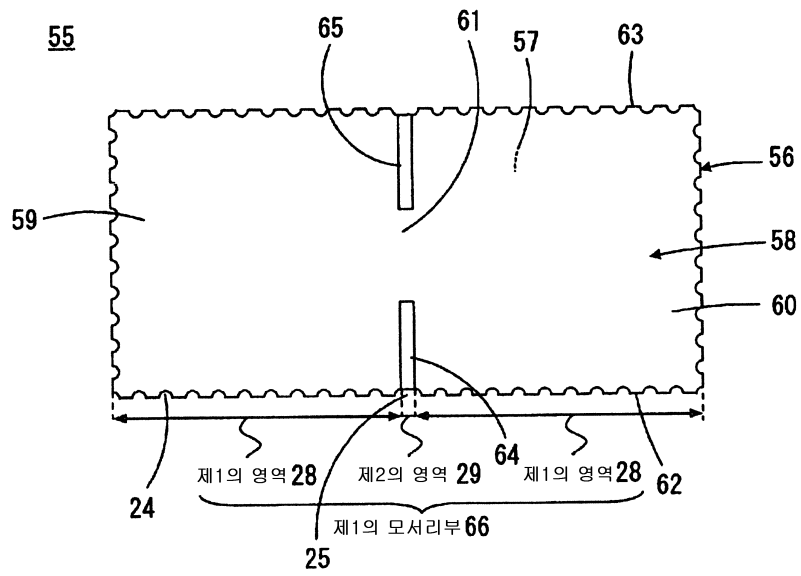
도면13



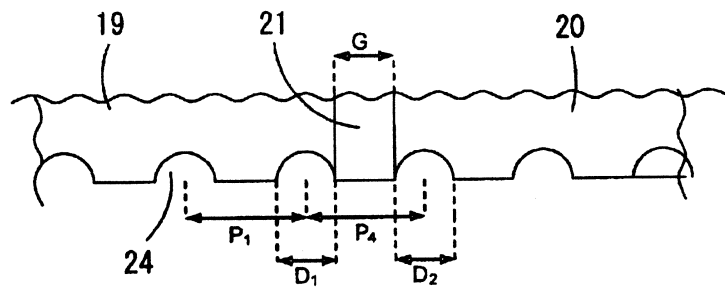
도면14



도면15



도면16



도면17

