

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】令和 2 年 9 月 3 日 (2020.9.3)

【公開番号】特開 2018-28910 (P2018-28910A)
 【公開日】平成 30 年 2 月 22 日 (2018.2.22)
 【年通号数】公開・登録公報 2018-007
 【出願番号】特願 2017-156564 (P2017-156564)
 【国際特許分類】

G 0 6 F 11/10 (2006.01)

G 0 6 F 11/14 (2006.01)

【 F I 】

G 0 6 F 11/10 6 2 4

G 0 6 F 11/14 6 0 2 M

G 0 6 F 11/10 6 7 6

【手続補正書】
 【提出日】令和 2 年 7 月 21 日 (2020.7.21)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

メモリチャネル当たり 1 つの E C C チップを含むことにより削減した E C C チップオーバーヘッドを使用する間、又は削減した内部プリフェッチの大きさを使用する間、D R A M (d y n a m i c r a n d o m - a c c e s s m e m o r y m o d u l e 、ダイナミック R A M モジュール) の支援によってメモリコントローラにチップ故障を識別するようにすることにより、D D R (d o u b l e d a t a r a t e) インタフェイスを利用した前記 D R A M のメモリエラーを訂正する方法において、
 前記 D R A M のデータチップ (複数) から前記メモリコントローラヘデータを送るために多重のバーストを含むメモリ処理 (t r a n s a c t i o n) を前記メモリコントローラと共に遂行する段階と、
 前記 D R A M の前記 E C C チップを利用して 1 つ以上のエラーを感知する段階と、
 前記 D R A M の前記 E C C チップを利用して前記エラーを有する前記バーストの数を決定する段階と、
 前記エラーを有する前記バーストの数が所定の閾値 (t h r e s h o l d n u m b e r) より大きいか否かを決定する段階と、
 前記エラーの種類を決定する段階と、
 前記決定された前記エラーの種類に基づいて前記メモリコントローラを指示する段階と、
 を含み、
 前記 D R A M は、メモリチャネル当たり 1 つの E C C チップを含むことを特徴とする方法。

【請求項 2】

前記 D R A M の前記 E C C チップを利用して前記 1 つ以上のエラーを感知する段階は、
 前記 E C C チップを利用して前記バーストの各々についてパリティチェック (p a r i t y c h e c k) を遂行する段階を含むことを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記エラーを有する前記バーストの数が前記閾値より大きくなければ、前記 D R A M から

メモリ読出しを再トライするように前記メモリコントローラを指示する段階をさらに含むことを特徴とする請求項 1 に記載の方法。

【請求項 4】

前記メモリコントローラが前記メモリ読出しを再トライすれば、追加的なエラーを感知する段階と、

前記追加的なエラーが前記感知された 1 つ以上のエラーと同一のエラーパターンを有するか否かを決定する段階と、をさらに含むことを特徴とする請求項 3 に記載の方法。

【請求項 5】

前記追加的なエラーが前記感知された 1 つ以上のエラーと異なるエラーパターンを有すると決定されれば、前記 D R A M からメモリ読出しを再び再トライするように前記メモリコントローラを指示する段階をさらに含むことを特徴とする請求項 4 に記載の方法。

【請求項 6】

前記追加的なエラーが前記感知された 1 つ以上のエラーと同一のエラーパターンを有すると決定されれば、ハードエラー (h a r d e r r o r) を識別する段階と、

エラー訂正において前記 D R A M を支援するように前記メモリコントローラを指示する段階と、

前記エラーのアドレス (a d d r e s s) を記録する段階をさらに含むことを特徴とする請求項 4 に記載の方法。

【請求項 7】

前記エラーを有する前記バーストの数が前記閾値より大きければ、前記 1 つ以上のエラーが同一のチップの同一のピンに対応するか否かを決定する段階をさらに含むことを特徴とする請求項 1 に記載の方法。

【請求項 8】

前記 1 つ以上のエラーが前記 D R A M の同一のチップの同一のピンに対応すると決定されれば、前記エラーは、D Q 故障 (D Q f a i l u r e) に対応すると決定する段階と、

前記 1 つ以上のエラーが前記同一のチップの前記同一のピンに対応しないと決定されれば、前記 1 つ以上のエラーは、チップ故障 (c h i p f a i l u r e) に対応すると決定する段階と、をさらに含むことを特徴とする請求項 7 に記載の方法。

【請求項 9】

前記メモリコントローラを指示する段階は、

前記 1 つ以上のエラーが前記 D Q 故障又は前記チップ故障に対応すれば、チップキル感知 (c h i p k i l l d e t e c t i o n) を支援するようにメモリコントローラを指示する段階を含むことを特徴とする請求項 8 に記載の方法。

【請求項 10】

前記エラーを有する前記バーストの数が前記閾値より大きければ、前記 1 つ以上のエラーが前記 D R A M の 1 つより多いチップに対応するか否かを決定する段階と、

前記 1 つ以上のエラーが前記 D R A M の同一のチップに対応すると決定されれば、前記 D R A M の該当チップは、消去されたことと表示する段階と、

前記 1 つ以上のエラーが前記 D R A M の 1 つより多いチップに対応すると決定されれば、致命的なエラー (f a t a l e r r o r) を識別する段階と、をさらに含むことを特徴とする請求項 1 に記載の方法。

【請求項 11】

前記エラーを有する前記バーストの数が前記閾値より大きければ、前記 D R A M の他のチップが以前に消去されたか否かを決定する段階と、

前記 D R A M の前記他のチップが以前に消去されたら、致命的なエラーを識別する段階と、をさらに含むことを特徴とする請求項 1 に記載の方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

本開示の実施形態の様相は、エラーを訂正するためにDRAM (dynamic random-access memory module、ダイナミックRAMモジュール) 内ECCを利用する新しいDDRインタフェースに係る。

本発明の実施形態によれば、メモリチャネル当たり1つのECCチップを含むことにより削減したECCチップオーバーヘッドを使用する間、又は削減した内部プリフェッチの大きさを使用する間、DRAM (dynamic random-access memory module、ダイナミックRAMモジュール) の支援によってメモリコントローラにチップ故障を識別するようにすることにより、DDR (double data rate) インタフェースを利用した前記DRAMのメモリエラーを訂正する方法が提供される。該方法は前記DRAMのデータチップ(複数)から前記メモリコントローラヘデータを送るために多重バーストを含むメモリ処理(transaction)を前記メモリコントローラと共に遂行する段階、前記DRAMの前記ECCチップ(単数)を利用して1つ以上のエラーを感知する段階、前記DRAMの前記ECCチップを利用して前記エラーを有する前記バーストの数を決定する段階、前記エラーを有する前記バーストの数が所定の閾値(threshold number)より大きいか否かを決定する段階、前記エラーの種類を決定する段階、及び前記決定された前記エラーの種類に基づいて前記メモリコントローラを指示する段階を含み、前記DRAMはメモリチャネル当たり1つのECCチップを含む。