

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和2年9月3日(2020.9.3)

【公開番号】特開2018-28910(P2018-28910A)

【公開日】平成30年2月22日(2018.2.22)

【年通号数】公開・登録公報2018-007

【出願番号】特願2017-156564(P2017-156564)

【国際特許分類】

G 06 F 11/10 (2006.01)

G 06 F 11/14 (2006.01)

【F I】

G 06 F 11/10 6 2 4

G 06 F 11/14 6 0 2 M

G 06 F 11/10 6 7 6

【手続補正書】

【提出日】令和2年7月21日(2020.7.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリチャネル当たり1つのECCチップを含むことにより削減したECCチップオーバーヘッドを使用する間、又は削減した内部プリフェッヂの大きさを使用する間、DRAM(dynamic random-access memory module、ダイナミックRAMモジュール)の支援によってメモリコントローラにチップ故障を識別するようすることにより、DDR(double data rate)インターフェイスを利用した前記DRAMのメモリエラーを訂正する方法において、

前記DRAMのデータチップ(複数)から前記メモリコントローラへデータを送るために多重のバーストを含むメモリ処理(transaction)を前記メモリコントローラと共に遂行する段階と、

前記DRAMの前記ECCチップを利用して1つ以上のエラーを感知する段階と、前記DRAMの前記ECCチップを利用して前記エラーを有する前記バーストの数を決定する段階と、

前記エラーを有する前記バーストの数が所定の閾値(threshold number)より大きいか否かを決定する段階と、

前記エラーの種類を決定する段階と、

前記決定された前記エラーの種類に基づいて前記メモリコントローラを指示する段階と、を含み、

前記DRAMは、メモリチャネル当たり1つのECCチップを含むことを特徴とする方法。

【請求項2】

前記DRAMの前記ECCチップを利用して前記1つ以上のエラーを感知する段階は、前記ECCチップを利用して前記バーストの各々についてパリティチェック(parity check)を遂行する段階を含むことを特徴とする請求項1に記載の方法。

【請求項3】

前記エラーを有する前記バーストの数が前記閾値より大きくなれば、前記DRAMから

メモリ読出しを再トライするように前記メモリコントローラを指示する段階をさらに含むことを特徴とする請求項1に記載の方法。

【請求項4】

前記メモリコントローラが前記メモリ読出しを再トライすれば、追加的なエラーを感知する段階と、

前記追加的なエラーが前記感知された1つ以上のエラーと同一のエラーパターンを有するか否かを決定する段階と、をさらに含むことを特徴とする請求項3に記載の方法。

【請求項5】

前記追加的なエラーが前記感知された1つ以上のエラーと異なるエラーパターンを有すると決定されれば、前記DRAMからメモリ読出しを再び再トライするように前記メモリコントローラを指示する段階をさらに含むことを特徴とする請求項4に記載の方法。

【請求項6】

前記追加的なエラーが前記感知された1つ以上のエラーと同一のエラーパターンを有すると決定されれば、ハードエラー(hard error)を識別する段階と、

エラー訂正において前記DRAMを支援するように前記メモリコントローラを指示する段階と、

前記エラーのアドレス(address)を記録する段階をさらに含むことを特徴とする請求項4に記載の方法。

【請求項7】

前記エラーを有する前記バーストの数が前記閾値より大きければ、前記1つ以上のエラーが同一のチップの同一のピンに対応するか否かを決定する段階をさらに含むことを特徴とする請求項1に記載の方法。

【請求項8】

前記1つ以上のエラーが前記DRAMの同一のチップの同一のピンに対応すると決定されれば、前記エラーは、DQ故障(DQ failure)に対応すると決定する段階と、前記1つ以上のエラーが前記同一のチップの前記同一のピンに対応しないと決定されれば、前記1つ以上のエラーは、チップ故障(chip failure)に対応すると決定する段階と、をさらに含むことを特徴とする請求項7に記載の方法。

【請求項9】

前記メモリコントローラを指示する段階は、

前記1つ以上のエラーが前記DQ故障又は前記チップ故障に対応すれば、チップキル感知(chip kill detection)を支援するようにメモリコントローラを指示する段階を含むことを特徴とする請求項8に記載の方法。

【請求項10】

前記エラーを有する前記バーストの数が前記閾値より大きければ、前記1つ以上のエラーが前記DRAMの1つより多いチップに対応するか否かを決定する段階と、

前記1つ以上のエラーが前記DRAMの同一のチップに対応すると決定されれば、前記DRAMの該当チップは、消去されたことと表示する段階と、

前記1つ以上のエラーが前記DRAMの1つより多いチップに対応すると決定されれば、致命的なエラー(fatal error)を識別する段階と、をさらに含むことを特徴とする請求項1に記載の方法。

【請求項11】

前記エラーを有する前記バーストの数が前記閾値より大きければ、前記DRAMの他のチップが以前に消去されたか否かを決定する段階と、

前記DRAMの前記他のチップが以前に消去されたら、致命的なエラーを識別する段階と、をさらに含むことを特徴とする請求項1に記載の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

本開示の実施形態の様相は、エラーを訂正するためにDRAM(dynamic random-access memory module、ダイナミックRAMモジュール)内ECCを利用する新しいDDRインタフェイスに係る。

本発明の実施形態によれば、メモリチャネル当たり1つのECCチップを含むことにより削減したECCチップオーバーヘッドを使用する間、又は削減した内部プリフェッチの大きさを使用する間、DRAM(dynamic random-access memory module、ダイナミックRAMモジュール)の支援によってメモリコントローラにチップ故障を識別するようにすることにより、DDR(double data rate)インタフェイスを利用した前記DRAMのメモリエラーを訂正する方法が提供される。該方法は前記DRAMのデータチップ(複数)から前記メモリコントローラへデータを送るために多重バーストを含むメモリ処理(transaction)を前記メモリコントローラと共に遂行する段階、前記DRAMの前記ECCチップ(単数)を利用して1つ以上のエラーを感知する段階、前記DRAMの前記ECCチップを利用して前記エラーを有する前記バーストの数を決定する段階、前記エラーを有する前記バーストの数が所定の閾値(threshold number)より大きいか否かを決定する段階、前記エラーの種類を決定する段階、及び前記決定された前記エラーの種類に基づいて前記メモリコントローラを指示する段階を含み、前記DRAMはメモリチャネル当たり1つのECCチップを含む。