

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年7月1日(2010.7.1)

【公開番号】特開2009-10281(P2009-10281A)

【公開日】平成21年1月15日(2009.1.15)

【年通号数】公開・登録公報2009-002

【出願番号】特願2007-172235(P2007-172235)

【国際特許分類】

H 0 1 L 27/10 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 1 L 27/10 4 6 1

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 8 1

H 0 1 L 29/78 3 7 1

H 0 1 L 27/04 C

【手続補正書】

【提出日】平成22年5月12日(2010.5.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

(a) 半導体基板と、

(b) 前記半導体基板上の第 1 領域に形成された不揮発性メモリセルと、

(c) 前記半導体基板上の第 2 領域に形成された容量素子とを備え、

前記不揮発性メモリセルは、

(b 1) 前記半導体基板上に形成された第 1 ゲート絶縁膜と、

(b 2) 前記第 1 ゲート絶縁膜上に形成されたコントロールゲート電極と、

(b 3) 前記コントロールゲート電極の片側の側壁に形成されたメモリゲート電極と、

(b 4) 前記コントロールゲート電極と前記メモリゲート電極の間および前記メモリゲート電極と前記半導体基板の間に形成された電荷蓄積膜を含む絶縁膜からなる第 2 ゲート絶縁膜とを有し、

前記容量素子は、

(c 1) 前記半導体基板上に形成された下部電極と、

(c 2) 前記下部電極上に形成された容量絶縁膜と、

(c 3) 前記容量絶縁膜上に形成された上部電極とを有する半導体装置であって、

前記メモリゲート電極と前記上部電極とは同一の金属膜から形成されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置であって、

前記コントロールゲート電極と前記下部電極とは同一の導体膜で形成され、
前記第２ゲート絶縁膜と前記容量絶縁膜とは同一の絶縁膜により形成されていることを
特徴とする半導体装置。

【請求項３】

請求項２記載の半導体装置であって、
前記コントロールゲート電極と前記下部電極とは同一の金属膜から形成されていること
を特徴とする半導体装置。

【請求項４】

請求項３記載の半導体装置であって、
前記第２ゲート絶縁膜は、第１絶縁膜と、前記第１絶縁膜上に形成された前記電荷蓄積
膜と、前記電荷蓄積膜上に形成された第２絶縁膜から形成されていることを特徴とする半
導体装置。

【請求項５】

請求項４記載の半導体装置であって、
前記電荷蓄積膜は、トラップ準位を有する絶縁膜から形成されていることを特徴とする
半導体装置。

【請求項６】

請求項５記載の半導体装置であって、
前記電荷蓄積膜は、窒化シリコン膜から形成されていることを特徴とする半導体装置。

【請求項７】

請求項１記載の半導体装置であって、
前記下部電極には負電圧を印加し、かつ、前記上部電極には正電圧を印加することによ
り、前記容量素子を動作させることを特徴とする半導体装置。

【請求項８】

請求項１記載の半導体装置であって、
前記上部電極の面積は前記下部電極の面積よりも小さく、かつ、平面的に前記上部電極
が前記下部電極に包含されていることを特徴とする半導体装置。

【請求項９】

請求項１記載の半導体装置であって、
前記上部電極は前記下部電極と平面的に重ならない部位を有しており、
前記上部電極と電氣的に接続するプラグは、前記上部電極のうち前記下部電極と平面的
に重ならない部位に形成されていることを特徴とする半導体装置。

【請求項１０】

半導体基板上に不揮発性メモリセルを有し、
前記不揮発性メモリセルは、
前記半導体基板上に形成された第１ゲート絶縁膜と、
前記第１ゲート絶縁膜上に形成されたコントロールゲート電極と、
前記コントロールゲート電極の片側の側壁に形成されたメモリゲート電極と、
前記コントロールゲート電極と前記メモリゲート電極の間および前記メモリゲート電極
と前記半導体基板の間に形成された電荷蓄積膜を含む絶縁膜からなる第２ゲート絶縁膜と
を有し、
前記メモリゲート電極は金属膜から形成され、かつ、サイドウォール状に形成されてい
ることを特徴とする半導体装置。

【請求項１１】

請求項１０記載の半導体装置であって、
前記第２ゲート絶縁膜は、第１絶縁膜と、前記第１絶縁膜上に形成された前記電荷蓄積
膜と、前記電荷蓄積膜上に形成された第２絶縁膜から形成されていることを特徴とする半
導体装置。

【請求項１２】

請求項１１記載の半導体装置であって、

前記電荷蓄積膜は、トラップ準位を有する絶縁膜から形成されていることを特徴とする半導体装置。

【請求項 1 3】

請求項 1 2 記載の半導体装置であって、

前記電荷蓄積膜は、窒化シリコン膜から形成されていることを特徴とする半導体装置。

【請求項 1 4】

半導体基板の第 1 領域上に不揮発性メモリセルを形成し、前記半導体基板の第 2 領域に容量素子を形成する半導体装置の製造方法であって、

(a) 前記半導体基板上に第 1 ゲート絶縁膜を形成する工程と、

(b) 前記第 1 ゲート絶縁膜上に導体膜を形成する工程と、

(c) 前記導体膜を加工することにより、前記第 1 領域に前記不揮発性メモリセルのコントロールゲート電極を形成し、かつ、前記第 2 領域に前記容量素子の下部電極を形成する工程と、

(d) 前記半導体基板の前記第 1 領域と前記第 2 領域を含む全面に絶縁膜を形成する工程と、

(e) 前記絶縁膜上に金属膜を形成する工程と、

(f) 前記金属膜を加工することにより、前記第 1 領域では前記コントロールゲート電極の両側の側壁にだけ前記金属膜を残し、かつ、前記第 2 領域では前記金属膜よりなる前記容量素子の上部電極を形成する工程と、

(g) 前記コントロールゲート電極の片側の側壁に形成されている前記金属膜を除去することにより、前記コントロールゲート電極のもう一方の片側の側壁に残存する前記金属膜からなるメモリゲート電極を形成する工程と、

(h) 前記半導体基板に露出している前記絶縁膜を除去することにより、前記第 1 領域では、前記コントロールゲート電極と前記メモリゲート電極の間および前記メモリゲート電極と前記半導体基板の間に残存する前記絶縁膜からなる第 2 ゲート絶縁膜を形成し、かつ、前記第 2 領域では、前記上部電極で覆われて残存する前記絶縁膜よりなる容量絶縁膜を形成する工程とを備え、

前記絶縁膜は、電荷蓄積膜を含むことを特徴とする半導体装置の製造方法。

【請求項 1 5】

請求項 1 4 記載の半導体装置の製造方法であって、

前記導体膜は金属膜であることを特徴とする半導体装置の製造方法。

【請求項 1 6】

半導体基板に不揮発性メモリセルを形成する半導体装置の製造方法であって、

(a) 前記半導体基板上に第 1 ゲート絶縁膜を形成する工程と、

(b) 前記第 1 ゲート絶縁膜上に導体膜を形成する工程と、

(c) 前記導体膜を加工することにより、前記不揮発性メモリセルのコントロールゲート電極を形成する工程と、

(d) 前記半導体基板の全面に電荷蓄積膜を含む絶縁膜を形成する工程と、

(e) 前記絶縁膜上に金属膜を形成する工程と、

(f) 前記金属膜を加工することにより、前記コントロールゲート電極の両側の側壁に前記金属膜をサイドウォール状に残す工程と、

(g) 前記コントロールゲート電極の片側の側壁に形成されている前記金属膜を除去することにより、前記コントロールゲート電極のもう一方の片側の側壁に残存する前記金属膜からなるメモリゲート電極を形成する工程と、

(h) 前記半導体基板に露出している前記絶縁膜を除去することにより、前記コントロールゲート電極と前記メモリゲート電極の間および前記メモリゲート電極と前記半導体基板の間に残存する前記絶縁膜からなる第 2 ゲート絶縁膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。