(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0049692
(43) 공개일자 2011년05월12일

(51) Int. Cl.
G11C 15/00 (2006.01) *G11C 7/12* (2006.01)
(21) 출원번호 10-2010-0107432
(22) 출원일자 2010년11월01일
심사청구일자 2010년11월01일
(30) 우선권주장
1020090106179 2009년11월04일 대한민국(KR)

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 서천동 1 경희대학교 국제캠퍼스내
(72) 발명자
홍상훈
경기도 성남시 분당구 정자동 두산위브파빌리온 A-1301
한창훈
강원도 원주시 명륜2동 동보노빌리티아파트 204동 1402호
채민아
경기도 수원시 영통구 영통동 1027-20번지 201호
(74) 대리인
서재승

전체 청구항 수 : 총 5 항

(54) 바이너리 내용 주소화 메모리

(57) 요 약

본 발명은 바이너리 내용 주소화 메모리(content addressable memory, CAM)에 관한 것으로, 보다 구체적으로 내용 주소화 메모리를 구성하는 전체 소자의 수를 줄여 내용 주소화 메모리의 사이즈를 작게함으로써, 집적도를 높이고 소비 전력을 향상시킬 수 있는 내용 주소화 메모리에 관한 것이다.

본 발명에 따른 바이너리 내용 주소화 메모리는 종래 바이너리 내용 주소화 메모리와 비교하여 구성 트랜지스터의 수가 적어 작은 크기로 메모리를 제작할 수 있어서, 메모리 설계에 있어서 가장 중요한 요인 중 하나인 집적도를 향상시킬 수 있으며 소형화되고 경량화된 제품을 설계하는데 도움을 준다. 또한 본 발명에 따른 바이너리 내용 주소화 메모리는 적은 수의 트랜지스터를 이용하여 바이너리 내용 주소화 메모리의 기능을 수행함으로써 소비 전력을 줄일 수 있으며, 적은 프로세스로 데이터 저장 또는 비교가 가능함으로써 높은 성능을 발휘할 수 있다.

대 표 도 - 도4

BL	LOGIC
0	0
1	1

(a)

BL	BL/	LOGIC
0	1	0
1	0	1

(b)

특허청구의 범위

청구항 1

바이너리 내용 주소화 메모리(content addressable memory, CAM)에 있어서,

워드라인(WL)에 게이트가 연결되어 활성화 제어되는 제1 트랜지스터;

상기 제1 트랜지스터의 활성화시 제1 비트라인(BL)을 통해 입력된 저장 데이터를 저장하는 제2 트랜지스터와 제3 트랜지스터; 및

상기 제2 트랜지스터와 제3 트랜지스터에 저장된 저장 데이터 및 상기 제1 비트라인(BL)과 제2 비트라인(BL/)을 통해 입력된 비교 데이터를 비교하여 비교값을 출력하는 비교 회로부를 포함하는 것을 특징으로 하는 바이너리 내용 주소화 메모리.

청구항 2

제 1 항에 있어서, 상기 비교 회로부는

비교 신호에 따라 프리차지되는 매치라인; 및

상기 매치라인이 프리자치된 후, 상기 제1 및 제2 비트라인(BL, BL/)을 통해 입력된 비교 데이터와 상기 저장 데이터에 따라 활성화 제어되어 상기 매치라인으로 비교값을 출력하는 제4 트랜지스터를 포함하는 것을 특징으로 하는 바이너리 내용 주소화 메모리.

청구항 3

제 1 항에 있어서, 상기 바이너리 내용 주소화 메모리에서

상기 제1 트랜지스터, 제3 트랜지스터, 제4 트랜지스터는 NMOS 트랜지스터이며,

상기 제2 트랜지스터는 PMOS 트랜지스터인 것을 특징으로 하는 바이너리 내용 주소화 메모리.

청구항 4

제 3 항에 있어서,

상기 제1 트랜지스터의 소스는 상기 제1 비트라인, 상기 제1 트랜지스터의 드레인은 상기 제2 트랜지스터와 제3 트랜지스터의 게이트, 상기 제1 트랜지스터의 게이트는 워드라인에 연결되어 있는 것을 특징으로 하는 바이너리 내용 주소화 메모리.

청구항 5

제 3 항에 있어서,

상기 제2 PMOS 트랜지스터의 소스, 드레인은 각각 상기 제1 비트라인, 상기 제3 NMOS 트랜지스터의 드레인에 연결되어 있으며,

상기 제3 NMOS 트랜지스터의 소스는 상기 제2 비트라인에 연결되어 있으며,

상기 제4 NMOS 트랜지스터의 드레인은 상기 매치라인에 연결되고, 상기 제4 NMOS 트랜지스터의 게이트는 상기 제2 PMOS 트랜지스터와 제3 NMOS 트랜지스터 사이의 접속 노드에 연결되며 상기 제4 NMOS 트랜지스터의 소스는 접지되어 있는 것을 특징으로 하는 바이너리 내용 주소화 메모리.

명 세 서

기 술 분 야

[0001] 본 발명은 바이너리 내용 주소화 메모리(content addressable memory, CAM)에 관한 것으로, 보다 구체적으로 내용 주소화 메모리를 구성하는 전체 트랜지스터의 수를 줄여 내용 주소화 메모리의 사이즈를 작게함으로써, 집적

도를 높이고 소비 전력을 향상시킬 수 있는 내용 주소화 메모리에 관한 것이다.

배 경 기 술

[0002] 통상적인 메모리는 데이터가 저장되어 있는 주소를 정확히 알아야만 저장되어 있는 데이터에 접근할 수 있다. 그러나 내용 주소화 메모리 장치(Content AddressableMemory, CAM)는 데이터가 저장되어 있는 정확한 주소를 모르더라도 데이터의 내용을 입력하면 해당 내용의 데이터들이 저장되어 있는 위치의 주소를 찾아주는 기능을 갖는 메모리이다. 따라서 많은 데이터에서 특정 내용을 탐색할 경우 주어진 내용과 일치하는 데이터와 관련된 데이터를 찾을 수 있는 특유의 빠른 검색 특성 때문에 내용 주소화 메모리를 이용한 IP 주소 룩업 방법들이 널리 사용되고 있으며 데이터 검색 엔진에도 많이 이용되고 있다.

[0003] 이러한 내용 주소화 메모리는 크게 바이너리 내용 주소화 메모리(binary CAM)와 터너리 내용 주소화 메모리(ternary CAM)로 구분할 수 있다. 바이너리 내용 주소화 메모리는 메모리 셀에 0 또는 1 데이터가 저장되며, 입력되는 데이터와 저장되어 있는 데이터를 비교하여 해당 내용의 데이터가 저장된 위치의 주소를 검색한다. 이에 반해 터너리 내용 주소화 메모리는 메모리 셀에 0 또는 1 이외에 무정값(don't care)을 저장할 수 있으며, 저장되어 있는 데이터를 검색하는 경우에도 0, 1, 무정값의 조합을 입력하고 입력한 데이터와 저장되어 있는 값을 비교하여 해당 내용의 데이터가 저장된 위치의 주소를 검색한다.

[0004] 도 1은 바이너리 내용 주소화 메모리에 저장되어 있는 데이터를 검색하는 일 예를 설명하기 위한 도면이다. 도 1(a)는 검색하고자 하는 데이터를 도시하고 있으며, 도 1(b)는 바이너리 내용 주소화 메모리에 저장되어 있는 데이터를 도시하고 있다. 도 1(a)에 도시되어 있는 것과 같이 검색하고자 하는 데이터는 1, 1, 0, 1, 0, 0, 1이다. 내용 주소화 메모리는 입력된 데이터와 저장되어 있는 데이터를 비교하며, 저장되어 있는 데이터 중 입력된 데이터와 일치하는, 3번째 행에 저장되어 있는 데이터를 일치 데이터로 검색한다. 이와 같이, 바이너리 내용 주소화 메모리는 입력된 데이터와 전체적으로 일치하는 내용의 데이터를 저장된 데이터에서 검색하기 때문에, 데이터가 저장되어 있는 주소를 모르더라도 데이터의 내용으로만 저장되어 있는 데이터를 용이하게 검색할 수 있다.

[0005] 도 2는 종래 바이너리 내용 주소화 메모리를 설명하기 위한 개략적인 회로도이다.

[0006] 도 2를 참고로 살펴보면, 종래 바이너리 내용 주소화 메모리는 0, 1의 데이터를 저장하기 위한 저장부(10)와, 저장부(10)에 저장할 데이터를 입력하거나 저장된 데이터를 판단하기 위한 비교 데이터를 입력하기 위한 제1 비트라인(BL)과 제2 비트라인(BL/)으로 구성된 비트라인부, 저장부(10)의 활성화를 제어하는 워드라인(WL) 및 비트라인부(BL, BL/)을 통해 입력되는 비교데이터와 저장부(10)에 저장된 저장데이터를 비교하여 내용 주소화 메모리에 저장된 저장데이터와 입력된 비교데이터가 일치하는지 판단하는 비교 회로부(20)를 구비하고 있다.

[0007] 저장부(10)는 비트 라인부(BL, BL/)에 소스 연결된 제1 NMOS 트랜지스터(M1)와 제2 NMOS 트랜지스터(M2), 순환고리 형태로 연결되어 비트 라인부(BL, BL/)를 통해 입력된 데이터를 저장하고 있는 한 쌍의 인버터(I1, I2)를 구비하고 있다. 여기서 제1 인버터(I1)와 제2 인버터(I2)는 각각 1개의 PMOS 트랜지스터와 1개의 NMOS 트랜지스터로 구성되어 있다.

[0008] 한편, 비교 회로부(20)는 프리차지 신호에 의해 하이 레벨로 프리차징되는 매칭 라인(ML), 한 쌍의 인버터(I1, I2)에 각각 게이트가 접속되어 있어 한 쌍의 인버터(I1, I2)에 저장된 데이터에 의해 활성화/비활성화되는 제3 NMOS 트랜지스터(M3)와 제4 NMOS 트랜지스터(M4) 및 매칭 라인(ML)에 드레인이 연결된 제5 NMOS 트랜지스터(M5)를 구비하고 있다. 제3 NMOS 트랜지스터(M3)의 드레인과 제4 NMOS 트랜지스터(M4)의 소스는 서로 연결되어 있으며, 제3 NMOS 트랜지스터(M3)와 제4 NMOS 트랜지스터(M4)가 연결되어 있는 노드(A)에 제5 NMOS 트랜지스터(M5)의 게이트가 연결되어 있다. 여기서 제5 NMOS 트랜지스터(M5)의 소스는 접지되어 있다. 저장부(10)에 저장되어 있는 데이터를 판단하는 경우, 워드 라인(WL)은 비활성화되며, 비트 라인부(BL, BL/)을 통해 입력된 비교 데이터와 저장부(10)에 저장된 저장데이터가 일치하는 경우 매칭 라인(ML)은 프리차징된 상태를 유지하여 하이 레벨의 비교값을 출력한다. 반면, 비트 라인부(BL, BL/)을 통해 입력된 비교 데이터와 저장부(10)에 저장된 저장 데이터가 상이한 경우 매칭 라인(ML)은 디스차징되어 로우 레벨의 비교값을 출력한다.

발명의 내용

해결하려는 과제

[0009] 위에서 살펴본 종래 바이너리 내용 주소화 메모리는 저장부(10)에 데이터를 입력하기 위하여 제1 입력 라인(B

L)과 제2 입력 라인(BL/)에 개별적으로 각각 데이터를 입력하여야 한다. 더욱이 저장부(10)에는 다수의 트랜지스터들, 즉 저장부(10)에는 입력 라인부(BL, BL/)에 연결된 2개의 NMOS 트랜지스터들(M1, M2) 및 한 쌍의 인터버(I1, I2)를 구성하는 4개의 트랜지스터들(미도시), 총 6개의 트랜지스터를 구비하고 있다. 따라서 종래 바이너리 내용 주소화 메모리에는 저장부(10)에서 사용되는 6개의 트랜지스터와 비교 회로부(20)에서 사용되는 3개의 트랜지스터, 총 9개의 트랜지스터를 구비하고 있다.

[0010] 메모리 설계에 있어 가장 중요하게 고려하여할 요인으로 메모리의 크기를 작게 하여 집적도를 늘리는 것이며, 또한 고성능 설계로 소비 전력을 줄이는 것이다. 그러나 종래 바이너리 내용 주소화 메모리는 비교 회로부(20)를 포함하여 총 9개의 트랜지스터를 기본적으로 사용하고 있으며, 저장부(10)에 데이터를 저장하기 위하여 제1 입력 라인(BL)과 제2 입력 라인(BL/)에 각각 데이터를 개별적으로 입력하여야 한다. 따라서 종래 바이너리 내용 주소화 메모리는 집적화에 한계를 가지며, 많은 트랜지스터와 제1 입력 라인과 제2 입력 라인을 이용함으로써 소비 전력이 많고 프로세스가 복잡하여 높은 성능을 발휘하지 못한다는 문제점을 가진다.

[0011] 따라서 본 발명은 종래 바이너리 내용 주소화 메모리가 가지는 문제점들을 해결하기 위한 것으로, 본 발명이 이루고자 하는 목적은 바이너리 내용 주소화 메모리에 사용되는 소자의 수를 줄여 작은 면적을 차지하는 바이너리 내용 주소화 메모리를 제공하는 것이다.

[0012] 본 발명이 이루고자 하는 다른 목적은 바이너리 내용 주소화 메모리의 크기를 줄여 집적도를 향상시킬 수 있는 바이너리 내용 주소화 메모리를 제공하는 것이다.

[0013] 본 발명이 이루고자 하는 또 다른 목적은 바이너리 내용 주소화 메모리를 구성하는 트랜지스터의 수를 줄여 소비 전력을 줄일 수 있는 바이너리 내용 주소화 메모리를 제공하는 것이다.

[0014] 본 발명이 이루고자 하는 또 다른 목적은 구성 트랜지스터의 수를 줄이고 단일 데이터 입력으로 데이터를 저장하여 적은 프로세스로 데이터 저장 또는 비교를 가능하게 하여 높은 성능을 발휘할 수 있는 바이너리 내용 주소화 메모리를 제공하는 것이다.

과제의 해결 수단

[0015] 위에서 언급한 목적을 달성하기 위하여 본 발명에 따른 바이너리 내용 주소화 메모리는 워드라인(WL)에 게이트가 연결되어 활성화 제어되는 제1 트랜지스터와, 제1 트랜지스터의 활성화시 제1 비트라인(BL)을 통해 입력된 저장 데이터를 저장하는 제2 트랜지스터 및 제3 트랜지스터와, 제2 트랜지스터 및 제3 트랜지스터에 저장된 저장 데이터와 제1 비트라인(BL) 및 제2 비트라인(BL/)을 통해 입력된 비교 데이터를 비교하여 비교값을 출력하는 비교 회로부를 포함하여 구성되어 있다.

[0016] 비교 회로부는 비교 신호에 따라 프리차지되는 매치라인과, 매치라인이 프리차지된 후, 제1 및 제2 비트라인(BL, BL/)을 통해 입력된 비교 데이터와 저장 데이터에 따라 활성화 제어되어 매치라인으로 비교값을 출력하는 제4 트랜지스터를 포함한다.

[0017] 바람직하게, 바이너리 내용 주소화 메모리에서 제1 트랜지스터, 제3 트랜지스터, 제4 트랜지스터는 NMOS 트랜지스터이며, 제2 트랜지스터는 PMOS 트랜지스터인 것을 특징으로 한다.

[0018] 여기서 제1 트랜지스터의 소스는 제1 비트라인, 제1 트랜지스터의 드레인은 제2 트랜지스터와 제3 트랜지스터의 게이트, 제1 트랜지스터의 게이트는 워드라인에 연결되어 있다.

[0019] 여기서 제2 PMOS 트랜지스터의 소스, 드레인은 각각 제1 비트라인, 제3 NMOS 트랜지스터의 드레인에 연결되어 있으며, 제3 NMOS 트랜지스터의 소스는 제2 비트라인에 연결되어 있으며, 제4 NMOS 트랜지스터의 드레인은 매치라인에 연결되고 제4 NMOS 트랜지스터의 게이트는 제2 PMOS 트랜지스터와 제3 NMOS 트랜지스터 사이의 접속 노드에 연결되며 제4 NMOS 트랜지스터의 소스는 접지되어 있다.

발명의 효과

[0020] 본 발명에 따른 바이너리 내용 주소화 메모리는 종래 바이너리 내용 주소화 메모리와 비교하여 다음과 같은 다양한 효과들을 가진다.

[0021] 첫째, 본 발명에 따른 바이너리 내용 주소화 메모리는 종래 바이너리 내용 주소화 메모리와 비교하여 구성 트랜지스터의 수가 적어 작은 크기로 메모리을 제작할 수 있어서, 메모리 설계에 있어서 가장 중요한 요인 중 하나인 집적도를 향상시킬 수 있다.

[0022] 둘째, 본 발명에 따른 바이너리 내용 주소화 메모리는 집적도를 향상시킴으로써 소형화되고 경량화된 제품을 설계하는데 도움을 준다.

[0023] 셋째, 본 발명에 따른 바이너리 내용 주소화 메모리는 적은 수의 트랜지스터를 이용하여 바이너리 내용 주소화 메모리의 기능을 수행함으로써, 소비 전력을 줄일 수 있다.

[0024] 넷째, 본 발명에 따른 바이너리 내용 주소화 메모리는 트랜지스터의 수를 줄이고 단일 데이터로 데이터를 저장하여 적은 프로세스로 데이터 저장 또는 비교가 가능함으로써, 높은 성능을 발휘할 수 있다.

도면의 간단한 설명

[0025] 도 1은 바이너리 내용 주소화 메모리에 저장되어 있는 데이터를 검색하는 일 예를 설명하기 위한 도면이다.

도 2는 종래 바이너리 내용 주소화 메모리를 설명하기 위한 개략적인 회로도이다.

도 3은 본 발명의 일 실시예에 따른 바이너리 내용 주소화 메모리(100)의 회로도를 도시하고 있다.

도 4는 본 발명의 일 실시예에 따른 바이너리 내용 주소화 메모리에서 0, 1을 저장하기 위해 제1 비트 라인(BL)에 입력되는 데이터와 바이너리 메모리 셀에 저장된 데이터를 비교 검색하기 위하여 제1 비트 라인(BL)과 제2 비트 라인(BL/)으로 입력되는 데이터를 도시하고 있다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하 첨부한 도면을 참고로 본 발명에 따른 바이너리 내용 주소화 메모리에 대해 보다 구체적으로 살펴본다.

[0027] 도 3은 본 발명의 일 실시예에 따른 바이너리 내용 주소화 메모리(100)의 회로도를 도시하고 있다.

[0028] 도 3을 참고로 살펴보면, 본 발명에 따른 바이너리 내용 주소화 메모리는 0 또는 1의 데이터를 저장하기 위한 저장부(110)와, 저장부(110)에 저장할 데이터를 입력하거나 제1 비교 데이터를 입력하기 위한 제1 비트 라인(BL)과 제2 비교 데이터를 입력하기 위한 제2 비트 라인(BL/)로 구성된 비트 라인부와, 저장부(110)의 활성화를 제어하는 워드 라인(WL)과, 저장부(110)에 저장된 데이터와 비교 데이터를 비교하여 바이너리 내용 주소화 메모리에 저장된 데이터를 판단하는 비교 회로부(120)을 구비하고 있다.

[0029] 저장부(110)는 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제3 트랜지스터(M3)를 구비하고 있다. 제1 트랜지스터(M1)의 소스, 드레인 및 게이트는 각각 제1 비트라인(BL), 제2 트랜지스터(M2)와 제3 트랜지스터(M3)의 게이트, 워드 라인(WL))에 연결되어 있다. 한편, 제2 트랜지스터의 소스와 드레인은 각각 제1 비트 라인(BL)과 제3 트랜지스터(M3)의 드레인에 연결되어 있으며, 제3 트랜지스터(M3)의 소스는 제2 비트 라인(BL/)에 연결되어 있다.

[0030] 한편, 비교 회로부(120)는 매칭 라인(ML)과 제4 트랜지스터(M4)를 구비하여 구성되어 있다. 제2 트랜지스터(M2)의 드레인과 제3 트랜지스터(M3)의 드레인은 서로 연결되어 있으며, 제4 트랜지스터(M4)의 게이트는 제2 트랜지스터(M2)의 드레인과 제3 트랜지스터(M3)의 드레인의 연결 노드(A)에 연결되어 있다. 제4 트랜지스터(M4)의 드레인은 매칭 라인(ML)과 연결되어 있으며, 제4 트랜지스터(M4)의 소스는 접지되어 있다. 비교 회로부(120)는 저장부(110)에 저장된 저장 데이터와 비트 라인부(BL, BL/)을 통해 입력된 비교 데이터를 비교하여 비교 결과값을 매칭 라인(ML)으로 출력한다.

[0031] 바람직하게, 제1 트랜지스터(M1), 제3 트랜지스터(M3), 제4 트랜지스터(M4)는 NMOS 트랜지스터이며, 제2 트랜지스터(M2)는 PMOS 트랜지스터이다.

[0032] 도 4는 본 발명의 일 실시예에 따른 바이너리 내용 주소화 메모리에 0 또는 1을 저장하기 위해 제1 비트 라인(BL)에 입력되는 데이터와 바이너리 내용 주소화 메모리에 저장된 데이터를 비교 검색하기 위하여 제1 비트 라인(BL)과 제2 비트 라인(BL/)으로 입력되는 비교 데이터를 도시하고 있다.

[0033] 도 4(a)에 도시되어 있는 것과 같이, 0을 바이너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인(BL)에 0을 입력하고, 1을 바이너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인(BL)에 1을 입력한다. 한편, 도 4(b)에 도시되어 있는 것과 같이, 바이너리 내용 주소화 메모리에 저장된 데이터가 0인지를 판단하기 위하여 제1 비트 라인(BL)에 0을 입력하고 제2 비트 라인(BL/)에 1을 입력하며, 바이너리 내용 주소화 메모리에 저장된 데이터가 1인지를 판단하기 위하여 제1 비트 라인(BL)에 1을 입력하고 제2 비트 라인(BL/)에 0을 입력한다.

[0034] 도 3과 도 4를 참고로 본 발명에 따른 바이너리 내용 주소화 메모리에 데이터를 저장하는 동작과 저장된 데이터

를 검색하는 동작을 보다 구체적으로 살펴본다.

[0035] <저장 동작>

[0036] 바이너리 내용 주소화 메모리(100)에 0을 저장하고자 하는 경우 워드 라인(WL)에 하이 신호를 입력하여 제1 트랜지스터(M1)를 활성화시키고 제1 비트 라인(BL)에 0의 데이터를 입력하여 제2 트랜지스터(M2)와 제3 트랜지스터(M3)에 0의 데이터를 저장한다. 0의 데이터 저장이 완료되면 워드 라인(WL)에 로우 신호를 유지시킨다.

[0037] 이와 동일하게 바이너리 내용 주소화 메모리(100)에 1을 저장하고자 하는 경우 워드 라인(WL)에 하이 신호를 입력하여 제1 트랜지스터(M1)를 활성화시키고, 제1 비트 라인(BL)에 1의 데이터를 입력하여 제2 트랜지스터(M2)와 제3 트랜지스터(M3)에 1의 데이터를 저장한다. 1의 데이터 저장이 완료되면 워드 라인(WL)에 로우 신호를 유지시킨다.

[0038] <검색 동작>

[0039] 바이너리 내용 주소화 메모리(100)에 저장된 데이터가 0인지 검색하기 위하여 제1 비트 라인(BL), 제2 비트 라인(BL/)에 각각 0, 1의 비교 데이터를 입력한다. 바이너리 내용 주소화 메모리(100)에 0이 저장되어 있는 경우, PMOS 트랜지스터인 제2 트랜지스터(M2)는 활성화되고 NMOS 트랜지스터인 제3 트랜지스터(M3)는 비활성화되어 있다. 따라서 제1 비트 라인(BL)으로 입력된 비교 데이터(0)은 노드(A)를 따라 제4 트랜지스터(M4)의 게이트로 입력된다. 제4 트랜지스터(M4) 게이트로 입력된 비교 데이터는 로우값을 가지는 신호이기 때문에, 제4 트랜지스터(M4)는 비활성화되며 매칭 라인(ML)은 프리차지된 상태를 유지하여 하이 신호의 비교값을 출력한다. 즉, 하이 신호의 비교값은 저장된 데이터가 0임을 나타낸다.

[0040] 그러나 바이너리 내용 주소화 메모리(100)에 1이 저장되어 있는 경우, PMOS 트랜지스터인 제2 트랜지스터(M2)는 비활성화되고 NMOS 트랜지스터인 제3 트랜지스터(M3)는 활성화되어 있다. 따라서 제2 비트 라인(BL/)으로 입력된 비교 데이터(1)은 노드(A)를 따라 제4 트랜지스터(M4)의 게이트로 입력된다. 제4 트랜지스터(M3) 게이트로 입력된 비교 데이터는 하이값을 가지는 신호이기 때문에, 제4 트랜지스터(M4)는 활성화되며 매칭 라인(ML)은 디스챠지되어 로우 신호의 비교값을 출력한다. 즉, 로우 신호의 비교값은 저장된 데이터가 0이 아님을 나타낸다.

[0041] 이와 동일하게 바이너리 내용 주소화 메모리(100)에 저장된 데이터가 1인지 검색하기 위하여 제1 비트 라인(BL), 제2 비트 라인(BL/)에 각각 1, 0의 비교 데이터를 입력한다. 바이너리 내용 주소화 메모리(100)에 1이 저장되어 있는 경우, PMOS 트랜지스터인 제2 트랜지스터(M2)는 비활성화되고 NMOS 트랜지스터인 제3 트랜지스터(M3)는 활성화되어 있다. 따라서 제2 비트 라인(BL/)으로 입력된 비교 데이터(0)는 노드(A)를 따라 제4 트랜지스터(M4)의 게이트로 입력된다. 제4 트랜지스터(M4) 게이트로 입력된 비교 데이터는 로우값을 가지는 신호이기 때문에, 제4 트랜지스터(M4)는 비활성화되며 매칭 라인(ML)은 프리차지된 상태를 유지하여 하이 신호의 비교값을 출력한다. 즉, 하이 신호의 비교값은 저장된 데이터가 1임을 나타낸다.

[0042] 그러나 바이너리 내용 주소화 메모리(100)에 0이 저장되어 있는 경우, PMOS 트랜지스터인 제2 트랜지스터(M2)는 활성화되고 NMOS 트랜지스터인 제3 트랜지스터(M3)는 비활성화되어 있다. 따라서 제1 비트 라인(BL)으로 입력된 비교 데이터(1)는 노드(A)를 따라 제4 트랜지스터(M4)의 게이트로 입력된다. 제4 트랜지스터(M4) 게이트로 입력된 비교 데이터는 하이값을 가지는 신호이기 때문에, 제4 트랜지스터(M3)는 활성화되며 매칭 라인(ML)은 디스챠지되어 로우 신호의 비교값을 출력한다. 즉, 로우 신호의 비교값은 저장된 데이터가 1이 아님을 나타낸다.

[0043] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 위에서 설명한 본 발명의 다양한 실시예는 본 발명의 권리범위를 정함에 있어 하나의 참고가 될 뿐이며, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0044] 100: 바이너리 내용 주소화 메모리

110 : 저장부

120 : 비교 회로부

도면

도면1

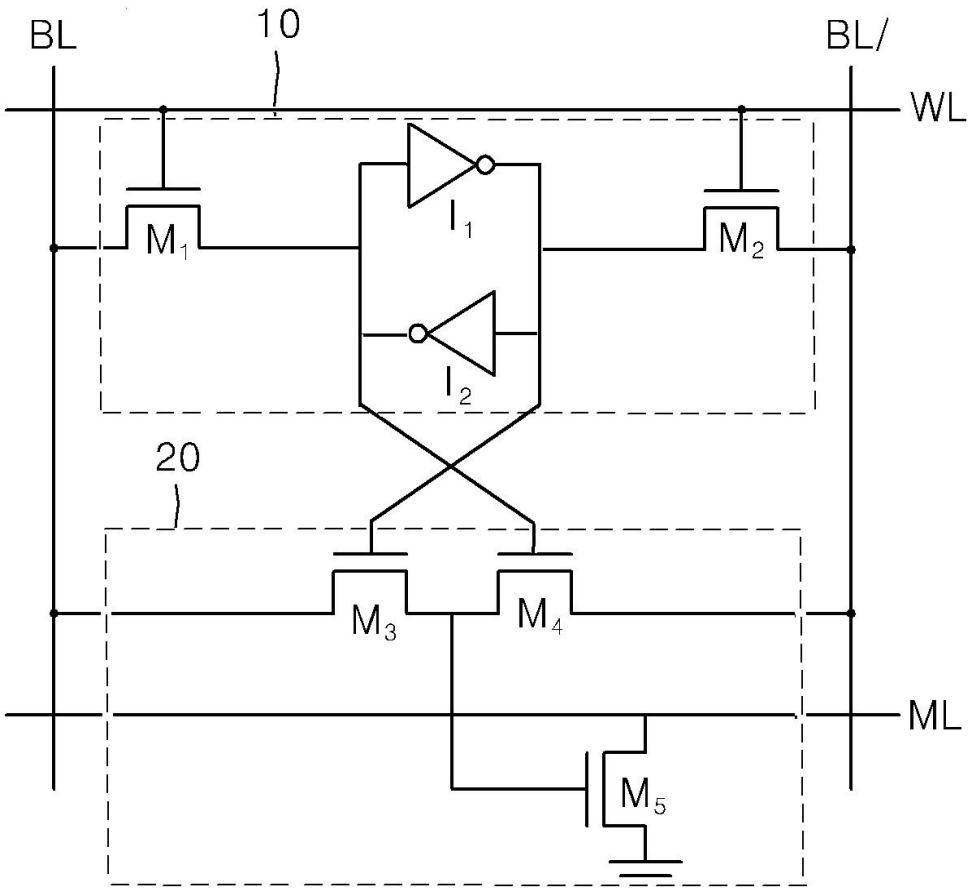
1	1	0	1	0	0	1

(a)

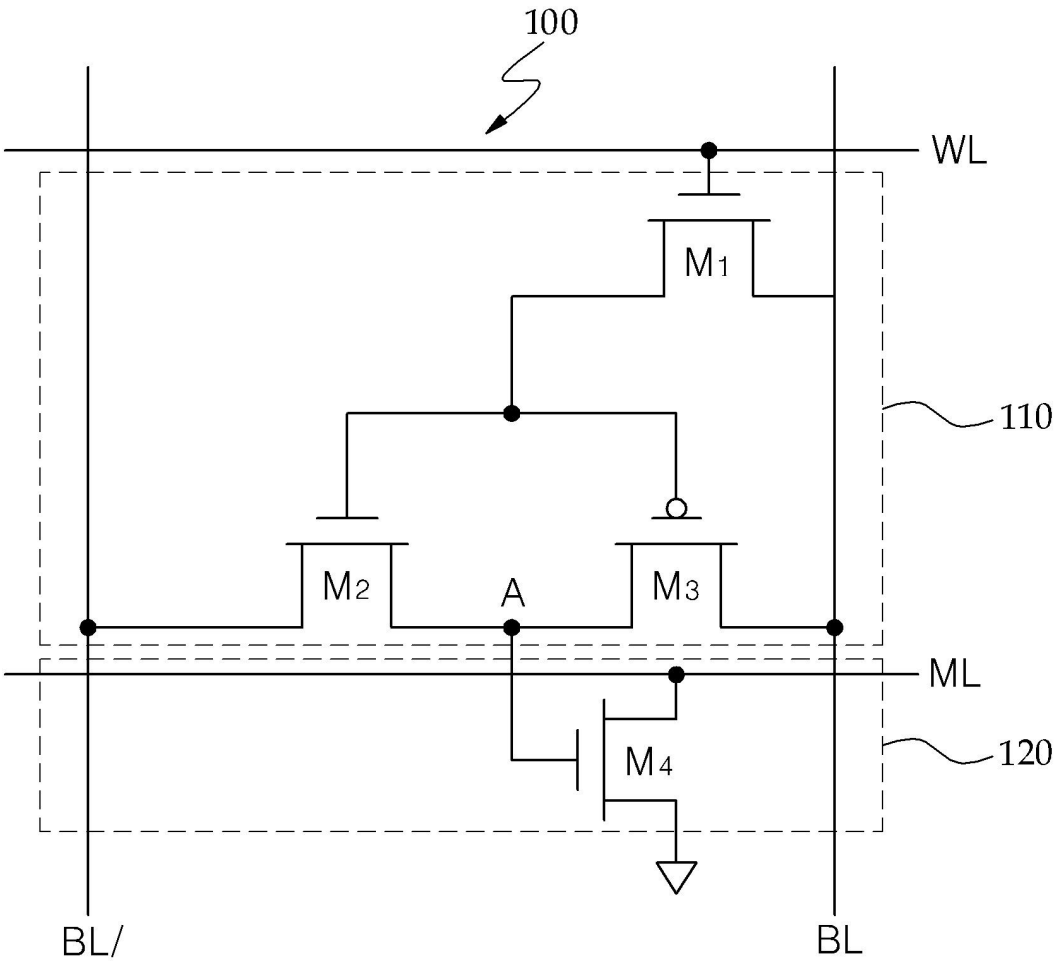
1	0	1	0	0	0	1	
1	0	1	1	0	1	0	
1	1	0	1	0	0	1	일치
1	0	1	1	1	0	0	
1	0	1	1	0	0	1	
1	1	0	0	1	1	1	

(b)

도면2



도면3



도면4

BL	LOGIC
0	0
1	1

(a)

BL	BL/	LOGIC
0	1	0
1	0	1

(b)