

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2009年7月2日 (02.07.2009)

PCT

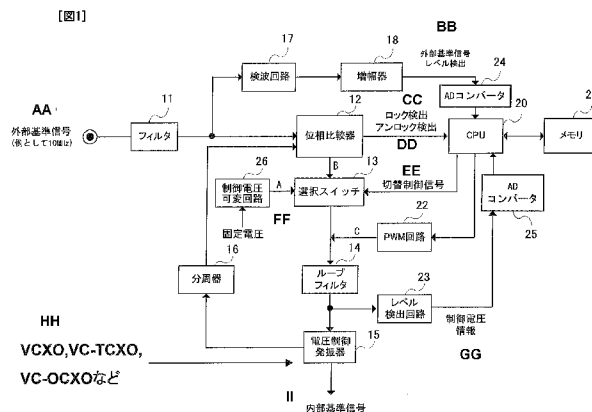
(10) 国際公開番号
WO 2009/081516 A1

- (51) 国際特許分類:
H03L 7/093 (2006.01) H03L 7/10 (2006.01)
H03L 7/095 (2006.01)
- (21) 国際出願番号: PCT/JP2008/003108
- (22) 国際出願日: 2008年10月30日 (30.10.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2007-331767
2007年12月25日 (25.12.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電波工業株式会社 (NIHON DENPA KOGYO CO., LTD.)
- (72) 発明者; および
- (73) 発明者/出願人 (米国についてのみ): 大西直樹 (ONISHI, Naoki) [JP/JP]; 〒0660009 北海道千歳市柏台南一丁目3番1号 日本電波工業株式会社内 Hokkaido (JP).
- (74) 代理人: 船津暢宏 (FUNATSU, Nobuhiro); 〒2200004 神奈川県横浜市西区北幸2丁目7番10号 高見澤ビルディング9階 船津特許事務所 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH,

[続葉有]

(54) Title: OSCILLATION FREQUENCY CONTROL CIRCUIT

(54) 発明の名称: 発振周波数制御回路



AA OUTSIDE REFERENCE SIGNAL (FOR EXAMPLE, 10 MHz)
11 FILTER
17 DETECTING CIRCUIT
18 AMPLIFIER
BB OUTSIDE REFERENCE SIGNAL LEVEL DETECTION
24 AD CONVERTER
12 PHASE COMPARATOR
CC LOCK DETECTION
DD UNLOCK DETECTION
21 MEMORY
26 CONTROL VOLTAGE VARYING CIRCUIT
13 SELECTION SWITCH
EE SWITCHING CONTROL SIGNAL
25 AD CONVERTER
FF FIXED VOLTAGE
22 PWM CIRCUIT
16 DIVIDER
14 LOOP FILTER
23 LEVEL DETECTING CIRCUIT
GG CONTROL VOLTAGE INFORMATION
HH VCXO, VC-TCXO, VC-OCXO, AND SO FORTH
15 VOLTAGE-CONTROLLED OSCILLATOR
II INSIDE REFERENCE SIGNAL

(57) Abstract: An oscillation frequency control circuit for correcting its frequency, keeping the oscillation frequency stable when self-oscillating, and oscillating with a control voltage generated by making a fixed voltage given from outside variable. The oscillation frequency control circuit comprises a voltage-controlled oscillator (15), a divider (16), a phase comparator (12), a loop filter (14), a detecting circuit (17), a PWM circuit (22), a memory (21), a control voltage varying circuit (26), a selection switch (13) for connecting/disconnecting the phase comparator (12) and the loop filter (14) and selecting/outputting a control voltage from the control voltage varying circuit (26), and a CPU (20). The CPU selects/outputs the control voltage preferentially according to the command of the control voltage selection. If the command is not given and the level of the outside reference signal detected by the detecting circuit (17) is within an adequate range, it turns the selection switch (13) on. If the command is not given and the level of the outside reference signal is out of the adequate range, it turns the selection switch (13) off and outputs information about pulse generation stored in the memory (21) to the PWM circuit (22).

(57) 要約: 自己の周波数を補正し、自走した時にも発振周波数を安定に保ち、更に外部からの固定電圧を可変にした制御電圧で発振できる発振周波数制御回路を提供する。電圧制御発振器15と、分周器16と、位相比較器12と、ループフィルタ14と、検波回路17と、PWM回路22と、メモリ21と、制御電圧可変回路26と、位相比較器12とループフィルタ14との接続をオン/

オフすると共に制御電圧可変回路26からの制御電圧を選択出力する選択スイッチ13と、当該制御電圧選択の指示で当該制御電圧を優先的に選択出力し、当該指示がない場合に検波回路17で検出された外部基準信号

[続葉有]

WO 2009/081516 A1



GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

添付公開書類:
— 国際調査報告書

明 細 書

発振周波数制御回路

技術分野

- [0001] 本発明は、発振器の発振周波数制御回路に係り、特に、出力信号に同期させ、自己の周波数を補正し、高安定な基準信号がないときでも一定期間安定に保つことができ、更に、外部からの固定電圧を可変にした制御電圧で発振できる発振周波数制御回路に関する。

背景技術

- [0002] 次世代移動体通信及び地上デジタル放送などの基地局では、周波数基準信号に対する要求精度は益々高まっている。

周波数基準信号として、セシウム周波数基準発振器、ルビシウム周波数基準発振器、GPS信号による周波数同期型の基準発振器などが、放送、通信分野のシステムで利用されている。

- [0003] しかしながら、これらの発振器は、一般的に高価であるため、それら発振器からの基準信号は分配して装置の基準信号源として使用される。

- [0004] 分配された基準信号は、通信システムの基準クロックに使用される。

具体的には、PLL (Phase Locked Loop) 回路の位相比較のリファレンス信号、DSP (Digital Signal Processor)、FPGA (Field Programmable Gate Array) などの基準クロック信号、DA (Digital/Analog) コンバータ、AD (Analog/Digital) コンバータのサンプリングクロックとして使用される。

- [0005] [従来のPLL回路：図6]

次に、従来のPLL回路について図6を参照しながら説明する。図6は、一般的PLL回路の構成ブロック図である。

PLL回路は、図6に示すように、外部基準信号 (F_{ref}) と $1/N$ 分周された信号を比較し、位相差信号を出力する位相比較器 (Phase Comparator) 32と、位相差をパルス幅の電圧で出力するチャージポンプ (Char

ge Pump) 33と、チャージポンプ33からの出力電圧を平滑化するループフィルタ (Loop Filter) 34と、ループフィルタ34からの制御電圧によって周波数を変更して希望する周波数 (内部基準信号: Output Frequency) を発振出力する電圧制御機能付き水晶発振器 (VCXO: Voltage Controlled Crystal Oscillator) 35と、VCXO35の出力 (内部基準信号) を $1/N$ に分周する分周器 (Divider) 36とを備えている。

尚、内部基準信号は、 $N \times F_{ref}$ の信号である。

[0006] PLL回路は、外部より入力された基準信号と内部のVCXO35の位相差が一定になるよう、内部のVCXO35に対してフィードバック制御をかけることで、基準信号に同期し、基準信号の周波数安定度と同一の発振器出力を得るものである。

[0007] 具体的には、位相比較器32は、高安定な外部基準信号と、入力電圧により周波数制御するVCXO35からの出力信号との位相を比較し、位相比較結果を平滑化した直流電圧がVCXO35にフィードバックされるPLL制御を行うことで、高精度の信号生成を行うものである。

PLL回路は、通信、放送装置などにおいて広く使用されている。

[0008] 尚、従来の発振器における発振周波数制御回路に関する先行技術として、特開2000-083003号公報 (特許文献1)、特開2003-179489号公報 (特許文献2) がある。

[0009] 特許文献1には、周波数カウンタがパルス幅に対応する時間内に入力されるVCO (Voltage Controlled Oscillator) の出力信号に同期した計数動作を行っており、VCOの発振周波数に対応した計数値がラッチ回路に保持され、CPUは係数値が所定範囲内から外れている場合には、VCOの印加電圧を変化させてフリーラン周波数が所定範囲になるよう調整するフリーラン周波数調整方式が記載されている。

[0010] また、特許文献2には、マイクロコンピュータが、位相比較器の出力が所定レベルにある期間中にVCOの出力パルス信号のパルスをカウントし、そのカウント値に応じて制御用のデータを更新し、そのデータをDAC (Digit

al Analog Converter) でアナログ信号としてLPF (Low Pass Filter) からの信号と結合させてVCOの周波数制御信号とする電圧制御発振器の自走周波数の自動調整機能を有する位相ロックループ回路が記載されている。

[0011] 特許文献1：特開2000-083003号公報

特許文献2：特開2003-179489号公報

発明の開示

発明が解決しようとする課題

[0012] しかしながら、上記従来のPLL回路では、基準信号の入力がなくなったときは、位相比較ができなくなるため、他の外部基準信号への切り替えを行うか、または電圧制御発振器のフリーラン（自走）で動作することになるが、予備系の他の外部基準信号への切り替え時は、再びPLL制御が行われるので、基準信号の偏差が外部基準信号に依存するので問題とならないが、自走したときには切り替え時の位相比較結果により周波数が過剰に制御され、上限又は下限の周波数に張り付いて周波数ズレが大きくなるという問題点があった。

[0013] 自走した時でも、短期的な問題解決として、電圧制御発振器として温度補償型の高安定な水晶発振器（VC-TXO）が使われることがある。

しかしながら、この場合、例えば、 $\pm 0.5 \text{ ppm}$ の周波数安定度で動作するが、経年変化があるため、長期間性能を満足させることはできないものである。

[0014] 例えば、エージング特性として年 $\pm 1 \text{ ppm}$ 程度の変動があると仮定すると、10年経過すると最大で 10.5 ppm の周波数偏差が発生する。これは、通信している搬送波出力周波数が 800 MHz とすると、基準周波数の周波数偏差と同様に、 8.4 kHz の周波数ズレが発生する。このような周波数偏差はシステムとして許容できない。

[0015] また、電圧制御機能付き恒温槽水晶発振器（VC-OCXO）が使用される高安定なシステムの場合でも、エージング特性として長期間では周波数偏差が発生するため、一定期間毎に校正作業が発生し、校正作業が面倒である

との問題点があった。

[0016] また、特許文献 1, 2 では、VCO の出力をカウントして、若しくは位相比較器の出力をカウントして自走周波数の調整を行うものであるが、外部基準信号の異常を直接検出して周波数調整を行うものではなく、更に経年変化に十分対応できるものとはなっていなかった。

[0017] [VCO の制御電圧特性：図 7]

尚、VCO の制御電圧特性を図 7 に示す。図 7 は、電圧制御機能付き水晶発振器の制御電圧特性例を示す図である。図 7 において、横軸は制御電圧であり、縦軸は周波数偏差である。

図 7 の例の VCO では、制御電圧が 0 ～ 4 V であれば、動作可能であるが、4 V 以上では動作不能となる。

[0018] [フリーラン特性：図 8]

また、VCO のフリーラン（自走）の場合の特性を図 8 に示す。図 8 は、VCO のフリーラン特性を示す図である。

VCO の場合でも、時間の経過に伴って、周波数偏差が上昇するため、適正な制御電圧が変化する。温度補償型の水晶発振器でも同様である。

[0019] [周波数特性：図 9]

次に、外部基準信号がルビシウムなどの高安定信号時の周波数特性を図 9 に示す。図 9 は、外部基準信号が高安定信号の場合の周波数特性を示す図である。

図 9 に示すように、外部基準信号がルビシウムなどの高安定信号の時は、時間が経過しても、システムで許容される周波数偏差の範囲内に収まるものである。

[0020] [外部基準信号が切れたときの周波数特性：図 10]

そして、外部基準信号が切れたときの周波数特性を図 10 に示す。図 10 は、外部基準信号が切れたときの周波数特性を示す図である。

外部基準信号が切れたときの周波数特性は、図 10 に示すように、接続断の時点で周波数偏差が大幅に上昇し、その後、時間経過に伴い周波数偏差が

徐々に上昇し、定期校正が行われなければ、システムが許容できる周波数範囲を超えてしまうものである。

[0021] また、基地局によっては、必ずしも外部基準信号が得られない基地局もあり、その場合には、上記PLL回路ではなく、発振器を固定電圧で発振させる別の構成の発振器が必要になり、基地局によって対応する発振制御回路を準備しなければならないという問題点があった。

[0022] 本発明は上記実情に鑑みて為されたもので、自己の周波数を補正し、高安定な基準信号の入力がなく、自走したときでも発振周波数を安定に保つことができ、更に、外部からの固定電圧を可変にした制御電圧で発振できるようにした発振周波数制御回路を提供することを目的とする。

課題を解決するための手段

[0023] 上記従来例の問題点を解決するための本発明は、発振周波数制御回路において、電圧制御発振器と、電圧制御発振器からの出力を分周する分周器と、外部基準信号と分周器からの出力の位相を比較し、位相差信号を出力する位相比較器と、位相比較器からの出力を平滑化して出力するループフィルタと、外部基準信号を検波する検波回路と、パルス生成の情報が入力されるとパルスを生じしてループフィルタに出力するパルス生成回路と、規定の電圧情報とそれに対応するパルス生成の情報を記憶するメモリと、固定電圧を変更する調整を行う制御電圧可変回路と、位相比較器とループフィルタとの接続をオン／オフする選択スイッチと、検波回路で検出された外部基準信号のレベルが適正範囲内であれば選択スイッチをオンとし、レベルが適正範囲外であれば選択スイッチをオフとし、制御電圧可変回路からの制御電圧を選択する場合には当該制御電圧を選択する指示を、制御電圧を選択しない場合にはメモリに記憶されたパルス生成の情報を、パルス発生回路に出力する制御部とを有する発振周波数制御回路としている。

[0024] また、本発明は、発振周波数制御回路において、電圧制御発振器と、電圧制御発振器からの出力を分周する分周器と、外部基準信号と分周器からの出力の位相を比較し、位相差信号を出力する位相比較器と、位相比較器からの

出力を平滑化して出力するループフィルタと、外部基準信号を検波する検波回路と、パルス生成の情報が入力されるとパルスを生成してループフィルタに出力するパルス生成回路と、規定の電圧情報とそれに対応するパルス生成の情報を記憶するメモリと、固定電圧を変更する調整を行う制御電圧可変回路と、制御電圧可変回路から入力される制御電圧を選択する制御信号が入力されると、当該制御電圧を選択して前記ループフィルタに出力し、制御電圧の選択が為されていない場合に、位相比較器とループフィルタとの接続をオン／オフする選択スイッチと、制御電圧可変回路からの制御電圧を選択する指示が入力されると、当該制御電圧を優先的に選択する制御信号を選択スイッチに出力し、当該指示の入力が為されていない場合に、検波回路で検出された外部基準信号のレベルが適正範囲内であれば選択スイッチをオンとし、レベルが適正範囲外であれば選択スイッチをオフとしてメモリに記憶されたパルス生成の情報をパルス発生回路に出力する制御部とを有する発振周波数制御回路としている。

- [0025] 本発明は、発振周波数制御回路において、電圧制御発振器と、電圧制御発振器からの出力を分周する分周器と、外部基準信号と前記分周器からの出力の位相を比較し、位相差信号を出力する位相比較器と、位相比較器からの出力を平滑化して出力するループフィルタと、外部基準信号を検波する検波回路と、パルス生成の情報が入力されるとパルスを生成してループフィルタに出力するパルス生成回路と、規定の電圧情報とそれに対応するパルス生成の情報を記憶するメモリと、固定電圧を変更する調整を行う制御電圧可変回路と、制御電圧可変回路から入力される制御電圧を選択する制御信号が入力されると、当該制御電圧を選択して前記ループフィルタに出力し、外部基準信号を選択する制御信号が入力されると、位相比較器とループフィルタとの接続をオンし、パルス生成回路からのパルスを選択する制御信号が入力されると、位相比較器とループフィルタとの接続をオフする選択スイッチと、検波回路で検出された外部基準信号のレベルが適正範囲内であるときに外部基準信号を選択する制御信号を出力して選択スイッチをオンとしている状態で、

レベルが適正範囲外になると、予め設定された、制御電圧可変回路からの制御電圧を選択する制御信号又はパルス生成回路からのパルスを選択する制御信号のいずれかを選択スイッチに出力する制御部とを有する発振周波数制御回路としている。

[0026] 本発明は、上記発振周波数制御回路において、制御電圧可変回路が、固定電圧を定期的に校正調整して選択スイッチに制御電圧を出力する発振周波数制御回路としている。

[0027] 本発明は、上記発振周波数制御回路において、メモリに記憶された規定の電圧情報を、電圧制御発振器を制御可能な制御電圧において中心制御電圧とした発振周波数制御回路としている。

[0028] 本発明は、上記発振周波数制御回路において、メモリには、規定の電圧情報とそれに対応するパルス生成の情報を記憶する代わりに、経年変化の時間に対する適正な制御電圧とそれに対応するパルス生成の情報を記憶する経年変化特性テーブルを記憶し、制御部が、内部にタイマーを備えて時間を計測し、外部基準信号のレベルが適正範囲外であるときに、メモリの経年変化特性テーブルから計測した時間に応じた制御電圧を検索し、検索した制御電圧に対応するパルス生成の情報を読み取り、パルス生成回路に出力する発振周波数制御回路としている。

[0029] 本発明は、上記発振周波数制御回路において、ループフィルタからの出力について電圧レベルを検出して最新の電圧情報を制御部に出力するレベル検出回路を設け、メモリには、規定の電圧情報とそれに対応するパルス生成の情報を記憶する代わりに、最新の電圧情報と、複数の電圧情報とそれに対応するパルス生成の情報を記憶する電圧・パルス生成の情報テーブルを記憶し、制御部が、レベル検出回路から入力された最新の電圧情報でメモリの最新の電圧情報を更新し、外部基準信号のレベルが適正範囲外であるときに、メモリの電圧・パルス生成の情報テーブルから最新の電圧情報に対応するパルス生成の情報を読み取り、パルス生成回路に出力する発振周波数制御回路としている。

[0030] 本発明は、上記発振周波数制御回路において、電圧制御発振器の代わりに、電圧制御機能付き水晶発振器、温度補償型の水晶発振器又は電圧制御機能付き恒温槽水晶発振器を用いた発振周波数制御回路としている。

[0031] 本発明は、上記発振周波数制御回路において、パルス発生回路が、パルス幅変調回路であり、制御部から出力されるパルス生成の情報が、パルス幅変調デューティサイクルの情報である発振周波数制御回路としている。

発明の効果

[0032] 本発明によれば、電圧制御発振器と、電圧制御発振器からの出力を分周する分周器と、外部基準信号と分周器からの出力の位相を比較し、位相差信号を出力する位相比較器と、位相比較器からの出力を平滑化して出力するループフィルタと、外部基準信号を検波する検波回路と、パルス生成の情報が入力されるとパルスを生成してループフィルタに出力するパルス生成回路と、規定の電圧情報とそれに対応するパルス生成の情報を記憶するメモリと、固定電圧を変更する調整を行う制御電圧可変回路と、位相比較器とループフィルタとの接続をオン／オフする選択スイッチと、検波回路で検出された外部基準信号のレベルが適正範囲内であれば選択スイッチをオンとし、レベルが適正範囲外であれば選択スイッチをオフとし、制御電圧可変回路からの制御電圧を選択する場合には当該制御電圧を選択する指示を、制御電圧を選択しない場合にはメモリに記憶されたパルス生成の情報を、パルス発生回路に出力する制御部とを有する発振周波数制御回路としているので、自己の周波数を補正し、高安定な基準信号の入力がなく、自走したときに、外部からの固定電圧を可変にした制御電圧で発振させるか、または、パルス生成回路からのパルスによる発振周波数を安定に保つようにするかのいずれかを設定できる効果がある。

[0033] 本発明によれば、電圧制御発振器と、電圧制御発振器からの出力を分周する分周器と、外部基準信号と分周器からの出力の位相を比較し、位相差信号を出力する位相比較器と、位相比較器からの出力を平滑化して出力するループフィルタと、外部基準信号を検波する検波回路と、パルス生成の情報が入

力されるとパルスを生成してループフィルタに出力するパルス生成回路と、規定の電圧情報とそれに対応するパルス生成の情報を記憶するメモリと、固定電圧を変更する調整を行う制御電圧可変回路と、制御電圧可変回路から入力される制御電圧を選択する制御信号が入力されると、当該制御電圧を選択してループフィルタに出力し、制御電圧の選択が為されていない場合に、位相比較器とループフィルタとの接続をオン／オフする選択スイッチと、制御電圧可変回路からの制御電圧を選択する指示が入力されると、当該制御電圧を優先的に選択する制御信号を選択スイッチに出力し、当該指示の入力が為されていない場合に、検波回路で検出された外部基準信号のレベルが適正範囲内であれば選択スイッチをオンとし、レベルが適正範囲外であれば選択スイッチをオフとしてメモリに記憶されたパルス生成の情報をパルス発生回路に出力する制御部とを有する発振周波数制御回路としているので、自己の周波数を補正し、高安定な基準信号の入力がなく、自走したときでも発振周波数を安定に保つことができ、更に、外部からの固定電圧を可変にした制御電圧で発振できる効果がある。

- [0034] 本発明によれば、電圧制御発振器と、電圧制御発振器からの出力を分周する分周器と、外部基準信号と前記分周器からの出力の位相を比較し、位相差信号を出力する位相比較器と、位相比較器からの出力を平滑化して出力するループフィルタと、外部基準信号を検波する検波回路と、パルス生成の情報が入力されるとパルスを生成してループフィルタに出力するパルス生成回路と、規定の電圧情報とそれに対応するパルス生成の情報を記憶するメモリと、固定電圧を変更する調整を行う制御電圧可変回路と、制御電圧可変回路から入力される制御電圧を選択する制御信号が入力されると、当該制御電圧を選択してループフィルタに出力し、外部基準信号を選択する制御信号が入力されると、位相比較器とループフィルタとの接続をオンし、パルス生成回路からのパルスを選択する制御信号が入力されると、位相比較器とループフィルタとの接続をオフする選択スイッチと、検波回路で検出された外部基準信号のレベルが適正範囲内であるときに外部基準信号を選択する制御信号を出

力して選択スイッチをオンとしている状態で、レベルが適正範囲外になると、予め設定された、制御電圧可変回路からの制御電圧を選択する制御信号又はパルス生成回路からのパルスを選択する制御信号のいずれかを選択スイッチに出力する制御部とを有する発振周波数制御回路としているので、自己の周波数を補正し、高安定な基準信号の入力がなく、自走したときに、予め、外部からの固定電圧を可変にした制御電圧で発振させるか、または、パルス生成回路からのパルスによる発振周波数を安定に保つようにするかのいずれかを設定できる効果がある。

[0035] 本発明によれば、制御電圧可変回路が、固定電圧を定期的に校正調整して選択スイッチに制御電圧を出力する上記発振周波数制御回路としているので、安定した固定電圧で電圧制御発振器を発振させることができる効果がある。

[0036] 本発明によれば、メモリに記憶された規定の電圧情報を、電圧制御発振器を制御可能な制御電圧において中心制御電圧とした上記発振周波数制御回路としているので、自己の周波数を補正し、発振周波数を安定に保つことができる効果がある。

[0037] 本発明によれば、メモリには、規定の電圧情報とそれに対応するパルス生成の情報を記憶する代わりに、経年変化の時間に対する適正な制御電圧とそれに対応するパルス生成の情報を記憶する経年変化特性テーブルを記憶し、制御部が、内部にタイマーを備えて時間を計測し、外部基準信号のレベルが適正範囲外であるときに、メモリの経年変化特性テーブルから計測した時間に応じた制御電圧を検索し、検索した制御電圧に対応するパルス生成の情報を読み取り、パルス生成回路に出力する上記発振周波数制御回路としているので、周波数補正を経年変化に対応させることができる効果がある。

[0038] 本発明によれば、ループフィルタからの出力について電圧レベルを検出して最新の電圧情報を制御部に出力するレベル検出回路を設け、メモリには、規定の電圧情報とそれに対応するパルス生成の情報を記憶する代わりに、最新の電圧情報と、複数の電圧情報とそれに対応するパルス生成の情報を記憶

する電圧・パルス生成の情報テーブルを記憶し、制御部が、レベル検出回路から入力された最新の電圧情報でメモリの最新の電圧情報を更新し、外部基準信号のレベルが適正範囲外であるときに、メモリの電圧・パルス生成の情報テーブルから最新の電圧情報に対応するパルス生成の情報を読み取り、パルス生成回路に出力する上記発振周波数制御回路としているので、基準信号の入力がなく、自走したときでもそれまでの状態を引き継いで発振周波数を安定に保つことができる効果がある。

図面の簡単な説明

[0039] [図1] 本発明の実施の形態に係る発振周波数制御回路の構成ブロック図である。

[図2] 電圧・PWMデューティサイクルテーブルの概略図である。

[図3] 校正時の特性を示す図である。

[図4] 経年変化・制御電圧特性を示す図である。

[図5] 経年変化特性テーブルの概略図である。

[図6] 一般的PLL回路の構成ブロック図である。

[図7] 電圧制御機能付き水晶発振器の制御電圧特性例を示す図である。

[図8] VCXOのフリーラン特性を示す図である。

[図9] 外部基準信号が高安定信号の場合の周波数特性を示す図である。

[図10] 外部基準信号が切れたときの周波数特性を示す図である。

符号の説明

- [0040]
- 1 1 フィルタ
 - 1 2 位相比較器
 - 1 3 選択スイッチ
 - 1 4 ループフィルタ
 - 1 5 電圧制御発振器
 - 1 6 分周器
 - 1 7 検波回路
 - 1 8 増幅器

- 20 CPU
- 21 メモリ
- 22 PWM回路
- 23 レベル検出回路
- 24 ADコンバータ
- 25 ADコンバータ
- 26 制御電圧可変回路
- 32 位相比較器
- 33 チャージポンプ
- 34 ループフィルタ
- 35 VCO
- 36 分周器

発明を実施するための最良の形態

[0041] [実施の形態の概要]

本発明の実施の形態について図面を参照しながら説明する。

本発明の実施の形態に係る発振周波数制御回路は、電圧制御発振器と、電圧制御発振器からの出力を分周する分周器と、外部基準信号と分周器からの出力の位相を比較し、位相差信号を出力する位相比較器と、位相比較器からの出力を平滑化して出力するループフィルタと、外部基準信号を検波する検波回路と、パルス生成の情報が入力されるとパルスを生成してループフィルタに出力するパルス生成回路と、規定の電圧情報とそれに対応するパルス生成の情報を記憶するメモリと、固定電圧を変更する調整を行う制御電圧可変回路と、制御電圧可変回路から入力される制御電圧を選択する制御信号が入力されると、当該制御電圧を選択してループフィルタに出力し、制御電圧の選択が為されていない場合に、位相比較器とループフィルタとの接続をオン／オフする選択スイッチと、制御電圧可変回路からの制御電圧を選択する指示が入力されると、当該制御電圧を優先的に選択する制御信号を選択スイッチに出力し、当該指示の入力が為されていない場合に、検波回路で検出され

た外部基準信号のレベルが適正範囲内であれば選択スイッチをオンとし、レベルが適正範囲外であれば選択スイッチをオフとしてメモリに記憶されたパルス生成の情報をパルス発生回路に出力する制御部とを有するものであり、自己の周波数を補正し、高安定な基準信号の入力がなく、自走したときでも発振周波数を安定に保つことができ、更に、外部からの固定電圧を可変にした制御電圧で発振できるものである。

[0042] また、本発明の実施の形態に係る発振周波数制御回路は、電圧制御発振器と、電圧制御発振器からの出力を分周する分周器と、外部基準信号と前記分周器からの出力の位相を比較し、位相差信号を出力する位相比較器と、位相比較器からの出力を平滑化して出力するループフィルタと、外部基準信号を検波する検波回路と、パルス生成の情報が入力されるとパルスを生成してループフィルタに出力するパルス生成回路と、規定の電圧情報とそれに対応するパルス生成の情報を記憶するメモリと、固定電圧を変更する調整を行う制御電圧可変回路と、制御電圧可変回路から入力される制御電圧を選択する制御信号が入力されると、当該制御電圧を選択してループフィルタに出力し、外部基準信号を選択する制御信号が入力されると、位相比較器とループフィルタとの接続をオンし、パルス生成回路からのパルスを選択する制御信号が入力されると、位相比較器とループフィルタとの接続をオフする選択スイッチと、検波回路で検出された外部基準信号のレベルが適正範囲内であるときに外部基準信号を選択する制御信号を出力して選択スイッチをオンとしている状態で、レベルが適正範囲外になると、予め設定された、制御電圧可変回路からの制御電圧を選択する制御信号又はパルス生成回路からのパルスを選択する制御信号のいずれかを選択スイッチに出力する制御部とを有する発振周波数制御回路としているので、自己の周波数を補正し、高安定な基準信号の入力がなく、自走したときに、予め、外部からの固定電圧を可変にした制御電圧で発振させるか、または、パルス生成回路からのパルスによる発振周波数を安定に保つようにするかのいずれかを設定できる効果がある。

[0043] また、本発明の実施の形態に係る発振周波数制御回路は、上記発振周波数

制御回路において、メモリに経年変化の時間に対する適正な制御電圧とそれに対応するパルス生成の情報を記憶する経年変化特性テーブルを記憶し、制御部が、内部にタイマーを備えて時間を計測し、外部基準信号のレベルが適正範囲外であるときに、メモリの経年変化特性テーブルから計測した時間に応じた制御電圧を検索し、検索した制御電圧に対応するパルス生成の情報を読み取り、パルス生成回路に出力するものであり、周波数補正を経年変化に対応させることができるものである。

[0044] また、本発明の実施の形態に係る発振周波数制御回路は、上記発振周波数制御回路において、ループフィルタからの出力について電圧レベルを検出して最新の電圧情報を制御部に出力するレベル検出回路を設け、メモリに最新の電圧情報と、複数の電圧情報とそれに対応するパルス生成の情報を記憶する電圧・パルス生成の情報テーブルを記憶し、制御部が、レベル検出回路から入力された最新の電圧情報でメモリの最新の電圧情報を更新し、外部基準信号のレベルが適正範囲外であるときに、メモリの電圧・パルス生成の情報テーブルから最新の電圧情報に対応するパルス生成の情報を読み取り、パルス生成回路に出力するものであり、基準信号の入力がなく、自走したときでもそれまでの状態を引き継いで発振周波数を安定に保つことができるものである。

[0045] [発振周波数制御回路：図１]

本発明の実施の形態に係る発振周波数制御回路について図１を参照しながら説明する。図１は、本発明の実施の形態に係る発振周波数制御回路の構成ブロック図である。

本発明の実施の形態に係る発振周波数制御回路（本回路）は、図１に示すように、フィルタ１１と、位相比較器１２と、選択スイッチ１３と、ループフィルタ１４と、電圧制御発振器１５と、分周器１６と、検波回路１７と、増幅器１８と、ＣＰＵ（Central Processing Unit）２０と、メモリ２１と、PWM（Pulse Width Modulation）回路２２と、レベル検出回路２３と、ＡＤコンバータ２４と、ＡＤコンバータ２５と、制御電圧可変回路２６とから

構成されている。

[0046] [本回路の各部]

フィルタ 11 は、例えば、10MHz の外部基準信号を帯域制限するフィルタである。基本構成として必須ではないが、外部基準信号の高周波成分を除去する働きがある。

位相比較器 12 は、フィルタ 11 から出力された基準信号と、分周器 16 で分周された信号の位相を比較し、位相差信号を出力する。

尚、位相比較器 12 は、外部基準信号と分周信号との位相を比較して同期（ロック）を検出した場合は、CPU 20 にロック検出信号を出力し、非同期（アンロック）を検出した場合は、CPU 20 にアンロック検出信号を出力する。

[0047] 選択スイッチ 13 は、CPU 20 からの切替指示（切替制御信号）により、制御電圧可変回路 26 からの固定電圧をループフィルタ 14 に供給する固定電圧モード（A）と、位相比較器 12 とループフィルタ 14 との接続をオンして外部基準信号を供給する外部基準信号モード（B）と、位相比較器 12 とループフィルタ 14 との接続をオフして PWM 回路 22 からの電圧を供給する内部電圧モード（C）を切り替える。

[0048] つまり、選択スイッチ 13 は、CPU 20 から固定電圧モード（A）、外部基準信号モード（B）、若しくは内部電圧モード（C）のいずれかを選択する切替制御信号が入力される。

CPU 20 は、通常、外部基準信号モード（B）となるよう切替制御信号を出力し、外部基準信号が入力されなくなった異常状態で内部電圧モード（C）を選択する切替制御信号を出力する。

[0049] そして、図示していないが、入力部から CPU 20 に固定電圧モード（A）選択の指示が入力されると、CPU 20 は、優先的に固定電圧モード（A）に選択する切替制御信号を出力する。即ち、選択スイッチ 13 は、固定電圧モード（A）の切替制御信号が入力されていない限り、外部基準信号モード（B）で動作し、異常状態で内部電圧モード（C）に切り替わるようにな

っている。

- [0050] ループフィルタ 14 は、位相比較器 12 からの出力電圧を平滑化するフィルタであり、つまり、電圧制御発振器 15 に入力される制御電圧を平滑化するものである。

電圧制御発振器 15 は、ループフィルタ 14 からの制御電圧によって周波数を変更して希望する周波数（内部基準信号）を発振出力する。

尚、電圧制御発振器（VCO）の代わりに、電圧制御付水晶発振器（VCXO）、VCTCXO、電圧制御機能付恒温槽水晶発振器（VC-OCXO）等を用いてもよい。

- [0051] 分周器 16 は、電圧制御発振器 15 から出力される内部基準信号を $1/N$ に分周する。

検波回路 17 は、フィルタ 11 からの出力信号のレベル検波を行う。

増幅器 18 は、検波回路 17 で検波された信号を増幅する。

- [0052] CPU20 は、入力部からの固定電圧モード（A）選択の指示が入力されると、選択スイッチ 13 に対して固定電圧モード（A）選択の切替制御信号を出力し、当該固定電圧モード（A）選択の指示が入力部から入力されていなければ、以下に説明する正常状態と判定した場合には、外部基準信号モード（B）選択の切替制御信号を出力し、更に、以下に説明する異常状態と判定した場合には、内部電圧モード（C）選択の切替制御信号を出力する。

- [0053] CPU20 は、ADコンバータ 25 からの制御電圧情報を入力し、最新の制御電圧情報としてメモリ 21 に記憶する。具体的には、CPU20 は、ADコンバータ 25 から制御電圧情報が常時入力され、前回入力した制御電圧情報と変更がなければメモリ 21 の更新は行わず、変更があればメモリ 21 の制御電圧情報を更新する。

- [0054] また、CPU20 は、ADコンバータ 24 からの外部基準信号（外部 REF）の検出されたレベルを入力し、メモリ 21 に記憶された適正範囲（第 1 のしきい値から第 2 のしきい値の間の範囲）内であるか否かを判定し、適正範囲内であれば選択スイッチ 13 へはオンの指示（位相比較器 12 とループ

フィルタ 14 を接続する指示) を出力し、適正範囲外であれば選択スイッチ 13 へはオフの指示 (位相比較器 12 とループフィルタ 14 を切断する指示) を出力する。

[0055] また、CPU 20 は、外部 REF の検出レベルが適正範囲外であれば、メモリ 21 内に格納された電圧・PWM デューティサイクルテーブルを参照し、現在 (最新) の制御電圧の電圧情報に基づく PWM デューティサイクルに従ったパルス幅の情報を PWM 回路 22 に出力する。

[0056] メモリ 21 は、最新の制御電圧情報、外部 REF の検出レベルに対して適正範囲の基準となる第 1 のしきい値及び第 2 のしきい値、更に、電圧・PWM デューティサイクルテーブルが記憶されている。

制御電圧情報は、レベル検出回路 23 で検出され、変更となった場合にメモリ 21 で更新され、最新の値として保持される。

[0057] [電圧・PWM デューティサイクルテーブル: 図 2]

ここで、電圧・PWM デューティサイクルテーブルについて図 2 を参照しながら説明する。図 2 は、電圧・PWM デューティサイクルテーブルの概略図である。

電圧・PWM デューティサイクルテーブルは、図 2 に示すように、電圧情報に対してパルス幅を特定するための PWM デューティサイクル (%) が記憶されている。

[0058] ここで、電圧情報は、ループフィルタ 14 をからの制御電圧の値 (制御電圧情報) を維持するために、PWM 回路 22 からループフィルタ 14 に出力されるパルスの PWM デューティサイクルを予め定めたものとなっている。

従って、レベル検出回路 23 で検出された制御電圧情報に対応する PWM デューティサイクルを電圧・PWM デューティサイクルテーブルから読み取り、そのサイクルに応じたパルスを PWM 回路 22 がループフィルタ 14 に出力すると、ループフィルタ 14 から以前と同様の制御電圧が電圧制御発振器 15 に出力される。

[0059] PWM回路22は、CPU20から入力されるPWMデューティサイクルのデータをパルス幅変調して所望のパルス信号をループフィルタ14に出力する。CPU20から電圧情報のデータが出力されるのであれば、PWM回路に代えてDA (Digital/Analog) コンバータを用いることができる。

[0060] レベル検出回路23は、ループフィルタ14から出力される直流電圧を検出して制御電圧情報としてADコンバータ25に出力する。

ADコンバータ24は、増幅器18から出力された外部REFの検出レベルをアナログ信号からデジタル信号に変換してCPU20に出力する。

ADコンバータ25は、レベル検出回路23からの制御電圧情報をアナログ信号からデジタル信号に変換してCPU20に入力する。

[0061] 尚、本回路において、外部基準信号の入力異常については、検波回路17及び増幅器18から出力される外部REFの検出レベルによってCPU20は、認識できるため、位相比較器12からのアンロック検出信号は用いていない。

[0062] [本回路の動作]

本回路における動作について説明する。

本回路は、入力部から固定電圧モード(A)選択の指示が入力されると、CPU20が、選択スイッチ13に固定電圧モード(A)選択の切替制御信号を出力して、制御電圧可変回路26からの電圧をループフィルタ14に出力する。電圧制御発振器15は、制御電圧可変回路26からの電圧を、ループフィルタ14を介して入力し、入力された電圧によって発振動作を行う。

[0063] また、入力部から固定電圧モード(A)選択の指示が入力されていなければ、CPU20が、正常時、選択スイッチ13に外部基準信号モード(B)選択の切替制御信号を出力して、選択スイッチ13は位相比較器12とループフィルタ14とが接続された状態となっている。

[0064] そして、位相比較器12は、外部基準信号と分周器16からの信号の位相差の信号を、ループフィルタ14を介して電圧制御発振器15に出力し、電圧制御発振器15における発振周波数を制御している。この際、レベル検出

回路 23 は、最新の制御電圧を検出し、ADコンバータ 25 を介して CPU 20 に出力し、CPU 20 は、制御電圧情報に変更があれば、メモリ 21 で最新の制御電圧情報を更新する。

[0065] そして、本回路において、外部基準信号は、検波回路 17 で検波され、増幅器 18 で増幅されて、外部 REF のレベルが検出され、ADコンバータ 24 を介して CPU 20 に出力される。

[0066] CPU 20 では、入力された外部 REF の検出レベルが適正範囲内であるか否かを判定する。具体的には、メモリ 21 に記憶された適正範囲を示す第 1 のしきい値と第 2 のしきい値との間に外部 REF の検出レベルの値があれば適正範囲内と判定し、第 1 のしきい値と第 2 のしきい値との間に外部 REF の検出レベルの値がなければ適正範囲外と判定する。

[0067] 判定結果、CPU 20 は、適正範囲内であれば、正常状態として選択スイッチ 13 を位相比較器 12 とループフィルタ 14 とを接続にするオン状態（外部基準信号モード）に維持し、適正範囲外であれば、異常状態として選択スイッチ 13 を位相比較器 12 とループフィルタ 14 とを非接続にするオフ状態（内部電圧モード）として、位相比較器 12 とループフィルタ 14 との接続を断とする。

[0068] 更に、異常状態では、CPU 20 は、メモリ 21 に記憶された最新の制御電圧情報を読み取り、その電圧情報に対応する PWM デューティサイクルを電圧・PWM デューティサイクルテーブルから読み取り、その PWM デューティサイクルとなるパルスを形成するための情報（データ）を PWM 回路 22 に出力する。

PWM 回路 22 は、CPU 20 から入力されたパルス形成の情報に従ってパルスを生成し、ループフィルタ 14 を介して電圧制御発振器 15 に制御電圧を出力する。

[0069] これにより、外部基準信号に異常が発生した場合、特に、外部基準信号の入力がなくなった場合（自走の場合）等に、CPU 20 は、検波回路 17、増幅器 18 からの出力により直ちに異常を検出し、位相比較器 12 の出力を

切断して、これまで電圧制御発振器 15 を制御していた制御電圧と同様のパルスを PWM 回路 22 から出力するものである。

つまり、位相比較器 12 の出力に代えて、PWM 回路 22 からの出力を用いることで、これまでの状態を引き継いで電圧制御発振器 15 での周波数発振を適正化できるものである。

[0070] また、本回路によれば、外部基準信号が得られる基地局、外部基準信号が得られない基地局の双方に、当該回路一台で対応できる。

そして、外部基準信号が得られる基地局の場合には、自己の周波数を補正し、高安定な基準信号の入力がなく、自走したときでも発振周波数を安定に保つことができ、更に、外部からの固定電圧を可変にした制御電圧で発振できる。

[0071] [本回路における別のモード選択]

尚、上記本回路では、CPU 20 は、固定電圧モード (A) を優先的に選択するようにしているが、正常状態で外部基準信号モード (B) で選択しておき、異常状態になった場合に、予め、内部電圧モード (C) 又は固定電圧モード (A) のいずれかを選択するかを CPU 20 若しくはメモリ 21 に設定しておき、異常状態で設定したいいずれかのモードを選択する切替制御信号を出力するようにしてもよい。

[0072] また、上記別のモード選択を実施した本回路では、自己の周波数を補正し、高安定な基準信号の入力がなく、自走したときに、予め、外部からの固定電圧を可変にした制御電圧で発振させるか、または、パルス生成回路からのパルスによる発振周波数を安定に保つようにするかのいずれかを設定できる。

[0073] [別の実施の形態 1]

尚、上記例では、PWM 回路 22 から出力されるパルスを、レベル検出回路 23 で検出された最新の制御電圧情報に基づいて生成するようにしたが、デフォルトの電圧情報を記憶し、そのデフォルトの電圧情報に対応する PWM デューティサイクルに基づいてパルス生成の情報を出力するようにして

もよい。

- [0074] 具体的には、メモリ 21 には、電圧制御発振器 15 に対する制御電圧において、その適正範囲内の中心電圧値を記憶しておき、それに対応する PWM デューティサイクルは、50%となるから、電圧制御発振器 14 の制御電圧が 0 ~ 3.3 V で動作するのであれば、3.3 / 2 V の制御電圧に設定する。尚、中心電圧値以外の任意の電圧値を記憶して対応する制御電圧を設定してもよい。

デフォルトの電圧情報を用いれば、レベル検出回路 23 及び AD コンバータ 25 の部品、メモリ 21 内の電圧・PMW デューティサイクルテーブルを不要とすることができる。

- [0075] 本回路における校正について図 3 を参照しながら説明する。図 3 は、校正時の特性を示す図である。

本回路において、図 3 に示すように、外部基準信号が入力されない状態で時間が経過すると、周波数偏差が徐々に上昇又は下降する。図では上昇を示している。そこで、特定のタイミングで、適正な基準信号を入力して、その後、基準信号の入力を停止すると、自走制御により周波数偏差が中心周波数に戻ってきて校正が為されるようになっている。

- [0076] この校正では、電圧制御発振器 15 に対する制御電圧の制御範囲内における中心電圧値を用いて周波数制御を行っている。

本回路によれば、校正時に特別な回路を接続しなくても、校正作業を行うことができる効果がある。

- [0077] [経年変化の電圧特性：図 4]

次に、本回路における経年変化に対する最適な制御電圧特性例を図 4 に示す。図 4 は、経年変化・制御電圧特性を示す図である。

図 4 に示すように、本回路においては、時間の経過と共に、最適な制御電圧が小さくなっている（但し、周波数偏差として上昇する場合を示している）。

- [0078] [別の実施の形態 2]

更に、別の実施の形態（別の実施の形態 2）として、本回路を上記経年変化に対応した構成とするものである。この別の実施の形態 2 について図 5 を参照しながら説明する。図 5 は、経年変化特性テーブルの概略図である。

本回路において、メモリ 21 には、電圧・PWM デューティサイクルテーブルが格納されているが、そのテーブルの代わりに、図 5 の経年変化特性テーブルを利用するものである。

[0079] [経年変化特性テーブル：図 5]

図 5 の経年変化特性テーブルは、電圧情報と PWM デューティサイクルの関係に、更に時間のファクタを設けている。

具体的には、時間の経過に対して適正な電圧情報が設定され、更にその電圧情報に対応して PWM デューティサイクルが設定されてテーブルとして記憶されている。

CPU 20 は、内部にタイマーを備え、時間の経過を測定している。

[0080] 別の実施の形態 2 では、外部基準信号の検出レベルが適正範囲外であるときに、CPU 20 が、選択スイッチ 13 をオフにし、内部のタイマーで測定している時間を参照し、当該時間に対応する電圧情報から PWM デューティサイクルを検索し、当該 PWM デューティサイクルに従ったパルスを生成するための情報を PWM 回路 22 に出力し、PWM 回路 22 で所望のパルスを生成してループフィルタ 14 を介して電圧制御発振器 15 に制御電圧を出力するものである。

[0081] これにより、別の実施の形態 2 では、CPU 20 が、外部基準信号の異常時に経年変化に対応した電圧情報、それに応じた PWM デューティサイクルに従って生成したパルスにより発振周波数の補正を行うようにしているので、周波数制御回路を経年変化に対応させることができる効果がある。

[0082] また、別の実施の形態 2 における回路構成において、校正を行うようにしてもよい。

この場合、CPU 20 は時間経過を計測しており、校正作業のときは経年変化特性テーブルを参照して時間経過に対応した電圧値を用いて周波数制御

を行う。これにより、校正作業を周波数制御回路の経年変化に対応させることができる効果がある。

産業上の利用可能性

[0083] 本発明は、自己の周波数を補正し、高安定な基準信号の入力がなく、自走したときでも発振周波数を安定に保つことができ、更に外部からの固定電圧を可変にした制御電圧で発振できるようにした発振周波数制御回路に好適である。

請求の範囲

- [1] 電圧制御発振器と、前記電圧制御発振器からの出力を分周する分周器と、外部基準信号と前記分周器からの出力の位相を比較し、位相差信号を出力する位相比較器と、前記位相比較器からの出力を平滑化して出力するループフィルタと、外部基準信号を検波する検波回路と、パルス生成の情報が入力されるとパルスを生成して前記ループフィルタに出力するパルス生成回路と、規定の電圧情報とそれに対応するパルス生成の情報を記憶するメモリと、固定電圧を変更する調整を行う制御電圧可変回路と、前記位相比較器と前記ループフィルタとの接続をオン／オフする選択スイッチと、前記検波回路で検出された外部基準信号のレベルが適正範囲内であれば前記選択スイッチをオンとし、前記レベルが適正範囲外であれば前記選択スイッチをオフとし、前記制御電圧可変回路からの制御電圧を選択する場合には当該制御電圧を選択する指示を、前記制御電圧を選択しない場合には前記メモリに記憶されたパルス生成の情報を前記パルス発生回路に出力する制御部とを有する発振周波数制御回路。
- [2] 選択スイッチは、制御電圧可変回路から入力される制御電圧を選択する制御信号が入力されると、位相比較器とループフィルタとの接続をオフにして当該制御電圧を選択して前記ループフィルタに出力し、前記制御電圧の選択が為されていない場合に、前記位相比較器と前記ループフィルタとの接続をオンにし、
- 制御部は、前記制御電圧可変回路からの制御電圧を選択する指示が入力されると、当該制御電圧を優先的に選択する制御信号を前記選択スイッチに出力し、前記指示の入力が為されていない場合に、前記検波回路で検出された外部基準信号のレベルが適正範囲内であれば前記選択スイッチをオンとし、前記レベルが適正範囲外であれば前記選択スイッチをオフとして前記メモリに記憶されたパルス生成の情報を前記パルス発生回路に出力する請求項 1 記載の発振周波数制御回路。
- [3] 選択スイッチは、制御電圧可変回路から入力される制御電圧を選択する制

御信号が入力されると、位相比較器とループフィルタとの接続をオフにして当該制御電圧を選択して前記ループフィルタに出力し、外部基準信号を選択する制御信号が入力されると、前記位相比較器と前記ループフィルタとの接続をオンし、パルス生成回路からのパルスを選択する制御信号が入力されると、前記位相比較器と前記ループフィルタとの接続をオフし、

制御部は、検波回路で検出された外部基準信号のレベルが適正範囲内であるときに前記外部基準信号を選択する制御信号を出力して前記選択スイッチをオンとし、当該オンの状態で、前記レベルが適正範囲外になると、予め設定された、前記制御電圧可変回路からの制御電圧を選択する制御信号又は前記パルス生成回路からのパルスを選択する制御信号のいずれかを前記選択スイッチに出力する請求項 1 記載の発振周波数制御回路。

[4] 制御電圧可変回路は、固定電圧を定期的に校正調整して選択スイッチに制御電圧を出力する請求項 1 乃至 3 のいずれか記載の発振周波数制御回路。

[5] メモリに記憶された規定の電圧情報を、電圧制御発振器を制御可能な制御電圧において中心制御電圧とした請求項 1 乃至 4 のいずれか記載の発振周波数制御回路。

[6] メモリには、規定の電圧情報とそれに対応するパルス生成の情報を記憶する代わりに、経年変化の時間に対する適正な制御電圧とそれに対応するパルス生成の情報を記憶する経年変化特性テーブルを記憶し、

制御部は、内部にタイマーを備えて時間を計測し、外部基準信号のレベルが適正範囲外であるときに、前記メモリの経年変化特性テーブルから計測した時間に応じた制御電圧を検索し、検索した制御電圧に対応するパルス生成の情報を読み取り、パルス生成回路に出力する請求項 1 乃至 4 のいずれか記載の発振周波数制御回路。

[7] ループフィルタからの出力について電圧レベルを検出して最新の電圧情報を制御部に出力するレベル検出回路を設け、

メモリには、規定の電圧情報とそれに対応するパルス生成の情報を記憶する代わりに、最新の電圧情報と、複数の電圧情報とそれに対応するパルス生

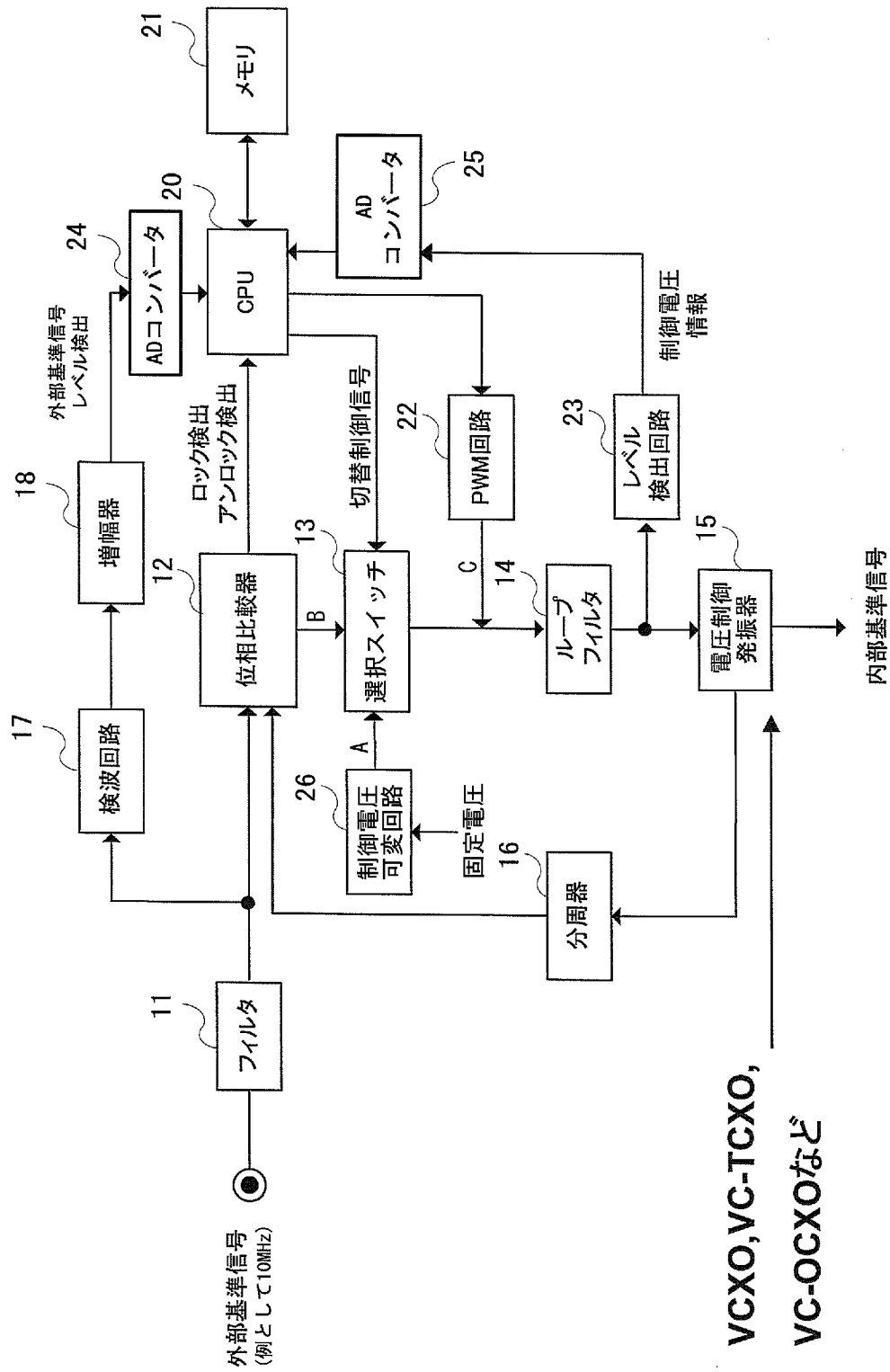
成の情報を記憶する電圧・パルス生成の情報テーブルを記憶し、

制御部は、前記レベル検出回路から入力された最新の電圧情報で前記メモリの最新の電圧情報を更新し、外部基準信号のレベルが適正範囲外であるときに、前記メモリの電圧・パルス生成の情報テーブルから最新の電圧情報に対応するパルス生成の情報を読み取り、パルス生成回路に出力する請求項 1 乃至 4 のいずれか記載の発振周波数制御回路。

[8] 電圧制御発振器の代わりに、電圧制御機能付き水晶発振器、温度補償型の水晶発振器又は電圧制御機能付き恒温槽水晶発振器を用いた請求項 1 乃至 7 のいずれか記載の発振周波数制御回路。

[9] パルス発生回路は、パルス幅変調回路であり、制御部から出力されるパルス生成の情報は、パルス幅変調デューティーサイクルの情報である請求項 1 乃至 8 のいずれか記載の発振周波数制御回路。

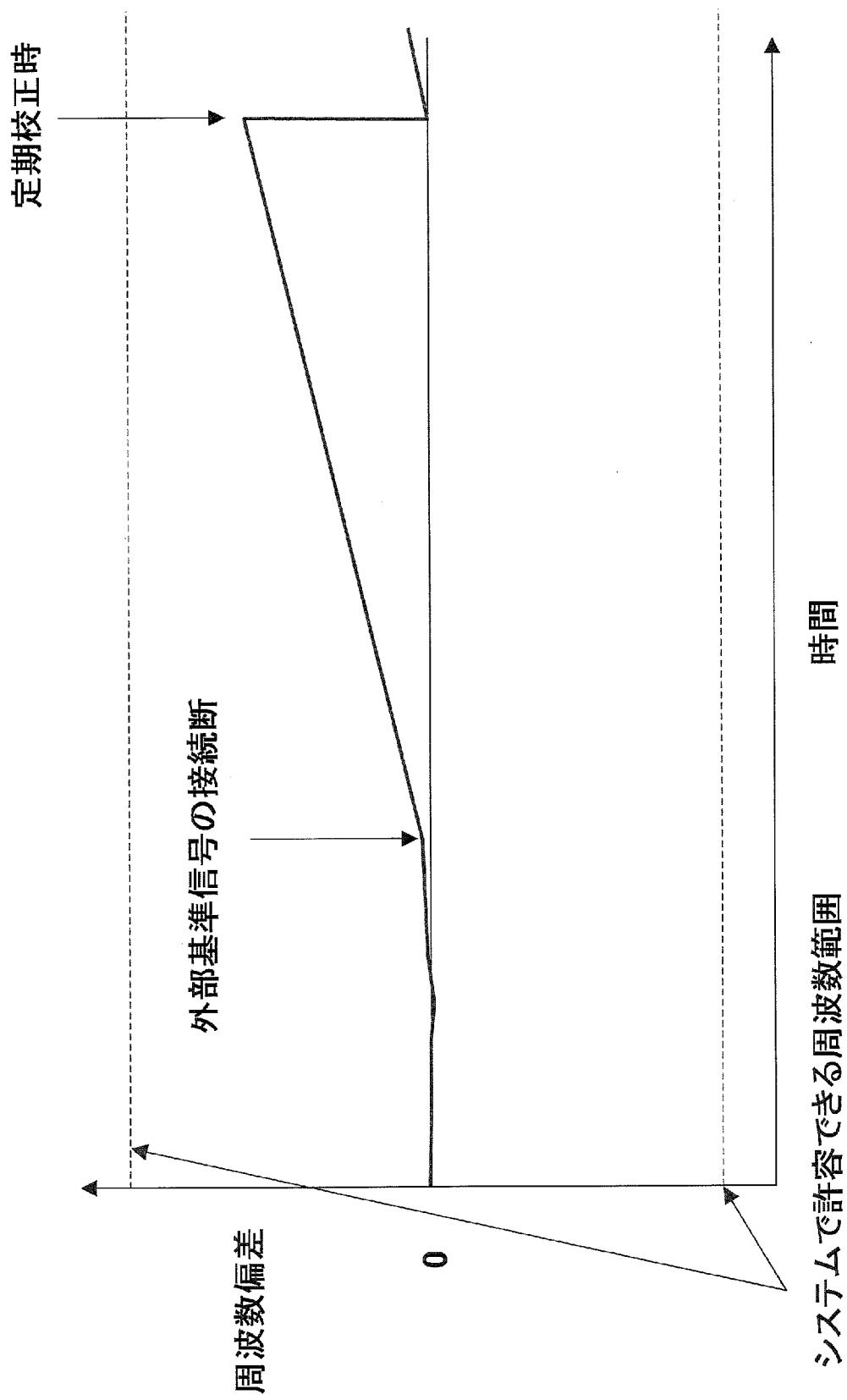
[図1]



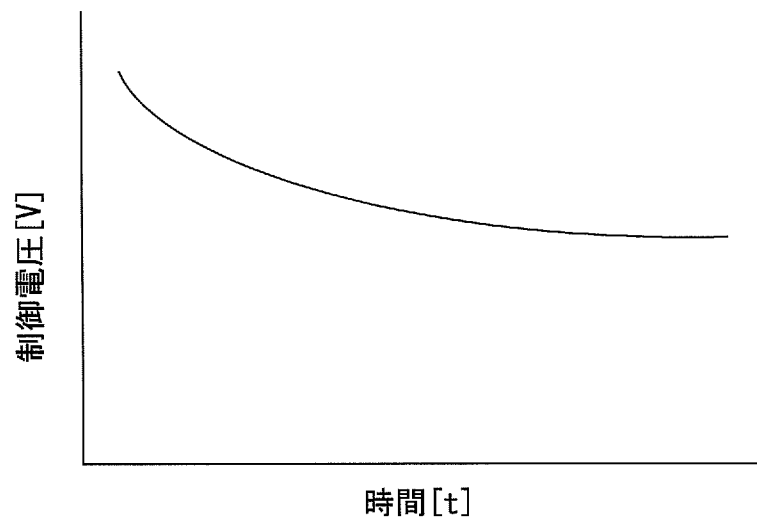
[図2]

電圧情報	PWMデューティサイクル (%)
0	0%
・ ・ ・	・ ・ ・
1.65	50%
・ ・ ・	・ ・ ・
3.5	100%

[図3]



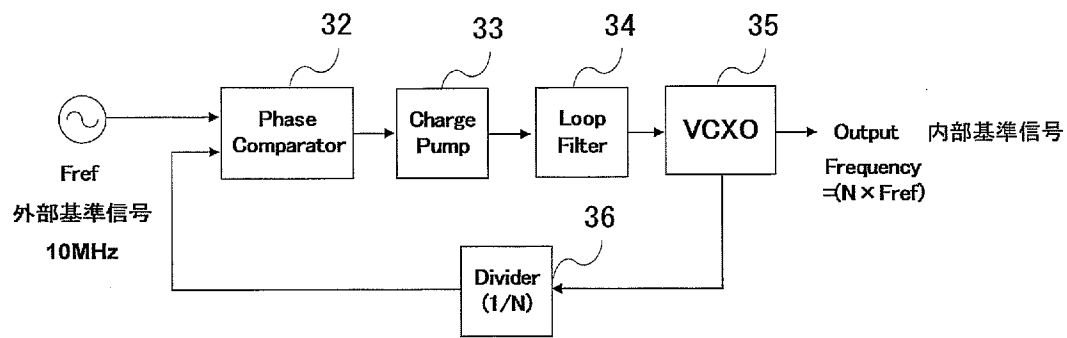
[図4]



[図5]

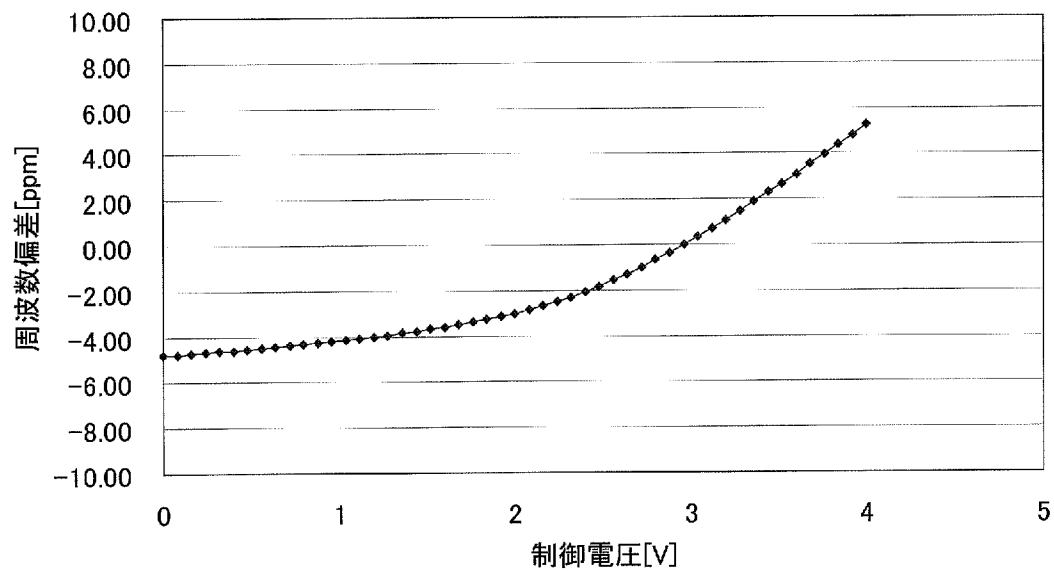
時間	電圧情報	PWMデューティサイクル (%)
t_1	v_1	DutyC ₁
⋮	⋮	⋮
t_n	v_n	DutyC _n

[図6]

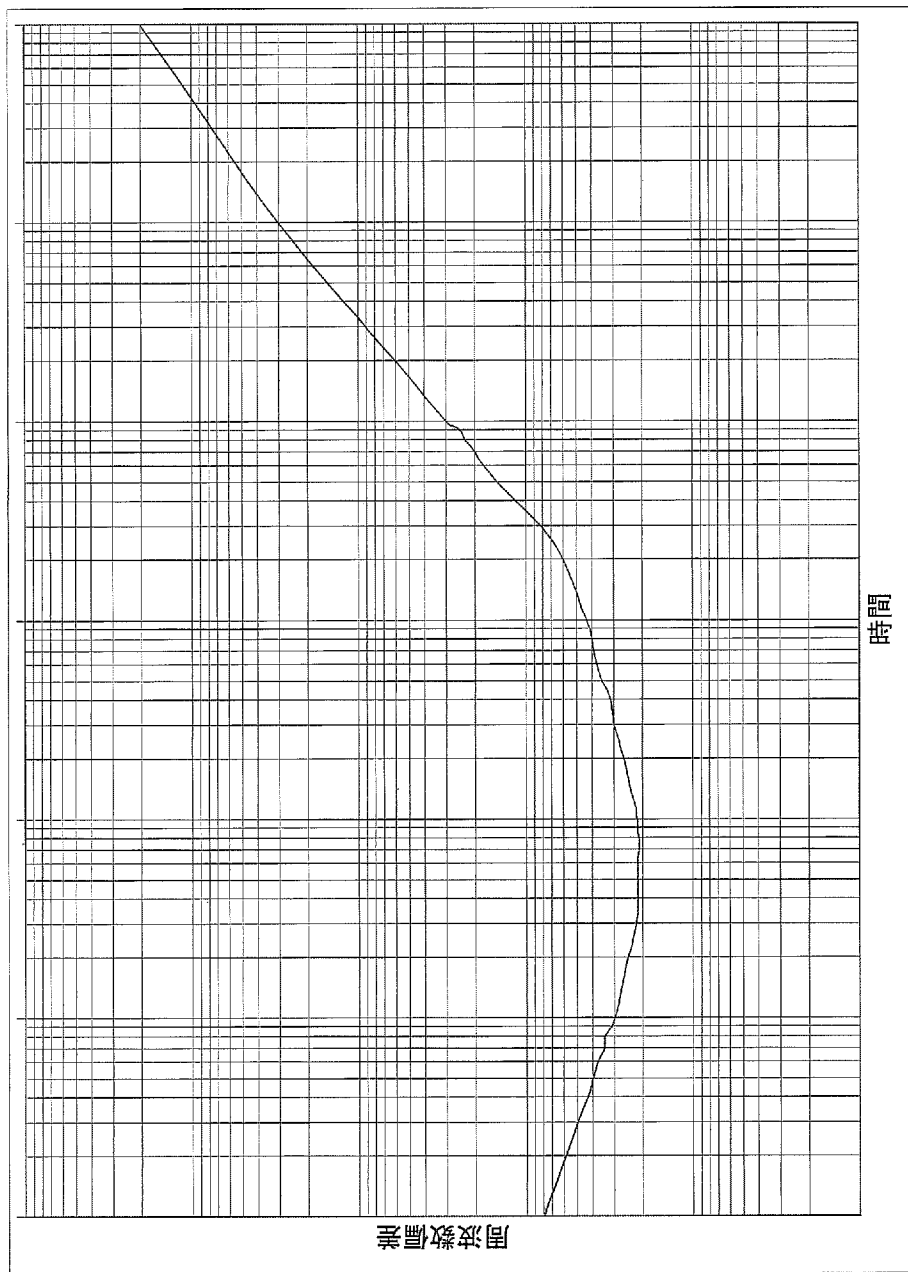


[図7]

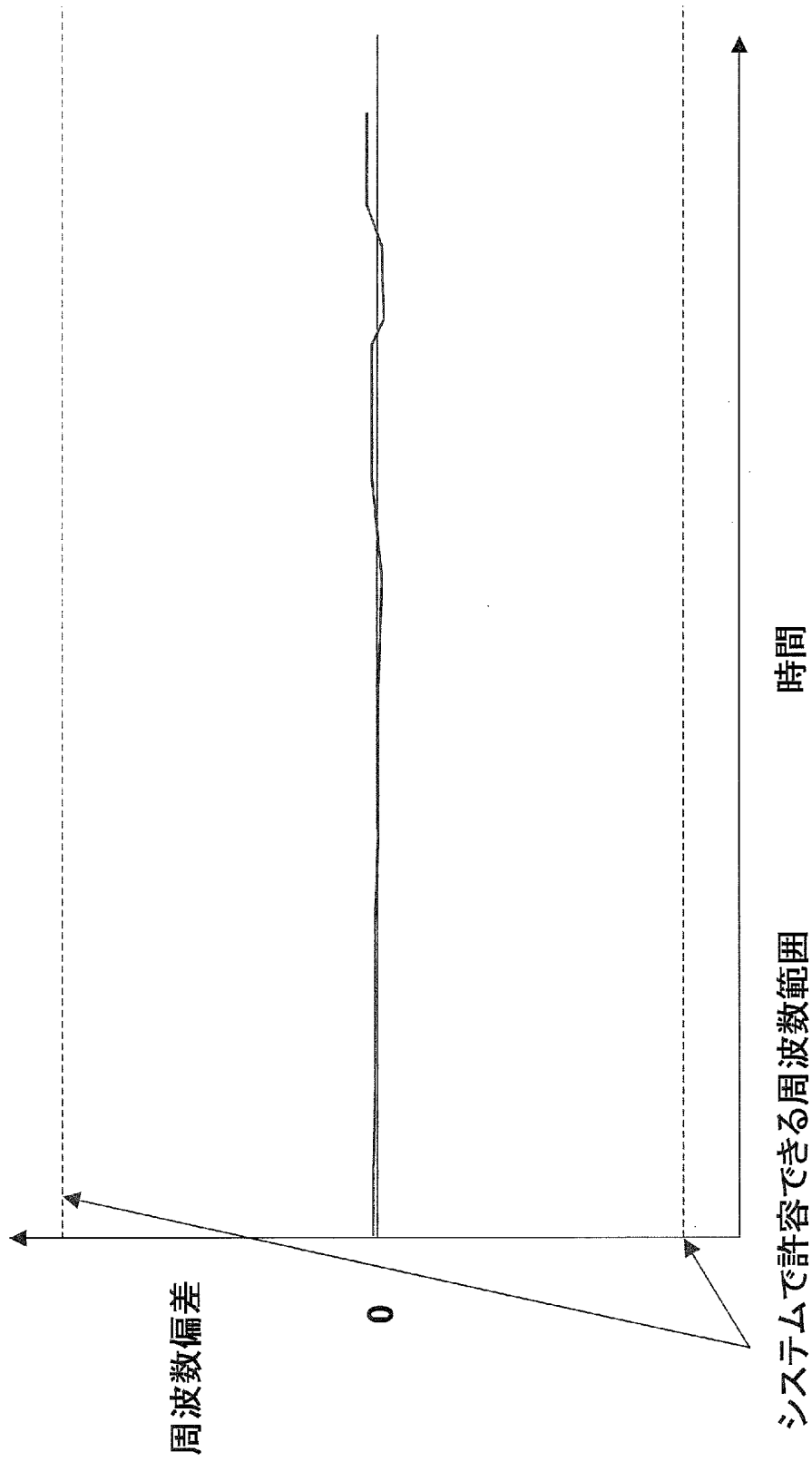
電圧制御付き(水晶)発振器制御電圧特性例



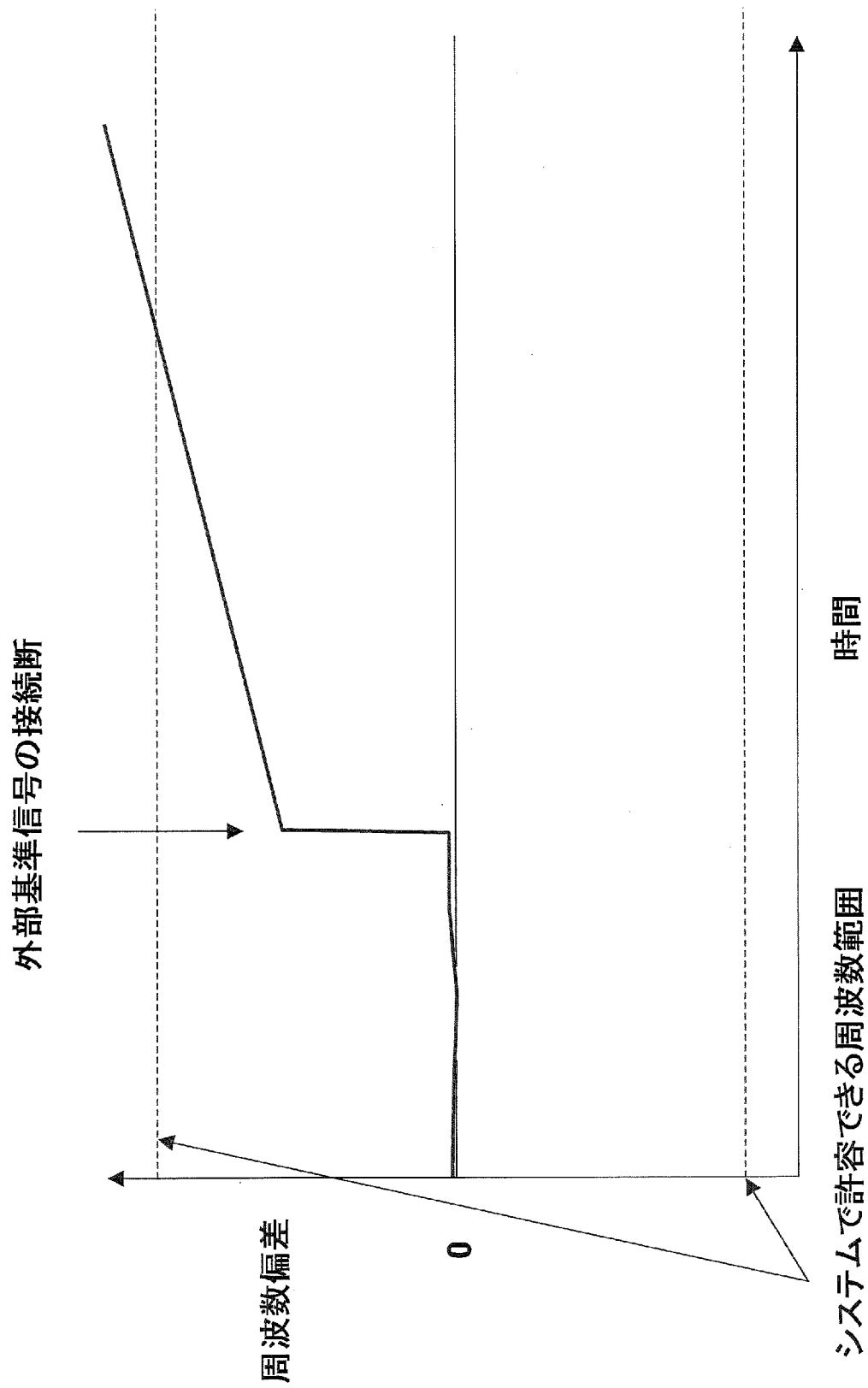
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/003108

A. CLASSIFICATION OF SUBJECT MATTER

H03L7/093(2006.01)i, H03L7/095(2006.01)i, H03L7/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03L7/093, H03L7/095, H03L7/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-121171 A (Matsushita Electric Industrial Co., Ltd.), 11 May, 2006 (11.05.06), Par. Nos. [0022] to [0030]; Fig. 1 (Family: none)	1, 2, 5-9 3, 4
Y A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 93710/1990 (Laid-open No. 50935/1992) (Yamaha Corp.), 28 April, 1992 (28.04.92), Full text; all drawings (Family: none)	1, 2, 5-9 3, 4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 January, 2009 (13.01.09)

Date of mailing of the international search report
27 January, 2009 (27.01.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/003108

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-369927 A (Hitachi, Ltd.), 22 December, 1992 (22.12.92), Par. Nos. [0010] to [0012] (Family: none)	5
Y	JP 4-343524 A (Casio Computer Co., Ltd.), 30 November, 1992 (30.11.92), Fig. 7; Par. No. [0031] (Family: none)	9
Y	JP 1-307317 A (Mitsubishi Electric Corp.), 12 December, 1989 (12.12.89), Page 3, upper right column, lines 15 to 20; Fig. 1 (Family: none)	9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03L7/093(2006.01)i, H03L7/095(2006.01)i, H03L7/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03L7/093, H03L7/095, H03L7/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2006-121171 A（松下電器産業株式会社）2006.05.11, 段落【0022】－【0030】、図1（ファミリーなし）	1, 2, 5-9 3, 4
Y A	日本国実用新案登録出願 2-93710 号（日本国実用新案登録出願公開 4-50935 号）の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（ヤマハ株式会社）1992.04.28, 全文、全図（ファミリーなし）	1, 2, 5-9 3, 4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 1 . 2 0 0 9

国際調査報告の発送日

2 7 . 0 1 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

畑中 博幸

5 W

9 1 8 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 4-369927 A (株式会社日立製作所) 1992. 12. 22, 段落【0 0 1 0】 －【0 0 1 2】 (ファミリーなし)	5
Y	JP 4-343524 A (カシオ計算機株式会社) 1992. 11. 30, 図7、段落【0 0 3 1】 (ファミリーなし)	9
Y	JP 1-307317 A (三菱電機株式会社) 1989. 12. 12, 3 ページ右上欄1 5－2 0 行、第1図 (ファミリーなし)	9