

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月24日(24.12.2020)



(10) 国際公開番号

WO 2020/255805 A1

(51) 国際特許分類:

H01L 21/768 (2006.01) H01L 21/336 (2006.01)
H01L 23/532 (2006.01) H01L 29/78 (2006.01)
H01L 29/417 (2006.01) H01L 29/786 (2006.01)

(21) 国際出願番号: PCT/JP2020/022738

(22) 国際出願日: 2020年6月9日(09.06.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-114339 2019年6月20日(20.06.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1号 Kanagawa (JP).

(72) 発明者: 二木 貴史 (FUTATSUKI, Takashi); 〒8691102 熊本県菊池郡菊陽町大字原水400番地1 ソニーセミコンダクタマニュフ

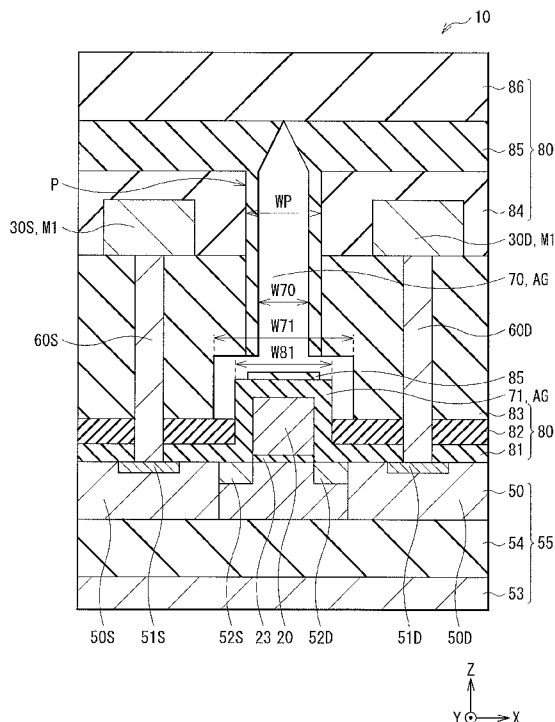
ァクチャリング株式会社内 Kumamoto (JP). 永井 憲次(NAGAI, Kenji); 〒8691102 熊本県菊池郡菊陽町大字原水400番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 上入佐 卓(KAMIRISA, Takashi); 〒8691102 熊本県菊池郡菊陽町大字原水400番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURE OF SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、及び半導体装置の製造方法



(57) Abstract: A semiconductor device according to an embodiment of the present disclosure is provided with: a first low-permittivity region disposed in regions between pieces of a first metal in an in-plane direction of a semiconductor layer and lower than the lower surface of the first metal in a layering direction of the semiconductor layer; and a second low-permittivity region disposed in regions between a contact plug and a gate electrode in the in-plane direction and lower than the first low-permittivity region in the layering direction, wherein at least a portion of the second low-permittivity region in plan view differs from that of the first low-permittivity region.

(57) 要約: 本開示の一実施形態に係る半導体装置は、半導体層の面内方向において第1金属の各々の間、かつ前記半導体層の積層方向において前記第1金属の下面よりも下方の領域に設けられた第1低誘電率領域と、前記面内方向においてコンタクトプラグとゲート電極との間、かつ前記積層方向において前記第1低誘電率領域よりも下方の領域に設けられ、少なくとも一部の平面領域が前記第1低誘電率領域と異なる第2低誘電率領域とを備える。

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置、及び半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置、及び半導体装置の製造方法に関する。

背景技術

[0002] 携帯電話などの携帯通信端末のフロントエンドには、高周波（Radio Frequency：RF）の電気信号を取り扱う高周波スイッチ（RF-SW）が搭載されている。

[0003] このような高周波スイッチでは、通過する電気信号の損失を低減するために、オン状態の電界効果トランジスタ（Field Effect Transistor：FET）の抵抗（オン抵抗とも称される）、及びオフ状態のFETの容量（オフ容量とも称される）を下げることを望まれている。すなわち、高周波スイッチでは、オン抵抗とオフ容量との積（ $R_{on} * C_{off}$ ）を低減することが望まれており、様々な検討が行われている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2015-207640号公報

発明の概要

[0005] したがって、高周波スイッチに用いられる電界効果トランジスタなどの半導体装置において、オン抵抗とオフ容量との積を低減することが望まれている。

[0006] よって、オフ容量をより低減することが可能な半導体装置、及び半導体装置の製造方法が提供されることが望ましい。

[0007] 本開示の一実施形態に係る半導体装置は、ゲート電極と、前記ゲート電極を間にしてソース領域、及びドレイン領域を有する半導体層と、前記ソース領域、及び前記ドレイン領域の上にそれぞれ設けられたコンタクトプラグと

、前記コンタクトプラグの各々の上に積層された第1メタルと、前記半導体層の面内方向において前記第1メタルの各々の間、かつ前記半導体層の積層方向において前記第1メタルの下面よりも下方の少なくともいずれかの領域に設けられた第1低誘電率領域と、前記面内方向において前記コンタクトプラグと前記ゲート電極との間、かつ前記積層方向において前記第1低誘電率領域よりも下方の少なくともいずれかの領域に設けられた第2低誘電率領域とを備え、前記第2低誘電率領域は、前記第1低誘電率領域が設けられる平面領域とは少なくとも一部が異なる平面領域に設けられるものである。

[0008] 本開示の一実施形態に係る半導体装置の製造方法は、半導体層の上面側にゲート電極を形成する工程と、前記半導体層に、前記ゲート電極を間にしてソース領域、及びドレイン領域を形成する工程と、前記ソース領域、及び前記ドレイン領域の各々の上にコンタクトプラグを形成する工程と、前記コンタクトプラグの各々の上に第1メタルを積層する工程と、前記半導体層の面内方向において前記第1メタルの各々の間、かつ前記半導体層の積層方向において前記第1メタルの下面よりも下方の少なくともいずれかの領域に第1低誘電率領域を形成する工程と、前記面内方向において前記コンタクトプラグと前記ゲート電極との間、かつ前記積層方向において前記第1低誘電率領域よりも下方の少なくともいずれかの領域に第2低誘電率領域を形成する工程とを含み、前記第1低誘電率領域が形成される平面領域とは少なくとも一部が異なる平面領域に前記第2低誘電率領域を形成するものである。

[0009] 本開示の一実施形態に係る半導体装置、及び半導体装置の製造方法によれば、前記半導体層の面内方向において前記第1メタルの各々の間、かつ前記半導体層の積層方向において前記第1メタルの下面よりも下方の少なくともいずれかの領域に第1低誘電率領域と、前記面内方向において前記コンタクトプラグと前記ゲート電極との間、かつ前記積層方向において前記第1低誘電率領域よりも下方の少なくともいずれかの領域に第2低誘電率領域とを設けることで、コンタクトプラグとゲート電極との間の空間の誘電率を低下させることができる。

図面の簡単な説明

[0010] [図1]入出力ポート数が1対10である高周波スイッチの構成を示した模式図である。

[図2]入出力ポート数が1対1である高周波スイッチの構成を示した模式図である。

[図3]図2に示す高周波スイッチの等価回路を示す回路図である。

[図4]図2に示す高周波スイッチがオン状態の場合の等価回路を示す回路図である。

[図5]図2に示す高周波スイッチがオフ状態の場合の等価回路を示す回路図である。

[図6]本開示の第1の実施形態に係る半導体装置の全体構成を示す平面図である。

[図7]同実施形態に係る半導体装置の図6のV1-V1線における断面構成を示す縦断面図である。

[図8]一般的な電界効果トランジスタのオフ容量を要素ごとに分けて模式的に示した縦断面図である。

[図9]比較例に係る半導体装置の積層構造を示す縦断面図である。

[図10]図7に示す半導体装置と、図9に示す比較例に係る半導体装置との外部成分 C_{ex} の大きさをシミュレーションした結果を示すグラフ図である。

[図11]図7で示した半導体装置における第1低誘電率領域、及び第2低誘電率領域と、多層配線部とのZ積層方向の位置関係を示した模式図である。

[図12]図7で示した半導体装置における第1低誘電率領域、及び第2低誘電率領域と、多層配線部とのXY面内方向の位置関係を示した模式図である。

[図13]図12のXV-XV線における断面構成を示す縦断面図である。

[図14]図12のXV1A-XV1B線における断面構成を示す縦断面図である。

[図15]図12のXV11B-XV11C線における断面構成を示す縦断面図である。

[図16]図12のXV111C-XV111D線における断面構成を示す縦断面図である。

[図17]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図18]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図19]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図20]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図21]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図22]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図23]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図24]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図25]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図26]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図27]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図28]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図29]同実施形態に係る半導体装置を製造する一工程を示した縦断面図である。

[図30]本開示の第2の実施形態に係る半導体装置の断面構成を示す縦断面図である。

[図31]本開示の第3の実施形態に係る半導体装置の断面構成を示す縦断面図である。

[図32]本開示の第4の実施形態に係る半導体装置の断面構成を示す縦断面図である。

[図33]本開示の第5の実施形態に係る半導体装置の断面構成を示す縦断面図である。

[図34]本開示の第6の実施形態に係る半導体装置の断面構成を示す縦断面図である。

[図35]本開示の第7の実施形態に係る半導体装置の断面構成を示す縦断面図である。

[図36]本開示の第1～第7の実施形態に係る半導体装置が適用される無線通信装置の構成の一例を示す模式図である。

発明を実施するための形態

[0011] 以下、本開示における実施形態について、図面を参照して詳細に説明する。以下で説明する実施形態は本開示の一具体例であって、本開示にかかる技術が以下の態様に限定されるものではない。また、本開示の各図に示す各構成要素の配置、寸法、及び寸法比等についても、各図に示すものに限定されるものではない。

[0012] なお、説明は以下の順序で行う。

1. 第1の実施形態

1. 1. 高周波スイッチの構成

1. 2. 半導体装置の構成

1. 3. 半導体装置の製造方法

2. 第2の実施形態

3. 第3の実施形態

4. 第4の実施形態

5. 第5の実施形態

6. 第6の実施形態

7. 第7の実施形態

8. 適用例

[0013] <1. 第1の実施形態>

(1. 1. 高周波スイッチの構成)

まず、図1～図5を参照して、本開示の第1の実施形態に係る半導体装置を含む高周波スイッチの構成について説明する。図1は、入出力ポート数が1対10である高周波スイッチの構成を示した模式図であり、図2は、入出力ポート数が1対1である高周波スイッチの構成を示した模式図である。

[0014] 高周波スイッチは、主として無線周波数(Radio Frequency: RF)帯域の信号処理に用いられる電子部品である。高周波スイッチは、例えば、携帯電話等の携帯情報端末のフロントエンド等に用いられる。高周波スイッチは、入出力のポート数によって、SPST(Single Pole Single Throw: 単極単投)、SPDT(Single Pole Double Throw: 単極双投)、SP3T、・・・SPNT(Nは実数)などの様々な構成を取ることができる。

[0015] 例えば、図1に示す高周波スイッチ1は、SP10Tスイッチの一例である。SP10Tスイッチである高周波スイッチ1は、例えば、アンテナANTに接続された1つの極と、10個の接点とを備え、10個の接点の内から接続する接点を制御することができる。また、図2に示す高周波スイッチ1Aは、SPSTスイッチの一例である。SPSTスイッチである高周波スイッチ1Aは、例えば、アンテナANTに接続された1つの極と、1個の接点とを備え、1個の接点のオン又はオフを制御することができる。

[0016] なお、高周波スイッチは、図1及び図2で示した構成以外の構成を取るとも可能である。具体的には、高周波スイッチは、図2で示したSPSTスイッチの回路を組み合わせることで、多様な構成を取ることができる。

[0017] 続いて、図2に示す高周波スイッチ1Aの等価回路を図3～図5に示す。

図3は、図2に示す高周波スイッチ1Aの等価回路を示す回路図である。図4は、図2に示す高周波スイッチ1Aがオン状態の場合の等価回路を示す回路図であり、図5は、図2に示す高周波スイッチ1Aがオフ状態の場合の等価回路を示す回路図である。

[0018] 図3に示すように、SPSTである高周波スイッチ1Aは、例えば、アンテナANTに接続された第1ポートPort1と、出力側の第2ポートPort2と、第1スイッチング素子FET1と、第2スイッチング素子FET2とを備える。第1スイッチング素子FET1は、第1ポートPort1とグランドとの間に設けられており、第2スイッチング素子FET2は、第1ポートPort1と第2ポートPort2との間に設けられている。

[0019] このような高周波スイッチ1Aは、抵抗を介して、第1スイッチング素子FET1、及び第2スイッチング素子FET2のゲートにコントロール電圧 V_{c1} 、 V_{c2} を印加することにより、スイッチのオン状態又はオフ状態を制御することができる。

[0020] 高周波スイッチ1Aがオン状態の時には、図4に示すように、第2スイッチング素子FET2が導通状態となり、第1スイッチング素子FET1が非導通状態となる。また、高周波スイッチ1Aがオフ状態の時には、図5に示すように、第1スイッチング素子FET1が導通状態となり、第2スイッチング素子FET2が非導通状態となる

[0021] 第1スイッチング素子FET1、及び第2スイッチング素子FET2は、導通状態では抵抗と等価となり、非導通状態ではキャパシタと等価となる。そのため、第1スイッチング素子FET1、及び第2スイッチング素子FET2には、導通状態ではオン抵抗と呼ばれる抵抗が発生し、非導通状態ではオフ容量と呼ばれる容量が発生する。

[0022] ここで、第1スイッチング素子FET1、及び第2スイッチング素子FET2のオン抵抗、及びオフ容量は、電界効果トランジスタにおける単位長あたりの R_{on} [Ω mm]、及び C_{off} [fF/mm]と、電界効果トランジスタのゲート幅 W_{g1} 、 W_{g2} [mm]とを用いて、それぞれ R_{on}/W_{g1} 、

R_{on}/W_{g2} 、 $C_{off} * W_{g1}$ 、 $C_{off} * W_{g2}$ と表すことができる。すなわち、電界効果トランジスタにおいて、オン抵抗はゲート幅 W_{g1} 、 W_{g2} に反比例し、オフ容量はゲート幅 W_{g1} 、 W_{g2} に比例する。

[0023] したがって、電界効果トランジスタにおいて、オン抵抗による損失を低減するためにゲート幅 W_g を大きくした場合、オフ容量による損失が大きくなってしまう。また、電界効果トランジスタのオン抵抗は信号の周波数に依存しないが、オフ容量は信号の周波数が高くなると増大する。そのため、高周波信号を扱う高周波スイッチでは、オフ容量による損失がさらに大きくなってしまう。

[0024] そのため、高周波スイッチに用いられる電界効果トランジスタを低損失化するためには、単位長あたりの R_{on} 、及び C_{off} を共に小さくすること、すなわち、 $R_{on} * C_{off}$ （積）を小さくすることが重要となる。

[0025] 本開示に係る技術は、上記事情を鑑みてなされたものである。本開示に係る技術は、電界効果トランジスタ等の半導体装置の寄生容量を低減することで、電界効果トランジスタにおけるオン抵抗、及びオフ容量を低減するものである。本開示に係る技術は、高周波信号を扱う電子機器に備えられる高周波スイッチなどに好適に用いられ得る。

[0026] （１．２．半導体装置の構成）

次に、図６及び図７を参照して、本開示の第１の実施形態に係る半導体装置の構成について説明する。図６は、本実施形態に係る半導体装置の全体構成を示す平面図である。

[0027] 図６に示すように、本実施形態に係る半導体装置１０は、例えば、図示しない半導体層の上に設けられたゲート電極２０と、ソース電極３０Ｓと、ドレイン電極３０Ｄとを備える。なお、図６では、ゲート電極２０に斜線を付した。

[0028] 半導体装置１０は、例えば、図３で示した高周波スイッチ１Ａが備える第１スイッチング素子ＦＥＴ１、又は第２スイッチング素子ＦＥＴ２を構成する高周波デバイス用の電界効果トランジスタである。

[0029] ゲート電極 20 は、一方向に延伸された複数のフィンガー部 21 と、複数のフィンガー部 21 を互いに連結する連結部 22 とを有するマルチフィンガー構造で設けられる。高周波スイッチに用いられる電界効果トランジスタのゲート幅 W_g は、低損失化を図るために、ロジック回路などに用いられる電界効果トランジスタと比較して大きく、例えば、数百 μm ～数 mm である。また、フィンガー部 21 の長さ（フィンガー長） L_{21} は、例えば、数十 μm である。なお、連結部 22 は、図示しないゲートコンタクトに接続される。

[0030] 以下の説明では、ゲート電極 20 のフィンガー部 21 が延伸する方向を Y 方向とする。また、Y 方向と直交し、連結部 22 が延伸する方向を X 方向とする。さらに、X 方向、及び Y 方向の両方と直交する方向（すなわち、図示しない半導体層の面に垂直な方向）を Z 方向とする。

[0031] ソース電極 30S は、ゲート電極 20 と同様に、一方向（例えば、Y 方向）に延伸されたフィンガー部 31S と、複数のフィンガー部 31S を連結し、図示しないソースコンタクトに接続される連結部 32S とを有する。

[0032] ドレイン電極 30D は、ゲート電極 20 と同様に、一方向（例えば、Y 方向）に延伸されたフィンガー部 31D と、複数のフィンガー部 31D を連結し、図示しないドレインコンタクトに接続される連結部 32D とを有する。

[0033] ゲート電極 20 のフィンガー部 21、ソース電極 30S のフィンガー部 31S、及びドレイン電極 30D のフィンガー部 31D は、導電型不純物が導入されることで活性化されたアクティブ領域 AA の内側に配置される。具体的には、ソース電極 30S のフィンガー部 31S、及びドレイン電極 30D のフィンガー部 31D は、ゲート電極 20 のフィンガー部 21 の各々の間に交互に配置される。一方、ゲート電極 20 の連結部 22、ソース電極 30S の連結部 32S、及びドレイン電極 30D の連結部 32D は、アクティブ領域 AA の外側に設けられた素子分離領域（図示せず）に配置される。

[0034] 続いて、図 7 を参照して、本実施形態に係る半導体装置 10 の断面構成について説明する。図 7 は、図 6 の V1-V1 線における断面構成を示す

縦断面図である。図7では、ゲート電極20のフィンガー部21の1つと、フィンガー部21の両側に配置されたソース電極30Sのフィンガー部31S、及びドレイン電極30Dのフィンガー部31Dとを含む断面構成を示している。

[0035] 図7に示すように、半導体装置10は、例えば、上述したゲート電極20と、半導体層50と、コンタクトプラグ60S、60Dと、上述したソース電極30S、及びドレイン電極30Dを含む第1メタルM1と、第1低誘電率領域70と、第2低誘電率領域71とを備える。

[0036] ゲート電極20は、半導体層50の上に、ゲート絶縁膜23を介して設けられる。ゲート電極20は、例えば、100nm～200nmの厚さのポリシリコンにて構成され得る。ゲート絶縁膜23は、例えば、5nm～15nmの厚さの酸化シリコン(SiO_x)にて構成され得る。

[0037] 半導体層50は、例えば、シリコン(Si)等の半導体にて構成され得る。半導体層50には、ゲート電極20を挟んで両側に、第1導電型(n+)シリコンにて構成されるソース領域50S、及びドレイン領域50Dが設けられる。また、ソース領域50S、及びドレイン領域50Dの表面側には、コンタクトプラグ60S、60Dとの接続のために、より高濃度の第1導電型(n++)シリコン、又はシリサイドにて構成される低抵抗領域51S、51Dが設けられる。さらに、ソース領域50Sとゲート電極20との間、及びドレイン領域50Dとゲート電極20との間には、低濃度の第1導電型(n-)シリコンにて構成されるエクステンション領域52S、52Dが設けられる。

[0038] ここで、半導体層50は、例えば、埋め込み酸化膜54を介して、支持基板53の上に設けられる。支持基板53は、例えば、高抵抗シリコン(Si)基板にて構成され、埋め込み酸化膜54は、例えば、酸化シリコン(SiO_x)にて構成され得る。すなわち、支持基板53、埋め込み酸化膜54、及び半導体層50は、いわゆるSOI(Silicon On Insulator)基板55を構成することができる。

[0039] 上記では、SOI基板55の支持基板53が高抵抗シリコン基板である場合について説明したが、本開示に係る技術は上記例示に限定されない。支持基板53は、サファイア基板であってもよい。このような場合、SOI基板55は、いわゆるSOS (Silicon On Sapphire) 基板を構成することができる。サファイア基板は絶縁性を有するので、SOS基板上に形成された電界効果トランジスタは、GaAsなどの化合物系の電界効果トランジスタにより近い特性を示すことになる。また、本開示に係る技術は、支持基板53がSOI基板、又はSOS基板である場合に限られず、支持基板53がバルクのシリコン基板である場合にも同様に適用可能である。

[0040] コンタクトプラグ60S、60Dは、ソース領域50S、及びドレイン領域50Dの表面の低抵抗領域51S、51Dの上に設けられる。コンタクトプラグ60S、60Dは、例えば、半導体層50側から、チタン(Ti)層、窒化チタン(TiN)層、及びタングステン(W)層を順に積層することで構成され得る。なお、チタン層は、コンタクトプラグ60S、60Dと、下層の低抵抗領域51S、51Dと間の接触抵抗を低減するために設けられる。また、窒化チタン層は、半導体層50からタングステン層へのシリコン等の拡散を抑制するバリアメタルとして設けられる。

[0041] 第1メタルM1は、例えば、コンタクトプラグ60Sの上に設けられたソース電極30Sと、コンタクトプラグ60Dの上に設けられたドレイン電極30Dとを含む。第1メタルM1は、例えば、500nm~1000nmの厚さのアルミニウム(Al)にて構成され得る。

[0042] 第1低誘電率領域70は、例えば、半導体層50のXY面内方向において第1メタルM1の各々の間、かつ半導体層50のZ積層方向において第1メタルM1の下面よりも下方の少なくともいずれかの領域に設けられる。具体的には、第1低誘電率領域70は、半導体層50のXY面内方向においてソース電極30S、及びドレイン電極30Dの間、かつ半導体層50のZ積層方向において第1メタルM1の下面よりも下方であり、ゲート電極20の上

方の領域に設けられる。

[0043] また、第1低誘電率領域70は、Z積層方向において、上述した領域よりもさらに上方の領域まで連続して設けられてもよい。具体的には、第1低誘電率領域70は、半導体層50のXY面内方向において第1メタルM1の各々の間、かつZ積層方向において第1メタルM1の下面と上面との間の領域にさらに設けられてもよい。また、第1低誘電率領域70は、半導体層50のXY面内方向において第1メタルM1の各々の間、かつZ積層方向において第1メタルM1の上面よりも上方の領域にさらに設けられてもよい。

[0044] 第2低誘電率領域71は、半導体層50のXY面内方向においてコンタクトプラグ60S、60Dの各々と、ゲート電極20との間、かつ半導体層50のZ積層方向において第1低誘電率領域70よりも下方の少なくともいずれかの領域に設けられる。具体的には、第2低誘電率領域71は、半導体層50のXY面内方向においてゲート電極20の両側面の側方に設けられる。なお、第2低誘電率領域71は、第1低誘電率領域70と連続して設けられてもよく、第1低誘電率領域70と離隔して設けられてもよい。

[0045] 第2低誘電率領域71の少なくとも一部は、半導体層50を積層方向Zから平面視した際に、第1低誘電率領域70が設けられた領域と異なる領域に設けられる。具体的には、第2低誘電率領域71の少なくとも一部は、半導体層50のXY面内方向において、第1低誘電率領域70が設けられた領域の外周の領域に設けられる。これによれば、半導体装置10は、第1低誘電率領域70、及び第2低誘電率領域71をより複雑な形状にて構成することができる。

[0046] ここで、図8を参照して、電界効果トランジスタのオフ容量について説明する。図8は、一般的な電界効果トランジスタ11のオフ容量を要素ごとに分けて模式的に示した縦断面図である。図8では、図7にて示す半導体装置10の構成要素と対応する構成要素には同一の符号を付した。

[0047] 図8に示すように、一般的な構造の電界効果トランジスタ11のオフ容量には、ソース領域50S、及びドレイン領域50D、並びにSOI基板55

等に生じる内部 (intrinsic) 成分 C_{in} と、ゲート電極 20、コンタクトプラグ 60S、60D、及び第1メタルM1等に生じる外部 (extrinsic) 成分 C_{ex} とが含まれる。

[0048] 例えば、内部成分 C_{in} は、ソース領域 50S又はドレイン領域 50Dと支持基板 53との間に生じる容量 C_{sub} 、 C_{dsub} 、ソース領域 50S又はドレイン領域 50Dとゲート電極 20との間に生じる容量 C_{sg} 、 C_{dsg} 、ソース領域 50Sとドレイン領域 50Dとの間に生じる容量 C_{ds} 、及びソース領域 50S又はドレイン領域 50Dと半導体層 50の下部 (ボディ) との間に生じる容量 C_{sb} 、 C_{dsb} などである。

[0049] 例えば、外部成分 C_{ex} は、ゲート電極 20とコンタクトプラグ 60S、60D又は第1メタルM1との間の容量 C_{gM} 、及び第1メタルM1の間に生じる容量 C_{MM1} などである。

[0050] これらのオフ容量を低減するためには、特に、外部成分 C_{ex} を低減することが有効である。本実施形態に係る半導体装置 10は、上述した領域に、周囲の領域よりも比誘電率が低い第1低誘電率領域 70、及び第2低誘電率領域 71を設けることにより、ゲート電極 20、コンタクトプラグ 60S、60D、及び第1メタルM1の間に生じるオフ容量の外部成分 C_{ex} を低減することができる。したがって、半導体装置 10は、より効果的に外部成分 C_{ex} を低減することで、オン抵抗とオフ容量との積 ($R_{on} * C_{off}$) を低減することができる。これによれば、高周波スイッチに適用された半導体装置 10は、高周波スイッチをさらに低損失化することが可能である。

[0051] ここで、図7に示す半導体装置 10と、図9に示す比較例に係る半導体装置 12とについて、オフ容量の外部成分 C_{ex} の大きさをシミュレーションした結果を図10に示す。

[0052] 図9は、比較例に係る半導体装置 12の断面構成を示す縦断面図である。図9に示すように、比較例に係る半導体装置 12は、本実施形態に係る半導体装置 10と比較して、半導体層 50のXY面内方向においてコンタクトプラグ 60S、60Dの各々と、ゲート電極 20との間、かつ半導体層 50の

Z 積層方向において第 1 低誘電率領域 7 0 よりも下方に第 2 低誘電率領域が設けられていない点異なる。すなわち、比較例に係る半導体装置 1 2 は、本実施形態に係る半導体装置 1 0 と比較して、同様の第 1 低誘電率領域 7 0 が設けられているものの、半導体層 5 0 の X Y 面内方向においてゲート電極 2 0 の両側方に第 2 低誘電率領域 7 1 が設けられていない点異なる。

[0053] 図 1 0 では、本実施形態に係る半導体装置 1 0 における外部成分 C_{ex} のシミュレーション結果を実施例として示し、比較例に係る半導体装置 1 2 における外部成分 C_{ex} のシミュレーション結果を比較例として示す。図 1 0 にて示されるように、実施例における外部成分 C_{ex} の大きさは、比較例における外部成分 C_{ex} の大きさに対して、低減していることがわかる。したがって、本実施形態に係る半導体装置 1 0 は、第 2 低誘電率領域 7 1 をさらに設けることで、オフ容量をさらに低減することができることがわかる。

[0054] ここで、図 7 に戻って、本実施形態に係る半導体装置 1 0 の構成についての説明を再開する。

[0055] 図 7 に示す半導体装置 1 0 は、半導体層 5 0 の上に、ゲート電極 2 0 を覆うように設けられた少なくとも 1 層以上の絶縁膜 8 0 と、少なくとも 1 層以上の絶縁膜 8 0 の上面からゲート電極 2 0 の上面に向けて設けられた開口 P とをさらに備える。

[0056] 開口 P は、積層方向 Z から、少なくとも 1 層以上の絶縁膜 8 0 を平面視した場合に、ゲート電極 2 0 に対応する平面領域に設けられる。開口 P は、ソース電極 3 0 S、及びドレイン電極 3 0 D の間に設けられるため、開口 P の開口幅 W_P は、例えば、 $100\text{ nm} \sim 1000\text{ nm}$ 程度となる。

[0057] 第 1 低誘電率領域 7 0 は、このような開口 P の内部に設けられることが好ましい。また、第 2 低誘電率領域 7 1 は、開口 P と空間的に連続して設けられ、開口 P の内部に設けられた第 1 低誘電率領域 7 0 と空間的に連続して設けられることが好ましい。第 1 低誘電率領域 7 0、及び第 2 低誘電率領域 7 1 は、X 方向又は Y 方向のいずれかの方向において、領域の中心が一致するように設けられてもよく、互いに独立した領域に設けられてもよい。

- [0058] 少なくとも1層以上の絶縁膜80は、エッチングレートの異なる材料でそれぞれ形成された絶縁膜を複数含んで構成されることが好ましい。これによれば、少なくとも1層以上の絶縁膜80は、各々の絶縁膜のエッチングレートの差を用いることで、後述する製造工程にて開口Pのエッチング停止位置を高精度に制御することが可能となる。
- [0059] 具体的には、少なくとも1層以上の絶縁膜80は、第1絶縁膜81と、第2絶縁膜82と、第3絶縁膜83とを含んで構成され得る。
- [0060] 第1絶縁膜81は、ゲート電極20の表面（すなわち、ゲート電極20の上面、及び側面）と、半導体層50の上面とを覆うように設けられる。
- [0061] 第2絶縁膜82は、第1絶縁膜81の表面を覆うように設けられる。ただし、第2絶縁膜82は、ゲート電極20の表面（すなわち、ゲート電極20の上面、及び側面）に設けられた第1絶縁膜81の表面には設けられておらず、第1絶縁膜81を第2低誘電率領域71に対して露出させている。これは、後述する製造工程にて説明するように、半導体装置10では、第2絶縁膜82を除去することで、第1絶縁膜81と、第3絶縁膜83との間に第2低誘電率領域71を形成しているためである。
- [0062] 第3絶縁膜83は、第2絶縁膜82の表面と第1メタルM1の下面との間に設けられる。第3絶縁膜83は、ゲート電極20を埋め込むように設けられ、第1絶縁膜81との間に第2低誘電率領域71を形成する。
- [0063] ここで、第2絶縁膜82は、第1絶縁膜81、及び第3絶縁膜83を構成する材料とエッチングレートが異なる材料により構成されることが好ましい。例えば、第2絶縁膜82は、窒化シリコン（SiN）膜により構成され、第1絶縁膜81、及び第3絶縁膜83は、窒化シリコン（SiN）とはエッチングレートが異なる酸化シリコン（SiO_x）膜により構成されることが好ましい。これによれば、半導体装置10では、第2絶縁膜82をエッチングストッパ層として機能させることで、第3絶縁膜83を貫通して第2絶縁膜82の上面に達する開口Pを容易に形成することができるようになる。また、開口Pを介して、等方的なエッチングを行い、第2絶縁膜82を選択的に

除去することで、開口Pの下方に第2低誘電率領域71を容易に形成することができるようになる。

[0064] また、少なくとも1層以上の絶縁膜80は、第4絶縁膜84をさらに含んで構成されてもよい。具体的には、第4絶縁膜84は、第3絶縁膜83の上面、及び第1メタルM1の表面（すなわち、第1メタルM1の上面、及び側面）を覆うように設けられてもよい。このような場合、開口Pは、第4絶縁膜84の上面から、第4絶縁膜84、及び第3絶縁膜83を貫通して設けられることになる。第4絶縁膜84は、例えば、酸化シリコン（ SiO_x ）膜により構成され得る。

[0065] また、少なくとも1層以上の絶縁膜80は、第5絶縁膜85をさらに含んで構成されてもよい。具体的には、第5絶縁膜85は、第4絶縁膜84の上に設けられ、開口Pの上部を閉塞してもよい。第5絶縁膜85は、例えば、酸化シリコン（ SiO_x ）膜により構成され得る。

[0066] さらに、第5絶縁膜85の上層には、必要に応じて、例えば酸化シリコン（ SiO_x ）膜にて構成される第6絶縁膜86が設けられてもよい。

[0067] 本実施形態に係る半導体装置10では、開口Pの内部の少なくとも一部に第1低誘電率領域70として空隙AG（Air Gap）を設けることができる。例えば、第1低誘電率領域70の空隙AGは、第1低誘電率領域70の下方に、同様に空隙AGとして形成された第2低誘電率領域71と空間的に連続して設けられてもよい。

[0068] 第1低誘電率領域70、及び第2低誘電率領域71は、第3絶縁膜83、及び第4絶縁膜84を構成する酸化シリコン（ SiO_x ：比誘電率3.9）膜よりも低い比誘電率を有する領域であれば領域内部の構成については特に限定されない。例えば、第1低誘電率領域70、及び第2低誘電率領域71は、空隙AG内部に空気（比誘電率1.0）を含んで構成されてもよく、空隙AG内部が真空となるように構成されてもよい。また、第1低誘電率領域70、及び第2低誘電率領域71は、空隙AG内部の一部又は全部を低誘電率材料で埋め込まれて構成されてもよい。なお、低誘電率材料とは、例えば、

比誘電率が3以下の誘電体材料を表す。

[0069] 第1低誘電率領域70、及び第2低誘電率領域71が空隙AGで構成される場合、空隙AGの上部が第5絶縁膜85により閉塞されることで、空隙AGは、第5絶縁膜85により気密封止される。なお、空隙AGを閉塞する際に、空隙AGの内部に第5絶縁膜85の一部が入り込むことがあり得る。このような場合、第5絶縁膜85は、開口Pの側面又は底面の一部を被覆することになる。

[0070] XY面内方向において、第1低誘電率領域70、及び第2低誘電率領域71が形成される幅については特に限定されない。ただし、第1低誘電率領域70が形成される幅は、例えば、積層方向Zに切断した一断面において、ゲート電極20の表面に設けられた第1絶縁膜81の幅より小さくともよい。具体的には、第1低誘電率領域70の幅W70は、ゲート電極20の上面、及び側面を覆う第1絶縁膜81の幅W81より小さくともよい。

[0071] ゲート電極20の上面、及び側面の第1絶縁膜81の表面に第2絶縁膜82が形成される場合、第1低誘電率領域70の幅W70は、ゲート電極20の上面、及び側面を覆う第1絶縁膜81、及び第2絶縁膜82の幅よりも小さくともよい。また、ゲート電極20の上面、及び側面に第1絶縁膜81が形成されない場合、第1低誘電率領域70の幅W70は、ゲート電極20の幅よりも小さくともよい。

[0072] また、第2低誘電率領域71が形成される幅は、積層方向Zに切断した一断面において、ゲート電極20の表面に設けられた第1絶縁膜81の幅よりも大きくともよい。具体的には、第2低誘電率領域71の幅W71は、ゲート電極20の上面、及び側面を覆う第1絶縁膜81の幅W81より大きく、コンタクトプラグ60S、60Dの間の幅より小さくともよい。

[0073] ゲート電極20の上面、及び側面の第1絶縁膜81の表面に第2絶縁膜82が形成される場合、第2低誘電率領域71の幅W71は、ゲート電極20の上面、及び側面を覆う第1絶縁膜81、及び第2絶縁膜82の幅よりも大きくともよい。また、ゲート電極20の上面、及び側面に第1絶縁膜81が

形成されない場合、第2低誘電率領域71の幅W71は、ゲート電極20の幅よりも大きくともよい。

[0074] さらに、図11及び図12を参照して、本実施形態に係る半導体装置10における第1低誘電率領域70、及び第2低誘電率領域71と、多層配線部90との位置関係について説明する。多層配線部90には、半導体装置10の各電極から取り出した信号を伝達する配線が設けられる。

[0075] 図11は、図7で示した半導体装置10における第1低誘電率領域70、及び第2低誘電率領域71と、多層配線部90とのZ積層方向の位置関係を示した模式図である。

[0076] 図11に示すように、多層配線部90は、例えば、第1配線層91と、第2配線層92とを含む。第1配線層91は、例えば、ソース電極30S、及びドレイン電極30Dを含む第1メタルM1と同層に設けられる。第2配線層92は、第1配線層91の上方に設けられ、例えば、コンタクトプラグ93を介して、第1配線層91と接続される。

[0077] 半導体装置10における第1低誘電率領域70、及び第2低誘電率領域71は、半導体層50に導電型不純物を導入することで活性化されたアクティブ領域AAの素子領域AA1の内側に設けられる。一方、多層配線部90は、アクティブ領域AAの内側、かつ素子領域AA1の外側の配線領域AA2の内側に設けられる。素子領域AA1と、配線領域AA2とは、例えば、STI(Shallow Trench Isolation)法にて形成された素子分離層100により分離される。

[0078] なお、第1低誘電率領域70、及び第2低誘電率領域71は、多層配線部90の第1配線層91の各々の間、及び第2配線層92の各々の間に設けられなくともよい。すなわち、第1低誘電率領域70、及び第2低誘電率領域71は、アクティブ領域AAにおける素子領域AA1内の半導体装置10に少なくとも設けられる。

[0079] 図12は、図7で示した半導体装置10における第1低誘電率領域70、及び第2低誘電率領域71と、多層配線部90とのXY面内方向の位置関係

を示した模式図である。

- [0080] 図 1 2 に示すように、アクティブ領域 A A の内側には、半導体装置 1 0、第 1 低誘電率領域 7 0、及び第 2 低誘電率領域 7 1 が設けられる。一方、アクティブ領域 A A の外側の素子分離領域 A B には、半導体層 5 0 に替えて、S T I 法にて形成された素子分離層 1 0 0 が全面に亘って設けられており、ゲートコンタクト G C が設けられる。
- [0081] より具体的には、アクティブ領域 A A には、ゲート電極 2 0 のフィンガー部 2 1 と、ソース電極 3 0 S のフィンガー部 3 1 S と、ドレイン電極 3 0 D のフィンガー部 3 1 D とが設けられる。
- [0082] ゲート電極 2 0 のフィンガー部 2 1 は、一方向（例えば、Y 方向）に延伸されて設けられる。ソース電極 3 0 S のフィンガー部 3 1 S、及びドレイン電極 3 0 D のフィンガー部 3 1 D は、ゲート電極 2 0 のフィンガー部 2 1 の延伸方向と平行な方向に延伸して、ゲート電極 2 0 のフィンガー部 2 1 の両側に設けられる。
- [0083] コンタクトプラグ 6 0 S、6 0 D は、ゲート電極 2 0 のフィンガー部 2 1 の延伸方向と平行な方向に延伸して、ソース電極 3 0 S のフィンガー部 3 1 S、及びドレイン電極 3 0 D のフィンガー部 3 1 D の下方に設けられる。
- [0084] 第 1 低誘電率領域 7 0 は、ゲート電極 2 0 のフィンガー部 2 1 の延伸方向と平行な方向に延伸して、ゲート電極 2 0 のフィンガー部 2 1 の上に設けられる。また、第 2 低誘電率領域 7 1 は、ゲート電極 2 0 のフィンガー部 2 1 の延伸方向と平行な方向に延伸して、ゲート電極 2 0 のフィンガー部 2 1 の側方に設けられる。すなわち、半導体層 5 0 を Z 積層方向から平面視した際に、第 1 低誘電率領域 7 0 は、X Y 面内方向においてゲート電極 2 0 のフィンガー部 2 1 と重畳する領域に設けられ、第 2 低誘電率領域 7 1 は、X Y 面内方向においてゲート電極 2 0 のフィンガー部 2 1 の両側の領域に設けられる。
- [0085] 素子分離領域 A B には、ゲート電極 2 0 の連結部 2 2 と、ソース電極 3 0 S の連結部 3 2 S と、ドレイン電極 3 0 D の連結部 3 2 D とが設けられる。

- [0086] ゲート電極20の連結部22は、ゲートコンタクトGCに接続される。また、ソース電極30Sの連結部32Sは、図示しないソースコンタクトに接続され、ドレイン電極30Dの連結部32Dは、図示しないドレインコンタクトに接続される。
- [0087] ここで、図13～図16を参照して、図12で示す各構成のZ積層方向における断面構成について説明する。図13は、図12のXV-XV線における断面構成を示す縦断面図である。図14は、図12のXV|A-XV|B線における断面構成を示す縦断面図であり、図15は、図12のXV||B-XV||C線における断面構成を示す縦断面図であり、図16は、図12のXV|||C-XV|||D線における断面構成を示す縦断面図である。
- [0088] 図12に示すように、ゲートコンタクトGCは、STI法によって形成された素子分離層100の上に、ゲート電極20の連結部22と、ゲートコンタクトプラグ24と、ゲートコンタクト層25とを順に設けることで構成され得る。ゲートコンタクトプラグ24は、コンタクトプラグ60S、60Dと同様の構成を備え、コンタクトプラグ60S、60Dと同層に設けられる。ゲートコンタクト層25は、ソース電極30S、及びドレイン電極30Dと同様の構成を備え、ソース電極30S、及びドレイン電極30Dを含む第1メタルM1と同層に設けられる。
- [0089] 図12～図16に示すように、第1低誘電率領域70は、ゲートコンタクトGCを避けて設けられることが好ましい。これは、第1低誘電率領域70がゲートコンタクトGCの連結部22の上に設けられる場合、連結部22の上にゲートコンタクトプラグ24を設けることが困難となるためである。また、ゲートコンタクトGCの連結部22の上に第1低誘電率領域70が設けられない場合、同様に、第2低誘電率領域71も設けられない。また、ゲートコンタクトGCは、ゲート電極20と同様に、少なくとも1層以上の絶縁膜80（すなわち、第1絶縁膜81～第6絶縁膜86）により覆われていることが好ましい。これによれば、ゲートコンタクトGCを露出させずに、少なくとも1層以上の絶縁膜80によってゲートコンタクトGCを保護するこ

とができるため、ゲートコンタクトGCの信頼性を維持することが可能となる。

[0090] (1. 3. 半導体装置の製造方法)

続いて、図17～図29を参照して、本実施形態に係る半導体装置10の製造方法について説明する。図17～図29は、半導体装置10を製造する各工程を示した縦断面図である。

[0091] まず、図17に示すように、支持基板53の上に埋め込み酸化膜54、及び半導体層50を積層したSOI基板55を用意する。次に、STI法を用いて、SOI基板55の半導体層50に素子分離層100を形成することで、アクティブ領域AA内に素子領域AA1を画定する。

[0092] 次に、図18に示すように、ゲート絶縁膜23を介して、半導体層50の上にゲート電極20を形成する。

[0093] 具体的には、例えば、熱酸化法を用いて、酸化シリコン膜からなるインプラスルー膜を形成した後、第2導電型不純物（例えば、ホウ素（B）、又はアルミニウム（Al）等のp型不純物）のウェルインプランテーション、及びチャネルインプランテーションをアクティブ領域AAに行ったのち、インプラスルー膜を除去する。その後、熱酸化法を用いて、例えば、酸化シリコンからなるゲート絶縁膜23を5nm～15nm程度の厚さで形成する。

[0094] 続いて、CVD（Chemical Vapor Deposition）法を用いて、ポリシリコンからなるゲート電極材料膜（図示せず）を半導体層50、及びゲート絶縁膜23の上に100nm～200nm程度の厚さで形成する。次に、フォトリソグラフィ、及びエッチングを用いて、形成したゲート電極材料膜を加工することで、半導体層50の上面にゲート電極20を形成する。

[0095] 続いて、図19に示すように、ゲート電極20、及び図示しないオフセットスペーサをマスクとして、第1導電型不純物（例えば、ヒ素（As）又はリン（P）等のn型不純物）のインプランテーションS/D IMPLを行うことで、ゲート電極20の両側の半導体層50にエクステンション領域5

2 S, 5 2 Dを形成する。次に、ゲート電極 2 0の両側面に図示しないサイドウォールを形成し、再度、第1導電型不純物のインプランテーション S / D I M P Lを行う。これにより、ゲート電極 2 0を挟んで両側の半導体層 5 0にソース領域 5 0 S、及びドレイン領域 5 0 Dを形成することができる。なお、サイドウォールは、ソース領域 5 0 S、及びドレイン領域 5 0 Dを形成した後、除去される。

[0096] 次に、図 2 0に示すように、例えば、C V D法を用いて、酸化シリコンからなる第1絶縁膜 8 1をゲート電極 2 0の表面、及び半導体層 5 0の上面に 1 0 n m ~ 1 0 0 n m程度の厚さで形成する。

[0097] 続いて、図 2 1に示すように、例えば、C V D法を用いて、第1絶縁膜 8 1を形成する酸化シリコンとエッチングレートが異なる窒化シリコンからなる第2絶縁膜 8 2を第1絶縁膜 8 1の表面に 1 0 n m ~ 1 0 0 n m程度の厚さで形成する。その後、例えば、C V D法を用いて、酸化シリコンからなる第3絶縁膜 8 3を第2絶縁膜 8 2の上に 5 0 0 n m ~ 1 5 0 0 n m程度の厚さで形成する。

[0098] 次に、図 2 2に示すように、フォトリソグラフィ、及びエッチングを用いて、ソース領域 5 0 S、及びドレイン領域 5 0 Dに対応する位置の第3絶縁膜 8 3、第2絶縁膜 8 2、及び第1絶縁膜 8 1を除去する。これにより、ソース領域 5 0 S、及びドレイン領域 5 0 Dを露出させるコンタクトホール H 1を形成する。コンタクトホール H 1は、図 1 2で示したように、ゲート電極 2 0のフィンガー部 2 1の延伸方向と平行な方向に延伸して設けられる。

[0099] 続いて、図 2 3に示すように、コンタクトホール H 1を介して、高濃度の第1導電型不純物（例えば、ヒ素（A s）又はリン（P）等のn型不純物）のインプランテーション C n t I M P Lをソース領域 5 0 S、及びドレイン領域 5 0 Dに行うことにより、半導体層 5 0に低抵抗領域 5 1 S, 5 1 Dを形成する。

[0100] 次に、図 2 4に示すように、コンタクトホール H 1内に、チタン層、窒化チタン層、及びタングステン層を順に積層することで、積層構造を有するコ

ンタクトプラグ60S, 60Dを形成する。これにより、コンタクトプラグ60S, 60Dは、低抵抗領域51S, 51Dを介して、ソース領域50S、及びドレイン領域50Dと電氣的に接続することができる。コンタクトプラグ60S, 60Dは、図12で示したように、ゲート電極20のフィンガー部21の延伸方向と平行な方向に延伸して設けられる。

[0101] その後、図25に示すように、コンタクトプラグ60S, 60Dの上に、第1メタルM1として、アルミニウム(A1)からなるソース電極30S、及びドレイン電極30Dを形成する。ソース電極30Sのフィンガー部31S、及びドレイン電極30Dのフィンガー部31Dは、図12で示したように、ゲート電極20のフィンガー部21の延伸方向と平行な方向に延伸して設けられる。

[0102] 続いて、図26に示すように、例えば、CVD法を用いて、第3絶縁膜の上面、及び第1メタルM1の表面に酸化シリコンからなる第4絶縁膜84を形成する。

[0103] 次に、図27に示すように、第4絶縁膜84、及び第3絶縁膜83を貫通し、第2絶縁膜82を露出させる開口Pを形成する。

[0104] 具体的には、まず、フォトリソグラフィを用いて、低誘電率領域形成用レジスト65をパターニングする。その後、パターニングされた低誘電率領域形成用レジスト65をマスクとするドライエッチングによって、第4絶縁膜84、及び第3絶縁膜83の一部を除去することで、開口Pを形成する。なお、開口Pを形成するエッチングは、異方性の高いドライエッチングにて行われる。このような異方性の高いエッチングを用いることにより、アスペクト比の高い開口Pを所望の領域に高精度で形成することが可能となる。

[0105] ここで、開口Pは、半導体層50のXY面内方向において第1メタルM1の間の領域に設けられる。具体的には、開口Pは、ソース電極30S、及びドレイン電極30Dの間の領域（すなわち、ゲート電極20の上方）に設けられる。開口Pの開口幅WPは、例えば、100nm~1000nm程度である。開口Pの形成において、第2絶縁膜82がエッチングストップとして

機能するため、開口Pのエッチングは、酸化シリコンからなる第4絶縁膜84、及び第3絶縁膜83まで進み、第2絶縁膜82の上面で停止する。この工程で形成された開口Pの内部の空隙AGが第1低誘電率領域70となる。

[0106] 続いて、図28に示すように、低誘電率領域形成用レジスト65を残した状態で、開口Pを介して第2絶縁膜82の一部をエッチングすることで、第1メタルM1の間に設けられた空隙AGと連続する空隙AGをゲート電極20の側方に形成する。なお、第2絶縁膜82の一部を除去するエッチングは、等方的なドライエッチング、又はウェットエッチング等を用いて行われる。このような等方的なエッチングを用いることにより、ゲート電極20の上面、及び側面に設けられた第2絶縁膜82を効率的にエッチングし、より広い領域に空隙AGを形成することができる。

[0107] この工程において、第2絶縁膜82を除去することで形成された空隙AGが第2低誘電率領域71となる。すなわち、ゲート電極20の上方に第1低誘電率領域70となる空隙AGが形成され、ゲート電極20の側方に第2低誘電率領域71となる空隙AGが形成されるため、半導体装置10は、オフ容量の外部成分をさらに低減することができる。

[0108] 次に、図29に示すように、低誘電率領域形成用レジスト65を剥離した後、例えば、空隙AG内部への埋め込み性が低い条件のCVD法を用いて、第4絶縁膜84の上に酸化シリコンからなる第5絶縁膜85を形成する。このような条件のCVD法では、第5絶縁膜85は、開口Pの上部にオーバーハングしながら堆積する。これによれば、開口Pの内部が第5絶縁膜85にて埋め込まれる前に、開口Pの上部が第5絶縁膜85にて閉塞されるため、開口Pの内部に気密封止された空隙AGが形成される。このとき、開口Pの側面、及びゲート電極20を覆う第1絶縁膜81の上面は、開口Pの内部に入り込んだ第5絶縁膜85で被覆されてもよい。

[0109] 空隙AGは、第3絶縁膜83、第4絶縁膜84、及び第5絶縁膜85を形成する酸化シリコン（比誘電率3.9）よりも比誘電率が低いため、第1低誘電率領域70、及び第2低誘電率領域71として機能する。空隙AGの内

側は、真空であってもよく、空気（比誘電率 1.0）が存在してもよい。または、空隙 A G の内側は、第 3 絶縁膜 83、第 4 絶縁膜 84、及び第 5 絶縁膜 85 を形成する酸化シリコン（比誘電率 3.9）よりも比誘電率が低い材料で埋め込まれていてもよい。

[0110] 以上の工程により、XY 面内方向において第 1 メタル M1 の間、かつ Z 積層方法において第 1 メタル M1 の下面よりも下方の少なくともいずれかの領域を含む第 1 低誘電率領域 70 と、XY 面内方向においてコンタクトプラグ 60S、60D とゲート電極 20 との間、かつ Z 積層方法において第 1 低誘電率領域 70 よりも下方の少なくともいずれかの領域を含む第 2 低誘電率領域 71 とに対応する領域に空隙 A G が設けられることになる。このとき、第 1 低誘電率領域 70 の空隙 A G と、第 2 低誘電率領域 71 の空隙 A G とは、空間的に連続して形成される。

[0111] その後、第 5 絶縁膜 85 の上に、必要に応じて第 6 絶縁膜 86 が形成されることで、図 7 に示した半導体装置 10 が形成される。なお、図示しないが、第 5 絶縁膜 85 の上に、第 1 メタル M1、及び第 4 絶縁膜 84 と同様に、金属層、及び絶縁膜の形成を順次行うことで、第 2 メタル M2、さらには第 3 メタル M3 を形成することも可能である。

[0112] 以上にて説明したように、半導体装置 10 は、上述した領域に第 1 低誘電率領域 70、及び第 2 低誘電率領域 71 を設けることにより、ゲート電極 20 とコンタクトプラグ 60S、60D、及び第 1 メタル M1 との間の容量 C_{gM} 、及び第 1 メタル M1 の間に生じる容量 C_{MM1} を低減することができる。したがって、半導体装置 10 は、オフ容量の外部成分 C_{ex} を低減することができる。これによれば、半導体装置 10 は、オン抵抗とオフ容量との積 ($R_{on} * C_{off}$) を低減することができるため、高周波スイッチの重要な特性である低損失化を促進することが可能となる。

[0113] また、半導体装置 10 では、第 1 低誘電率領域 70 は、Z 積層方向において第 1 メタル M1 の下面と上面との間の領域、及び第 1 メタル M1 の上面よりも上方の領域にもさらに延伸して設けられてもよい。このような場合、半

導体装置 10 は、ゲート電極 20 とコンタクトプラグ 60S, 60D、及び第 1 メタル M1 との間の容量 C_{gM} 、及び第 1 メタル M1 の間に生じる容量 C_{MM1} をさらに低減することが可能となる。

[0114] さらに、半導体装置 10 は、エッチングレートが異なる材料でそれぞれ形成された絶縁膜を含む少なくとも 1 層以上の絶縁膜 80 を半導体層 50 の上に設けて構成されることが好ましい。これによれば、半導体装置 10 では、各絶縁膜によるエッチングレートの差を用いて、第 1 低誘電率領域 70、及び第 2 低誘電率領域 71 の形成に用いられる開口 P のエッチング停止位置を高精度に制御することが可能となる。したがって、本実施形態によれば、半導体装置 10 をより安定的かつ高い信頼性にて製造することが可能となる。

[0115] なお、図 7 等の縦断面図にて示した開口 P における第 5 絶縁膜 85 の埋め込み状態、並びに開口 P の側面、及びゲート電極 20 を覆う第 1 絶縁膜 81 の上面への被覆状態は、あくまで例示であって、本実施形態に係る半導体装置 10 の構造を限定するものではない。

[0116] <2. 第 2 の実施形態>

次に、図 30 を参照して、本開示の第 2 の実施形態に係る半導体装置の構成について説明する。図 30 は、本実施形態に係る半導体装置 10A の断面構成を示す縦断面図である。図 30 は、図 7 と同様に、図 6 の V11-V11 線における断面構成を示す。

[0117] 図 30 に示すように、本実施形態に係る半導体装置 10A は、図 7 で示す半導体装置 10 に対して、開口 P を介して行われる第 2 絶縁膜 82 の等方的なエッチングの範囲を拡大させることで、第 1 低誘電率領域 70、及び第 2 低誘電率領域 71 となる空隙 AG を拡大させている点異なる。

[0118] 具体的には、半導体装置 10A では、第 2 絶縁膜 82 に加えてゲート電極 20 の上面を覆う第 1 絶縁膜 81、さらに開口 P の側面の第 3 絶縁膜 83、及び第 4 絶縁膜 84 を除去することで、より広い範囲に空隙 AG を形成することができる。これによれば、半導体装置 10A は、ゲート電極 20 とコンタクトプラグ 60S, 60D 又は第 1 メタル M1 との間の容量 C_{gM} 、及び

第1メタルM1の間に生じる容量C_{MM1}などを含むオフ容量の外部成分C_{e x}をさらに低減することが可能である。

[0119] 本実施形態に係る半導体装置10Aでは、開口Pの開口幅WPが拡大するため、開口Pの側面、及び底面（すなわち、ゲート電極20の上面）には、図7で示す半導体装置10よりも厚い膜厚の第5絶縁膜85が堆積することがあり得る。このとき、開口Pの底面に堆積した第5絶縁膜85は、等方的なエッチングによって開口Pの内部に露出したゲート電極20の上面を保護する機能を奏する。

[0120] なお、第1の実施形態でも言及したが、図30で示した開口Pにおける第5絶縁膜85の埋め込み状態、並びに開口Pの側面、及びゲート電極20の上面への被覆状態は、あくまで例示であって、本実施形態に係る半導体装置10Aの構造を限定するものではない。

[0121] <3. 第3の実施の形態>

続いて、図31を参照して、本開示の第3の実施形態に係る半導体装置の構成について説明する。図31は、本実施形態に係る半導体装置10Bの断面構成を示す縦断面図である。図31は、図7と同様に、図6のV11-V11線における断面構成を示す。

[0122] 図31に示すように、本実施形態に係る半導体装置10Bは、第1低誘電率領域70となる空隙AGの幅W70を図7で示す半導体装置10と同程度としつつ、第2低誘電率領域71となる空隙AGを図30で示す半導体装置10Aよりも拡大することができる。

[0123] 具体的には、半導体装置10Bでは、開口Pを形成する際に用いる低誘電率領域形成用レジスト65の開口幅をより狭くすることで、より狭い開口幅WPを有する開口Pを形成する。その上で、半導体装置10Bは、開口Pを介して行われる第2絶縁膜82の等方的なエッチングの範囲を拡大し、第2絶縁膜82に加えてゲート電極20の上面及び側面を覆う第1絶縁膜81、さらに開口Pの側面の第3絶縁膜83、及び第4絶縁膜84を除去することで、より広い範囲に空隙AGを形成することができる。

- [0124] 開口Pを介した第1絶縁膜81、第2絶縁膜82、第3絶縁膜83、及び第4絶縁膜84の等方的なエッチングは、空隙AGを拡大するために長時間行われるため、開口Pの開口幅WPはエッチング前後で広がってしまう。本実施形態に係る半導体装置10Bでは、あらかじめ開口幅WPを狭くして開口Pを形成しているため、空隙AGを形成するエッチングにて開口Pの開口幅WPが過度に広がり、第5絶縁膜85による開口Pの上部の閉塞が困難となることを防止することができる。
- [0125] なお、半導体装置10Bでは、空隙AGを形成するための等方的なエッチングは、半導体層50が露出しないようにエッチング量を制御して行われる。具体的には、空隙AGを形成するための等方的なエッチングは、半導体層50の上面に設けられた第1絶縁膜81が消失しない程度にエッチング量を制御して行われる。これは、ゲート絶縁膜23の近傍の半導体層50が露出したり、ゲート絶縁膜23がサイドエッチングされたりした場合、ゲート長、及び閾値電圧のばらつきが大きくなる可能性があるためである。
- [0126] 半導体装置10Bでは、第2絶縁膜82に加えてゲート電極20の上面及び側面を覆う第1絶縁膜81、さらに開口Pの側面の第3絶縁膜83、及び第4絶縁膜84を除去することで、さらに広い範囲に空隙AGを形成することができる。これによれば、半導体装置10Bは、ゲート電極20とコンタクトプラグ60S、60D又は第1メタルM1との間の容量C_{gM}、及び第1メタルM1の間に生じる容量C_{MM1}などを含むオフ容量の外部成分C_{ex}をさらに低減することが可能である。
- [0127] 本実施形態に係る半導体装置10Bでは、開口Pの開口幅WPが図7で示す半導体装置10と同程度であるため、開口Pの側面、及び底面（すなわち、ゲート電極20の上面）に堆積する第5絶縁膜85の膜厚を薄くすることができる。これによれば、半導体装置10Bは、第1低誘電率領域70、及び第2低誘電率領域71となる空隙AGが過度に第5絶縁膜85によって埋め込まれてしまうことを抑制することができる。
- [0128] なお、第1の実施形態でも言及したが、図31で示した開口Pにおける第

5 絶縁膜 85 の埋め込み状態、並びに開口 P の側面、及びゲート電極 20 の上面への被覆状態は、あくまで例示であって、本実施形態に係る半導体装置 10B の構造を限定するものではない。

[0129] <4. 第4の実施の形態>

次に、図32を参照して、本開示の第4の実施形態に係る半導体装置の構成について説明する。図32は、本実施形態に係る半導体装置 10C の断面構成を示す縦断面図である。図32は、図7と同様に、図6のV11-V11線における断面構成を示す。

[0130] 図32に示すように、本実施形態に係る半導体装置 10C は、図7で示す半導体装置 10 に対して、開口 P の一部が第5絶縁膜 85 にて埋め込まれることで、第1低誘電率領域 70 と、第2低誘電率領域 71 とが空間的に連続しておらず孤立している点異なる。

[0131] 具体的には、半導体装置 10C では、開口 P の上部を閉塞する第5絶縁膜 85 を形成する際に、埋め込み性が高い条件の CVD 法にて第5絶縁膜 85 を成膜することで、開口 P の内部により多くの第5絶縁膜 85 を堆積させる。これにより、半導体装置 10C は、開口 P の側面、及び底面（すなわち、第1絶縁膜 81 の上面）に堆積された第5絶縁膜 85 を結合させ、第1低誘電率領域 70 と、第2低誘電率領域 71 とを互いに分離することができる。これにより、第1低誘電率領域 70 は、ゲート電極 20 の上方に設けられ、第2低誘電率領域 71 は、ゲート電極 20 の側面を囲むように互いに離隔して設けられる。

[0132] したがって、本実施形態に係る半導体装置 10C のような構成であっても、図7で示す半導体装置 10 と同様に、半導体装置 10C は、ゲート電極 20 とコンタクトプラグ 60S、60D 又は第1メタル M1 との間の容量 C_{gm} 、及び第1メタル M1 の間に生じる容量 C_{MM1} などを含むオフ容量の外部成分 C_{ex} を低減することが可能である。

[0133] なお、第1の実施形態でも言及したが、図32で示した開口 P における第5絶縁膜 85 の埋め込み状態、並びに開口 P の側面、及び第1絶縁膜 81 の

上面への被覆状態は、あくまで例示であって、本実施形態に係る半導体装置 10C の構造を限定するものではない。

[0134] <5. 第5の実施の形態>

続いて、図33を参照して、本開示の第5の実施形態に係る半導体装置の構成について説明する。図33は、本実施形態に係る半導体装置 10D の断面構成を示す縦断面図である。図33は、図7と同様に、図6のV11-V11線における断面構成を示す。

[0135] 図33に示すように、本実施形態に係る半導体装置 10D は、図7で示す半導体装置 10 に対して、開口Pが第5絶縁膜85にて埋め込まれることで、第1低誘電率領域70に対応する領域が第5絶縁膜85にて埋め込まれている点異なる。

[0136] 具体的には、半導体装置 10D では、開口Pの上部を閉塞する第5絶縁膜85を形成する際に、開口Pの埋め込み性が高い条件のCVD法にて第5絶縁膜85を成膜することで、開口Pの第1絶縁膜81の上面から開口面にかけての領域を第5絶縁膜85にて埋め込む。これにより、第1メタルM1の下面より下方、かつ第1絶縁膜81の上面よりも上方の開口Pは、第5絶縁膜85で埋め込まれる。しかしながら、第5絶縁膜85を第3絶縁膜83、及び第4絶縁膜84よりも比誘電率が低い材料で形成することで、図7で示す半導体装置 10 と同様に、上記領域を第1低誘電率領域70として機能させることができる。また、第2低誘電率領域71は、ゲート電極20の側面を囲む空隙AGにて構成される。

[0137] したがって、本実施形態に係る半導体装置 10D のような構成であっても、図7で示す半導体装置 10 と同様に、半導体装置 10D は、ゲート電極20とコンタクトプラグ60S、60D又は第1メタルM1との間の容量 C_{gM} 、及び第1メタルM1の間に生じる容量 C_{MM1} などを含むオフ容量の外部成分 C_{ex} を低減することが可能である。

[0138] なお、第1の実施形態でも言及したが、図33で示した開口Pにおける第5絶縁膜85の埋め込み状態は、あくまで例示であって、本実施形態に係る

半導体装置 10D の構造を限定するものではない。

[0139] <6. 第6の実施形態>

次に、図34を参照して、本開示の第6の実施形態に係る半導体装置の構成について説明する。図34は、本実施形態に係る半導体装置 10E の断面構成を示す縦断面図である。図34は、図7と同様に、図6のV11-V11線における断面構成を示す。

[0140] 図34に示すように、本実施形態に係る半導体装置 10E は、図33で示す半導体装置 10D に対して、流動性を有する材料の塗布によって第5絶縁膜 85 を形成している点が異なる。具体的には、半導体装置 10E では、低誘電体膜である SOG (Spin On Glass)、若しくは有機樹脂膜の塗布成膜、又は有機樹脂膜の貼り付け成膜を用いて、第5絶縁膜 85 を形成することで、開口 P の上部を閉塞する。SOG 及び有機樹脂は流動性が高いため、開口面から開口 P の第1絶縁膜 81 の上面にかけての領域を CVD 法よりも容易に第5絶縁膜 85 にて埋め込むことができる。

[0141] これにより、第1メタル M1 の下面より下方、かつ第1絶縁膜 81 の上面よりも上方の開口 P は、低誘電体膜である SOG 又は有機樹脂からなる第5絶縁膜 85 で埋め込まれるため、図7で示す半導体装置 10 と同様に、第1低誘電率領域 70 として機能することができる。また、第2低誘電率領域 71 は、ゲート電極 20 の側面を囲む空隙 AG にて構成される。

[0142] したがって、本実施形態に係る半導体装置 10E のような構成であっても、図7で示す半導体装置 10 と同様に、半導体装置 10E は、ゲート電極 20 とコンタクトプラグ 60S、60D 又は第1メタル M1 との間の容量 C_{gM}、及び第1メタル M1 の間に生じる容量 C_{MM1} などを含むオフ容量の外部成分 C_{ex} を低減することが可能である。

[0143] なお、第1の実施形態でも言及したが、図34で示した開口 P における第5絶縁膜 85 の埋め込み状態は、あくまで例示であって、本実施形態に係る半導体装置 10E の構造を限定するものではない。

[0144] <7. 第7の実施形態>

続いて、図35を参照して、本開示の第7の実施形態に係る半導体装置の構成について説明する。図35は、本実施形態に係る半導体装置10Fの断面構成を示す縦断面図である。図35は、図7と同様に、図6のV11-V11線における断面構成を示す。

[0145] 図35に示すように、本実施形態に係る半導体装置10Fは、図7で示す半導体装置10に対して、第4絶縁膜84と第5絶縁膜85との間に設けられた第2メタルM2と、第2メタルM2の表面、及び第4絶縁膜84の上面を覆う第7絶縁膜87とがさらに設けられている点異なる。

[0146] 具体的には、半導体装置10Fでは、第4絶縁膜84は、第1メタルM1、及び第1メタルM1の上面に設けられたコンタクトプラグ61を埋め込んで設けられる。また、第4絶縁膜84の上には、コンタクトプラグ61を介して第1メタルM1と接続する第2メタルM2が設けられ、第2メタルM2の表面、及び第4絶縁膜の上面には、第7絶縁膜87が設けられる。開口Pは、第7絶縁膜87の上面から形成されており、第7絶縁膜87の上に設けられた第5絶縁膜85によって上部を閉塞される。

[0147] 第2メタルM2、第7絶縁膜87、及びコンタクトプラグ61を構成する材料は、それぞれ第1メタルM1、第4絶縁膜84、及びコンタクトプラグ60S、60Dと実質的に同様であるため、ここでの説明は省略する。

[0148] 本実施形態に係る半導体装置10Fでは、第1メタルM1の上に設けられる第2メタルM2の間にも空隙AGからなる第1低誘電率領域70を延伸させることができる。これによれば、半導体装置10Fは、ゲート電極20とコンタクトプラグ60S、60D又は第1メタルM1との間の容量CgM、及び第1メタルM1の間に生じる容量CMM1に加えて、ゲート電極20と第2メタルM2との間の容量Cg、及び第2メタルM2の間に生じる容量CMM2を低減することが可能である。したがって、半導体装置10Fは、これらの容量を含むオフ容量の外部成分Cexを低減することが可能である。

[0149] なお、第1の実施形態でも言及したが、図35で示した開口Pにおける第5絶縁膜85の埋め込み状態、並びに開口Pの側面、及び第1絶縁膜81の

上面への被覆状態は、あくまで例示であって、本実施形態に係る半導体装置 10F の構造を限定するものではない。

[0150] <8. 適用例>

さらに、図36を参照して、本開示の第1～第7の実施形態に係る半導体装置の適用例である無線通信装置の構成について説明する。図36は、無線通信装置の構成の一例を示す模式図である。

[0151] 図36に示すように、無線通信装置3は、例えば、アンテナANTと、高周波スイッチ1と、高電力増幅器HPAと、高周波集積回路RFIC (Radio Frequency Integrated Circuit) と、ベースバンド部BBと、音声出力部MICと、データ出力部DTと、インタフェース部I/F (例えば、無線LAN (Wireless Local Area Network: W-LAN)、Bluetooth (登録商標) など) とを備える。無線通信装置3は、例えば、音声、データ通信、及びLAN (Local Area Network) 接続などの多機能を有する携帯電話システムに用いられる高周波モジュールである。

[0152] 高周波スイッチ1は、第1～第7の実施形態に係る半導体装置10、10A～10Fのいずれかを含んで構成される。

[0153] 無線通信装置3の送信系から送信信号をアンテナANTへ出力する場合 (すなわち、送信時)、無線通信装置3は、ベースバンド部BBから出力される送信信号を高周波集積回路RFIC、高電力増幅器HPA、及び高周波スイッチ1を介してアンテナANTへと出力する。

[0154] 一方、アンテナANTで受信した受信信号を無線通信装置3の受信系へ入力させる場合 (すなわち、受信時)、無線通信装置3は、高周波スイッチ1、及び高周波集積回路RFICを介して、受信信号をベースバンド部BBに入力する。ベースバンド部BBで処理された受信信号は、音声出力部MIC、データ出力部DT、又はインタフェース部I/Fなどの出力部から出力される。

[0155] 以上、第1～第7の実施形態を挙げて本開示に係る技術を説明したが、本

開示に係る技術は上記実施形態に限定されるものではなく、種々の変形が可能である。

[0156] 例えば、上記実施形態では、第1導電型不純物は、ヒ素（As）又はリン（P）等のn型不純物であり、第2導電型不純物は、ホウ素（B）、又はアルミニウム（Al）等のp型不純物であるとしたが、これらの導電型は逆であってもよい。すなわち、第1導電型不純物は、ホウ素（B）、又はアルミニウム（Al）等のp型不純物であり、第2導電型不純物は、ヒ素（As）又はリン（P）等のn型不純物であってもよい。

[0157] 例えば、上記実施形態では、本開示に係る技術の実施形態として、高周波スイッチ1、電界効果トランジスタ等の半導体装置10、及び無線通信装置3の構成を具体的に挙げて説明したが、これらは、図示した構成要素を全て備えるものに限定されるものではなく、一部の構成要素を他の構成要素に置換することも可能である。

[0158] また、上記実施形態では、半導体装置10を無線通信装置3の高周波スイッチ1に適用する例を説明したが、半導体装置10は、高周波スイッチ（RF-SW）のほか、PA（Power Amplifier）などの他の高周波デバイスにも適用可能である。

[0159] さらに、上記実施形態において説明した各層の形状、材料、及び厚み、又は成膜方法等は上記に限定されるものではなく、他の形状、材料、及び厚みとしてもよく、又は他の成膜方法としてもよい。

[0160] 各実施形態で説明した構成および動作の全てが本開示の構成及び動作として必須であるとは限らない。たとえば、各実施形態における構成要素のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素は、任意の構成要素として理解されるべきである。

[0161] 本明細書および添付の特許請求の範囲全体で使用する用語は、「限定的でない」用語と解釈されるべきである。例えば、「含む」又は「含まれる」という用語は、「含まれるものとして記載されたものに限定されない」と解釈されるべきである。「有する」という用語は、「有するものとして記載さ

れたものに限定されない」と解釈されるべきである。そして、添付の特許請求の範囲を逸脱することなく本開示の実施の形態に変更を加えることができることは、当業者には明らかであろう。

[0162] 本明細書で使用した用語には、単に説明の便宜のために用いたものであって、構成および動作を限定したものではないものが含まれる。たとえば、「右」、「左」、「上」、「下」といった用語は、参照している図面上での方向を示しているにすぎない。また、「内側」、「外側」という用語は、それぞれ、注目要素の中心に向かう方向、注目要素の中心から離れる方向を示す。これらに類似する用語や同様の趣旨の用語についても同様である。

[0163] なお、本開示にかかる技術は、以下のような構成を取ることも可能である。以下の構成を備える本開示にかかる技術によれば、電界効果トランジスタのオフ容量を低減することができる。本開示にかかる技術が奏する効果は、ここに記載された効果に必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

(1)

ゲート電極と、

前記ゲート電極を間にしてソース領域、及びドレイン領域を有する半導体層と、

前記ソース領域、及び前記ドレイン領域の上にそれぞれ設けられたコンタクトプラグと、

前記コンタクトプラグの各々の上に積層された第1メタルと、

前記半導体層の面内方向において前記第1メタルの各々の間、かつ前記半導体層の積層方向において前記第1メタルの下面よりも下方の少なくともいずれかの領域に設けられた第1低誘電率領域と、

前記面内方向において前記コンタクトプラグと前記ゲート電極との間、かつ前記積層方向において前記第1低誘電率領域よりも下方の少なくともいずれかの領域に設けられた第2低誘電率領域と

を備え、

前記第 2 低誘電率領域は、前記第 1 低誘電率領域が設けられる平面領域とは少なくとも一部が異なる平面領域に設けられる、半導体装置。

(2)

前記第 1 低誘電率領域は、前記積層方向において前記第 1 メタルの上面と下面との間の少なくともいずれかの領域にさらに延伸して設けられる、前記 (1) に記載の半導体装置。

(3)

前記第 1 低誘電率領域は、前記積層方向において前記第 1 メタルの上面よりも上方の少なくともいずれかの領域にさらに延伸して設けられる、前記 (2) に記載の半導体装置。

(4)

前記第 2 低誘電率領域は、前記第 1 低誘電率領域と連続して設けられる、前記 (1) ～ (3) のいずれか一項に記載の半導体装置。

(5)

前記第 1 低誘電率領域、及び前記第 2 低誘電率領域は、それぞれ空隙を含み、

前記第 1 低誘電率領域に含まれる空隙と、前記第 2 低誘電率領域に含まれる空隙とは連続して設けられる、前記 (4) に記載の半導体装置。

(6)

前記ゲート電極を覆うように前記半導体層の上に設けられた 1 層以上の絶縁膜と、

前記 1 層以上の絶縁膜の上面から、前記ゲート電極に対応する平面領域に設けられた開口と

をさらに備え、

前記第 1 低誘電率領域は、前記開口の内部に設けられる、前記 (1) ～ (5) のいずれか一項に記載の半導体装置。

(7)

前記 1 層以上の絶縁膜は、エッチングレートが異なる材料でそれぞれ形成

された絶縁膜を含む、前記（６）に記載の半導体装置。

（８）

前記１層以上の絶縁膜は、

前記ゲート電極の表面、及び前記半導体層の表面を覆う第１絶縁膜と、

前記第１絶縁膜の表面を覆う第２絶縁膜と、

前記第２絶縁膜の表面と前記第１メタルの下面との間に設けられた第３絶縁膜と

を含み、

前記第１絶縁膜は、前記第２絶縁膜の材料とは異なるエッチングレートの材料で形成される、前記（７）に記載の半導体装置。

（９）

前記積層方向の一断面において、前記第１低誘電率領域の幅は、前記ゲート電極の表面に設けられた前記第１絶縁膜の幅よりも小さい、前記（８）に記載の半導体装置。

（１０）

前記開口は、前記ゲート電極の上の前記第３絶縁膜を少なくとも貫通して設けられる、前記（８）又は（９）に記載の半導体装置。

（１１）

前記開口は、前記ゲート電極の上の前記第２絶縁膜、又は前記第２絶縁膜及び前記第１絶縁膜をさらに貫通して設けられる、前記（１０）に記載の半導体装置。

（１２）

前記１層以上の絶縁膜は、前記第３絶縁膜の上面、及び前記第１メタルの表面を覆う第４絶縁膜をさらに含み、

前記開口は、前記第４絶縁膜の上面から設けられる、前記（１０）又は（１１）に記載の半導体装置。

（１３）

前記１層以上の絶縁膜は、前記第４絶縁膜の上に設けられた第５絶縁膜を

さらに含み、

前記第5絶縁膜は、前記開口の上部を閉塞する、前記（12）に記載の半導体装置。

（14）

前記第4絶縁膜と前記第5絶縁膜との間に設けられた第2メタルをさらに備え、

前記1層以上の絶縁膜は、前記第4絶縁膜の上面、及び前記第2メタルの表面を覆う第7絶縁膜をさらに含み、

前記開口は、前記第7絶縁膜の上面から設けられる、前記（13）に記載の半導体装置。

（15）

前記第5絶縁膜は、前記開口の側面の少なくとも一部を被覆する、前記（13）又は（14）に記載の半導体装置。

（16）

前記第5絶縁膜は、前記第3絶縁膜、及び前記第4絶縁膜を形成する材料よりも誘電率が低い材料にて形成されており、

前記第1低誘電率領域は、前記第5絶縁膜にて埋め込まれた前記開口の少なくとも一部を含む、前記（13）～（15）のいずれか一項に記載の半導体装置。

（17）

前記1層以上の絶縁膜は、

前記ゲート電極の表面、及び前記半導体層の表面を覆う第1絶縁膜と、

前記第1絶縁膜の表面を覆う第2絶縁膜と、

前記第2絶縁膜の表面と前記第1メタルの下面との間に設けられた第3絶縁膜と、

前記第3絶縁膜の上面、及び前記第1メタルの表面を覆う第4絶縁膜と、

前記第4絶縁膜の上に設けられ、前記開口を閉塞する第5絶縁膜とを含み、

前記第2低誘電率領域は、前記積層方向において、前記第1絶縁膜、前記第2絶縁膜、又は前記第3絶縁膜の少なくともいずれかが形成された領域に設けられた空隙を含む、前記（6）に記載の半導体装置。

（18）

前記第2低誘電率領域に含まれる空隙は、前記第1絶縁膜の少なくとも一部を露出させる、前記（17）に記載の半導体装置。

（19）

前記第2低誘電率領域に含まれる空隙は、前記半導体層の表面に設けられた前記第1絶縁膜を露出させる、前記（18）に記載の半導体装置。

（20）

前記第2低誘電率領域に含まれる空隙は、前記ゲート電極の少なくとも一部をさらに露出させる、前記（19）に記載の半導体装置。

（21）

前記第2低誘電率領域に含まれる空隙は、前記第4絶縁膜の上面から前記ゲート電極の上の前記第3絶縁膜を少なくとも貫通して設けられる前記開口と連続して設けられる、前記（17）～（20）のいずれか一項に記載の半導体装置。

（22）

前記第5絶縁膜は、前記第2低誘電率領域に含まれる空隙の側面、又は底面の少なくとも一部を被覆する、前記（21）に記載の半導体装置。

（23）

前記積層方向の一断面において、前記第2低誘電率領域が設けられた領域の幅は、前記ゲート電極の表面に設けられた前記第1絶縁膜の幅よりも大きい、前記（17）～（22）のいずれか一項に記載の半導体装置。

（24）

前記第5絶縁膜は、前記第3絶縁膜、及び前記第4絶縁膜を形成する材料よりも誘電率が低い材料にて形成されており、

前記第2低誘電率領域は、前記第5絶縁膜にて埋め込まれた領域を含む、

前記（１７）～（２３）のいずれか一項に記載の半導体装置。

（２５）

前記ゲート電極は、前記面内方向に一方方向に延伸されて設けられ、

前記コンタクトプラグ、前記第１メタル、前記第１低誘電率領域、及び前記第２低誘電率領域は、前記面内方向において、前記ゲート電極の延伸方向と平行方向に延伸されて設けられる、前記（１）～（２４）のいずれか一項に記載の半導体装置。

（２６）

前記第１低誘電率領域、及び前記第２低誘電率領域は、前記面内方向において、前記ゲート電極の延伸方向と交差する方向に延伸されて設けられる、前記（２５）に記載の半導体装置。

（２７）

前記ゲート電極は、同一方向に延伸された複数のフィンガー部と、前記複数のフィンガー部を連結する連結部とを含み、

前記第１低誘電率領域は、前記フィンガー部の上方、又は前記連結部の少なくとも一部の上方に設けられ、

前記第２低誘電率領域は、前記フィンガー部の側壁、又は前記連結部の少なくとも一部の側壁に設けられる、前記（１）～（２６）のいずれか一項に記載の半導体装置。

（２８）

前記面内方向において、

前記ソース領域、及び前記ドレイン領域を含む素子領域と、

多層配線部を有し、素子分離層によって前記素子領域と区画される配線領域と、

が設けられ、

前記第１低誘電率領域、及び前記第２低誘電率領域は、前記素子領域内に設けられる、前記（１）～（２７）のいずれか一項請求項１に記載の半導体装置。

(29)

前記面内方向において、

前記素子領域、及び前記配線領域を含むアクティブ領域と、

前記素子分離層を含み、前記アクティブ領域の外側に設けられた素子分離領域と、

が設けられ、

前記素子分離領域の前記素子分離層の上には、前記ゲート電極と接続されたゲートコンタクトが設けられ、

前記第1低誘電率領域、及び前記第2低誘電率領域は、前記ゲートコンタクトを回避して設けられる、前記(28)に記載の半導体装置。

(30)

高周波デバイス用の電界効果トランジスタとして用いられる、前記(1)～(29)のいずれか一項に記載の半導体装置。

(31)

半導体層の上面側にゲート電極を形成する工程と、

前記半導体層に、前記ゲート電極を間にしてソース領域、及びドレイン領域を形成する工程と、

前記ソース領域、及び前記ドレイン領域の各々の上にコンタクトプラグを形成する工程と、

前記コンタクトプラグの各々の上に第1メタルを積層する工程と、

前記半導体層の面内方向において前記第1メタルの各々の間、かつ前記半導体層の積層方向において前記第1メタルの下面よりも下方の少なくともいずれかの領域に第1低誘電率領域を形成する工程と、

前記面内方向において前記コンタクトプラグと前記ゲート電極との間、かつ前記積層方向において前記第1低誘電率領域よりも下方の少なくともいずれかの領域に第2低誘電率領域を形成する工程と

を含み、

前記第1低誘電率領域が形成される平面領域とは少なくとも一部が異なる

平面領域に前記第2低誘電率領域を形成する、半導体装置の製造方法。

[0164] 本出願は、日本国特許庁において2019年6月20日出願された日本国特許出願番号第2019-114339号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0165] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範疇に含まれるものであることが理解される。

請求の範囲

- [請求項1] ゲート電極と、
 前記ゲート電極を間にしてソース領域、及びドレイン領域を有する半導体層と、
 前記ソース領域、及び前記ドレイン領域の上にそれぞれ設けられたコンタクトプラグと、
 前記コンタクトプラグの各々の上に積層された第1メタルと、
 前記半導体層の面内方向において前記第1メタルの各々の間、かつ前記半導体層の積層方向において前記第1メタルの下面よりも下方の少なくともいずれかの領域に設けられた第1低誘電率領域と、
 前記面内方向において前記コンタクトプラグと前記ゲート電極との間、かつ前記積層方向において前記第1低誘電率領域よりも下方の少なくともいずれかの領域に設けられた第2低誘電率領域とを備え、
 前記第2低誘電率領域は、前記第1低誘電率領域が設けられる平面領域とは少なくとも一部が異なる平面領域に設けられる、半導体装置。
- [請求項2] 前記第1低誘電率領域は、前記積層方向において前記第1メタルの上面と下面との間の少なくともいずれかの領域にさらに延伸して設けられる、請求項1に記載の半導体装置。
- [請求項3] 前記第1低誘電率領域は、前記積層方向において前記第1メタルの上面よりも上方の少なくともいずれかの領域にさらに延伸して設けられる、請求項2に記載の半導体装置。
- [請求項4] 前記第2低誘電率領域は、前記第1低誘電率領域と連続して設けられる、請求項1に記載の半導体装置。
- [請求項5] 前記第1低誘電率領域、及び前記第2低誘電率領域は、それぞれ空隙を含み、
 前記第1低誘電率領域に含まれる空隙と、前記第2低誘電率領域に

含まれる空隙とは連続して設けられる、請求項 4 に記載の半導体装置。

[請求項6] 前記ゲート電極を覆うように前記半導体層の上に設けられた 1 層以上の絶縁膜と、

前記 1 層以上の絶縁膜の上面から、前記ゲート電極に対応する平面領域に設けられた開口と

をさらに備え、

前記第 1 低誘電率領域は、前記開口の内部に設けられる、請求項 1 に記載の半導体装置。

[請求項7] 前記 1 層以上の絶縁膜は、エッチングレートが異なる材料でそれぞれ形成された絶縁膜を含む、請求項 6 に記載の半導体装置。

[請求項8] 前記 1 層以上の絶縁膜は、

前記ゲート電極の表面、及び前記半導体層の表面を覆う第 1 絶縁膜と、

前記第 1 絶縁膜の表面を覆う第 2 絶縁膜と、

前記第 2 絶縁膜の表面と前記第 1 メタルの下面との間に設けられた第 3 絶縁膜と

を含み、

前記第 1 絶縁膜は、前記第 2 絶縁膜の材料とは異なるエッチングレートの材料で形成される、請求項 7 に記載の半導体装置。

[請求項9] 前記積層方向の一断面において、前記第 1 低誘電率領域の幅は、前記ゲート電極の表面に設けられた前記第 1 絶縁膜の幅よりも小さい、請求項 8 に記載の半導体装置。

[請求項10] 前記開口は、前記ゲート電極の上の前記第 3 絶縁膜を少なくとも貫通して設けられる、請求項 8 に記載の半導体装置。

[請求項11] 前記開口は、前記ゲート電極の上の前記第 2 絶縁膜、又は前記第 2 絶縁膜及び前記第 1 絶縁膜をさらに貫通して設けられる、請求項 10 に記載の半導体装置。

- [請求項12] 前記1層以上の絶縁膜は、前記第3絶縁膜の上面、及び前記第1メタルの表面を覆う第4絶縁膜をさらに含み、
前記開口は、前記第4絶縁膜の上面から設けられる、請求項10に記載の半導体装置。
- [請求項13] 前記1層以上の絶縁膜は、前記第4絶縁膜の上に設けられた第5絶縁膜をさらに含み、
前記第5絶縁膜は、前記開口の上部を閉塞する、請求項12に記載の半導体装置。
- [請求項14] 前記第4絶縁膜と前記第5絶縁膜との間に設けられた第2メタルをさらに備え、
前記1層以上の絶縁膜は、前記第4絶縁膜の上面、及び前記第2メタルの表面を覆う第7絶縁膜をさらに含み、
前記開口は、前記第7絶縁膜の上面から設けられる、請求項13に記載の半導体装置。
- [請求項15] 前記第5絶縁膜は、前記開口の側面の少なくとも一部を被覆する、請求項13に記載の半導体装置。
- [請求項16] 前記第5絶縁膜は、前記第3絶縁膜、及び前記第4絶縁膜を形成する材料よりも誘電率が低い材料にて形成されており、
前記第1低誘電率領域は、前記第5絶縁膜にて埋め込まれた前記開口の少なくとも一部を含む、請求項13に記載の半導体装置。
- [請求項17] 前記1層以上の絶縁膜は、
前記ゲート電極の表面、及び前記半導体層の表面を覆う第1絶縁膜と、
前記第1絶縁膜の表面を覆う第2絶縁膜と、
前記第2絶縁膜の表面と前記第1メタルの下面との間に設けられた第3絶縁膜と、
前記第3絶縁膜の上面、及び前記第1メタルの表面を覆う第4絶縁膜と、

前記第4絶縁膜の上に設けられ、前記開口を閉塞する第5絶縁膜とを含み、

前記第2低誘電率領域は、前記積層方向において、前記第1絶縁膜、前記第2絶縁膜、又は前記第3絶縁膜の少なくともいずれかが形成された領域に設けられた空隙を含む、請求項6に記載の半導体装置。

[請求項18] 前記第2低誘電率領域に含まれる空隙は、前記第1絶縁膜の少なくとも一部を露出させる、請求項17に記載の半導体装置。

[請求項19] 前記第2低誘電率領域に含まれる空隙は、前記半導体層の表面に設けられた前記第1絶縁膜を露出させる、請求項18に記載の半導体装置。

[請求項20] 前記第2低誘電率領域に含まれる空隙は、前記ゲート電極の少なくとも一部をさらに露出させる、請求項19に記載の半導体装置。

[請求項21] 前記第2低誘電率領域に含まれる空隙は、前記第4絶縁膜の上面から前記ゲート電極の上の前記第3絶縁膜を少なくとも貫通して設けられる前記開口と連続して設けられる、請求項17に記載の半導体装置。

[請求項22] 前記第5絶縁膜は、前記第2低誘電率領域に含まれる空隙の側面、又は底面の少なくとも一部を被覆する、請求項21に記載の半導体装置。

[請求項23] 前記積層方向の一断面において、前記第2低誘電率領域が設けられた領域の幅は、前記ゲート電極の表面に設けられた前記第1絶縁膜の幅よりも大きい、請求項17に記載の半導体装置。

[請求項24] 前記第5絶縁膜は、前記第3絶縁膜、及び前記第4絶縁膜を形成する材料よりも誘電率が低い材料にて形成されており、

前記第2低誘電率領域は、前記第5絶縁膜にて埋め込まれた領域を含む、請求項17に記載の半導体装置。

[請求項25] 前記ゲート電極は、前記面内方向に一方向に延伸されて設けられ、前記コンタクトプラグ、前記第1メタル、前記第1低誘電率領域、

及び前記第 2 低誘電率領域は、前記面内方向において、前記ゲート電極の延伸方向と平行方向に延伸されて設けられる、請求項 1 に記載の半導体装置。

[請求項26] 前記第 1 低誘電率領域、及び前記第 2 低誘電率領域は、前記面内方向において、前記ゲート電極の延伸方向と交差する方向に延伸されて設けられる、請求項 2 5 に記載の半導体装置。

[請求項27] 前記ゲート電極は、同一方向に延伸された複数のフィンガー部と、前記複数のフィンガー部を連結する連結部とを含み、
前記第 1 低誘電率領域は、前記フィンガー部の上方、又は前記連結部の少なくとも一部の上方に設けられ、
前記第 2 低誘電率領域は、前記フィンガー部の側壁、又は前記連結部の少なくとも一部の側壁に設けられる、請求項 1 に記載の半導体装置。

[請求項28] 前記面内方向において、
前記ソース領域、及び前記ドレイン領域を含む素子領域と、
多層配線部を有し、素子分離層によって前記素子領域と区画される配線領域と、
が設けられ、
前記第 1 低誘電率領域、及び前記第 2 低誘電率領域は、前記素子領域内に設けられる、請求項 1 に記載の半導体装置。

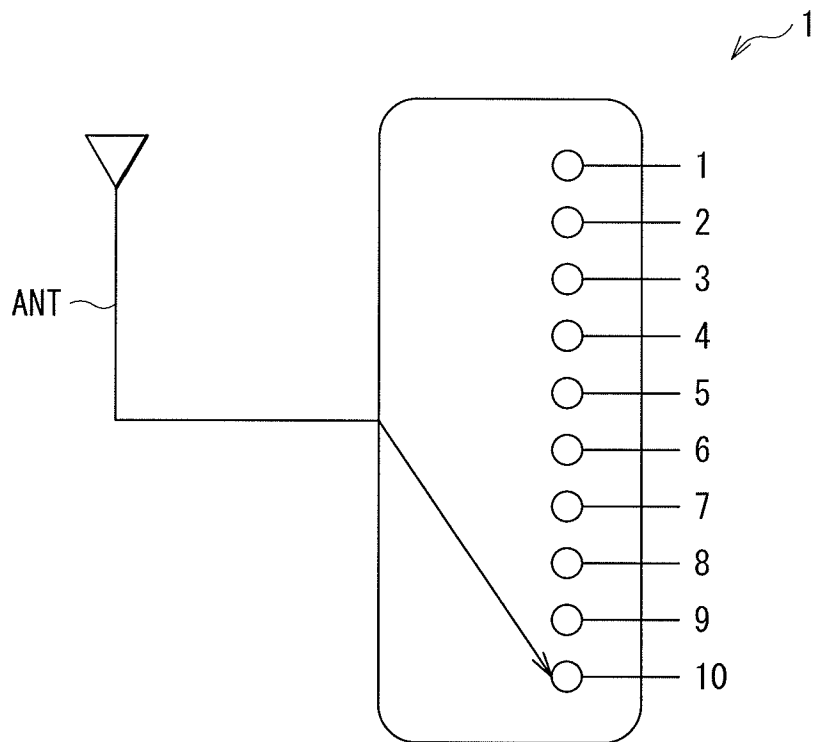
[請求項29] 前記面内方向において、
前記素子領域、及び前記配線領域を含むアクティブ領域と、
前記素子分離層を含み、前記アクティブ領域の外側に設けられた素子分離領域と、
が設けられ、
前記素子分離領域の前記素子分離層の上には、前記ゲート電極と接続されたゲートコンタクトが設けられ、
前記第 1 低誘電率領域、及び前記第 2 低誘電率領域は、前記ゲート

コンタクトを回避して設けられる、請求項 28 に記載の半導体装置。

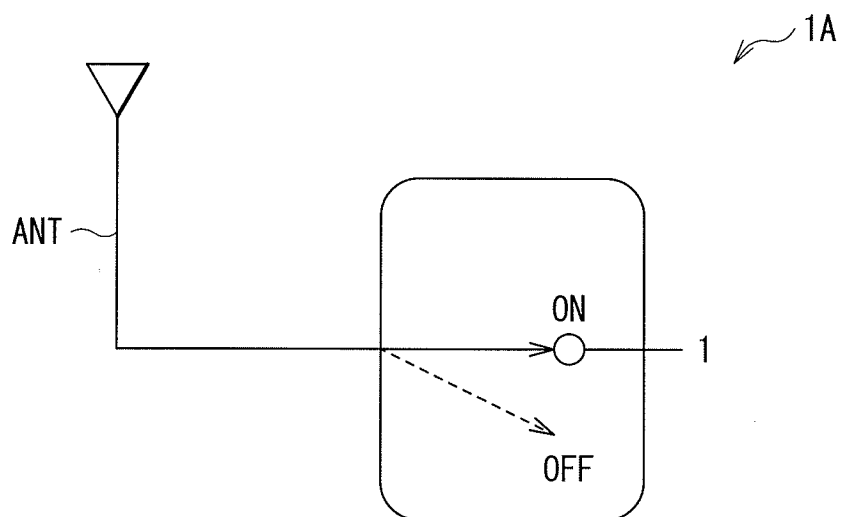
[請求項30] 高周波デバイス用の電界効果トランジスタとして用いられる、請求項 1 に記載の半導体装置。

[請求項31] 半導体層の上面側にゲート電極を形成する工程と、
前記半導体層に、前記ゲート電極を間にしてソース領域、及びドレイン領域を形成する工程と、
前記ソース領域、及び前記ドレイン領域の各々の上にコンタクトプラグを形成する工程と、
前記コンタクトプラグの各々の上に第 1 メタルを積層する工程と、
前記半導体層の面内方向において前記第 1 メタルの各々の間、かつ前記半導体層の積層方向において前記第 1 メタルの下面よりも下方の少なくともいずれかの領域に第 1 低誘電率領域を形成する工程と、
前記面内方向において前記コンタクトプラグと前記ゲート電極との間、かつ前記積層方向において前記第 1 低誘電率領域よりも下方の少なくともいずれかの領域に第 2 低誘電率領域を形成する工程と
を含み、
前記第 1 低誘電率領域が形成される平面領域とは少なくとも一部が異なる平面領域に前記第 2 低誘電率領域を形成する、半導体装置の製造方法。

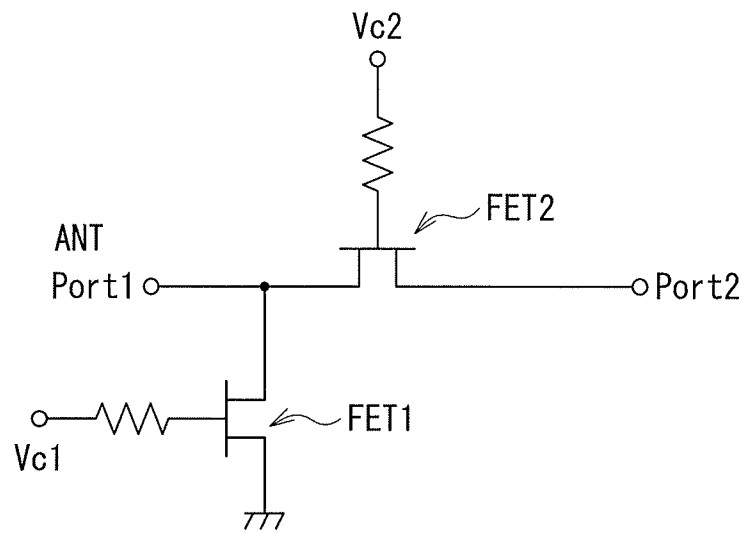
[図1]



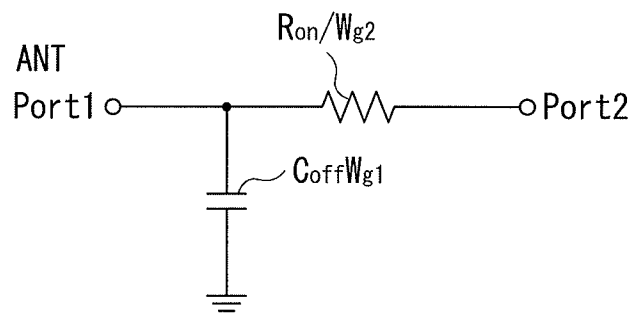
[図2]



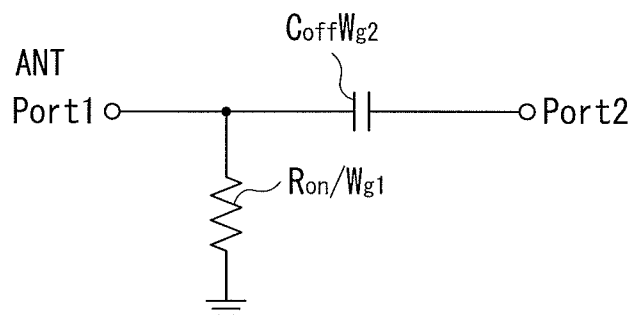
[図3]



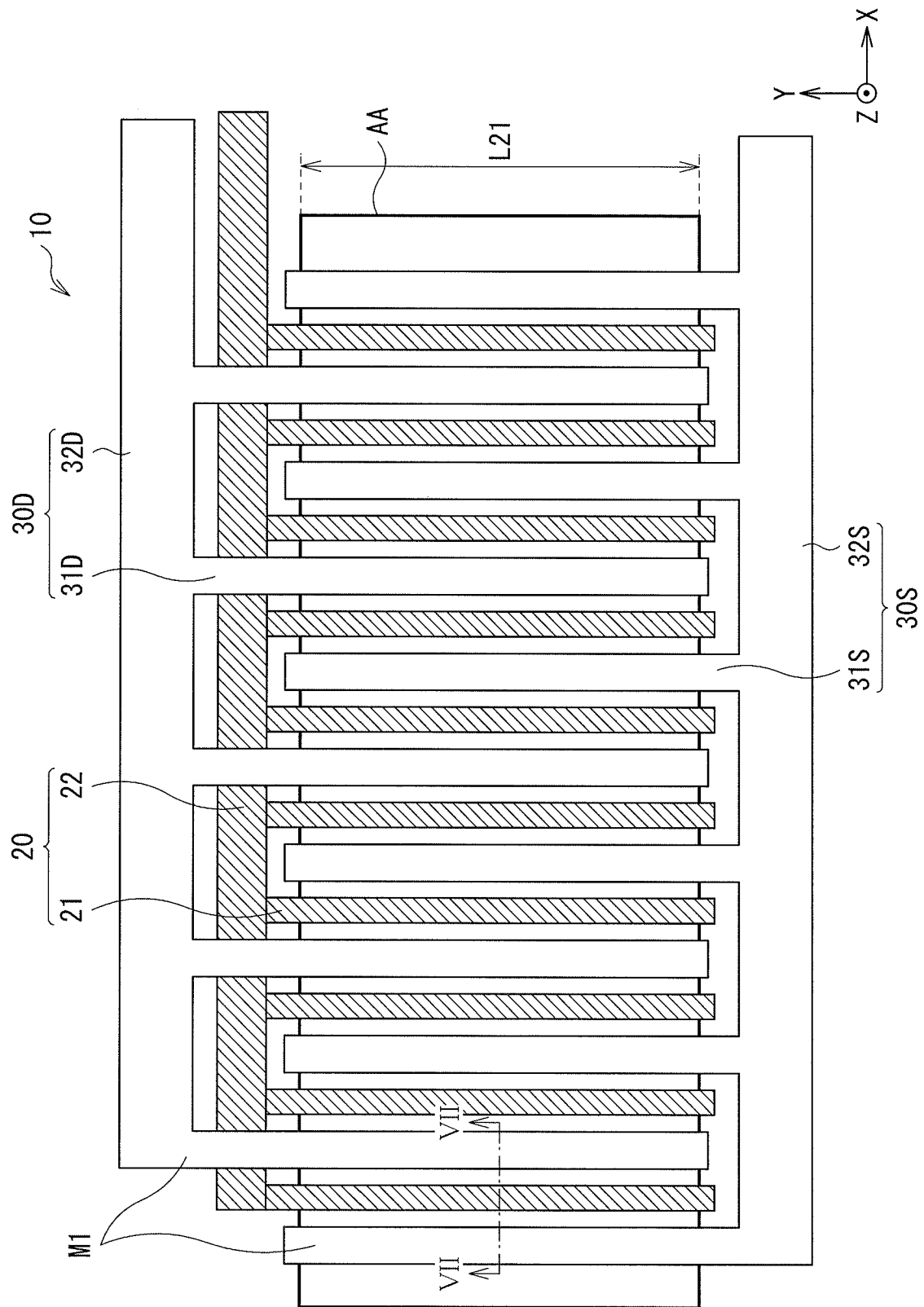
[図4]



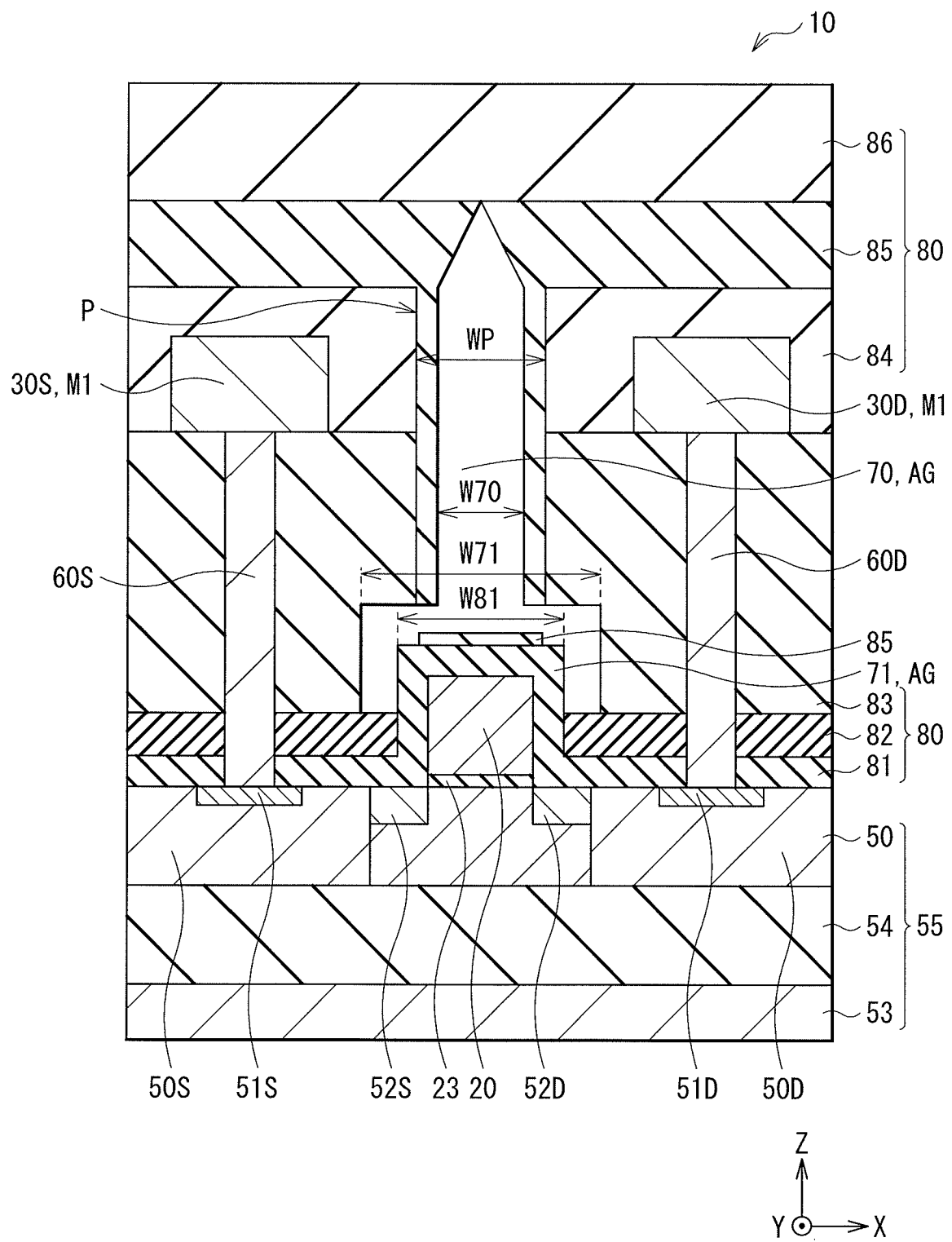
[図5]



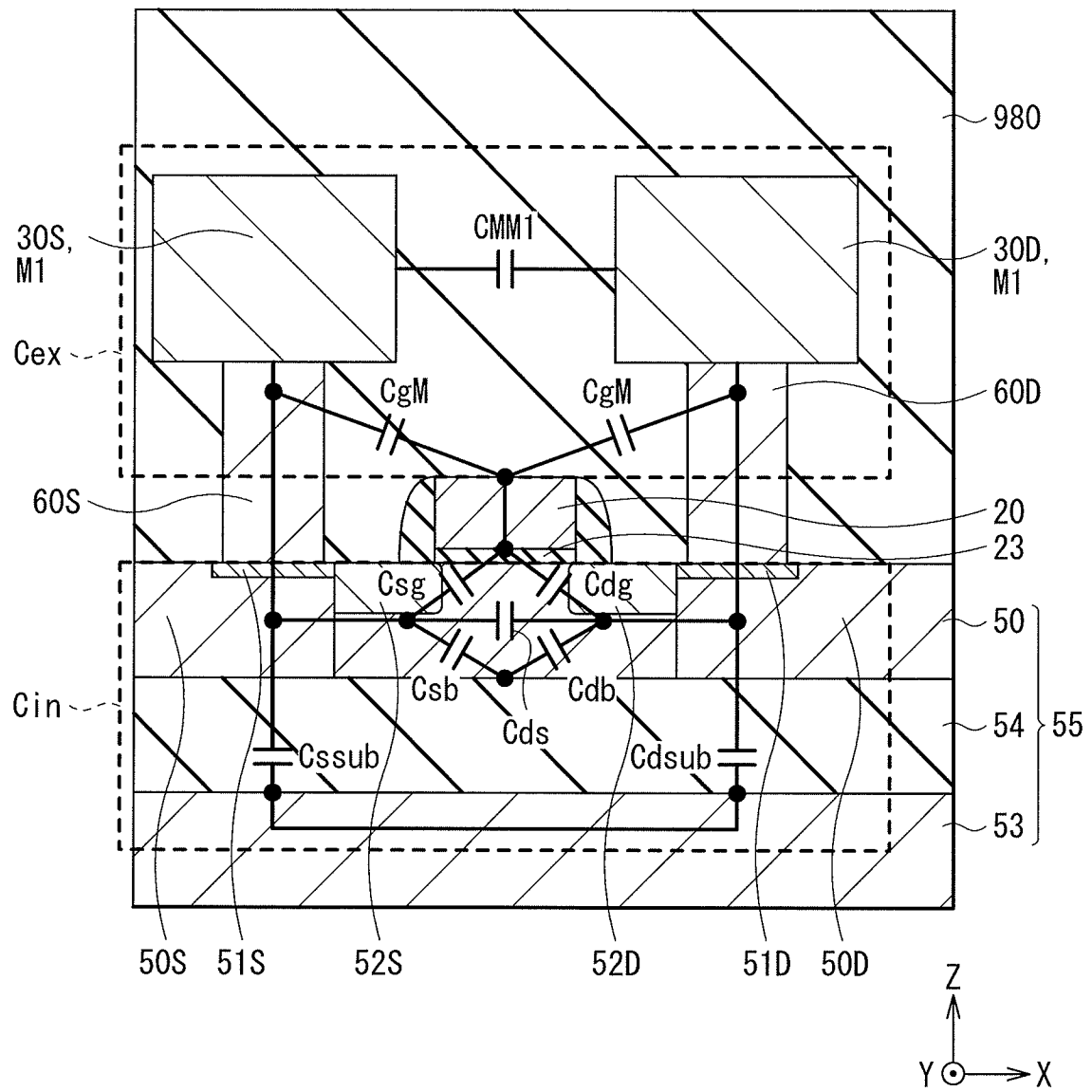
[図6]



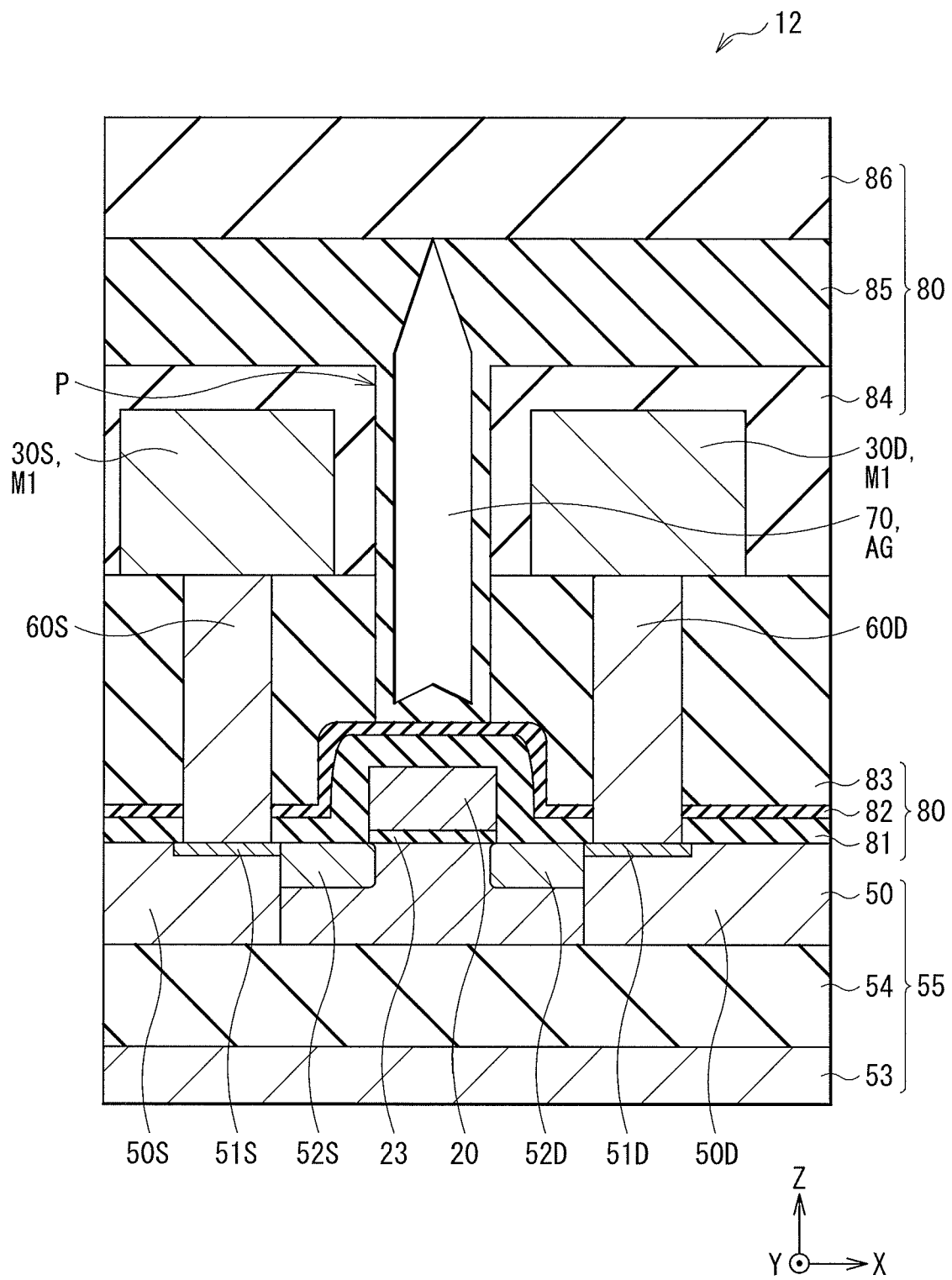
[図7]



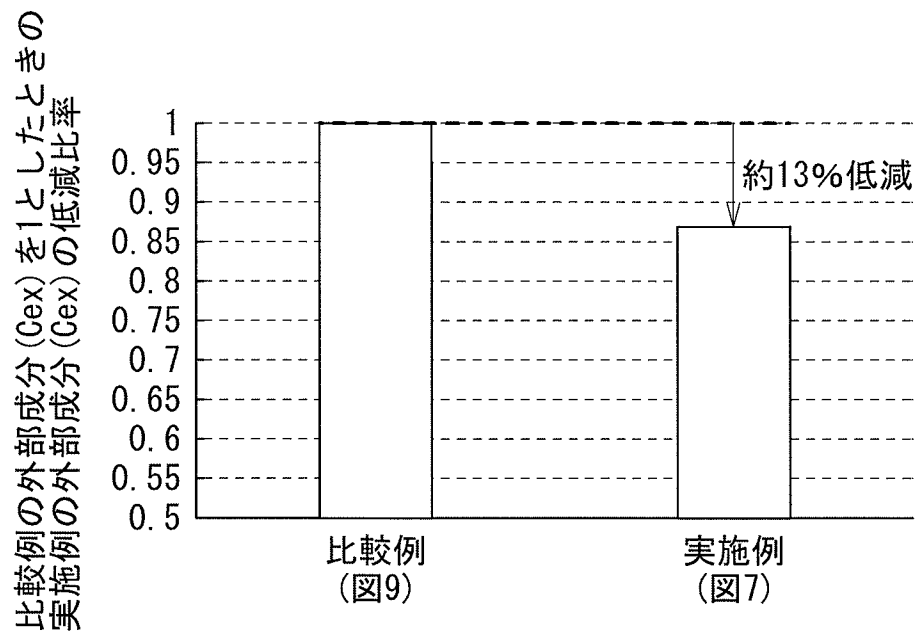
↙ 11



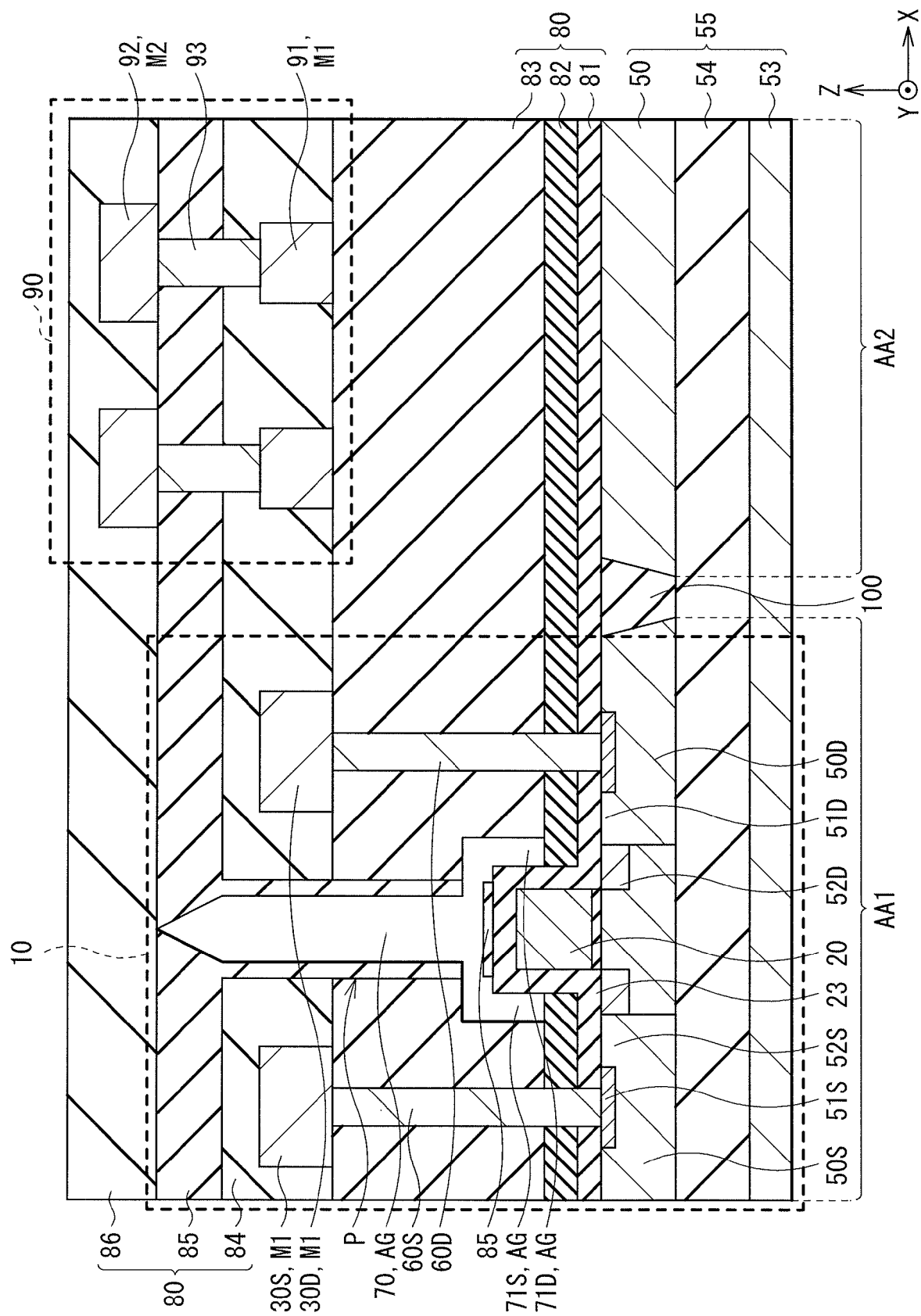
[図9]

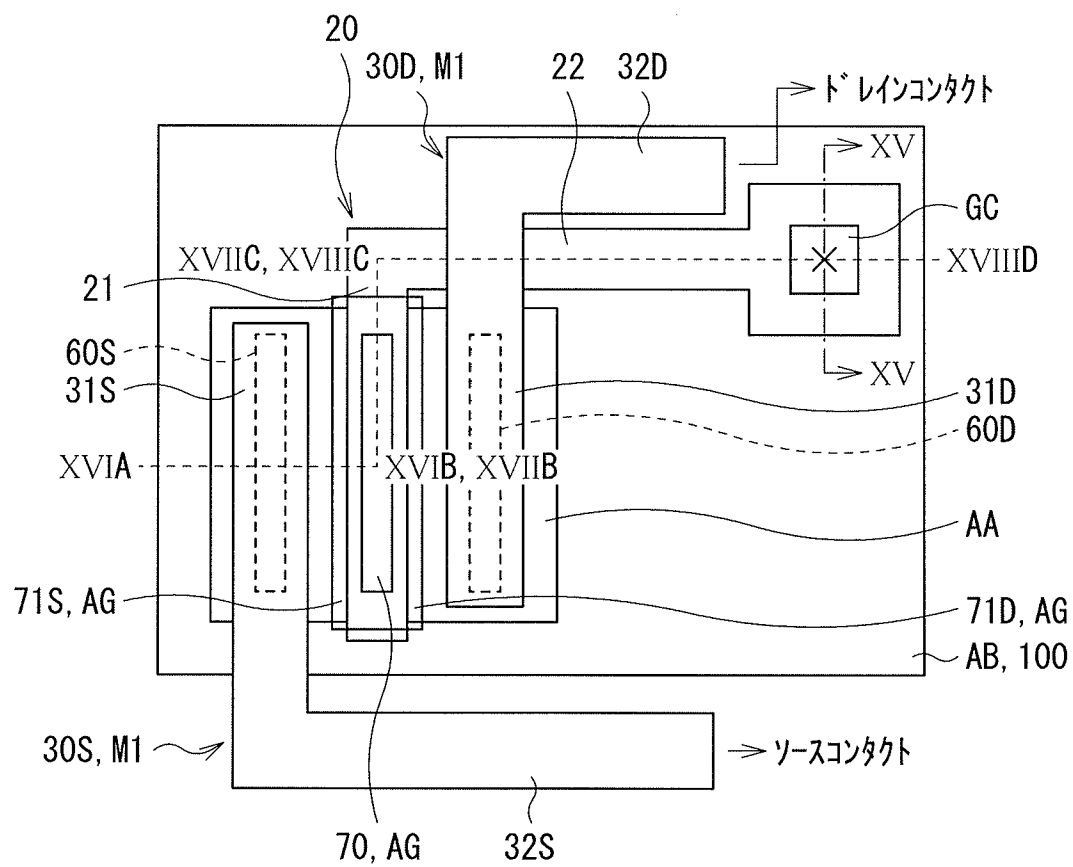


[図10]

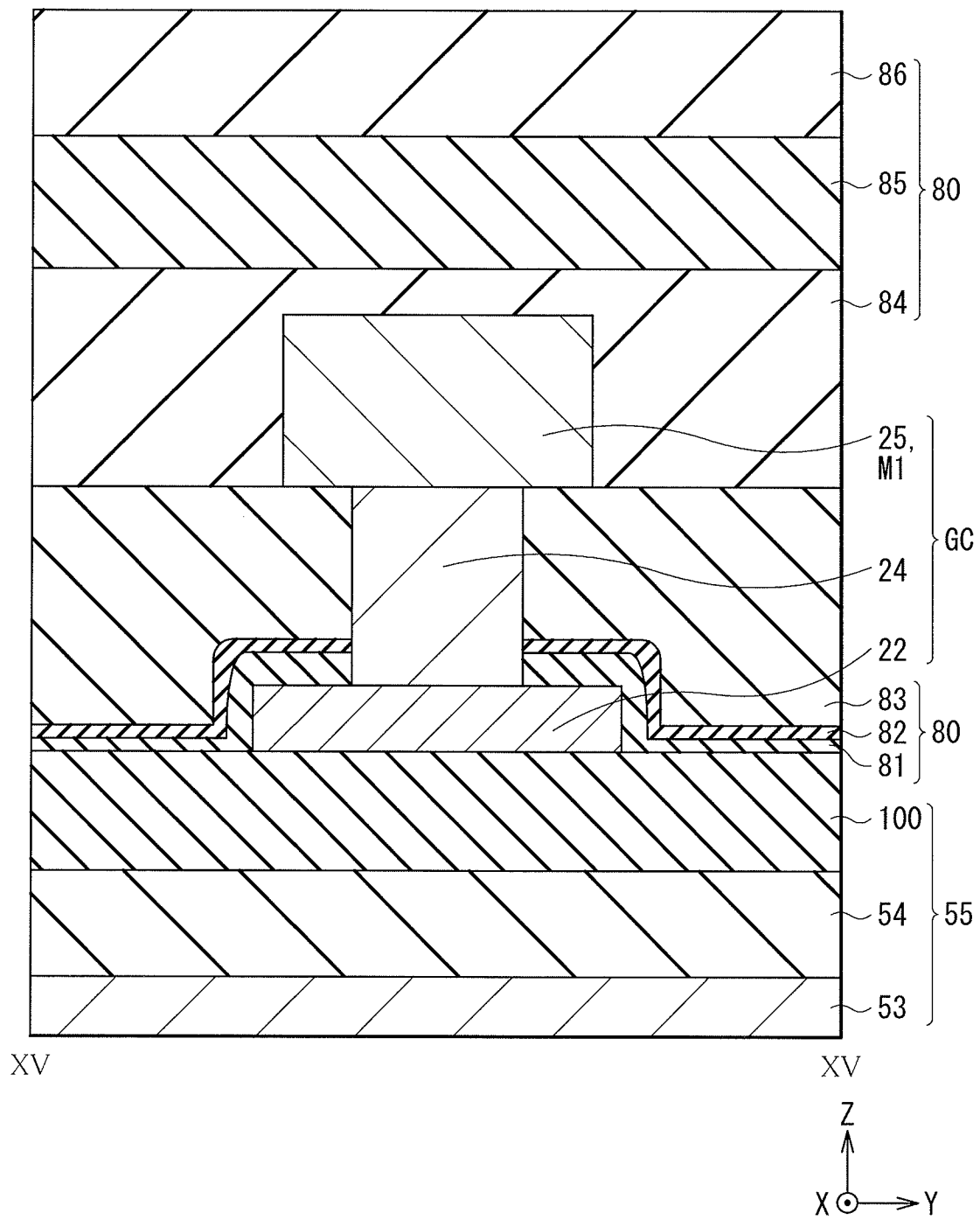


[圖11]

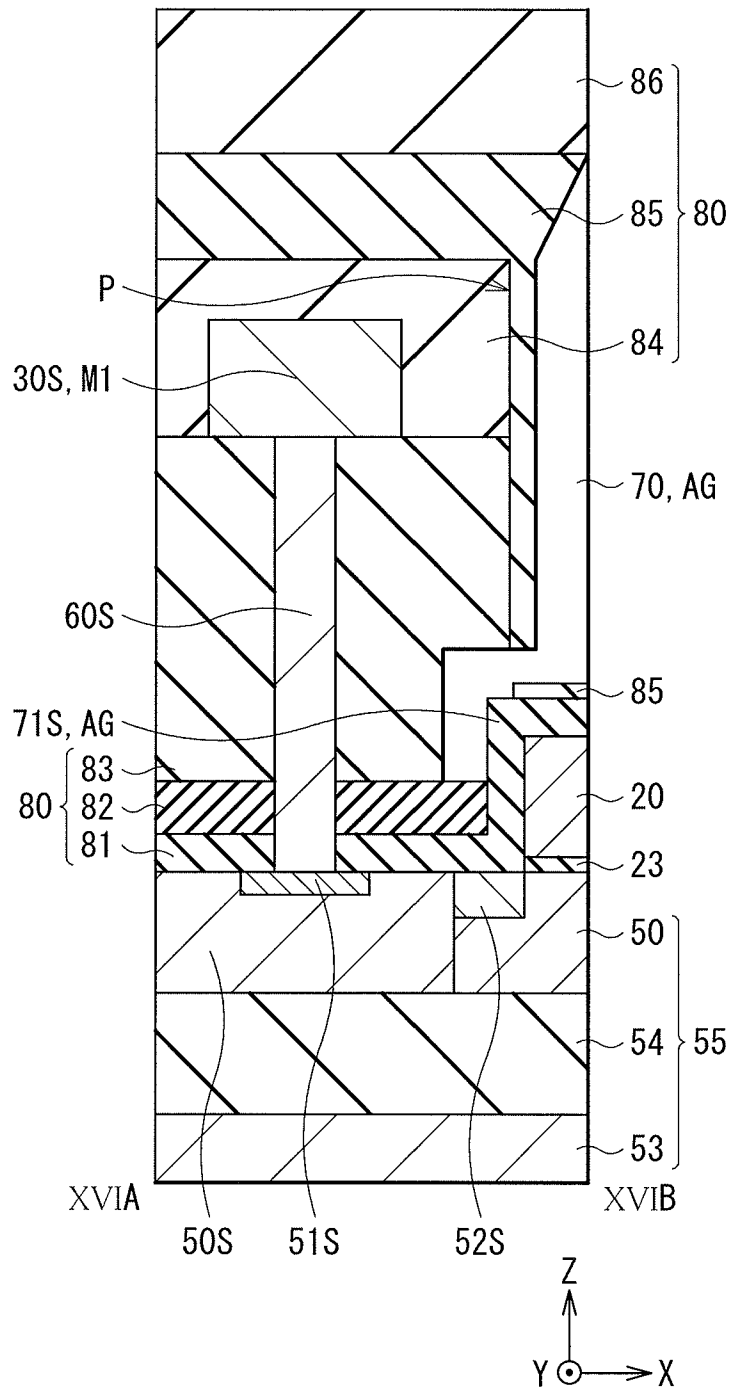




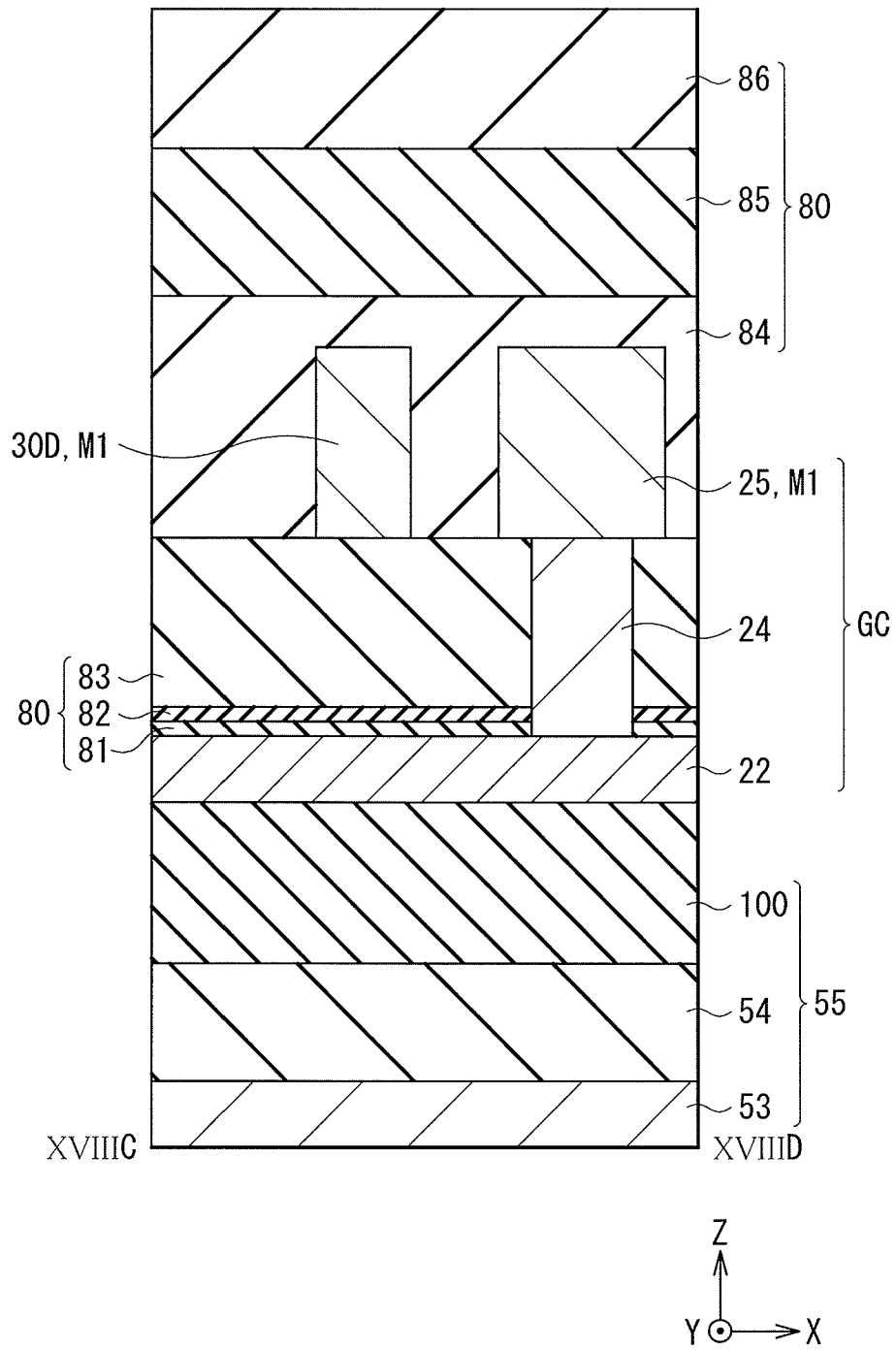
[図13]



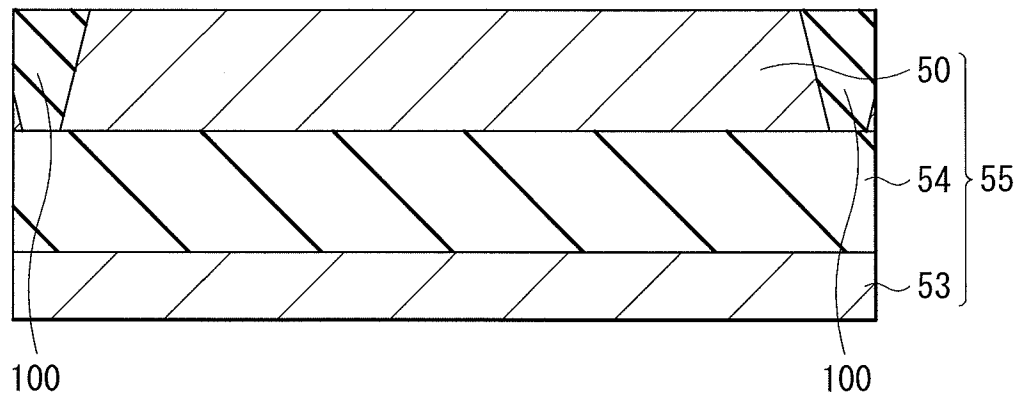
[図14]



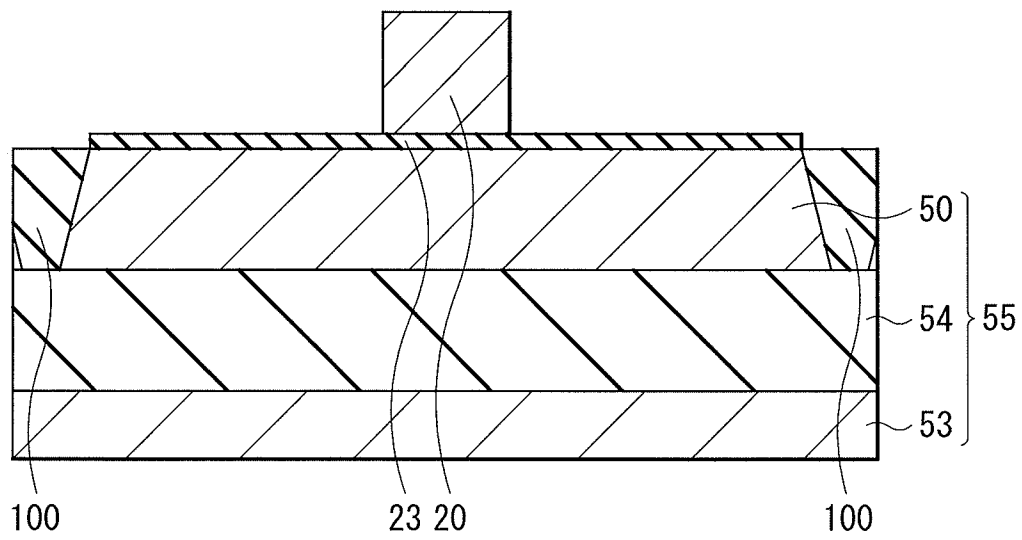
[図16]



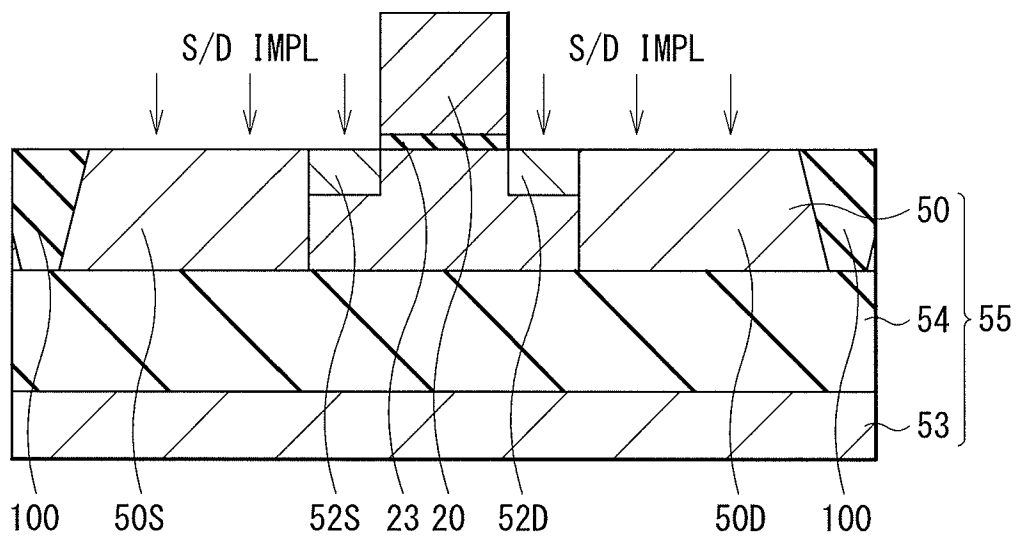
[図17]



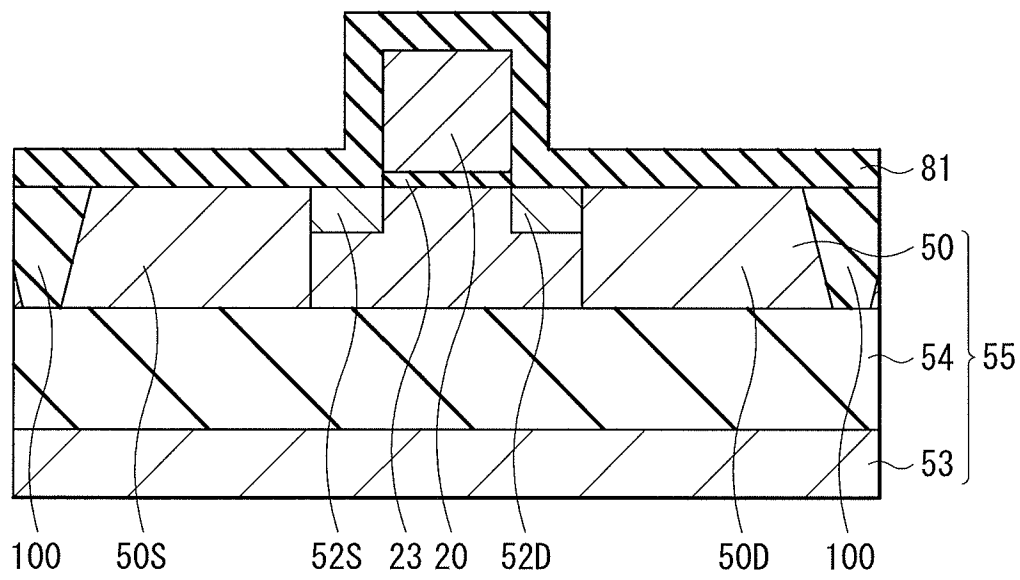
[図18]



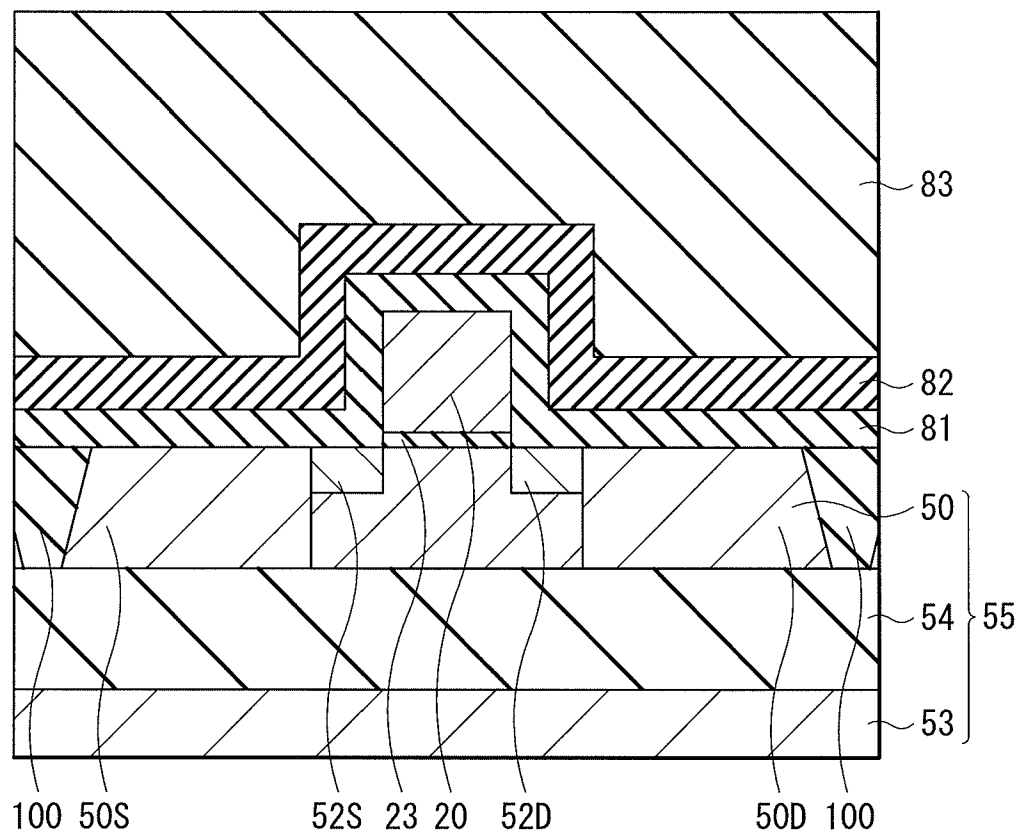
[図19]



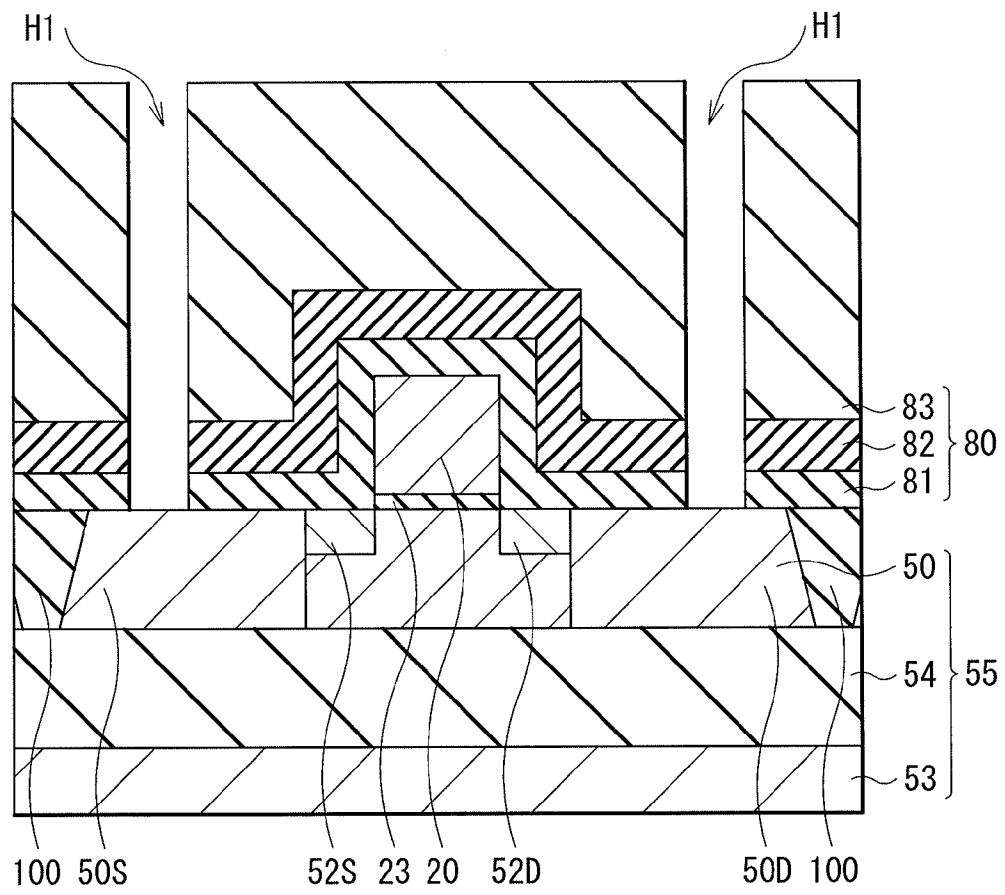
[図20]



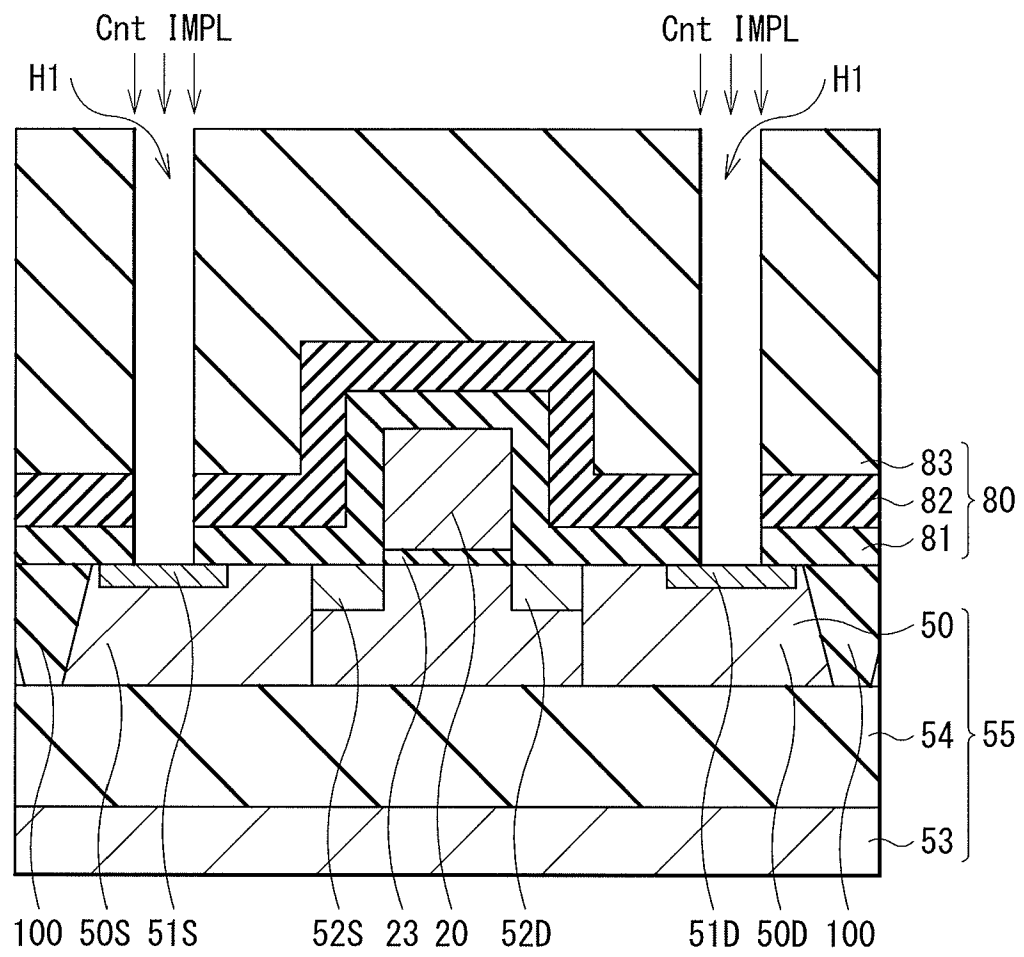
[図21]



[図22]

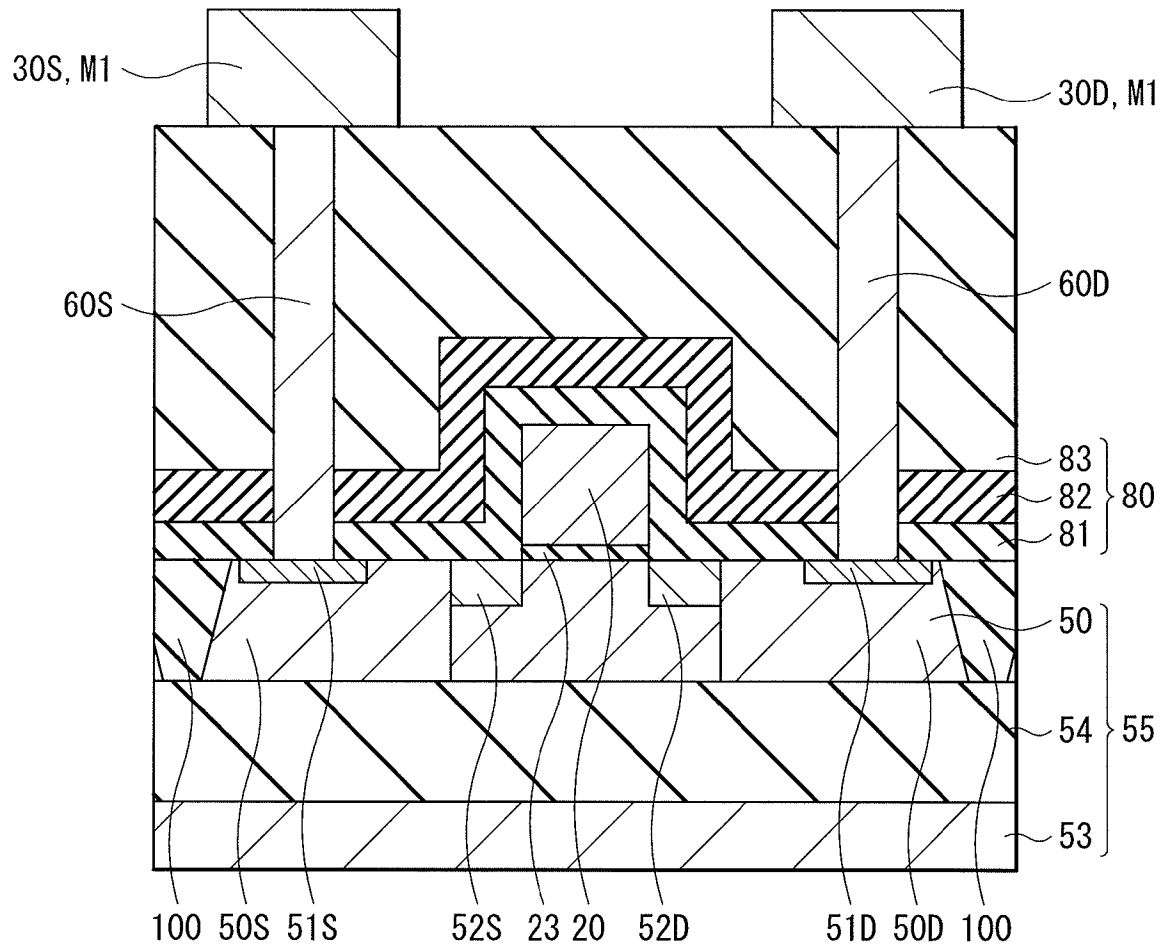


[図23]

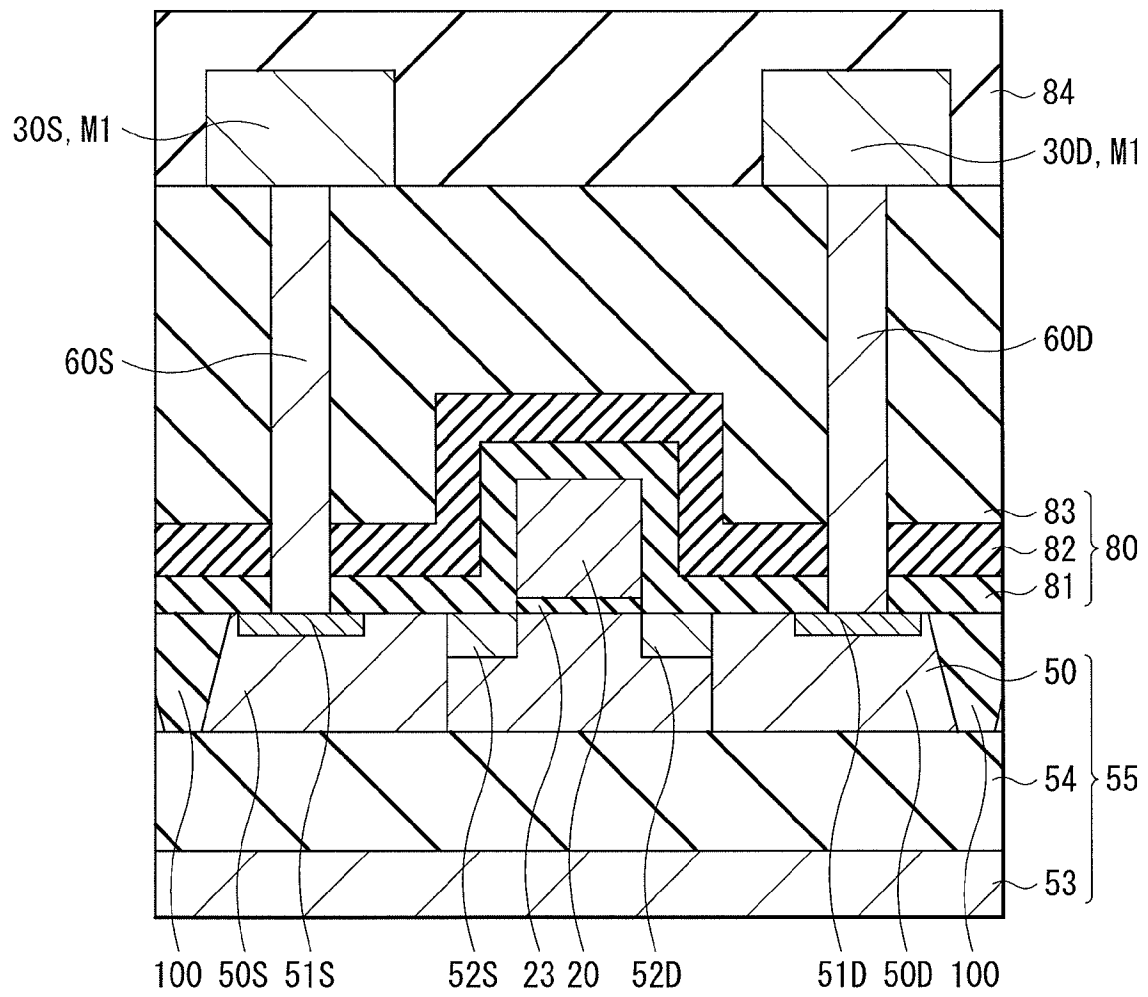


[illegible]

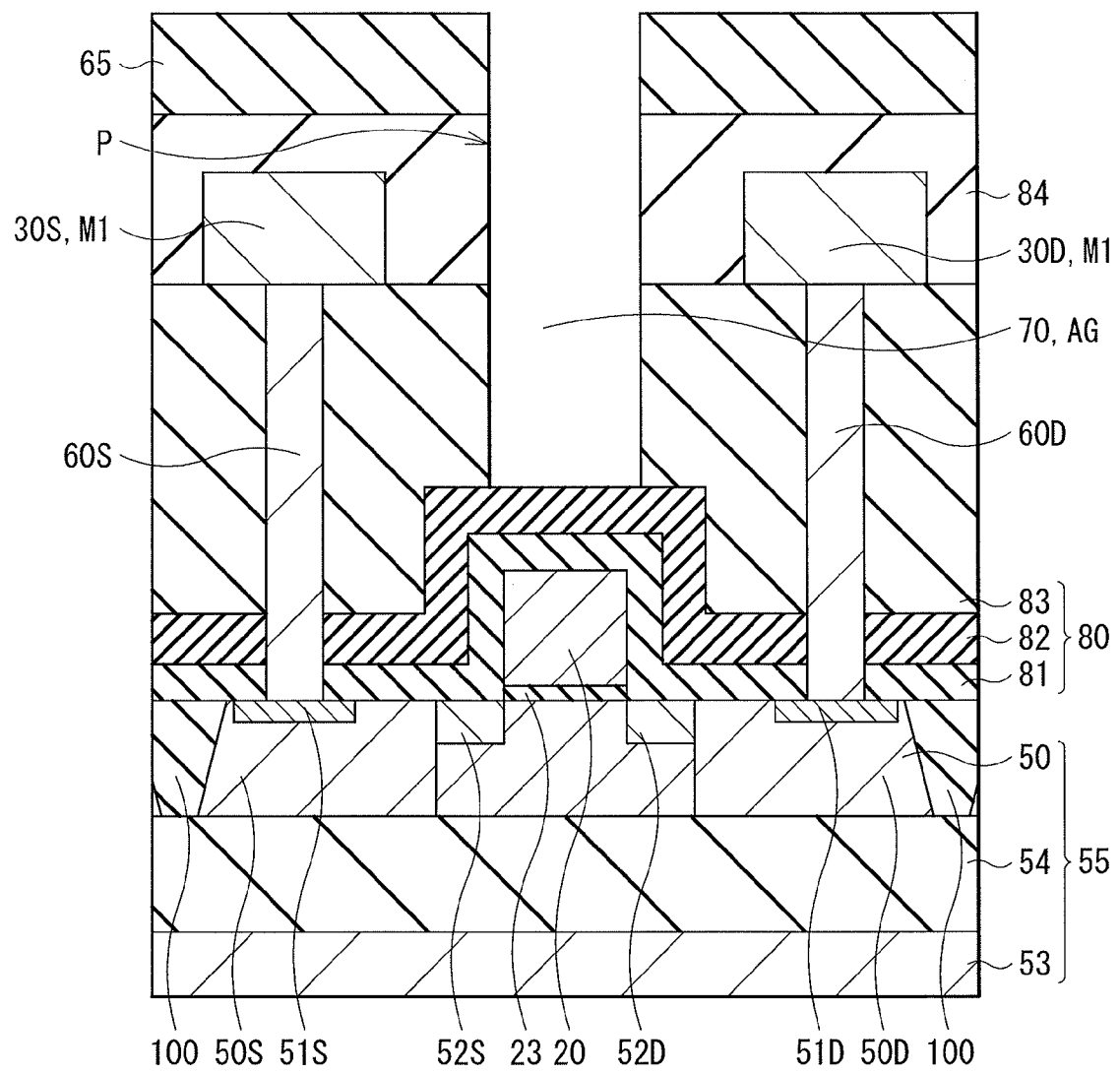
[図25]



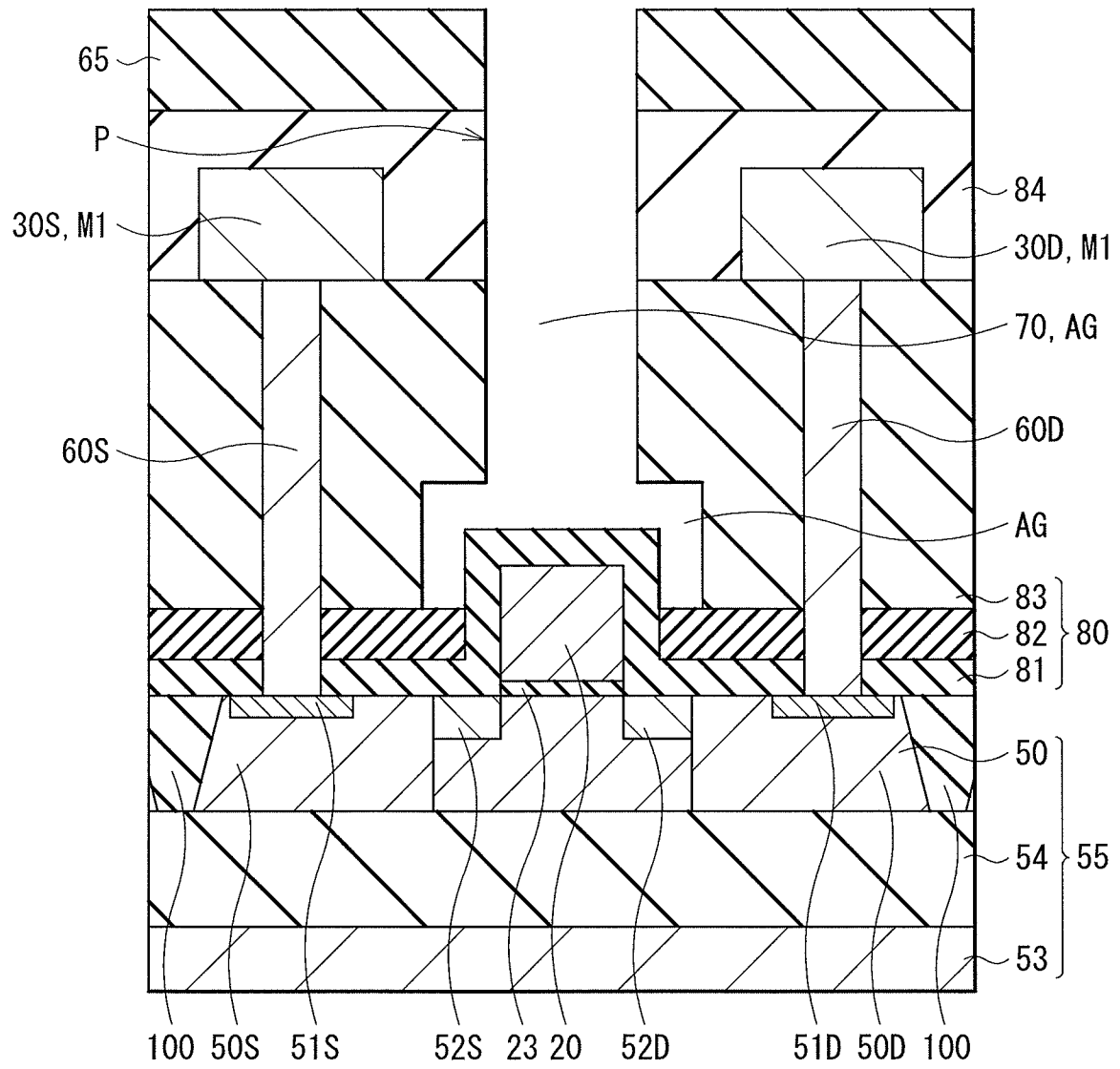
[図26]



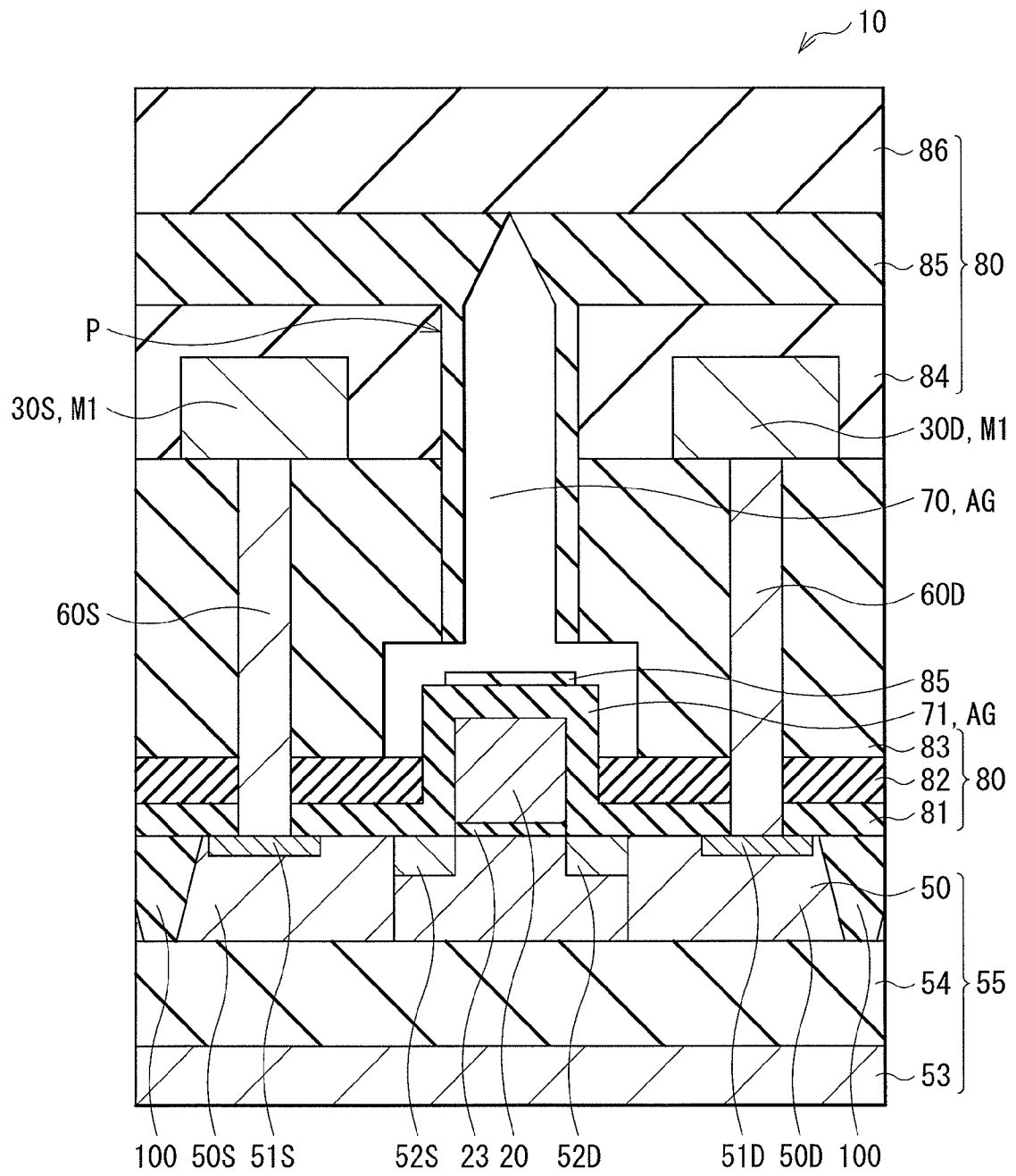
[図27]



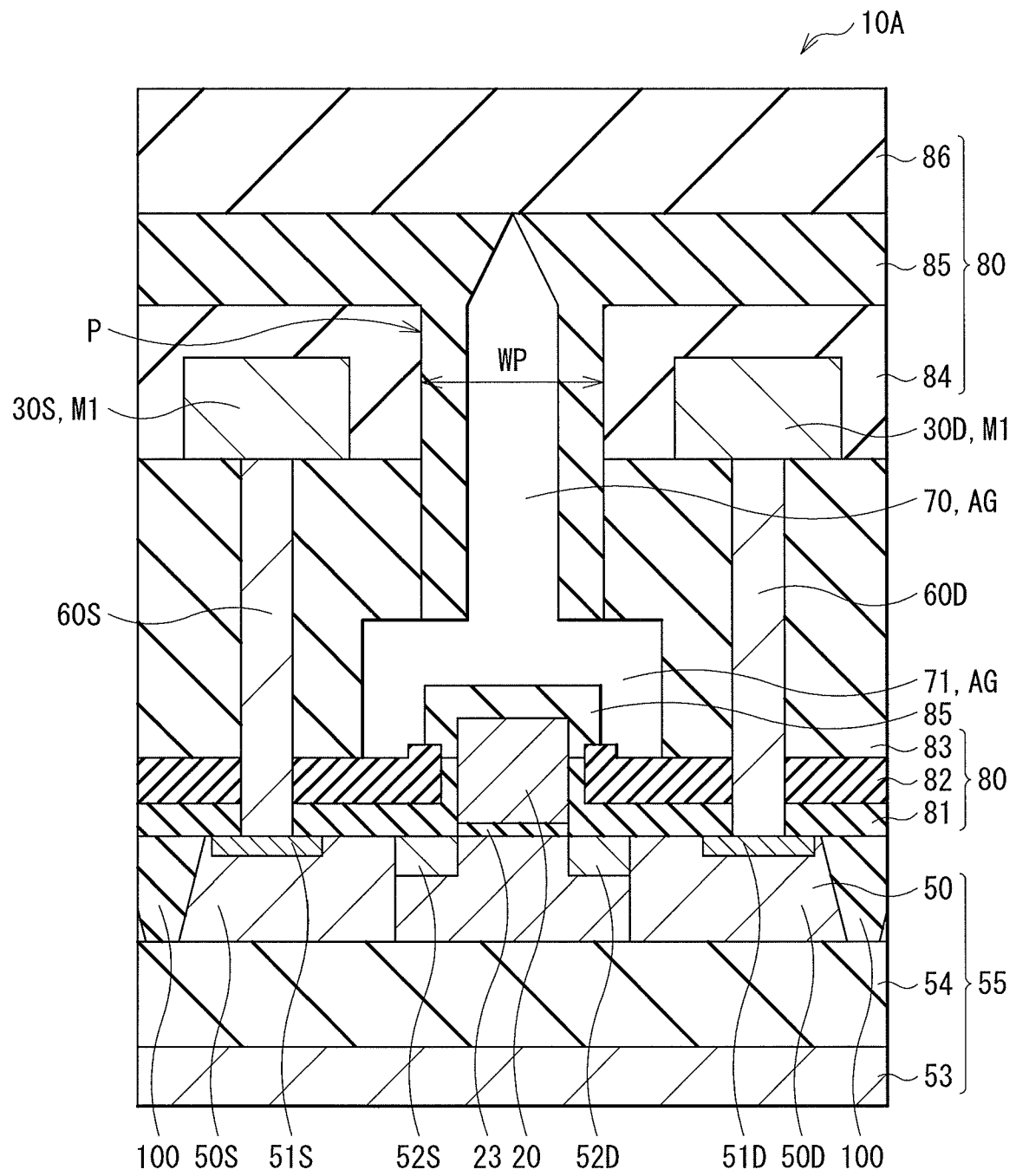
[図28]



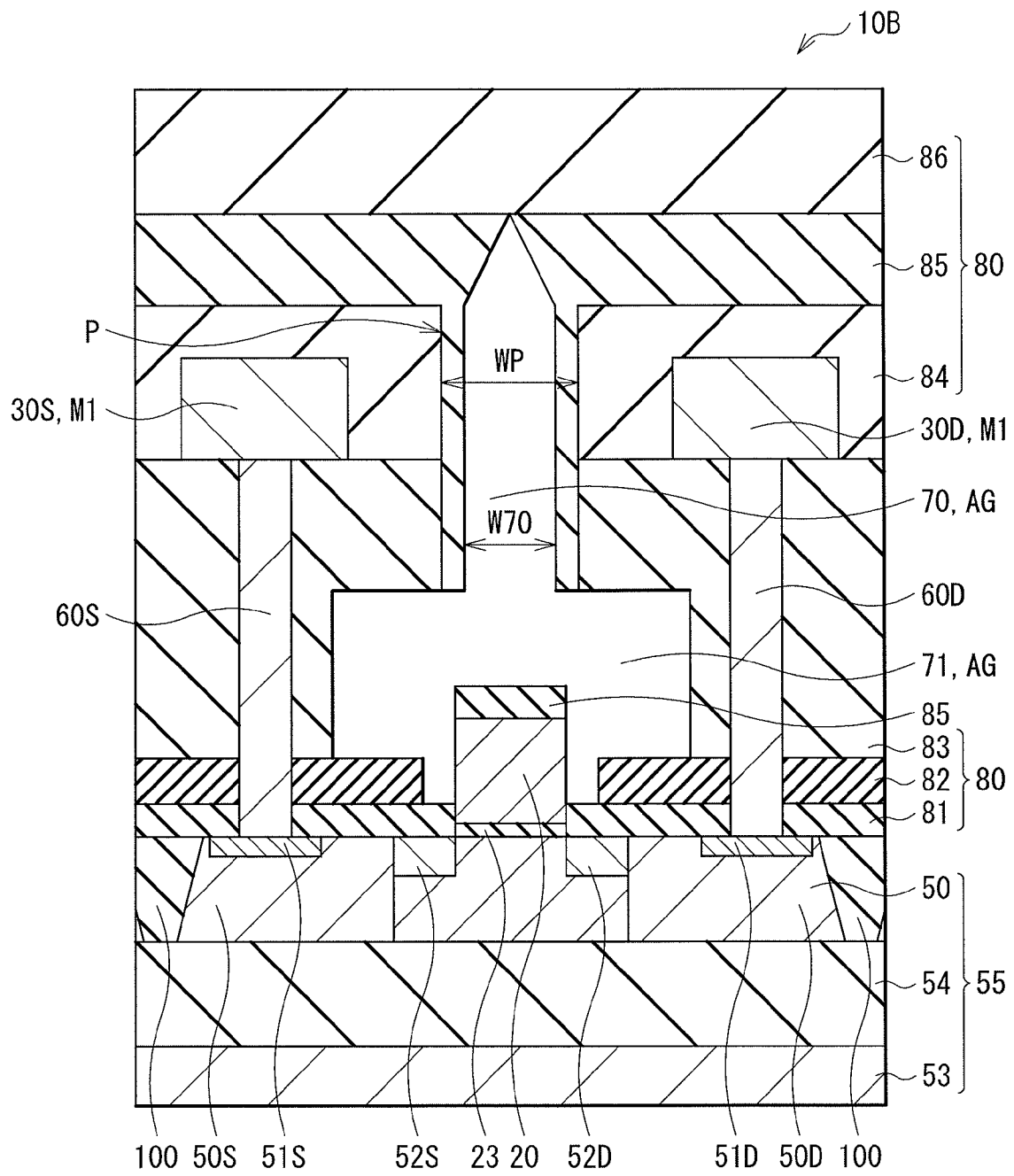
[図29]



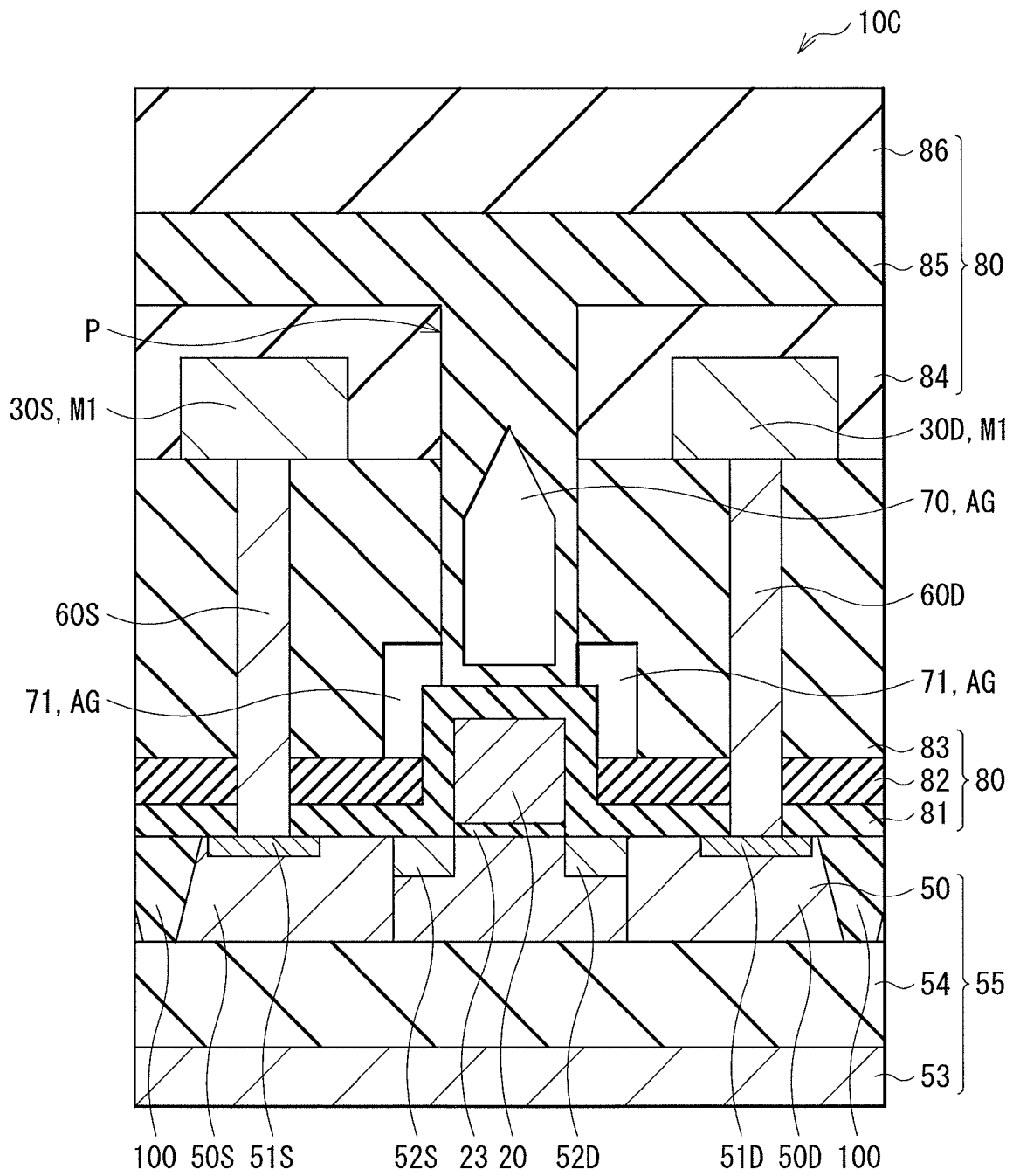
[図30]



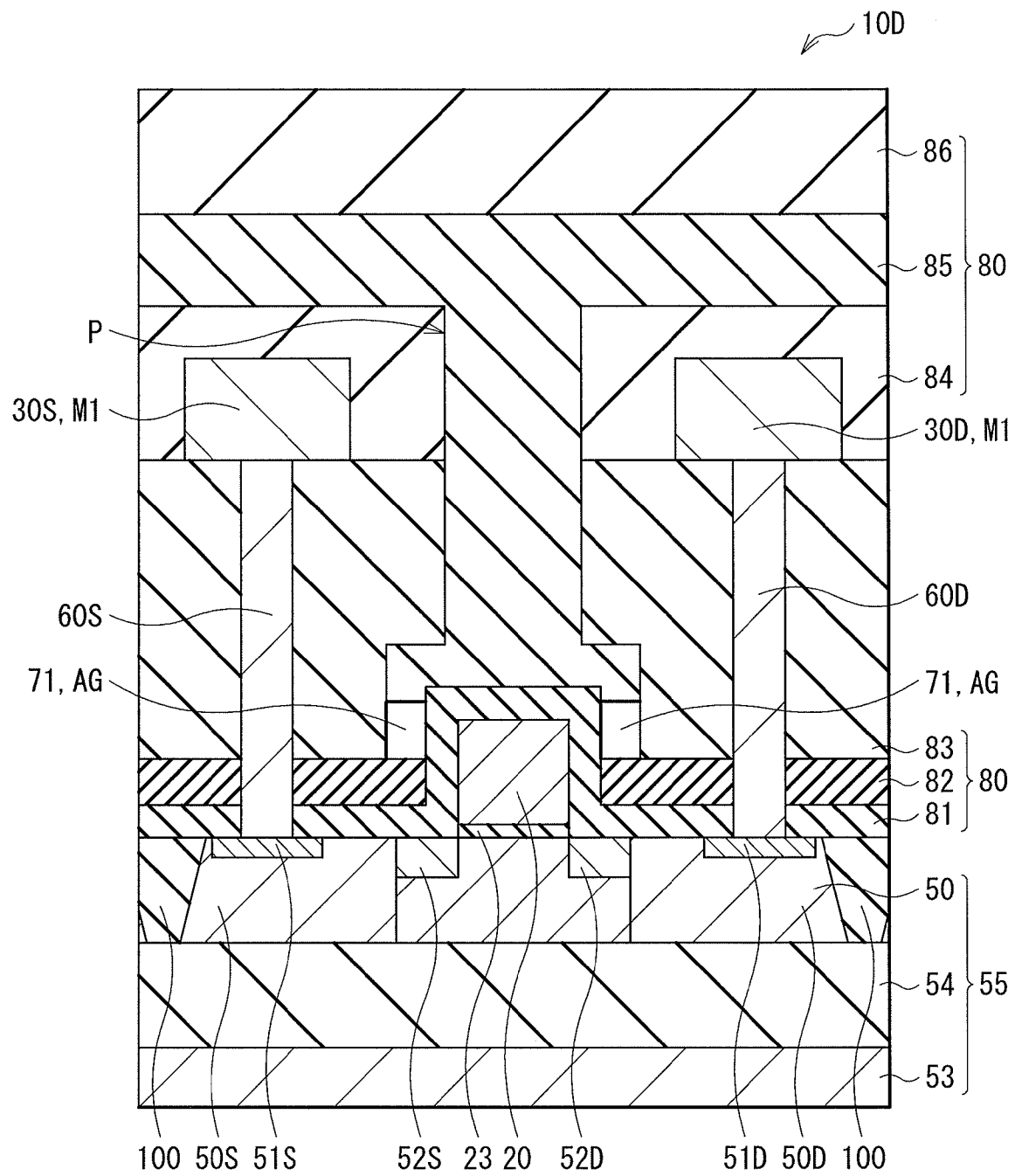
[図31]



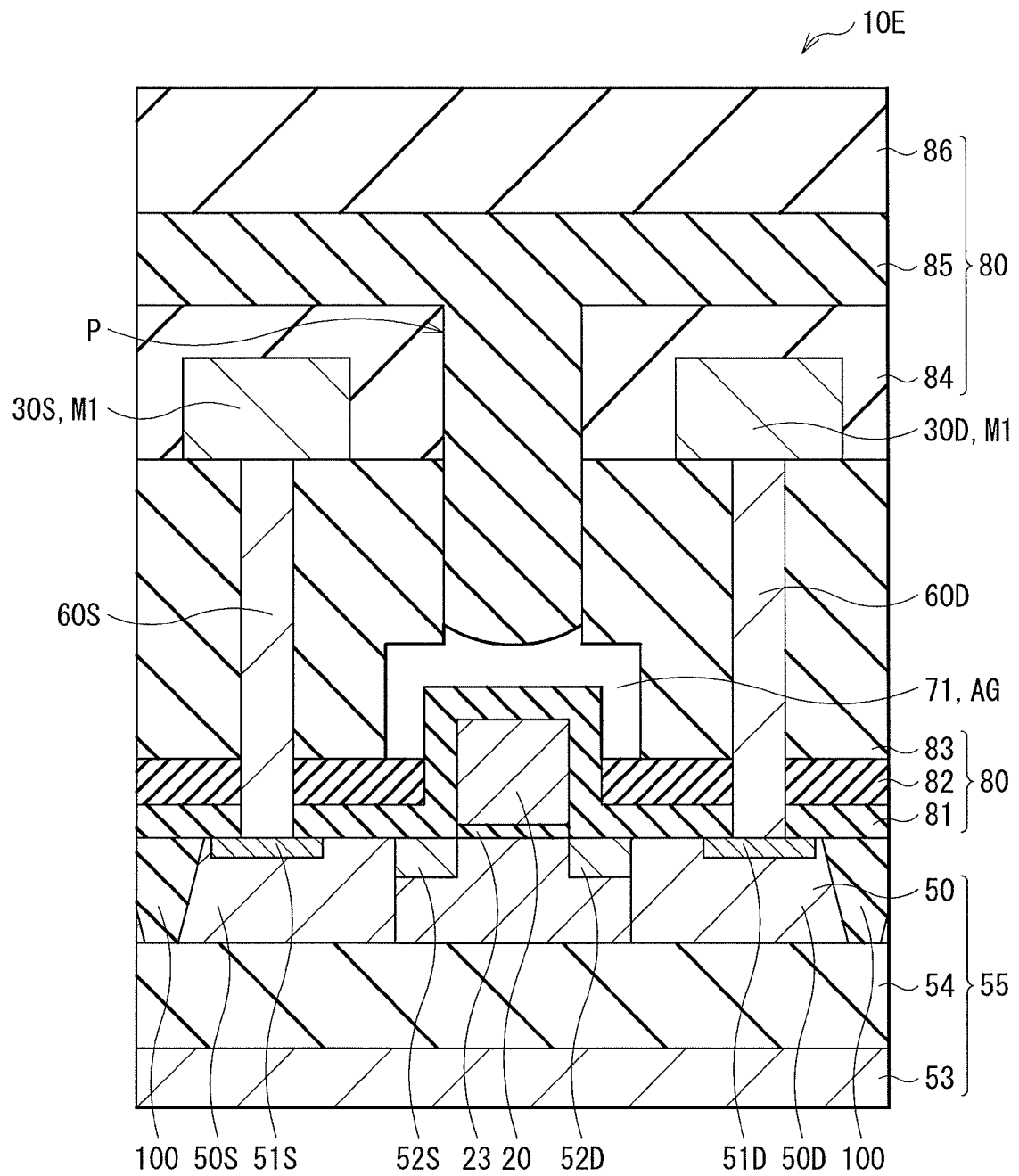
[図32]



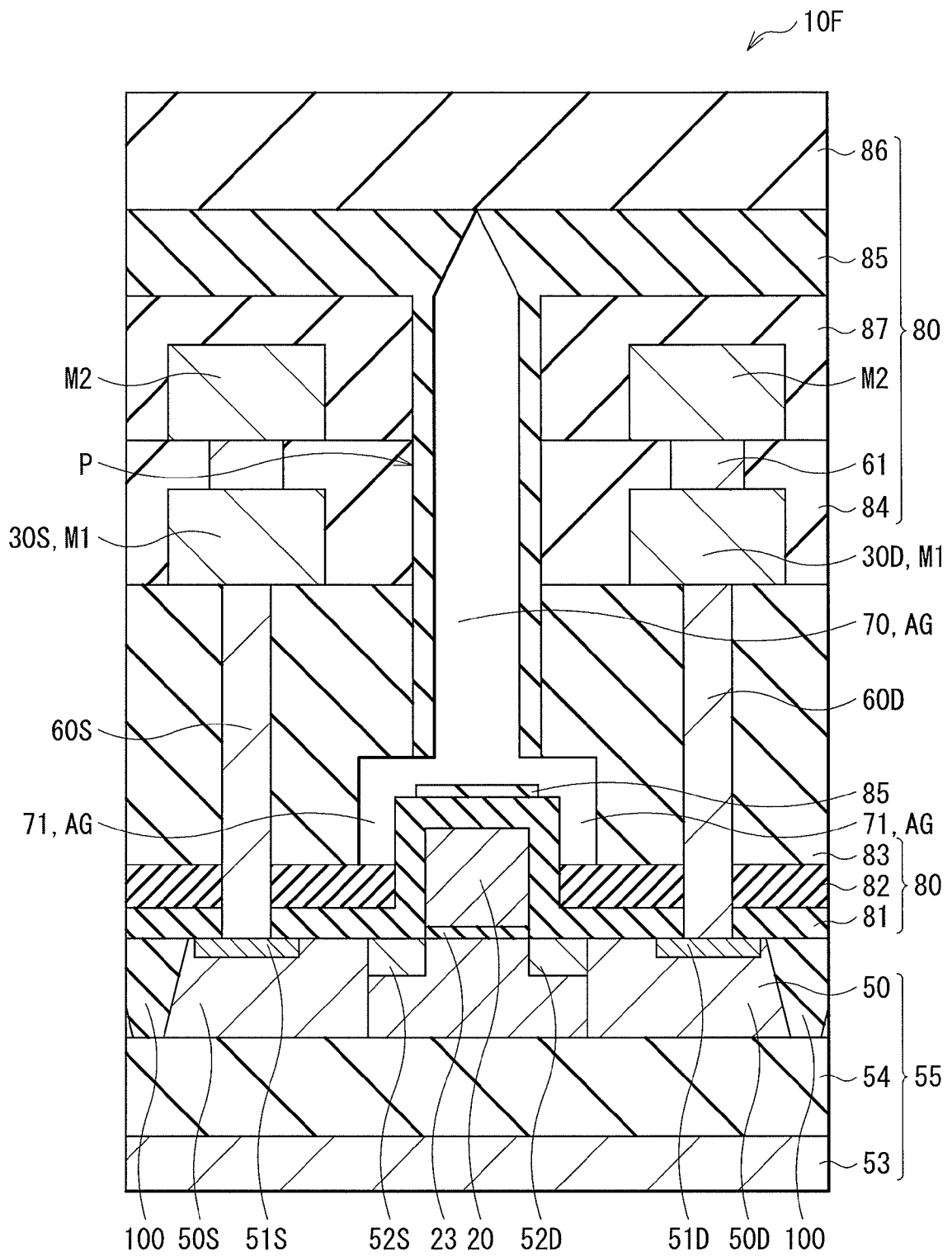
[図33]



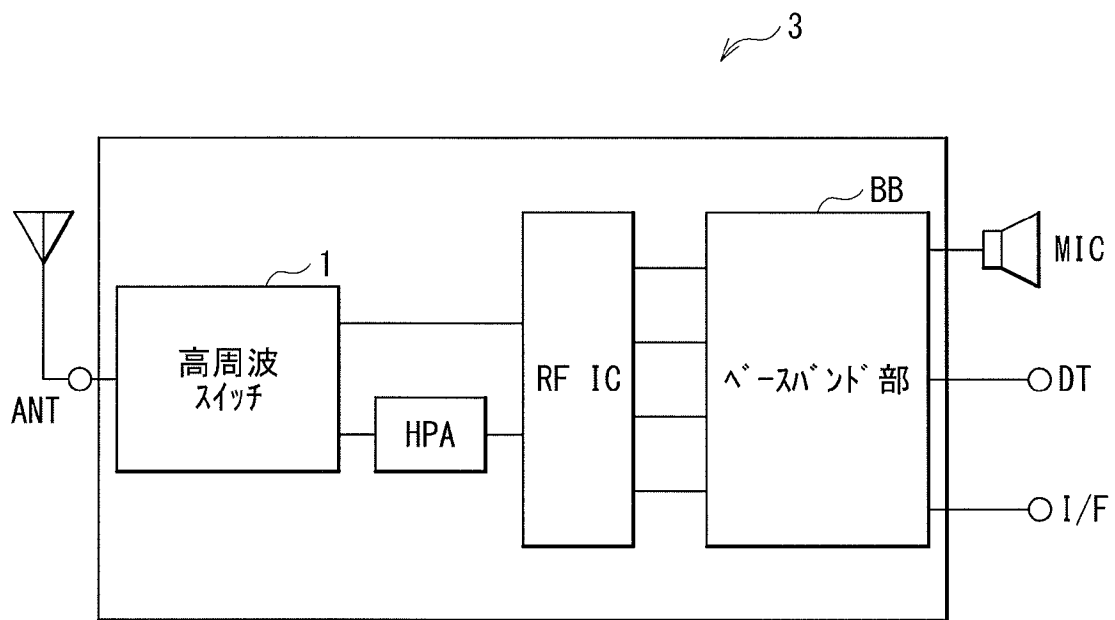
[図34]



[図35]



[図36]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/022738

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; H01L 23/532(2006.01)i; H01L 29/417(2006.01)i; H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 29/786(2006.01)i
FI: H01L21/90 N; H01L29/50 M; H01L29/78 615; H01L29/78 619A;
H01L29/78 301N

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768; H01L23/532; H01L29/417; H01L21/336; H01L29/78; H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2015-207640 A (SONY CORP.) 19.11.2015 (2015-11-19) paragraphs [0014]-[0078], fig. 1, 6, 7, 13, 14, 32	1-3, 6-10, 12-20, 23, 25, 27, 28, 30, 31 4, 5, 11, 21, 22, 24, 26, 29
Y A	JP 2001-111051 A (SONY CORP.) 20.04.2001 (2001-04-20) paragraphs [0030]-[0045], fig. 1-5	1-3, 6-10, 12-20, 23, 25, 27, 28, 30, 31 4, 5, 11, 21, 22, 24, 26, 29
Y A	JP 2002-359369 A (SONY CORP.) 13.12.2002 (2002-12-13) paragraphs [0030]-[0084], fig. 2-8	1-3, 6-10, 12-20, 23, 25, 27, 28, 30, 31 4, 5, 11, 21, 22, 24, 26, 29



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 August 2020 (24.08.2020)

Date of mailing of the international search report
01 September 2020 (01.09.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/022738

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 9-283757 A (HITACHI, LTD.) 31.10.1997 (1997-10-31) paragraphs [0015]-[0069], fig. 1-8	1-3, 6-10, 12-20, 23, 25, 27, 28, 30, 31 4, 5, 11, 21, 22, 24, 26, 29

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/022738

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2015-207640 A	19 Nov. 2015	US 2016/0141240 A1 paragraphs [0073]- [0138], fig. 1, 6, 7, 13, 14, 32 WO 2015/159670 A1 CN 105308736 A TW 201603146 A	
JP 2001-111051 A	20 Apr. 2001	(Family: none)	
JP 2002-359369 A	13 Dec. 2002	(Family: none)	
JP 9-283757 A	31 Oct. 1997	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/768(2006.01)i; H01L 23/532(2006.01)i; H01L 29/417(2006.01)i; H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 29/786(2006.01)i FI: H01L21/90 N; H01L29/50 M; H01L29/78 615; H01L29/78 619A; H01L29/78 301N		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/768; H01L23/532; H01L29/417; H01L21/336; H01L29/78; H01L29/786 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2015-207640 A（ソニー株式会社）19.11.2015（2015-11-19） 段落[0014]-[0078], 図1, 6, 7, 13, 14, 32	1-3, 6-10, 12-20, 23, 25, 27, 28, 30, 31 4, 5, 11, 21, 22, 24, 26, 29
Y A	JP 2001-111051 A（ソニー株式会社）20.04.2001（2001-04-20） 段落[0030]-[0045], 図1-5	1-3, 6-10, 12-20, 23, 25, 27, 28, 30, 31 4, 5, 11, 21, 22, 24, 26, 29
Y A	JP 2002-359369 A（ソニー株式会社）13.12.2002（2002-12-13） 段落[0030]-[0084], 図2-8	1-3, 6-10, 12-20, 23, 25, 27, 28, 30, 31 4, 5, 11, 21, 22, 24, 26, 29
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 24.08.2020		国際調査報告の発送日 01.09.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐藤 靖史 50 5895 電話番号 03-3581-1101 内線 3559

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/022738

引用文献			公表日	パテントファミリー文献	公表日
JP	2015-207640	A	19.11.2015	US 2016/0141240 A1 段落[0073]-[0138], 図 1, 6, 7, 13, 14, 32 WO 2015/159670 A1 CN 105308736 A TW 201603146 A	
JP	2001-111051	A	20.04.2001	(ファミリーなし)	
JP	2002-359369	A	13.12.2002	(ファミリーなし)	
JP	9-283757	A	31.10.1997	(ファミリーなし)	