

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6295486号
(P6295486)

(45) 発行日 平成30年3月20日(2018.3.20)

(24) 登録日 平成30年3月2日(2018.3.2)

(51) Int. Cl. F I
H03K 19/0175 (2006.01) H03K 19/0175 220

請求項の数 23 (全 33 頁)

<p>(21) 出願番号 特願2016-521826 (P2016-521826) (86) (22) 出願日 平成26年6月19日 (2014. 6. 19) (65) 公表番号 特表2016-525302 (P2016-525302A) (43) 公表日 平成28年8月22日 (2016. 8. 22) (86) 国際出願番号 PCT/US2014/043285 (87) 国際公開番号 W02014/209765 (87) 国際公開日 平成26年12月31日 (2014. 12. 31) 審査請求日 平成27年12月21日 (2015. 12. 21) (31) 優先権主張番号 13/931, 604 (32) 優先日 平成25年6月28日 (2013. 6. 28) (33) 優先権主張国 米国 (US)</p>	<p>(73) 特許権者 591003943 インテル・コーポレーション アメリカ合衆国 95054 カリフォル ニア州・サンタクララ・ミッション カレ ッジ ブレーバード・2200 (74) 代理人 110000877 龍華国際特許業務法人 (72) 発明者 モザク、クリストファー ピー、 アメリカ合衆国 95054 カリフォル ニア州・サンタクララ・ミッション カレ ッジ ブレーバード・2200 インテル ・コーポレーション内</p>
--	--

最終頁に続く

(54) 【発明の名称】 1/Oドライバ送信振幅制御

(57) 【特許請求の範囲】

【請求項1】

伝送線インタフェース回路であって、
 伝送線と前記伝送線インタフェース回路のための高電圧レファレンスとの間に連結され、前記伝送線上で駆動される入力信号のロジックハイの値に 응답して前記伝送線をプルアップする p 型ドライバ要素と、
 前記伝送線と前記伝送線インタフェース回路のための低電圧レファレンスと間に連結され、前記入力信号のロジックローの値に 응답して前記伝送線をプルダウンする n 型ドライバ要素と
 を含む複数のドライバ要素と、
 前記伝送線インタフェース回路内でローカルに、前記複数のドライバ要素のうちの 1 つと対応する電圧レファレンスとの間で連結され、前記伝送線インタフェース回路の電圧振幅を減らす電圧レギュレータと、
 前記電圧レギュレータをバイパスして、前記複数のドライバ要素のうちの少なくとも 1 つと対応する電圧レファレンスとの間をそれぞれ直接接続するように接続を切り替え可能なバイパス経路と、
 を備え、
 前記複数のドライバ要素は、メモリデバイスと相互接続されるパッドを駆動し、
 前記メモリデバイスの規格に応じて前記電圧レギュレータがバイパスされるか否かが切り替えられる、伝送線インタフェース回路。

【請求項 2】

前記伝送線上において信号の送信が駆動されている場合に、前記メモリデバイスの規格に応じて、前記電圧レギュレータがバイパスされるか否かが切り替えられ、前記伝送線上において信号が受信されている場合に、前記電圧レギュレータが常にバイパスされる、請求項 1 に記載の伝送線インタフェース回路。

【請求項 3】

前記メモリデバイスは、低電力デュアルデータレート (LPDDR) メモリデバイス、デュアルデータレート (DDR) メモリデバイス、又は WIDEIO メモリデバイスのうちの 1 つを有する、請求項 1 または 2 に記載の伝送線インタフェース回路。

【請求項 4】

前記電圧レギュレータは、リニア電圧レギュレータを有する、請求項 1 から 3 の何れか一項に記載の伝送線インタフェース回路。

【請求項 5】

前記電圧レギュレータは、スイッチ回路電圧レギュレータを有する、請求項 1 から 4 の何れか一項に記載の伝送線インタフェース回路。

【請求項 6】

前記電圧レギュレータは、前記伝送線インタフェース回路と共通の集積回路に統合される、請求項 1 から 5 のいずれか一項に記載の伝送線インタフェース回路。

【請求項 7】

前記電圧レギュレータは、前記 p 型ドライバ要素と前記高電圧レファレンスとの間に連結される、請求項 1 から 6 のいずれか一項に記載の伝送線インタフェース回路。

【請求項 8】

前記電圧レギュレータは、第 1 電圧レギュレータであり、前記 n 型ドライバ要素と前記低電圧レファレンスとの間に連結される第 2 電圧レギュレータをさらに備える、請求項 7 に記載の伝送線インタフェース回路。

【請求項 9】

前記電圧レギュレータは、テスト回路から設定値を受信し、前記設定値に基づいて前記電圧レギュレータの出力を設定し、前記伝送線インタフェース回路の前記電圧振幅を制御する複数の制御要素を備え、

前記テスト回路は、前記メモリデバイスと通信して、予め定められたメモリデバイスに対する設定値を決定する、請求項 1 から 3 の何れか一項に記載の伝送線インタフェース回路。

【請求項 10】

請求項 9 に記載の伝送線インタフェース回路と、

伝送線インタフェースの性能の 1 または複数の指標を測定する測定ロジックとを備え、

前記テスト回路は、前記測定ロジックの測定結果に応じて前記設定値を決定する、メモリコントローラデバイス。

【請求項 11】

伝送線インタフェース回路であって、

伝送線と前記伝送線インタフェース回路のための高電圧レファレンスとの間に連結され、前記伝送線上で駆動される入力信号のロジックハイの値に应答して前記伝送線をプルアップする p 型ドライバ要素と、

前記伝送線と前記伝送線インタフェース回路のための低電圧レファレンスとの間に連結され、前記入力信号のロジックローの値に应答して前記伝送線をプルダウンする n 型ドライバ要素と、

前記伝送線インタフェース回路内でローカルに、前記 p 型ドライバ要素と前記高電圧レファレンスとの間に連結され、前記伝送線インタフェース回路の電圧振幅を減らす電圧レギュレータと

前記電圧レギュレータをバイパスして、前記 p 型ドライバ要素と前記高電圧レファレン

10

20

30

40

50

スとの間をそれぞれ直接接続するように接続を切り替え可能なバイパス経路と、
を備え、

前記 p 型ドライバ要素と前記 n 型ドライバ要素は、メモリデバイスと相互接続されるパッドを駆動し、

前記メモリデバイスの規格に応じて前記電圧レギュレータがバイパスされるか否かが切り替えられる、伝送線インタフェース回路。

【請求項 1 2】

伝送線インタフェース回路であって、

伝送線と前記伝送線インタフェース回路のための高電圧レファレンスとの間に連結され、前記伝送線上で駆動される入力信号のロジックハイの値に応答して前記伝送線をプルアップする p 型ドライバ要素と、

10

前記伝送線と前記伝送線インタフェース回路のための低電圧レファレンスとの間に連結され、前記入力信号のロジックローの値に応答して前記伝送線をプルダウンする n 型ドライバ要素と、

前記伝送線インタフェース回路内でローカルに、前記 n 型ドライバ要素と前記低電圧レファレンスとの間で連結され、前記伝送線インタフェース回路の電圧振幅を減らす電圧レギュレータと

前記電圧レギュレータをバイパスして、前記 n 型ドライバ要素と前記低電圧レファレンスとの間をそれぞれ直接接続するように接続を切り替え可能なバイパス経路と、
を備え、

20

前記 p 型ドライバ要素と前記 n 型ドライバ要素は、メモリデバイスと相互接続されるパッドを駆動し、

前記メモリデバイスの規格に応じて前記電圧レギュレータがバイパスされるか否かが切り替えられる、伝送線インタフェース回路。

【請求項 1 3】

伝送線インタフェース回路であって、

伝送線と前記伝送線インタフェース回路のための高電圧レファレンスとの間に連結され、前記伝送線上で駆動される入力信号のロジックハイの値に応答して前記伝送線をプルアップする p 型ドライバ要素と、

30

前記伝送線と前記伝送線インタフェース回路のための低電圧レファレンスとの間に連結され、前記入力信号のロジックローの値に応答して前記伝送線をプルダウンする n 型ドライバ要素と、

前記伝送線インタフェース回路内でローカルに、前記 p 型ドライバ要素と前記高電圧レファレンスとの間で連結され、前記伝送線インタフェース回路の高電圧振幅を減らす第 1 電圧レギュレータと、

前記伝送線インタフェース回路内でローカルに前記 n 型ドライバ要素と前記低電圧レファレンスとの間で連結され、前記伝送線インタフェース回路の低電圧振幅を減らす第 2 電圧レギュレータと

前記第 1 電圧レギュレータおよび前記第 2 電圧レギュレータの少なくとも一方をバイパスして、前記 p 型ドライバ要素および前記 n 型ドライバ要素のうちの少なくとも一方と対応する電圧レファレンスとの間をそれぞれ直接接続するように接続を切り替え可能なバイパス経路と、

40

を備え、

前記 p 型ドライバ要素と前記 n 型ドライバ要素は、メモリデバイスと相互接続されるパッドを駆動し、

前記メモリデバイスの規格に応じて前記電圧レギュレータがバイパスされるか否かが切り替えられる、伝送線インタフェース回路。

【請求項 1 4】

プロセッサを含むホストハードウェアプラットフォームと、

メモリデバイスと通信する伝送線インタフェース回路を有する前記ホストハードウェア

50

プラットフォーム上のメモリコントローラデバイスと、

前記メモリコントローラデバイスによってアクセスされるデータに基づいてディスプレイを生成するべく連結されるタッチスクリーンディスプレイとを備え、

前記伝送線インタフェース回路は、

伝送線と前記伝送線インタフェース回路のための高電圧レファレンスとの間に連結され、前記伝送線上で駆動される入力信号のロジックハイの値に応答して前記伝送線をプルアップする p 型ドライバ要素と、

前記伝送線と前記伝送線インタフェース回路のための低電圧レファレンスとの間に連結され、前記入力信号のロジックローの値に応答して、前記伝送線をプルダウンする n 型ドライバ要素と

10

を含む複数のドライバ要素と、

前記伝送線インタフェース回路内でローカルに、前記複数のドライバ要素のうちの 1 つと対応する電圧レファレンスとの間で連結され、前記伝送線インタフェース回路の電圧振幅を減らす電圧レギュレータと、

電圧レギュレータをバイパスして、前記複数のドライバ要素のうちの少なくとも 1 つと対応する電圧レファレンスとの間をそれぞれ直接接続するように接続を切り替え可能なバイパス経路と、

を含み、

前記複数のドライバ要素は、メモリデバイスと相互接続されるパッドを駆動し、

20

前記メモリデバイスの規格に応じて前記電圧レギュレータがバイパスされるか否かが切り替えられる、電子デバイス。

【請求項 15】

前記伝送線インタフェース回路のターゲット I/O 性能特性に関する複数の異なる I/O 回路パラメータの設定の一つとして、前記電圧レギュレータをアクティブにする電圧レベルの設定値を決定するテスト回路

を更に備え、

前記電圧レギュレータは、テスト回路から前記設定値を受信し、前記設定値に基づいて前記電圧レギュレータの出力を設定し、前記伝送線インタフェース回路の前記電圧振幅を制御する複数の制御要素を有し、

30

前記テスト回路は、前記メモリデバイスと通信して、予め定められたメモリデバイスに対する設定値を決定する、

請求項 14 に記載の電子デバイス。

【請求項 16】

前記電圧レギュレータは、前記メモリコントローラデバイス上に統合される、請求項 14 または 15 に記載の電子デバイス。

【請求項 17】

前記電圧レギュレータは、前記 p 型ドライバ要素と前記高電圧レファレンスとの間に連結される、請求項 14 から 16 の何れか一項に記載の電子デバイス。

【請求項 18】

40

前記電圧レギュレータは、第 1 電圧レギュレータであり、前記 n 型ドライバ要素と前記低電圧レファレンスとの間に連結される第 2 電圧レギュレータをさらに備える、請求項 17 に記載の電子デバイス。

【請求項 19】

前記メモリコントローラデバイスに連結され、前記伝送線インタフェース回路の前記電圧振幅を制御するべく、前記電圧レギュレータを設定するテスト回路をさらに備える、請求項 14 から 18 のいずれか一項に記載の電子デバイス。

【請求項 20】

前記メモリデバイスは低電力デュアルデータレート (LPDDR) メモリデバイスを有する、請求項 14 から 19 の何れか一項に記載の電子デバイス。

50

【請求項 2 1】

メモリデバイスへの伝送線上で駆動するべく、信号を受信する段階と、

前記信号の受信にตอบสนองして、伝送線インタフェース回路の電圧振幅を減らすべく、ドライバ要素と対応する電圧レファレンスとの間で前記伝送線インタフェース回路にローカルに連結される電圧レギュレータをアクティブにする段階と、

前記信号のロジックハイの値にตอบสนองして、前記伝送線と前記伝送線インタフェース回路のための高電圧レファレンスとの間に連結される p 型ドライバ要素を用いてハイで前記伝送線を駆動する段階と、

前記信号のロジックローの値にตอบสนองして、前記伝送線と前記伝送線インタフェース回路のための低電圧レファレンスとの間に連結される n 型ドライバ要素を用いてローで前記伝送線を駆動する段階と

10

を備え、

前記ドライバ要素と対応する電圧レファレンスとの間の接続は、バイパス経路によって前記電圧レギュレータをバイパスするように切り替え可能であり、

前記ドライバ要素が前記伝送線上で信号を送信するために前記メモリデバイスと相互接続されるパッドを駆動する場合に、前記メモリデバイスの規格に応じて前記電圧レギュレータがバイパスされるか否かを切り替える段階をさらに備える、

方法。

【請求項 2 2】

前記電圧レギュレータをアクティブにする段階は、前記 p 型ドライバ要素と前記高電圧レファレンスとの間に連結される電圧レギュレータをアクティブにする段階を有する、請求項 2 1 に記載の方法。

20

【請求項 2 3】

前記電圧レギュレータをアクティブにする電圧レベルを決定する段階をさらに備え、

前記決定する段階は、

前記伝送線インタフェース回路のターゲット I / O 性能特性に関する複数の異なる I / O (入力 / 出力) 回路パラメータのための複数の異なる設定のそれぞれについて、

各 I / O 回路パラメータの値を設定し、

前記設定のためのテストトラフィックを生成し、

I / O 性能特性のための動作マージンを測定する段階と、

30

前記動作マージンが最小の閾値に適合し、複数の I / O 回路パラメータのうちの少なくとも 1 つの性能が増加する前記複数の I / O 回路パラメータのそれぞれのための複数の値を決定する探索機能を実行する段階と、

前記探索機能に基づいて、前記複数の I / O 回路パラメータのための複数のランタイム値を設定する段階と

を含む、請求項 2 1 または 2 2 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の複数の実施形態は、一般にインターデバイス通信、具体的には、インターデバイス通信ドライバの振幅制御に関連する。

40

【0002】

著作権表示 / 許可。この特許文献の本開示の複数の部分は、著作権保護の対象となる材料を含むかも知れない。著作権の保有者は、特許商標庁の特許包袋若しくは記録の通りに特許文献又は特許開示が何人により複製されようと異議を申し立てないが、その他のあらゆる著作権及びその他の権利を留保する。著作権表示は、後述される、及び、明細書中の添付の複数の図面内、並びに、後述の任意のソフトウェアの全てのデータに適用される。コピーライト (C)、2013 年、インテルコーポレーション、無断複写・転載を禁じる。

【背景技術】

50

【0003】

ホストプラットフォーム上の複数のコンポーネント間の通信は、電子デバイスの動作を必要とする。しかしながら、通信は、出力ライン又は伝送線ドライバの使用を含み、電子デバイス内で使用される総電力のうちのかなりの量を消費する。例えば、プロセッサとメモリとの間、メモリコントローラとプロセッサとの間、メモリコントローラとメモリデバイスとの間、周辺機器コントローラとプロセッサ若しくはメモリサブシステムとの間の通信又は他の通信は、電力のかなりの量を消費する。概して、複数の異なるコンポーネントの間の通信は、I/O（入力/出力）と称されることができ、（例えば、メモリサブシステムの複数のコンポーネント間の）規格によって頻繁に制御される。I/O基準は、I/O電力、I/Oレイテンシ及びI/O周波数の性能特性に関連し得る。I/O性能設定の基準又は公称値は、互換性及び相互運用性のために、異なるシステムにわたって実現され得る値に設定される。

10

【0004】

図1Aは、周知のCMOS出力ドライバのブロック図である。周知のCMOS（相補型金属-酸化膜半導体）出力ドライバ134は、I/Oシステムの共通設計である。システム102は、受信機120と通信する送信機110を含む。受信機120が送信機110に対する通信を駆動するとき、送信機110が受信デバイスであると理解されるであろう。このように、送信デバイス及び受信デバイスの役割は、逆転されることができ、出力ドライバ134は、トランシーバ130の一部として示される。しかしながら、本明細書の説明の目的のために、主な焦点は、信号の受信ではなく、信号の送信である。送信機110から受信機120への信号の送信の目的のため、受信機120は、負荷インピーダンスR122として具現化され得る。送信機110は、プルアップ（PU）要素140を介してVDDに伝送線154をプルアップし、プルダウン（PD）要素142を介してVSSに伝送線154をプルダウンすることにより受信するべく、受信機120の伝送線154を駆動する。出力インピーダンスR146は、ドライバ134により見られるようなパッド152及び伝送線154のインピーダンスに典型的に一致される。ブリドライバ132は、伝送線154上に信号を出力するべく、ドライバ134に対するシグナリング及び制御を提供する。パッド152は、送信デバイス110を伝送線154にインタフェースで接続する。

20

【0005】

システム102の使用の例は、LPDDR3（低電力デュアルデータレートバージョン3、JEDECにより2012年5月に公開された初期仕様）におけるドライバ用である。システム102は、出力信号を駆動するべく、出力電圧の最大振幅をもたらす。複数のコンポーネントのメモリサブシステム以外のコンポーネントは、出力電圧の最大振幅をもたらすドライバを使用することもできる。出力電圧の最大振幅は、複数のコンポーネント間のI/O（入力/出力）又はインタフェースのために大量の電力を使用する。

30

【図面の簡単な説明】

【0006】

以下の説明は、本発明の複数の実施形態の実装の例示を目的として与えられる図を有する図面の説明を含む。図面は、限定ではなく例示を目的として理解されるべきである。本明細書中で用いられるように、1又は複数の「実施形態」という称呼は、本発明の少なくとも1つの実装に含まれる特定の機能、構造、及び/又は特性の説明として理解されるものである。このように、本明細書に現れる「一実施形態において」又は「代替的な実施形態において」のような表現は、本発明の様々な実施形態及び実装を説明し、同一実施形態を必ずしも全て指すものではない。しかしながら、それらはまた、必ずしも互いに排他的ではない。

40

【図1A】周知のCMOS出力ドライバのブロック図である。

【図1B】デュアルNMOS出力ドライバのブロック図である。

【図2】送信振幅を減らす電圧レギュレータを有するシステムの一実施形態のブロック図である。

50

【図3A】出力信号の高電圧レファレンスに関する振幅を減らすように連結された電圧レギュレータを有するシステムの一実施形態のブロック図である。

【図3B】出力信号の低電圧レファレンスに関する振幅を減らすように連結された電圧レギュレータを有するシステムの一実施形態のブロック図である。

【図3C】出力信号の低電圧レファレンス及び高電圧レファレンスの両方に関する振幅を減らすように連結された電圧レギュレータを有するシステムの一実施形態のブロック図である。

【図4】出力電圧振幅を制御するテストインシステムを提供するテストシステムを有するメモリサブシステムの一実施形態のブロック図である。

【図5】信号振幅を制御する電圧レギュレーションを有するメモリコントローラ及びメモリデバイス通信サブシステムの一実施形態のブロック図である。

【図6A】マルチレグブルアップインピーダンス回路の一実施形態のブロック図である。

【図6B】マルチレグブルダウンインピーダンス回路の一実施形態のブロック図である。

【図7】は、低減された電圧振幅で信号を出力するための処理の一実施形態のフロー図である。

【図8】可能な値の包括的な探索を用いた通信設定を実証的にテストし、決定するための処理の一実施形態のフロー図である。

【図9】電圧振幅制御が実装され得るコンピューティングシステムの一実施形態のブロック図である。

【図10】電圧振幅制御が実装され得る一実施形態のモバイルデバイスのブロック図である。図面の説明を含む具体的な詳細及び実装例の説明を後述するが、図面は後述する実施形態の一部又は全て、及び、本明細書で提示される発明の思想の他の可能性のある実施形態又は実装例を説明している場合もある。

【発明を実施するための形態】

【0007】

後述の通り、電圧レギュレータは、信号送信のために、伝送線インタフェース回路の電圧振幅を制御する。伝送線インタフェース回路は、伝送線を駆動するドライバ又はドライバの一部である。伝送線インタフェース回路は、ロジックハイに応答して伝送線をプルアップするp型ドライバ要素と、ロジックローに応答して伝送線をプルダウンするn型ドライバ要素とを含む相補的なドライバ要素を含む。電圧レギュレータは、複数のドライバ要素の1つと対応する電圧レファレンスとの間に連結され、伝送線インタフェース回路の電圧振幅を減らす。一実施形態において、電圧レギュレータは、伝送線インタフェース回路のプルアップレグ及びプルダウンレグの両方で用いられる。このように、第1電圧レギュレータは、高電圧源(VDD)とプルアップ要素との間に配置されることができ、第2電圧レギュレータは、低電圧源又は接地(VSS)とプルダウン要素との間に配置されることができる。減らされた電圧振幅は、I/O送信のシステム内で用いられる電力の量を減らしつつ、I/O(入力/出力)インタフェース規格に準拠させることができる。

【0008】

一実施形態において、伝送線インタフェース回路の動作は、実証的なテストの使用によりさらに制御され得る。システムは、特定のデバイスのためのデバイスI/O(入力/出力)の性能パラメータを実証的にテストすることができる。テストシステムを介して実証的にテストすることに基づいて、システムは、インターデバイス通信が行われるシステム又はデバイスに固有の性能パラメータを設定することができる。複数の異なるI/O回路パラメータの複数の異なる設定の各々について、テストシステムは、各I/O回路パラメータの値を設定し、(複数の)パラメータ値での通信をストレステストにかけるためのテストトラフィックを生成し、I/O性能特性のための動作マージンを測定する。回路パラメータは、Vref、Ron、スルーレート、オンダイターミネーション(ODT)、レギュレータ出力電圧及び/又は他のパラメータを含み得る。テストシステムは、動作マージンが最小の閾値に適合し、I/O回路パラメータのうち少なくとも1つの性能が向上される各I/O回路パラメータの値を決定する探索機能をさらに実行する。一実施形態に

10

20

30

40

50

において、システムは、探索機能に基づいて、I/O回路パラメータのランタイム値を設定する。設定は、テストに基づいて、特定のシステムの特定のコンポーネントについて動的に変更され得る。

【0009】

一実施形態において、説明されるテストシステム又はテストエンジンは、メモリサブシステム、より具体的には、プラットフォームコンポーネント（例えば、プロセッサ、メモリコントローラ）とメモリデバイスとの間の通信をテストするために用いられ得る。スケジューラ又は同等のロジックを有するメモリコントローラを使用する任意のメモリサブシステムは、テストエンジンの少なくとも1つの実施形態を実証できる。本明細書で参照されるメモリデバイスは、異なるメモリタイプを含むことができる。例えば、メモリサブシステムは、本明細書中で、メモリデバイスの一例として説明されるようにDRAMを一般に使用する。このように、本明細書で説明されるテストエンジンは、DDR3（デュアルデータレートバージョン3、2007年6月27日、JEDEC（Joint Electronic Device Engineering Council）によるオリジナルリリース、現在リリース21）、DDR4（DDRバージョン4、JEDECにより2012年9月に公開された最初の仕様）、LPDDR4（低電力デュアルデータレートバージョン4、本願の出願の時点でJEDECによる開発における仕様）、WIDIO（本願の出願の時点でJEDECによる開発における仕様）及び/又はその他のような多数のメモリ技術及びそのような仕様の派生又は拡張に基づく技術のいずれかと互換性がある。

【0010】

図1Bは、周知のデュアルNMOS出力ドライバのブロック図である。システム104は、図1Aのシステム102と似ているが、n型プルアップ要素144とn型プルダウン要素142とを有する。n型プルアップ要素又はデバイスが要素144をオンにするために必要な閾値電圧を有しており、相補的なドライバ設計よりも出力振幅を減らすので、出力信号の振幅は、システム102におけるよりもシステム104の方が低い。要素110、120、R122、130、132、134、152及び154は、述べた場合を除き、システム104において同一である。出力インピーダンスR148は、典型的には、ドライバ134によって見られるように、パッド152及び伝送線154のインピーダンスと整合するように設計される。

【0011】

システム104の使用の例は、LPDDR4のドライバについてであり、システム104と同様の設計を提案する。システム104より高い電力を使用するシステム102は、出力信号を駆動するべく、出力電圧の最大振幅をもたらす。しかしながら、システム104は、パッドキャップ（パッド容量）を増加させ、システム102で使用されるものとは異なるスルーレート制御を必要とする。このように、インタフェースシステムは、LPDDR4ドライバに接続される同一のパッド上にレガシーデバイスサポートのためのLPDDR3ドライバを容易に接続できない。さらに、システム104の設計は、PVT（プロセス、電圧及び温度）にわたって十分に制御されないプルアップ電圧及びRon（出力インピーダンス）の値をもたらす。さらに、プルアップ電圧及びRonは、システム104において補償することが困難である。

【0012】

図2は、I/O送信上の振幅を減らす電圧レギュレータを有するシステムの一実施形態のブロック図である。システム200は、ローカルデバイス210を含み、リモートデバイス220と通信する。システム200に関する説明の主な焦点は、ローカルデバイス210からリモートデバイス220への信号の送信に関する。ローカルデバイス210は、送信上で伝送線240を駆動する伝送線インタフェース回路に対して「ローカル」である。このように、デバイス210からデバイス220への送信のために、リモートデバイス220は、伝送線インタフェース回路から離れている。送信機及び受信機としての2つデバイスの役割が逆転され得ると理解されるであろう。デバイス210及び220の送信ド

10

20

30

40

50

ライバ回路は、同一である必要はない。

【 0 0 1 3 】

ローカルデバイス 2 1 0 は、I / O 回路 2 3 0 を含み、パッド 2 1 2 を介して伝送線 2 4 0 とインタフェースで接続される。回路 2 3 0 は、ドライバ 2 3 2 を含み、リモートデバイス 2 2 0 との通信のために、伝送線 2 4 0 を駆動する。一実施形態において、伝送線 2 4 0 は、ローカルデバイス 2 1 0 及びリモートデバイス 2 2 0 の I / O ピンを接続する信号ライン（例えば、トレース）である。伝送線 2 4 0 は、代わりに、有線又は他の相互接続であってよい。

【 0 0 1 4 】

一実施形態において、ドライバ 2 3 2 は、プルアップ要素及びプルダウン要素と同等の回路を有する、CMOS（相補型金属酸化物半導体）構造である。ドライバ 2 3 2 のプルアップ及びプルダウンレグのいずれか一方又は両方は、電圧レギュレータを介して対応する電圧レファレンスに接続される。一実施形態において、電圧レギュレータは、プルアップレグにおいて提供される。一実施形態において、電圧レギュレータは、プルダウンレグにおいて提供される。一実施形態において、電圧レギュレータは、プルアップ及びプルダウンレグの両方において提供される。例えば、プルアップレグは、電圧レギュレータ（ V_R ）2 3 4 を介して V_{DD} に接続されることができ、プルダウンレグは、 V_R 2 3 6 を介して V_{SS} に接続されることができ、このように、ローカルデバイス 2 1 0 による送信のための有効なロジックハイの値は、 $V_{DD} - V_{V_R 2 3 4}$ 、すなわち、 V_R 2 3 4 により提供される電圧低下でマイナスされる V_{DD} であり得る。ローカルデバイス 2 1 0 による送信のための有効なロジックローの値は、 $V_{SS} + V_{V_R 2 3 6}$ 又は V_R 2 3 6 により提供される電圧上昇でプラスされる V_{SS} であり得る。 V_R 2 3 4 及び V_R 2 3 6 により提供される電圧変化は、必ずしも同一ではないものと理解されるであろう。両方の場合において、電圧振幅は、電圧レギュレータなしで等価回路から減らされる。

【 0 0 1 5 】

出力電圧振幅の減少は、レールからレールへスイングする設計と比較して、回路 2 3 0 に電力節約を提供できる。 V_R 2 3 4 が回路 2 3 0 に含まれ、 $V_{DD} - V_{V_R 2 3 4}$ の出力電圧を提供すると仮定する。 V_R 2 3 4 がリニア電圧レギュレータである場合、システム 2 0 0 の設計は、 $V_{V_R 2 3 4}$ によって提供される電圧低下に対して、線形関係で送信電力を低下する。 V_R 2 3 4 が、スイッチング電圧レギュレータ又はスイッチ回路レギュレータ（例えば、スイッチドキャパシタレギュレータ、スイッチドインダクタレギュレータ）として設計される場合、システム 2 0 0 の設計は、 $V_{V_R 2 3 4}$ によって提供される電圧低下に対して、ほぼ二次関係で送信電力を減らすことができる。一実施形態において、図 4 及び 5 に関して詳しく後述される通り、特定のアイ高さ及び / 又はアイ幅目標を維持しつつ、総電力を低減するために求めることができるテストシステムからのトレーニングフローを用いることにより、実際の物理デバイスの製造の後に、一方又は両方の電圧レギュレータの正確な振幅のターゲットは、最適化され得る。

【 0 0 1 6 】

一実施形態において、一方又は両方の電圧レギュレータ 2 3 4 及び 2 3 6 は、非常に低い面積オーバーヘッドで、回路 2 3 0 として、同一の半導体ダイ又は集積回路上にローカルに統合され得る。例えば、デバイス設計は、多くの場合、回路 2 3 0 において電圧レギュレータの実装に適応するための十分な余白を有する。大量のオンダイデカップリングキャパシタンスを要求することなしに、低オーバーヘッド電力を実現することができるリニアレギュレータを設計するための周知の技術がある。一実施形態において、電圧レギュレータ 2 3 4 及び 2 3 6 の一方又は両方は、同一の半導体基板上ではなく、回路 2 3 0 として、同一のパッケージ又は同一のボード上に実装される。電圧レギュレータをオフダイとすることは、より高い設計及び / 又は実装コストを課すことになり得る。

【 0 0 1 7 】

（明示的に示されない）一実施形態において、一方又は両方の電圧レギュレータ 2 3 4 及び 2 3 6 は、バイパス経路を介して選択的にバイパスされ得る。バイパス経路は、電圧

10

20

30

40

50

レギュレータを通じた電圧レファレンスへの接続又は直接電圧レファレンスへの接続を切り替えるべく、選択的にアクティブにされ得る。このように、例えば、レギュレータへの入力及びレギュレータの出力は、アクティブにされたときに、レギュレータをバイパスする、選択的な（例えば、切替型の）低インピーダンス経路を通じて連結され得る。そのような設計は、複数の異なるタイプのシステムをインタフェースで接続する（例えば、（完全振幅のためにバイパスされる）LPDDR3及び（低振幅のためにレギュレータをアクティブにする）LPDDR4の両方をインタフェースで接続する）のに用いられ得る。さらに、信号の送信を駆動する代わりに信号を受信するような、不要な場合には、電圧レギュレータは、スイッチを切られ得る。このように、低電力状態において、電圧レギュレータは、使用されていないときにドライバに対する電力ゲート及び電力遮断を兼用することができ、回路リークを減らすことができる。

10

【0018】

図3Aは、出力信号の高電圧レファレンスに関する振幅を減らすように連結される電圧レギュレータを有するシステムの一実施形態のブロック図である。システム302は、システム200の一実施形態の一例であり得る。送信機310は、ローカルデバイスであり、受信機320は、リモートデバイスである。送信の目的のために、受信機320は、負荷インピーダンスR322としてシステム302に表される。送信機310は、ドライバ334の制御及びシグナリングを提供し、パッド352を介して伝送線354上の出力又は送信信号を駆動するプリドライバ332を含む。

【0019】

ドライバ334は、プルアップ要素342及びプルダウン要素344を含む。要素344は、ロジックロー信号を生成するべく、伝送線354をプルダウンするn型（例えば、NMOS）要素である。要素342は、ロジックハイ信号を生成するべく、伝送線354をプルアップするp型（例えば、PMOS）要素である。「ロジックロー」及び「ロジックハイ」は、電圧レベルを指し、デバイス310及び320間で用いられる通信プロトコル又はシグナリングではないと理解されるであろう。例えば、あるシグナリングスキームにおいて、ロジックローは、「0（ゼロ）」を送信することに対応でき、ロジックハイは、「1」を送信することに対応できる。しかしながら、シグナリングスキームは、反転されてよく、ロジックハイが0（ゼロ）を送信することに対応でき、ロジックローが1を送信することに対応できる。

20

30

【0020】

送信機310は、VDDからVDDTXへの送信高電圧レベルをより低くする電圧レギュレータ362を含み、VDDTXは、VDDから電圧レギュレータ362の電圧降下を引いたものである。一実施形態において、送信機310は、電圧レギュレータ362をバイパスすることを可能にするバイパス経路372を含む。平滑コンデンサは、電圧レギュレータ362により導入され得るノイズをフィルタするべく、VDDTXからVSSへ配置され得る。ドライバ334は、相補的な出力要素342及び344とパッド352との間で連結される出力インピーダンス、Ron、R346を含む。システム302の設計は、十分に制御されたRon及び出力電圧レベルを提供する。さらに、出力電圧レベルは、電圧レギュレータ362の出力を調整することにより、調整可能であり得る。

40

【0021】

システム302は、LPDDR4低振幅VSS終端スキームの実装として用いられ得る。さらに、システム302は、例えば、電圧レギュレータ362を選択的にバイパスすることにより、LPDDR3及びLPDDR4の両方を実装し得る。このように、システム302は、高性能な組み合わせLPDDR3/4設計をサポートする。一実施形態において、バイパス経路372は、電圧レギュレータ362の一部であり、又は、電圧レギュレータ362により実装され、レギュレータにVDDからVDDTXを短絡させることを可能にする。当業者は、システム302の設計がパッドキャップ又は送信機310の全体的な性能に影響を与えないことを理解するであろう。

【0022】

50

CMOSバッファの使用は、 R_{on} の一定のインピーダンスをパッド352に与えることにより、固有の信号インテグリティの利益を提供する。このように、送信機310は、伝送線354の特性インピーダンスに適合させ、反射に起因する任意の過剰なエネルギーを緩和することができる。しかしながら、電圧レギュレータ362のターゲット電圧を調整することにより、システム302は、所望の振幅又は共通モード電圧を実現するべく、受信機320に提示される振幅を調整できる。結果として、システム302は、I/Oバッファ振幅及び R_{on} に対する独立制御を提供する。

【0023】

図3Bは、出力信号の低電圧レファレンスに関する振幅を減らすように連結される電圧レギュレータを有するシステムの一実施形態のブロック図である。システム304は、システム200の一実施形態の一例であり得る。送信機310は、ローカルデバイスであり、受信機320は、リモートデバイスである。送信の目的のために、受信機320は、負荷インピーダンス R_{322} としてシステム304内で表され、特定の実施態様により、VDD、共通モード電圧又は接地に終端できる。送信機310は、ドライバ334のための制御及びシグナリングを提供し、パッド352を介して伝送線354上の出力又は送信信号を駆動するプリドライバ332を含む。ドライバ334は、プルアップ要素342及びプルダウン要素344を含む。要素344は、ロジックロー信号を生成するべく、伝送線354をプルダウンするn型(例えば、NMOS)要素である。要素342は、ロジックハイ信号を生成するべく、伝送線354をプルアップするp型(例えば、PMOS)要素である。

【0024】

送信機310は、送信低電圧レベルをVSSからVSSTXへ引き上げる電圧レギュレータ364を含み、VSSTXは、VSSに電圧レギュレータ364の電圧をプラスしたものである。一実施形態において、送信機310は、電圧レギュレータ364をバイパスすることを可能とするバイパス経路374を含む。平滑コンデンサは、電圧レギュレータ364により導入され得るノイズをフィルタするべく、VSSTXからVSS(又は、環境に依存してVDD)に配置される。ドライバ334は、相補的な出力要素342及び344とパッド352との間に連結される出力インピーダンス、 R_{on} 、 R_{346} を含む。システム304の設計は、十分に制御された R_{on} 及び出力電圧レベルを提供する。さらに、出力電圧レベルは、電圧レギュレータ364の出力を調整することにより調整可能となり得る。

【0025】

図3Cは、出力信号の低電圧レファレンス及び高電圧レファレンスの両方に関する振幅を減らすように連結される電圧レギュレータを有するシステムの一実施形態のブロック図である。システム306は、システム200の一実施形態の一例であり得る。送信機310は、ローカルデバイスであり、受信機320は、リモートデバイスである。送信の目的のために、受信機320は、負荷インピーダンス R_{322} としてシステム306において表され、共通モード電圧又はVDDに終端できる。送信機310は、ドライバ334の制御及びシグナリングを提供し、パッド352を介して伝送線354上の出力又は送信信号を駆動するプリドライバ332を含む。ドライバ334は、プルアップ要素342及びプルダウン要素344を含む。要素344は、ロジックロー信号を生成するべく、伝送線354をプルダウンするn型(例えば、NMOS)要素である。要素342は、ロジックハイ信号を生成するべく、伝送線354をプルアップするp型(例えば、PMOS)要素である。

【0026】

送信機310は、VDDからVDDTXに送信高電圧レベルをより低くする電圧レギュレータ366を含み、VDDTXは、VDDから電圧レギュレータ366の電圧降下をマイナスしたものである。一実施形態において、送信機310は、電圧レギュレータ366をバイパスするバイパス経路(明示的に示されない)を含む。送信機310は、送信低電圧レベルをVSSからVSSTXに引き上げる電圧レギュレータ368も含み、VSSTX

10

20

30

40

50

Xは、VSSに電圧レギュレータ368の電圧をプラスしたものである。一実施形態において、送信機310は、電圧レギュレータ368をバイパスするバイパス経路を含む（明示的に示されない）。キャパシタは、出力信号のノイズをフィルタするべく、VDDTXからVSSTXの間に配置され得る。ドライバ334は、出力インピーダンスを含むように明示的に示されていないが、出力インピーダンスが提供され得る。ドライバ334の出力電圧レベルは、高電圧及び低電圧の両方に関して調整され得る。

【0027】

システム306は、LPDDR3出力ドライバと同様にWIDEIO出力ドライバの実装として用いられることができ、振幅がVDD/2を基準にする任意のI/Oに適用可能である。WIDEIOを用いて、周知の設計は、パッド352を全レール（VSSからVDD）にスイング（swing）する。LPDDR3を用いて、受信機は、VDD/2の共通モードを予測する。ドライバは、 CV^2F （ここで、Cはキャパシタンスであり、Vは電圧であり、Fは信号の周波数である）に等しい電力を消費する。JEDECによる規格は、LPDDR3についての仕様及びWIDEIOについての提案された仕様のように、必要な許容範囲内である、およそ $0.2 * VDD$ から $0.8 * VDD$ までのパッド振幅（padding swing）を可能にする。しかしながら、周知の設計は、完全なレールをスイングする。電圧レギュレータ366及び368がVDDの20%に設定された場合、0からVDDまでスイングするのと比較して40%の電力消費量を減らしつつ、出力振幅は、さらに規格に準拠する。あるいは、電圧レギュレータ366及び368は、異なる値に設定されることができ、必ずしも等しい電圧ステップに設定される必要はない。電圧レギュレータ366及び368が受信機320についてVDD/2の共通モードを維持するべく、対称的に動作する（例えば、等しい量で電圧振幅を調整する）ように構成され得ると理解されるであろう。

【0028】

WIDEIOの実装において、受信回路は、一般に、シンプルなインバータとして実装される。このように、リーク電力消費は、パッド352が完全なレールをスイングしないときに、飛躍的に向上する。アイドル期間の間、パッド352を電圧レファレンスレール（VDD又はVSS）に引っ張るバイパス経路の使用は、リーク電力消費を減らすことができる。 CV^2F 電力が影響を及ぼす高アクティビティ期間の間、システム306は、省電力化するべく、出力電圧振幅を落とすように調整できる。リーク電力が影響を及ぼすアイドル期間の間、システム306は、パッド352を完全なレールでスイングさせるように、電圧レギュレータをバイパスして、リークを減らす又は取り除く。一実施形態において、バイパス経路は、アイドル期間の間、パッド352をVDD/VSSに引き寄せる弱プルアップ/プルダウンパスとして実装され得る。概して、バイパス経路は、電圧レギュレータオフセットを有する代わりに送信電圧を基準電圧に等しくする低インピーダンスパス、又は、高インピーダンスパス（例えば、電力ゲート）のいずれかとして実装され得る。

【0029】

図3A、3B又は3Cのいずれか任意の実施形態において、テストシステムは、（例えば、デバイスインフィールドの動作を調整する）特定の製造デバイスに基づいて出力電圧振幅をプログラムするようにさらに追加され得る。このように、VSSTX及び/又はVDDTXの正確なターゲット値は、電力のアイ高さ及び/又はアイ幅の評価に基づいて、テストシステムにより調整され得る。VSSTX及びVDDTXの非対称値は、さらに電力を減らしつつ、システムにハイ側及びロー側電圧マージンを等しくさせることが可能となり得る。そのような技術は、さらに後述される。

【0030】

図4は、出力電圧振幅を制御するべく、テストインシステムを提供するテストシステムを有するメモリサブシステムの一実施形態のブロック図である。特定の出力電圧振幅は、アイ高さ及び/又はアイ幅と総電力との間のトレードオフを決定するべく、動作中の特定のデバイスのために算出され得る。メモリサブシステム400が具体的に示される一方、

インターデバイス通信を利用する他の電子デバイスサブシステムが等しく用いられ得ると理解されるであろう。メモリサブシステム 400 は、メモリデバイス 410、テストシステム 420、パラメータ調整ロジック 430、測定ロジック 440 及び探索ロジック 450 を含むことができる。そのような機能的なロジックは、ハードウェア、ソフトウェア、ファームウェア又は組み合わせを指す。機能的なロジックはまた、SoC (システムオンチップ) 内に直接的に実装されることができ、又は離れて設けられて別の I/O インタフェースを介して通信できる。

【0031】

メモリデバイス 410 は、メモリサブシステムにおける 1 又は複数のストレージデバイスを表す。テストシステム 420 は、メモリデバイス 410 と通信することに関して、どのように I/O 動作パラメータを設定するかを決定するべく、メモリデバイス 410 と通信のテストを提供する。他の I/O 動作パラメータの間で、テストシステム 420 は、特定のメモリデバイス 410 (又は、送信デバイスから他の受信デバイス) に対する出力の電圧振幅を減らすべく、特定の電圧レギュレータ設定を決定できる。一実施形態において、テストシステム 420 は、テストを実行するループを表すテストループ 422 を含む。特に、一実施形態において、テスト及び測定は、どのようにメモリデバイス 410 が様々な条件の下で実行するかを決定するべく、ループ 422 において反復的に実行される。一実施形態において、テストシステム 420 は、異なるパラメータ設定について多数の測定に基づいて、メモリデバイス 410 の性能 (例えば、最悪の場合の性能) を推定するために用いられる推定ロジック (明示的に示されない) を含む。一実施形態において、テストシステム 420 は、テスト結果において、ノイズを減らす又は補償するべく複数のテスト結果を互いに関連付けるのに用いられる相関ロジック (具体的に示されない) を含む。

【0032】

パラメータ調整ロジック 430 は、性能パラメータを変更するロジックを表す。一実施形態において、ロジック 430 は、電圧レギュレータ値を調整する、又はメモリデバイス 410 に対する電圧レファレンスを調整するロジックを表す。電圧レギュレータは、制御ロジックに応答して出力電圧振幅を調整するべく、可変電圧を提供する可変出力回路を含み得る。一実施形態において、ロジック 430 は、1 又は複数のレイテンシパラメータを調整するロジックを表す。例えば、ロジック 430 は、Ron (出力インピーダンス)、Rout (オンダイターミネーションインピーダンス)、スルーレート、等化、データストローブ間に集中するタイミング、周波数、又は、他の電気パラメータのような電気パラメータを調整し得る。一実施形態において、ロジック 430 は、1 又は複数の周波数パラメータを調整するロジックを表す。例えば、ロジック 430 は、上記の任意のレイテンシパラメータ又は他のタイミングパラメータ、ターンアラウンドタイム又は他の I/O パラメータに関連するパラメータを調整し得る。レイテンシ及び/又は周波数は、電圧レギュレータの設定に影響を与え得る。

【0033】

一実施形態において、パラメータ調整ロジック 430 は、メモリコントローラの一部であり、遅延を制御するメモリコントローラ内の構成設定に影響を与える。一実施形態において、ロジック 430 は、メモリコントローラの近くのテストエンジンのような、メモリコントローラの外側に存在する。一実施形態において、ロジック 430 は、設定オプションを設定することによるといったように、メモリコントローラにメモリデバイス自身における設定を調整させる。一実施形態において、パラメータ調整ロジック 430 は、メモリサブシステムが動作する周波数を細かい粒度ステップサイズで調整できる。テストシステム 420 は、テストに基づいて、メモリサブシステム 400 に固有の動作設定を決定する。メモリサブシステム 400 において、出力ドライバは、メモリコントローラ内に存在し、本明細書に記載された任意の実施形態に従って電圧振幅を調整する (複数の) 電圧レギュレータを含む。

【0034】

測定ロジック 440 は、性能の 1 又は複数の指標を測定するロジックを表す。例えば、

10

20

30

40

50

ロジック 440 は、信号のアイ幅、信号のアイ高さ又は両方を測定できる。一実施形態において、ロジック 440 は、0 度又は 90 度以外の角度で測定することにより、アイ高さ / アイ幅の 2 次元バージョンを測定する。一実施形態において、ロジック 440 は、メモリサブシステム 400 による電力消費を測定する。設定は、測定ロジック 440 の測定の粒度に従ってパラメータ調整ロジック 430 により調整される（すなわち、検出可能な違いを生じるのに十分なパラメータ設定を変更する）と理解されるであろう。探索ロジック 450 は、メモリデバイス 410 の I/O にどの設定を使用するかを測定値から決定するロジックを表す。一実施形態において、測定ロジック 440 は、テスト対象の特定のメモリサブシステム 400 について、1 又は複数の代表的な性能曲線を生成するために用いられる。代表的な曲線に基づいて、探索ロジック 450 は、他のために（基準又は設定により）必要な性能を少なくとも維持しつつ、少なくとも 1 つパラメータについて、より良好な性能を満たすために、どの設定を使用するかを決定するべく、探索機能を実行できる。探索ロジック 450 は、n 次元探索ロジック、（n-1 次元探索を実行する）1 次元探索ロジック、線形適合探索ロジック、二次適合探索ロジック、最急降下探索ロジック、曲線適合探索ロジック又はその他を含むことができる。n は、探索するための独立パラメータの数を示す整数を表すと理解されるであろう。探索ロジック 450 は、再現性ノイズを減らすこと又は最悪の場合の条件を推定することのいずれかと一緒に、複数の測定を組み合わせることもできる。一実施形態において、管理者は、どの判断（I/O 電力、I/O 周波数又は I/O レイテンシ）がメモリサブシステム 400 のシステム配備にとって最も顕著な特性であるかを決定し、その特定のターゲット特性を改善するテスト動作を行うことができる。

10

20

【0035】

I/O 電力は、デバイス間の通信を送るのに用いられる電力を指し、多くの電子デバイスにおける電力消費のかなりの量を占める。I/O レイテンシは、アクセストラザクシヨンのために、メモリデバイスにアクセスするのに要する時間に影響を与える。より低い I/O レイテンシは、より速いアクセスをもたらすことができ、このため、より速いデータの取得に起因してシステムの性能を向上させる。I/O 周波数は、アクセストラザクシヨンのために、メモリデバイスにアクセスするのに要する時間に影響を与える。より高い I/O 周波数は、より高い帯域幅をもたらすことができ、このため、より速いデータの取得に起因してシステムの性能を向上させる。より高い帯域幅は、所与の期間内により多くの動作を可能とし、データにより制限されるシステムがより高い性能で動作することを可能とすることができる。I/O がアクティブである時間を減少させ、I/O が低電力状態である時間を増大させることにより、電力を減らすこともできる。

30

【0036】

現在、I/O 電力、I/O レイテンシ及び I/O 周波数に関するデバイスの性能は、特定の DPM (defect per million) レベルにおける機能を保証する固定値設定により制御されているが、個々の、特定のデバイスについて、最低限可能な動作 I/O レイテンシを実現しない。一実施形態において、本明細書中で説明されるように、テストシステムは、DPM 目標をさらに維持しつつ、特定のデバイスについて動作電力、レイテンシ及び / 又は周波数を設定できる設定を実証的にテスト及び決定する。各設定は、電圧レギュレータが低減された出力振幅を提供するために設定すべきレベルにより影響を与え又は影響を受ける。テストシステム 420 は、通信の異なるメトリックについて所望の性能を実現しつつ、どの設定を電圧レギュレータに使用するかを実証的にテストする。

40

【0037】

任意のターゲット I/O 性能特性（例えば、I/O 電力、I/O レイテンシ、I/O 周波数）について、テストシステムは、ターゲット性能特性に影響を与える任意の数の I/O 回路パラメータを調整できる。テストシステムは、例えば、PLL (phase locked loop (位相ロックループ)) 回路における分数 - N 分周器を用いることにより周波数を調整でき、分数 - N 分周器は、全体として、コンピューティングデバイスの

50

代わりに、メモリサブシステムの周波数のみを調整できる。メモリサブシステム周波数を調整する他の方法はまた、オーバークロックシステムの当業者により理解されるであろう。テストシステムは、次に、各設定にわたって1又は複数の動作マージン（例えば、タイミング、最大周波数及び/又は電圧）を測定する。テストシステムは、ターゲット性能特性の性能を改善しつつ、最小限の要件（例えば、デバイスにDPM要件を満たすことを可能とする設定）を維持する設定を識別するべく、測定値に基づいて探索を実行する。テストシステムの動作は、システムを「最適化する」と言える。「最適化する」とは、必ずしも絶対的に可能な最良な性能を指すものでないと理解されるであろう。代わりに、最適化することは、特定の条件に関する、若しくは、特定の環境における若しくは特定の制約内における性能を改善すること、又は、最大化することの指すことができる。

10

【0038】

上記の例により提供されるように、テストは、関心のある1又は複数の性能パラメータの観点からメモリデバイスにストレスを与える。他の性能パラメータは、テストシステムにより評価され得ると理解されるであろう。ある観点から、メモリデバイス及びメモリサブシステム（又は他のサブシステム）は、I/Oに関するメモリサブシステム及びメモリデバイスに適用可能な仕様又は規格を超えてサブシステムが動作され得るか否かを決定するべく、具体的にテストされたインシステムである。テストは、外部の試験機器を必要とせずに、システムそれ自体のみに基づいて実行され得る。

【0039】

テストに関して、本明細書で言及されるようなテストシステムは、（例えば、共有ダイスペース上、SoC（システムオンチップ）上の）メモリコントローラに及び/又はメモリコントローラの近くに位置付けられるハードウェア要素、又は、そのI/O性能が、出力振幅を減らすために電圧レギュレータで制御されるべき他のターゲットデバイスを含む。テストシステムは、I/Oに誘発された電源ノイズ、符号間干渉（ISI（inter-symbol interference））、信号クロストーク及び/又は他の条件をもたらすI/O（入力/出力）の正確な組み合わせを作成する。これらの効果のいずれかは、各I/Oレーン上のデータ、各コマンドレーン上のパターン、及び/又は、どのようにデータ信号が複数のレーンにわたって互いに位置合されるかを正確に制御することにより作成され得る。

20

【0040】

図5は、信号振幅を制御する電圧レギュレーションを有するメモリコントローラ及びメモリデバイス通信サブシステムの一実施形態のブロック図である。一実施形態において、システム500は、メモリコントローラ530及びメモリデバイス550を含むメモリサブシステムを有する。システム500は、製造システム又はメモリデバイス550が消費者によって用いられるように配置されるシステムを表す。システム500は、ホストプロセッサ502が存在するハードウェアプラットフォーム（明示的には示されない）と、メモリコントローラ530及びメモリデバイス550を含むメモリサブシステムとを含む。BIOS（基本入出力システム）520又はメモリサブシステムを含むシステムを初期化するための等価ファームウェアもまた、ハードウェアプラットフォーム上に存在する。

30

【0041】

ホストプロセッサ502は、特に、ホストオペレーティングシステム（OS）510を実行するものである。ホストOS510は、一般に、ランタイム中のシステム500の動作制御を提供する。ホストOS510は、システム500とインタラクションすることをユーザに可能にするべく、ソフトウェアをハードウェアに、及び、ハードウェアをソフトウェアに接続するインタフェースを提供する。BIOS520は、ホストOS510がロードされるまで、システム500を介して起動制御を提供する。

40

【0042】

ホストOS510は、データの読み出し及び/又は書き込みのために、メモリデバイス550へのアクセスのためのメモリアクセス要求をメモリコントローラ530に提供する。同様に、BIOS520は、メモリアクセス要求をメモリコントローラ530に提供で

50

きる。メモリコントローラ 530 は、データアクセス要求に応答してメモリデバイス 550 にアクセスする。一実施形態において、テストエンジン 540 は、メモリデバイス 550 へ送るべく、メモリコントローラ 530 へのデータアクセス要求及び/又はアクセストランザクションを生成する。一実施形態において、テストエンジン 540 は、テストデータをメモリデバイス 550 へ直接提供する。

【0043】

一実施形態において、BIOS 520 は、テストプログラム 522 を介してテストを開始し、メモリコントローラ 530 を介したメモリデバイス 550 との通信をテストするべく、テストデータ 542 を生成するテストエンジン 540 にアクセスする。一実施形態において、テストデータ 542 は、異なるパラメータ設定の下でメモリデバイス 550 の性能を識別することに用いられるデータのような、メモリデバイス 550 のテストを監視している間に格納されたデータを表す。メモリデバイスの性能を識別することに応答して、システム 500 は、メモリデバイス 550 の I/O のための動作パラメータを動的に設定できる。動作パラメータを動的に設定することは、全てのデバイスに一般に適用可能な基準の又はデフォルトの設定を用いるのではなく、特定のデバイスに従ってシステムに性能を設定させることを可能にする。このように、特定のシステムは、最悪の場合に想定されるシステムの性能に限定されない。

【0044】

一実施形態において、設定 552 は、TX/RX 554 の I/O 設定を格納するレジスタ又は他の設定メカニズムのようなメモリデバイス 550 内のメカニズムを表す。TX/RX 554 は、メモリデバイス 550 の I/O 性能を制御するメモリデバイス 550 の送受信回路を表す。VR 536 は、TX/RX 554 の出力振幅を制御するのに用いられる 1 又は複数の電圧レギュレータを表す。一実施形態において、設定 532 は、TX/RX 534 の I/O 設定を格納するメモリコントローラ 530 におけるメカニズムを表す。TX/RX 534 は、メモリデバイス 550 に対する I/O 性能を制御するメモリコントローラ 530 の送受信回路を表す。設定 532 は、TX/RX 534 の出力振幅を調整するべく、VR 536 の設定を格納することもできる。他のコンポーネントは、TX/RX 回路を介してメモリデバイス 550 に接続されることもでき、同様の設定メカニズムを有すると理解されるであろう。

【0045】

設定 532 及び 522 は、送受信機能のための設定を含むことができる。例えば、様々な設定は、タイミング、電力、出力電圧レベル、電圧レギュレータレベル、出力インピーダンス、スルーレート又は他の送信パラメータを制御することに適用され得る。受信側において、オンダイターミネーション (ODT)、増幅器利得、等化及び他の受信機パラメータは、様々な設定により制御され得る。テストエンジン 540 は、送受信パラメータの様々な異なる設定でテストを実行し、測定結果を作成し、システムの動作マージン (例えば、必要な最小限の性能と比較して、どのようにシステムが実行するか) を決定することができる。動作マージンは、例えば、様々な性能特性について最小の閾値 (一実施形態においてガードバンドを含む) を有することにより決定され得る。このように、動作マージンを決定することは、閾値と比較して実際の性能を決定することを含む。閾値は、異なる動作電圧、温度又はテストにおける複数の測定に基づいて動的に計算され、最悪の場合の条件に対して推定し得る。さらに、1 又は複数の閾値は、テストされる異なる動作マージンのそれぞれについて異なり得る。

【0046】

一実施形態において、システム 500 は、設定 532 及び 522 が、I/O 電力の使用に影響を与える I/O 回路パラメータを変更するための機能を少なくとも含む場合において、I/O 電力を減らすように構成される。パラメータの例では、限定はされないが、終端値、バイアス、スルーレート、ドライバ振幅、ドライバインピーダンス及び (VR 536 の設定を含む) 動作電圧を含む。そのような実施形態において、テストエンジン 540 は、最悪の場合の刺激 (stimulus) に対して周知の相関関係があるものの I/O

10

20

30

40

50

を刺激 (stimulate) するテストコンテンツを生成する。テストエンジン 540 は、様々な回路設定について、動作電圧及び / 又はタイミングマージンを測定する。テストエンジン 540 は、次に、測定された回路パラメータマージンデータを (例えば、本明細書中で説明されるような探索機能により) 分析し、テストされ及び測定されたパラメータ及び設定について規定された製品の DPM 要件をさらに維持する最も低い動作 I/O 電力を決定する。

【0047】

一実施形態において、システム 500 は、設定 532 及び 522 が、I/O 周波数に影響を与える I/O 回路パラメータを変更するための機能を少なくとも含む場合において、I/O 周波数が高まるように構成される。パラメータの例では、限定はされないが、終端値、バイアス、スルーレート、電流モードドライバ及び (VR536 の設定を含む) 動作電圧を含む。周波数パラメータは、限定はされないが、DLL (delay locked loops (遅延ロックループ))、PLL (phase locked loops (位相ロックループ)) 及び / 又はクロックチップを含むことができるコンポーネントにより影響を受け得る。そのような実施形態において、テストエンジン 540 は、最悪の場合の刺激に対して周知の相関関係があるものの I/O を刺激するテストコンテンツを生成する。テストエンジン 540 は、様々な回路設定について、動作電圧、動作周波数及び / 又はタイミングマージンを測定する。テストエンジン 540 は、次に、測定された回路パラメータマージンデータを (例えば、探索機能により) 分析し、テストされ及び測定されたパラメータ並びに設定について規定された製品の DPM 要件をさらに維持する最も高い動作 I/O 周波数を決定する。

【0048】

一実施形態において、システム 500 は、設定 532 及び 522 が、I/O レイテンシに影響を与える I/O 回路パラメータを変更するための機能を少なくとも含む場合において、I/O レイテンシを減らすように構成される。パラメータの例では、限定はされないが、ターンアラウンド値、FIFO (first-in, first-out (ファーストイン、ファーストアウト)) バッファポイント、ラウンドトリップレイテンシカウンタ、終端値、バイアス、スルーレート及び / 又は電流モードドライバを含む。そのような実施形態において、テストエンジン 540 は、最悪の場合の刺激に対して周知の相関関係があるものの I/O を刺激するテストコンテンツを生成する。テストエンジン 540 は、様々な回路設定について動作電圧及び / 又はタイミングマージンを測定する。テストエンジン 540 は、次に、測定回路パラメータマージンデータを (例えば、本明細書中で説明されるよう探索機能により) 分析し、テストされ及び測定されたパラメータ並びに設定について規定された製品の DPM 要件をさらに維持する最も低い動作 I/O レイテンシを決定する。

【0049】

これまでに多くの又は全ての動作パラメータが動作について静的な値に設定されると理解されるであろう。対照的に、本明細書中で説明されるように、テストエンジン 540 は、システム 500 の性能を向上させるパラメータ設定をテストし、測定する。テストエンジン 540 は、多くの周知の探索技術のうち何れか 1 つ又は複数を含むことができる探索機能を実行する。例えば、二次適合、線形適合、n 次元探索、n-1 次元探索、遺伝的探索、最急降下、曲線適合若しくは他の技術又はいくつかの組み合わせが用いられ得る。探索の次元は、パラメータの設定の操作に依存する。一実施形態において、探索の n 次元は、送信及び受信動作の両方に影響を与える N 個のパラメータを含む。一実施形態において、n 次元は、X 個の送信パラメータを Y 個の受信機パラメータで掛けたものを含み、N は、テストする X 及び Y パラメータのユニークな組み合わせに等しい。テストエンジン 540 は、テストを行い、動作マージンを測定し、信頼性をテストし、パラメータを調整し、繰り返す。

【0050】

図 6A は、マルチレグブルアップインピーダンス回路の一実施形態のブロック図である

。一実施形態において、出力ドライバは、異なる数のプルアップ回路又はプルアップシステムのレグにおける切り替えの使用により、異なるプルアップインピーダンスを実現する。プルアップ回路602は、N個のスイッチ、610-0から610-N、及び対応する数の抵抗器、R620-0からR620-Nを含む。スイッチ610-n及び抵抗器R620-nの各組み合わせは、プルアップ回路602のレグである。プリドライバ630は、所望のインピーダンスを作成するべく、オンに切り替えるためのレグの数を選択できる。一実施形態において、各抵抗器は、ほぼ同等サイズ（例えば、プロセスの相違を除いて同一）であり、所望の数の抵抗器が所望のインピーダンスを与えるために並列にオンされる。代替的实施形態において、抵抗器のうち1もしくは複数は、異なる値を有し、所望の出力インピーダンスを調整するべく、選択的に組み合わせられる。全てのプルアップレグは、パッド640に対して並列に接続され、プルアップ回路602の出力ポイントを表すと理解されるであろう。示されるように、全てのプルアップレグは、VR670を介して、VDDに連結されることができ、VDDからより低い値へ低下する最大出力電圧を調整する電圧調整コンポーネントを表す。VR670は、回路602が統合される特定のデバイスに固有の出力の調整を可能するように可変であり得る。

【0051】

図6Bは、マルチレグプルダウンインピーダンス回路の一実施形態のブロック図である。一実施形態において、出力ドライバは、異なる数のプルダウン回路又はプルダウンシステムのレグにおける切り替えの使用により、異なるプルダウンインピーダンスを実現する。プルダウン回路604は、M個のスイッチ、660-0から660-M、及び、対応する数の抵抗器、R650-0からR650-Mを含む。スイッチ660-m及び抵抗器R650-nの各組み合わせは、プルダウン回路604のレグである。一実施形態において、Mは、Nと同じ数である。一実施形態において、異なる数のプルアップレグ及びプルダウンレグがある。示されるように、全てのプルダウンレグは、VR680を介してVSSに連結されることができ、VSSからより高い値へ上昇する最小出力電圧を調整する電圧調整コンポーネントを表す。VR680は、回路604が統合される特定のデバイスに固有の出力の調整を可能とするように可変であり得る。

【0052】

プリドライバ630は、所望のインピーダンスを生成するべく、オンに切り替えるレグの数を選択できる。一実施形態において、各抵抗器は、ほぼ同等のサイズ（例えば、プロセスの相違を除いて同一）であり、所望の数の抵抗器が所望のインピーダンスを与えるのに並行して電源が入れられている。代替的实施形態において、抵抗器のうち1もしくは複数は、異なる値を有し、所望の出力インピーダンスを調整するべく、選択的に組み合わせられる。個々のプルダウン抵抗器は、個々のプルアップ抵抗器と同じ値であってもよく、又は同じ値でなくてもよい。全てのプルダウンレグは、パッド640に対して並列に接続され、プルダウン回路604の出力ポイントを表すと理解されるであろう。

【0053】

プルアップ回路602及びプルダウン回路604は、パッド640に接続されることも理解される。異なるインピーダンスを実現する従来の方法は、プルダウン回路604又はプルアップ回路602のいずれか又は両方により多くのレグを追加することを含んでいた。しかしながら、より多くのレグを追加することは、パッド容量（一般に、パッドキャップ又はCパッドと称される）を増大させる。寄生的なパッドキャップ値を増大させることは、タイミング及び帯域幅性能に悪影響を与え得る。さらに、より多くのレグを追加することは、プリドライバ630内に、より多くの回路/ロジックを必要とし、より多くの電力を必要とする。より多くのロー側のレグ又はプルダウンレグを追加する代わりに、所望の出力インピーダンスを実現するべく、プリドライバ630は、ハイ側及びロー側のレグの比率を選択的に切り替える。このように、異なる出力インピーダンスの設定は、システム内のレグの数を増加させることなしに実現でき、つまり、パッドキャップが変わらず、タイミング性能が維持され得る。

【0054】

10

20

30

40

50

オンに切り替えるプルアップレグ及び/又はプルダウレグの数は、システム設計及び所望の出力インピーダンスに依存すると理解されるであろう。オンに切り替えられる多数のプルアップレグは、ロジックローとロジックハイとで異なる。一実施形態において、単に他のハイ側のレグ及びロー側のレグが1と0との間、又は、ロジックローとロジックハイと間を区別するべく、ドライバが伝送線を駆動する全時間の間、オン及びオフに切り替えられて、ある数のプルアップレグは、オンにされ得る。このように、プリドライバは、有効な出力インピーダンスを生成するべく、ハイ側及びロー側のレグの比率をオンに切り替えることができる。一実施形態において、選択された比率は、ロジックハイのための有効な出力インピーダンスと同じになるようにロジックローのための有効な出力インピーダンスを生じさせる比率である。特定の有効な出力インピーダンスは、出力電圧振幅の出力閾値を設定するために、VR670及び/又はVR680に使用される値に影響を与えることができる。

10

【0055】

図7は、低減された電圧振幅で信号を出力するための処理の一実施形態のフロー図である。一実施形態において、ホストプラットフォームのコンポーネントは、伝送線を介して他のコンポーネントに送信するべく、信号を生成する、702。コンポーネントは、トレース又はワイヤのような、伝送線を介してインタフェースで接続する。送信のための信号を有するコンポーネントは、信号交換の目的の送信機であり、その送信機が信号を送信するコンポーネントは、信号交換の目的の受信機である。一実施形態において、送信機は、生成された信号を、伝送線インタフェース回路であり得る又は含み得るそのシリアル出力部分又はトランシーバへ提供する、704。伝送線インタフェースは、伝送線上の信号を駆動するドライバを含む。ドライバは、ロジックハイ及びロジックローに伝送線を駆動して、信号を受信機に提供する。

20

【0056】

伝送線インタフェース回路は、プルアップレグ若しくはプルダウレグに、又は、プルアップ及びプルダウレグの両方に電圧レギュレータを含む。一実施形態において、(複数の)電圧レギュレータは、選択的にイネーブルにされ、例えば、ドライバで出力を駆動することのみイネーブルにされる。(複数の)電圧レギュレータがイネーブルにされることを必要とする場合、伝送線インタフェース回路は、電圧レギュレータをイネーブルにする、706。

30

【0057】

伝送線インタフェース回路は、伝送線を介して受信機に送信するビットを決定するべく、信号を処理する、708。ドライバがロジックハイを駆動する場合、「ハイ」分岐710、伝送線インタフェース回路は、プルアップ要素を用いて伝送線を最大送信電圧にプルアップする、712。最大送信電圧は、典型的には、従来の回路におけるVDDであり、プルアップ要素とVDDとの間の電圧レギュレータにより低減され得る。ドライバがロジックローを駆動する場合、「ロー」分岐710、伝送線インタフェース回路は、プルダウ要素を用いて伝送線を最小送信電圧にプルダウする、714。最小送信電圧は、典型的には、従来の回路におけるVSSであり、プルダウ要素とVSSとの間の電圧レギュレータにより調整され得る。

40

【0058】

ロジックハイ又はロジックローであろうとなかろうと、ビットを駆動した後、伝送線インタフェース回路は、最後のビットが送信されたかどうかを決定できる、718。最後のビットが送信されていない場合、716「いいえ」分岐、伝送線インタフェース回路は、次のビットを処理し、708、出力処理を繰り返す。最後のビットが送信された場合、「はい」分岐716、伝送線インタフェース回路は、受信又はアイドル状態のために電圧レギュレータを任意にバイパス及び/又はディセーブルする、718。

【0059】

図8は、可能な値の包括的な探索を用いて通信設定を実証的にテストし、決定するための処理の一実施形態のフロー図である。メモリサブシステムの例が提供される一方、コン

50

ポーネントが通信を交換する他のサブシステムは、メモリサブシステムの代わりに用いられ得ると理解されるであろう。このように、メモリサブシステムは、専ら、複数のデバイスが互いに通信するシステムの一例であり、電圧レギュレータは、出力又は送信電圧振幅を制御することに用いられ得る。製造者は、ホストハードウェアプラットフォーム及びプラットフォーム上のメモリサブシステムを含むデバイスを製造する、802。同じ又は異なるエンティティ（製造者又はエンドユーザのいずれか）は、次に、1つ又は複数のメモリデバイスをデバイスのメモリサブシステムに接続する、804。（例えば、メモリコントローラのような）プラットフォーム上の1又は複数のコンポーネントは、メモリデバイスに対してI/O動作を実行するであろう。

【0060】

テストエンジン又はテストシステムは、どの設定をI/O回路に使用するかを決定するべく、（複数の）メモリデバイスインシステムをストレステストにかけるテストプログラムを実行する。テストシステムは、ターゲット性能特性（例えば、電力、タイミング）に関連するI/O回路パラメータを識別する、806。テストは、本明細書に記載された任意の実施形態に従って実行され得る。テストエンジンは、ホストプラットフォームに組み込まれており、テストを実行する外部の試験機器を必要としない。一実施形態において、プラットフォーム上のBIOSは、メモリがメモリサブシステムに接続されるときに実行するテストプログラム又はテストルーチンを含む。テストプログラム又はルーチンは、テストされたものの制限内で、特定のシステムについて、最良の設定を決定するために、測定及び分析を含むテストを実行するようにテストエンジンに指示する。一実施形態において、テストエンジンは、ネットワーク接続を介するような、テストする（複数の）メモリデバイスを含むデバイスに対して遠隔の位置からトリガされる。

【0061】

一実施形態において、テストシステムは、各識別された回路パラメータについて、様々なテスト動作を繰り返す又はループする、808。テストシステムは、いずれか所与のパラメータのN個の異なる設定（Nは、必ずしもテストされるパラメータの任意の数と同一である必要はない）についてループすることもできる、810。各テストの反復について、メモリサブシステムは、テストプログラム及び/又はテストシステムの制御で、出力電圧振幅を制御する電圧レギュレータ設定を含む、関連のあるI/O回路パラメータのための1又は複数の値を調整又は設定できる、812。

【0062】

一実施形態において、テストシステムは、組み込まれたテストエンジンを用いて、テストトラフィックを生成する、814。テストコンテンツは、電圧、温度、周波数又は他の条件のような1又は複数の環境条件で、機能的な態様における設計の異なるマージナリティ（*marginalities*）をテストする単一又は複数のテストとの整合性があり得る。一実施形態において、テストシステムは、次に、ターゲット性能特性の1又は複数の動作マージンを測定する、816。テストシステムは、最後の設定がテストされるまで、各異なる設定についてテスト及び測定を繰り返す、「はい」分岐818。一実施形態において、テストシステムは、全てのパラメータがテストされるまで関心対象のI/O性能に影響を与え得る各識別されたI/Oパラメータについて繰り返す、「はい」分岐820。最後のパラメータに達するまで、820「いいえ」分岐、テストエンジンは、N個の異なる設定のそれぞれについて繰り返すことを継続する、810。テストエンジンは、詳しく後述される通り、様々な異なるストレステストパターンを使用することができ、パターンは、LFSR、ピクティム - アグレッサ、クロストーク、ISI、電源ノイズ、電力供給値又は他のパターンを含み得る。

【0063】

一実施形態において、テストシステムは、テスト対象のシステムのランタイム動作で使用する各I/O回路パラメータのための値を決定するべく、探索機能を実行する、822。決定された値は、各I/O回路パラメータが特定のシステムのための最小の閾値に適合し、かつ、複数のI/O回路パラメータのうち少なくとも1つの性能を向上させる値で

10

20

30

40

50

あるべきである。テストシステムは、次に、探索機能の結果に基づいてI/O回路パラメータのためのランタイム値をテスト対象のシステムに設定させ得る、824。ランタイム設定は、具体的に、探索機能により決定されることができ、又は、探索機能が値を識別して、システムが決定値をちょうど上回るランタイム設定を設定することができる。一実施形態において、探索機能は、明示的なガードバンドを追加する。一実施形態において、探索機能は、任意のガードバンドを最小化するべく、最悪の場合の条件に対する複数のテスト又は環境条件に基づいて1又は複数の測定を推定できる。

【0064】

図9は、電圧振幅制御が実装され得るコンピューティングシステムの一実施形態のブロック図である。システム900は、本明細書に記載された任意の実施形態に従うコンピューティングデバイスを表し、ラップトップコンピュータ、デスクトップ型コンピュータ、サーバ、ゲーム若しくは娯楽制御システム、スキャナ、コピー機、プリンタ、ルーティング若しくはスイッチングデバイス、又は、他の電子デバイスであり得る。システム900は、プロセッサ920を含み、プロセッサ920は、システム900のための処理、動作管理、及び命令の実行を提供する。プロセッサ920は、システム900のための処理を提供する任意のタイプのマイクロプロセッサ、中央処理ユニット(CPU)、処理コア又は他の処理ハードウェアを含むことができる。プロセッサ920は、システム900の全体的な動作を制御し、1又は複数のプログラマブル汎用または特定用途のマイクロプロセッサ、デジタルシグナルプロセッサ(DSP)、プログラマブルコントローラ、特定用途向け集積回路(ASIC)、プログラム式論理デバイス(PLD)等、又は、そのようなデバイスの組み合わせである、又は含んでよい。

【0065】

メモリサブシステム930は、システム900のメインメモリを表し、プロセッサ920により実行されるコード、又はルーチンを実行するのに使用されるデータ値のための一時ストレージを提供する。メモリサブシステム930は、リードオンリメモリ(ROM)、フラッシュメモリ、1又は複数の様々なランダムアクセスメモリ(RAM)、若しくは、他のメモリデバイス、又はそのようなデバイスの組み合わせ等の、1又は複数のメモリデバイスを含んでよい。メモリサブシステム930は、特に、システム900における命令の実行のためのソフトウェアプラットフォームを提供するオペレーティングシステム(OS)936を格納し、ホストする。さらに、システム900のロジック及び処理を提供するために、他の命令938が格納され、メモリサブシステム930から実行される。OS936及び命令938は、プロセッサ920により実行される。

【0066】

メモリサブシステム930は、データ、命令、プログラム又は他のアイテムを格納するメモリデバイス932を含む。一実施形態において、メモリサブシステムは、メモリコントローラ934を含み、本明細書に記載された任意の実施形態に係るメモリコントローラであり、メモリデバイス932にコマンドを生成及び発行するスケジューラを含む。

【0067】

一実施形態において、システム900の1又は複数のコンポーネントは、伝送線インタフェースの出力電圧を制御するのに用いられる1又は複数の電圧レギュレータを含む。(複数の)電圧レギュレータは、選択的にイネーブルにされることができ、出力又は送信電圧振幅を調整する。一実施形態において、システム900は、電圧レギュレータのための値設定をテストすることを含む、通信インシステムを実証的にテストするテストエンジン(具体的に示されない)を含む。

【0068】

プロセッサ920及びメモリサブシステム930は、バス/バスシステム910に連結される。バス910は、適切なブリッジ、アダプタ、及び/又はコントローラにより接続された任意の1又は複数の別個の物理バス、通信ライン/インタフェース、及び/又はポイントツーポイント接続を表す抽象概念である。従って、バス910は、例えば、システムバス、ペリフェラルコンポーネントインターコネクト(PCI)バス、ハイパートラン

10

20

30

40

50

スポーツ若しくは業界標準アーキテクチャ（ISA）バス、スモールコンピュータシステムインタフェース（SCSI）バス、ユニバーサルシリアルバス（USB）又は電気電子技術者協会（IEEE）規格1394バス（一般に、「ファイヤワイヤ」と称される）のうち1もしくは複数を含むことができる。バス910のバスは、ネットワークインタフェース950におけるインタフェースにも対応する。

【0069】

システム900はまた、バス910に連結された1又は複数の入力/出力（I/O）インタフェース940、ネットワークインタフェース950、1又は複数の内部大容量ストレージデバイス960、及び周辺インタフェース970を含む。I/Oインタフェース940は、ユーザがシステム900とインタラクションする1又は複数のインタフェースコンポーネント（例えば、ビデオ、オーディオ及び/又は英数字インタフェース）を含むことができる。ネットワークインタフェース950は、1又は複数のネットワークを介してリモートデバイス（例えば、サーバ、他のコンピューティングデバイス）と通信する機能をシステム900に提供する。ネットワークインタフェース950は、イーサネット（登録商標）アダプタ、無線相互接続コンポーネント、USB（ユニバーサルシリアルバス）又は、他の有線若しくは無線規格ベースの若しくは独自のインタフェースを含むことができる。

10

【0070】

ストレージ960は、1又は複数の磁気、ソリッドステート若しくは光ベースのディスク又はそれらの組み合わせのように、大量のデータを不揮発性形式で格納するための任意の従来の媒体であり得る又は含まれ得る。ストレージ960は、永続的な状態でコード又は命令及びデータ962を保持する（すなわち、システム900への電力の中断に関わらず値は保持される）。メモリ930はプロセッサ920に複数の命令を提供する実行又は動作メモリであるが、ストレージ960は概して「メモリ」と見なされ得る。ストレージ960は不揮発性であるが、メモリ930は揮発性メモリを含み得る（すなわち、システム900への電力が中断すると、データの値又は状態は不確定である）。

20

【0071】

周辺インタフェース970は、具体的には上述されていないが、任意のハードウェアインタフェースを含むことができる。周辺機器は概して、システム900に従属的に接続する複数のデバイスを指す。従属的な接続は、システム900が、オペレーションが実行し、ユーザがインタラクションするソフトウェア及び/又はハードウェアプラットフォームを提供するものである。

30

【0072】

図10は、電圧振幅制御が実装され得るモバイルデバイスの一実施形態のブロック図である。デバイス1000は、コンピューティングタブレット、携帯電話若しくはスマートフォン、ワイヤレス対応電子書籍リーダー又は他のモバイルデバイスのようなモバイルコンピューティングデバイスを表す。概して、デバイス1000において特定の複数のコンポーネントが示されており、そのようなデバイスの全てのコンポーネントが示されていないことは理解されるだろう。

【0073】

デバイス1000は、デバイス1000の主な処理動作を実行するプロセッサ1010を含む。プロセッサ1010は、マイクロプロセッサ、アプリケーションプロセッサ、マイクロコントローラ、プログラマブルロジックデバイス、又は他の処理手段のような、1又は複数の物理デバイスを含むことができる。一実施形態において、プロセッサ1010は、プロセッサダイに加えて、光インタフェースコンポーネントを含む。このように、プロセッサダイ及びフォトニックコンポーネントが同一のパッケージ内に存在する。そのようなプロセッサパッケージは、本明細書に記載された任意の実施形態に係る光コネクタによって光学的にインタフェースで接続する。

40

【0074】

プロセッサ1010により実行される処理動作は、アプリケーション及び/又はデバイ

50

ス機能が実行されるオペレーティングプラットフォーム又はオペレーティングシステムの実行を含む。処理動作は、人間のユーザ又は他のデバイスとのI/O（入力/出力）に関する複数の動作、電力管理に関する複数の動作、及び/又は、デバイス1000と別のデバイスとの接続に関する複数の動作を含む。処理動作は、オーディオI/O及び/又はディスプレイI/Oに関連する動作を含むこともできる。

【0075】

一実施形態において、デバイス1000は、コンピューティングデバイスにオーディオ機能を提供することに関連するハードウェア（例えば、オーディオハードウェア及びオーディオ回路）及びソフトウェア（例えば、ドライバ、コーデック）コンポーネントを表すオーディオサブシステム1020を含む。オーディオ機能は、マイク入力と同様に、スピーカ及び/又はヘッドフォン出力を含むことができる。そのような機能のためのデバイスは、デバイス1000に統合されるか、又は、デバイス1000に接続され得る。一実施形態において、ユーザは、プロセッサ1010により受信され処理されるオーディオコマンドを提供することによりデバイス1000とインタラクションする。

10

【0076】

ディスプレイサブシステム1030は、ユーザがコンピューティングデバイスとインタラクションするための視覚的及び/又は触覚的な表示を提供するハードウェア（例えば、ディスプレイデバイス）及びソフトウェア（例えば、ドライバ）コンポーネントを表す。ディスプレイサブシステム1030は、ディスプレイをユーザに提供するために用いられる特定のスクリーン又はハードウェアデバイスを含むディスプレイインタフェース1032を含む。一実施形態において、ディスプレイインタフェース1032は、ディスプレイに関連する少なくともいくつかの処理を実行するプロセッサ1010とは別個のロジックを含む。一実施形態において、ディスプレイサブシステム1030は、出力及び入力の両方をユーザに提供するタッチスクリーンデバイスを含む。

20

【0077】

I/Oコントローラ1040は、ユーザとのインタラクションに関連するハードウェアデバイス及びソフトウェアコンポーネントを表す。I/Oコントローラ1040は、オーディオサブシステム1020及び/又はディスプレイサブシステム1030の一部であるハードウェアを管理するべく動作し得る。さらに、I/Oコントローラ1040は、デバイス1000に接続する追加のデバイスの接続点を示し、それを通じてユーザがシステムとインタラクションし得る。例えば、デバイス1000に取り付けられ得るデバイスは、マイクデバイス、スピーカ若しくはステレオシステム、ビデオシステム若しくは他のディスプレイデバイス、キーボード若しくはキーパッドデバイス、又は、カードリーダー若しくは他のデバイスのように特定のアプリケーションで使用される他のI/Oデバイスを含み得る。

30

【0078】

上記の通り、I/Oコントローラ1040は、オーディオサブシステム1020及び/又はディスプレイサブシステム1030とインタラクションし得る。例えば、マイク又は他のオーディオデバイスを通じた入力は、1又は複数のアプリケーション又はデバイス1000の機能のために入力又はコマンドを提供できる。さらに、オーディオ出力は、ディスプレイ出力の代わりに又はディスプレイ出力に加えて提供され得る。他の例において、ディスプレイサブシステムがタッチスクリーンを含む場合、ディスプレイデバイスは、I/Oコントローラ1040により少なくとも部分的に管理され得る入力デバイスとしても動作する。I/Oコントローラ1040により管理されるI/O機能を提供するべく、デバイス1000上に追加のボタン又はスイッチも存在し得る。

40

【0079】

一実施形態において、I/Oコントローラ1040は、加速度計、カメラ、光センサ若しくは他の環境センサ、ジャイロスコープ、全地球測位システム（GPS）、又は、デバイス1000に含まれ得る他のハードウェアのようなデバイスを管理する。入力は、（ノイズのフィルタリング、輝度検出のためのディスプレイの調整、カメラに対するフラッシュ

50

ユの適用、又は他の機能のような)システムの動作に影響を与えるシステムに環境入力を提供するのと同様に、直接的なユーザインタラクションの一部であり得る。一実施形態において、デバイス1000は、バッテリー電力使用、バッテリーの充電、及び、電力節約動作に関連する特徴を管理する電力管理1050を含む。

【0080】

メモリサブシステム1060は、デバイス1000に情報を格納するための(複数の)メモリデバイス1062を含む。メモリサブシステム1060は、不揮発性(メモリデバイスへの電力が中断された場合に状態が変化しない)及び/又は揮発性(メモリデバイスへの電力が中断された場合に状態が不確定である)メモリデバイスを含むことができる。メモリ1060は、システム1000のアプリケーション及び機能の実行に関連するシステムデータ(長期的であろうと、一時的であろうと)と同様に、アプリケーションデータ、ユーザデータ、音楽、写真、文書又は他のデータを格納できる。一実施形態において、メモリサブシステム1060は、(システム1000の制御の一部であるとも見なされ、プロセッサ1010の一部であると潜在的に見なされ得る)メモリコントローラ1064を含む。メモリコントローラ1064は、メモリデバイス1062に対するコマンドを生成し、発行するスケジューラを含む。

10

【0081】

接続1070は、デバイス1000が外部デバイスと通信することを可能にするべく、ハードウェアデバイス(例えば、無線及び/又は有線コネクタ、及び、通信ハードウェア)と、ソフトウェアコンポーネント(例えば、ドライバ、プロトコルスタック)を含む。デバイスは、ヘッドセット、プリンタ又は他のデバイスのような周辺機器はもとより、他のコンピューティングデバイス、無線アクセスポイント、又は基地局のような別個のデバイスであってよい。

20

【0082】

接続1070は、複数の異なるタイプの接続を含み得る。一般化するべく、デバイス1000は、セルラー接続1072及び無線接続1074と共に示されている。セルラー接続1072は、グローバルシステムフォーモバイルコミュニケーションズ(GSM(登録商標))又は変形若しくは派生、CDMA(符号分割多重アクセス)又は変形若しくは派生、TDM(時分割多重)又は変形若しくは派生LTE(ロングタームエボリューション、「4G」とも称される)、又は、他のセルラーサービス規格により提供されるような、無線通信事業者により提供されるセルラーネットワーク接続を概して指す。無線接続1074は、セルラー方式ではない無線接続を指し、パーソナルエリアネットワーク(Bluetooth(登録商標)等)、ローカルエリアネットワーク(WiFi(登録商標)等)、及び/又はワイドエリアネットワーク(WiMAX(登録商標)等)又は他の無線通信を含み得る。無線通信は、非固体媒体を通り抜ける変調電磁放射の使用を通じたデータの伝送を指す。有線通信は、固体通信媒体によって生じる。

30

【0083】

周辺接続1080は、ハードウェアインタフェース及びコネクタ、並びに、周辺接続を形成するソフトウェアコンポーネント(例えば、ドライバ、プロトコルスタック)を含む。デバイス1000は、それに接続される周辺機器(「from」1084)を有することだけでなく、他のコンピューティングデバイスに対する周辺機器(「to」1082)であることの両方が可能であることは理解されるだろう。デバイス1000は、一般に、デバイス1000上のコンテンツの管理(例えば、ダウンロード及び/又はアップロード、変更、同期)等を目的として他のコンピューティングデバイスに接続する「ドッキング」コネクタを有する。さらに、ドッキングコネクタは、デバイス1000が、例えば、オーディオビジュアル又は他のシステムへのコンテンツの出力を制御することを可能とする特定の周辺機器に、デバイス1000が接続することを可能とし得る。

40

【0084】

独自のドッキングコネクタ又は他の独自の接続ハードウェアに加えて、デバイス1000は、共通の又は規格に準拠したコネクタを介して周辺接続1080を形成し得る。共通

50

のタイプは、(多数の異なるハードウェアインタフェースのうちいずれかを含み得る)ユニバーサルシリアルバス(USB)コネクタ、Mini Display Port(MDP)を含むディスプレイポート、高解像度マルチメディアインタフェース(HDMI(登録商標))、ファイヤワイヤ又は他のタイプを含み得る。

【0085】

一実施形態において、システム1000の1又は複数のコンポーネントは、伝送線インタフェースの出力電圧を制御するために用いられる1又は複数の電圧レギュレータを含む。(複数の)電圧レギュレータは、選択的にイネーブルにされることができ、出力又は送信電圧振幅を調整する。一実施形態において、システム1000は、電圧レギュレータのための値設定をテストすることを含め、通信インシステムを実証的にテストできる1又は複数のテストエンジン(具体的に示されない)を含む。

10

【0086】

一態様において、伝送線インタフェース回路は、伝送線と伝送線インタフェース回路のための高電圧レファレンスとの間に連結され、伝送線上で駆動される入力信号のロジックハイの値にตอบสนองして伝送線をプルアップするp型ドライバ要素と、伝送線と伝送線インタフェース回路のための低電圧レファレンスとの間に連結され、入力信号のロジックローの値にตอบสนองして伝送線をプルダウンするn型ドライバ要素とを含む複数のドライバ要素と、複数のドライバ要素のうち1つと対応する電圧レファレンスとの間で伝送線インタフェース回路にローカルに連結され、伝送線インタフェース回路の電圧振幅を減らす電圧レギュレータとを含む。

20

【0087】

一実施形態において、電圧レギュレータは、リニア電圧レギュレータを有する。一実施形態において、電圧レギュレータは、スイッチ回路電圧レギュレータを有する。一実施形態において、電圧レギュレータは、伝送線インタフェース回路と共通の集積回路上に統合される。一実施形態において、電圧レギュレータは、p型ドライバ要素と高電圧レファレンスとの間に連結される。一実施形態において、電圧レギュレータは、第1電圧レギュレータであり、伝送線インタフェースは、n型ドライバ要素と低電圧レファレンスと間に連結される第2電圧レギュレータをさらに含む。一実施形態において、伝送線インタフェースは、選択的にアクティブにされ、電圧レギュレータをバイパスし、伝送線上の信号を受信するバイパス経路をさらに含む。一実施形態において、電圧レギュレータは、テスト回路から設定値を受信し、電圧レギュレータの出力を設定し、伝送線インタフェース回路の電圧振幅を制御する複数の制御要素さらに含む。一実施形態において、複数のドライバ要素は、メモリデバイスと相互接続するパッドを駆動するメモリコントローラデバイスの複数の出力ドライバ要素を備える。一実施形態において、メモリデバイスは、低電力デュアルデータレート(LPDDR)メモリデバイス、デュアルデータレート(DDR)メモリデバイス又はWIDEIOメモリデバイスのうちの1つを備える。

30

【0088】

一態様において、電子デバイスは、プロセッサを含むホストハードウェアプラットフォームと、メモリデバイスと通信する伝送線インタフェース回路を有するホストハードウェアプラットフォーム上のメモリコントローラデバイスと、メモリコントローラデバイスによりアクセスされるデータに基づいてディスプレイを生成するために連結されるタッチスクリーンディスプレイとを含み、前記伝送線インタフェース回路は、伝送線と伝送線インタフェース回路のための高電圧レファレンスとの間に連結され、伝送線上で駆動される入力信号のロジックハイの値にตอบสนองして伝送線をプルアップするp型ドライバ要素及び、伝送線と伝送線インタフェース回路のための低電圧レファレンスとの間に連結され、入力信号のロジックローの値にตอบสนองして伝送線をプルダウンするn型ドライバ要素を含む複数のドライバ要素と、複数のドライバ要素のうち1つと対応する電圧レファレンスとの間で伝送線インタフェース回路にローカルに連結され、伝送線インタフェース回路の電圧振幅を減らす電圧レギュレータとを含む。

40

【0089】

50

一実施形態において、電圧レギュレータは、メモリコントローラデバイス上に統合される。一実施形態において、電圧レギュレータは、p型ドライバ要素と高電圧レファレンスとの間に連結される。一実施形態において、電圧レギュレータは、第1電圧レギュレータであり、伝送線インタフェースは、n型ドライバ要素と低電圧レファレンスとの間に連結される第2電圧レギュレータをさらに含む。一実施形態において、メモリコントローラデバイスは、選択的にアクティブされ、電圧レギュレータをバイパスし、伝送線上の信号を受信するバイパス経路をさらに含む。一実施形態において、伝送線インタフェースは、メモリコントローラデバイスに連結され、伝送線インタフェース回路の電圧振幅を制御するように電圧レギュレータを設定するテスト回路をさらに含む。一実施形態において、メモリデバイスは、低電力デュアルデータレート(LPDDR)メモリデバイスを備える。

10

【0090】

一態様において、方法は、メモリデバイスへの伝送線を駆動するべく信号を受信する段階と、信号を受信することに応答して、伝送線インタフェース回路の電圧振幅を減らすべく、ドライバ要素と対応する電圧レファレンスとの間で伝送線インタフェース回路にローカルに連結される電圧レギュレータをアクティブにする段階と、入力信号のロジックハイの値に応答して、伝送線と伝送線インタフェース回路のための高電圧レファレンスとの間に連結されるp型ドライバ要素を用いてハイで伝送線を駆動する段階と、入力信号のロジックローの値に応答して、伝送線と伝送線インタフェース回路のための低電圧レファレンスと間に連結されるn型ドライバ要素を用いてローで伝送線を駆動する段階とを含む。

【0091】

20

一実施形態において、電圧レギュレータをアクティブにする段階は、p型ドライバ要素と高電圧レファレンスとの間に連結される電圧レギュレータをアクティブにする段階を含む。一実施形態において、方法は、伝送線インタフェース回路のターゲットI/O性能特性のための複数の異なるI/O(入力/出力)回路パラメータの複数の異なる設定のそれぞれについて含み、各I/O回路パラメータのための値を設定し、電圧レギュレータをアクティブにする電圧レベルを決定する段階と、設定するためのテストトラフィックを生成する段階と、I/O性能特性のための動作マージンを測定する段階と、複数のI/O回路パラメータのうちの少なくとも1つの性能が向上され、動作マージンが最小の閾値に適合する各I/O回路パラメータのための値を決定するために探索機能を実行する段階と、探索機能に基づいて、複数のI/O回路パラメータのためのランタイム値を設定する段階と

30

【0092】

本明細書に示されるフロー図は、様々な処理動作のシーケンスの一例を提供する。特定のシーケンス又は順序について示しているが、別途指定されない限り、動作の順序は、変更され得る。したがって、図示された実施形態は、一例としてのみ理解されるべきであり、処理は、異なる順序で実行されることができ、いくつかの動作は、並行して実行されることができる。さらに、様々な実施形態において、1又は複数の動作を省略することができ、したがって、全ての動作が全実施形態で必要とされるのではない。他の処理フローが可能である。

【0093】

40

本明細書において多様な動作又は機能を記載する程度において、それらは、ソフトウェアコード、命令、設定、及び/又はデータとして記載又は定義されることができる。コンテンツは、直接実行可能な(「オブジェクト」若しくは「実行可能」形式の)ソースコード又は差分コード(「デルタ」若しくは「パッチ」コード)であり得る。本明細書で説明した実施形態のソフトウェアコンテンツは、コンテンツを格納した製品を介して、又は、通信インタフェースを操作し、通信インタフェースを介したデータを送信する方法を介して、提供することができる。記載した機能又は動作を機械可読記憶媒体によって機械に実行させてよく、機械可読記憶媒体は、機械(例えば、コンピューティングデバイス、電子システム等)によりアクセス可能な形態で情報を格納する、例えば、記録可能/記録不可能媒体(例えば、読み出し専用メモリ(ROM)、ランダムアクセスメモリ(RAM)、

50

磁気ディスク記憶媒体、光記憶媒体、フラッシュメモリ装置等)等の任意のメカニズムを含む。通信インタフェースは、メモリバスインタフェース、プロセッサバスインタフェース、インターネット接続、ディスクコントローラ等のような、他のデバイスと通信する任意のハードワイヤード、無線、光等の媒体にインタフェースで接続する任意のメカニズムを含む。通信インタフェースは、ソフトウェアコンテンツを記述するデータ信号を提供するために通信インタフェースを準備する設定パラメータを提供、及び/又は信号を送信することにより構成されることが出来る。通信インタフェースは、通信インタフェースに送信される1又は複数のコマンド又は信号を介してアクセスされることが出来る。

【0094】

本明細書で説明された様々なコンポーネントは、説明された動作又は機能を実行する手段であり得る。本明細書で説明された各コンポーネントは、ソフトウェア、ハードウェア、又は、これらの組み合わせを含む。コンポーネントは、ソフトウェアモジュール、ハードウェアモジュール、特定用途のハードウェア(例えば、特定用途向けハードウェア、特定用途向け集積回路(ASIC)、デジタル信号プロセッサ(DSP)等)、組み込みコントローラ、ハードワイヤード回路等として実装され得る。

【0095】

本明細書に説明した内容に加え、本発明の範囲から逸脱することなく、本発明について開示した実施形態および実施例に様々な変更を行ってよい。したがって、本明細書における説明および例示は、限定的意図としてではなく、説明的意図として解釈されるべきである。本発明の範囲は、以下の特許請求の範囲に参照されることによりのみ評価されるべきである。なお、本明細書によれば、以下の各項目もまた実施形態として開示される。

[項目1]

伝送線インタフェース回路であって、

伝送線と前記伝送線インタフェース回路のための高電圧レファレンスとの間に連結され、前記伝送線上で駆動される入力信号のロジックハイの値に 응답して前記伝送線をプルアップするp型ドライバ要素と、

前記伝送線と前記伝送線インタフェース回路のための低電圧レファレンスと間に連結され、前記入力信号のロジックローの値に 응답して前記伝送線をプルダウンするn型ドライバ要素と

を含む複数のドライバ要素と、

前記伝送線インタフェース回路内でローカルに、前記複数のドライバ要素のうちの1つと対応する電圧レファレンスとの間で連結され、前記伝送線インタフェース回路の電圧振幅を減らす電圧レギュレータと

を備える、伝送線インタフェース回路。

[項目2]

前記電圧レギュレータは、リニア電圧レギュレータを有する、項目1に記載の伝送線インタフェース回路。

[項目3]

前記電圧レギュレータは、スイッチ回路電圧レギュレータを有する、項目1に記載の伝送線インタフェース回路。

[項目4]

前記電圧レギュレータは、前記伝送線インタフェース回路と共通の集積回路に統合される、項目1から3のいずれか一項に記載の伝送線インタフェース回路。

[項目5]

前記電圧レギュレータは、前記p型ドライバ要素と前記高電圧レファレンスとの間に連結される、項目1から4のいずれか一項に記載の伝送線インタフェース回路。

[項目6]

前記電圧レギュレータは、第1電圧レギュレータであり、前記n型ドライバ要素と前記低電圧レファレンスとの間に連結される第2電圧レギュレータをさらに備える、項目5に記載の伝送線インタフェース回路。

[項目 7]

選択的にアクティブにされ、電圧レギュレータをバイパスして、前記伝送線上の信号を受信するバイパス経路をさらに備える、項目 1 から 6 のいずれか一項に記載の伝送線インタフェース回路。

[項目 8]

前記電圧レギュレータは、テスト回路から設定値を受信し、前記電圧レギュレータの出力を設定し、前記伝送線インタフェース回路の前記電圧振幅を制御する複数の制御要素をさらに備える、項目 1 から 7 のいずれか一項に記載の伝送線インタフェース回路。

[項目 9]

前記複数のドライバ要素は、メモリデバイスと相互接続されるパッドを駆動するメモリコントローラデバイスの複数の出力ドライバ要素を有する、項目 1 から 8 のいずれか一項に記載の伝送線インタフェース回路。

10

[項目 10]

前記メモリデバイスは、低電力デュアルデータレート (LPDDR) メモリデバイス、デュアルデータレート (DDR) メモリデバイス、又は WIDE I/O メモリデバイスのうちの 1 つを有する、項目 9 に記載の伝送線インタフェース回路。

[項目 11]

伝送線インタフェース回路であって、

伝送線と前記伝送線インタフェース回路のための高電圧レファレンスとの間に連結され、前記伝送線上で駆動される入力信号のロジックハイの値にตอบสนองして前記伝送線をプルアップする p 型ドライバ要素と、

20

前記伝送線と前記伝送線インタフェース回路のための低電圧レファレンスとの間に連結され、前記入力信号のロジックローの値にตอบสนองして前記伝送線をプルダウンする n 型ドライバ要素と、

前記伝送線インタフェース回路内でローカルに、前記 p 型ドライバ要素と前記高電圧レファレンスとの間で連結され、前記伝送線インタフェース回路の電圧振幅を減らす電圧レギュレータと

を備える、伝送線インタフェース回路。

[項目 12]

伝送線インタフェース回路であって、

30

伝送線と前記伝送線インタフェース回路のための高電圧レファレンスとの間に連結され、前記伝送線上で駆動される入力信号のロジックハイの値にตอบสนองして前記伝送線をプルアップする p 型ドライバ要素と、

前記伝送線と前記伝送線インタフェース回路のための低電圧レファレンスとの間に連結され、前記入力信号のロジックローの値にตอบสนองして前記伝送線をプルダウンする n 型ドライバ要素と、

前記伝送線インタフェース回路内でローカルに、前記 n 型ドライバ要素と前記低電圧レファレンスとの間で連結され、前記伝送線インタフェース回路の電圧振幅を減らす電圧レギュレータと

を備える、伝送線インタフェース回路。

40

[項目 13]

伝送線インタフェース回路であって、

伝送線と前記伝送線インタフェース回路のための高電圧レファレンスとの間に連結され、前記伝送線上で駆動される入力信号のロジックハイの値にตอบสนองして前記伝送線をプルアップする p 型ドライバ要素と、

前記伝送線と前記伝送線インタフェース回路のための低電圧レファレンスとの間に連結され、前記入力信号のロジックローの値にตอบสนองして前記伝送線をプルダウンする n 型ドライバ要素と、

前記伝送線インタフェース回路内でローカルに、前記 p 型ドライバ要素と前記高電圧レファレンスとの間で連結され、前記伝送線インタフェース回路の高電圧振幅を減らす第 1

50

電圧レギュレータと、

前記伝送線インタフェース回路内でローカルに前記 n 型ドライバ要素と前記低電圧レファレンスとの間で連結され、前記伝送線インタフェース回路の低電圧振幅を減らす第 2 電圧レギュレータと

を備える、伝送線インタフェース回路。

[項目 1 4]

プロセッサを含むホストハードウェアプラットフォームと、

メモリデバイスと通信する伝送線インタフェース回路を有する前記ホストハードウェアプラットフォーム上のメモリコントローラデバイスと、

前記メモリコントローラデバイスによってアクセスされるデータに基づいてディスプレイを生成するべく連結されるタッチスクリーンディスプレイと

を備え、

前記伝送線インタフェース回路は、

伝送線と前記伝送線インタフェース回路のための高電圧レファレンスとの間に連結され、前記伝送線上で駆動される入力信号のロジックハイの値に応答して前記伝送線をプルアップする p 型ドライバ要素と、

前記伝送線と前記伝送線インタフェース回路のための低電圧レファレンスとの間に連結され、前記入力信号のロジックローの値に応答して、前記伝送線をプルダウンする n 型ドライバ要素と

を含む複数のドライバ要素と、

前記伝送線インタフェース回路内でローカルに、前記複数のドライバ要素のうちの 1 つと対応する電圧レファレンスとの間で連結され、前記伝送線インタフェース回路の電圧振幅を減らす電圧レギュレータとを含む、電子デバイス。

[項目 1 5]

前記電圧レギュレータは、メモリコントローラデバイス上に統合される、項目 1 4 に記載の電子デバイス。

[項目 1 6]

前記電圧レギュレータは、前記 p 型ドライバ要素と前記高電圧レファレンスとの間に連結される、項目 1 4 又は 1 5 に記載の電子デバイス。

[項目 1 7]

前記電圧レギュレータは、第 1 電圧レギュレータであり、前記 n 型ドライバ要素と前記低電圧レファレンスとの間に連結される第 2 電圧レギュレータをさらに備える、項目 1 6 に記載の電子デバイス。

[項目 1 8]

前記メモリコントローラデバイスは、

選択的にアクティブにされ、前記電圧レギュレータをバイパスし、前記伝送線上の信号を受信するバイパス経路をさらに備える、項目 1 4 から 1 7 のいずれか一項に記載の電子デバイス。

[項目 1 9]

前記メモリコントローラデバイスに連結され、前記伝送線インタフェース回路の前記電圧振幅を制御するべく、前記電圧レギュレータを設定するテスト回路をさらに備える、項目 1 4 から 1 8 のいずれか一項に記載の電子デバイス。

[項目 2 0]

前記メモリデバイスは低電力デュアルデータレート (LPDDR) メモリデバイスを有する、項目 1 4 から 1 9 のいずれか一項に記載の電子デバイス。

[項目 2 1]

メモリデバイスへの伝送線上で駆動するべく、信号を受信する段階と、

前記信号の受信に応答して、伝送線インタフェース回路の電圧振幅を減らすべく、ドライバ要素と対応する電圧レファレンスとの間で前記伝送線インタフェース回路にローカルに連結される電圧レギュレータをアクティブにする段階と、

10

20

30

40

50

前記信号のロジックハイの値にตอบสนองして、前記伝送線と前記伝送線インタフェース回路のための高電圧レファレンスとの間に連結されるp型ドライバ要素を用いてハイで前記伝送線を駆動する段階と、

前記信号のロジックローの値にตอบสนองして、前記伝送線と前記伝送線インタフェース回路のための低電圧レファレンスとの間に連結されるn型ドライバ要素を用いてローで前記伝送線を駆動する段階と

を備える、方法。

[項目22]

前記電圧レギュレータをアクティブにする段階は、前記p型ドライバ要素と前記高電圧レファレンスとの間に連結される電圧レギュレータをアクティブにする段階を有する、項目21に記載の方法。

10

[項目23]

前記電圧レギュレータをアクティブにする電圧レベルを決定する段階をさらに備え、前記決定する段階は、

前記伝送線インタフェース回路のターゲットI/O性能特性に関する複数の異なるI/O(入力/出力)回路パラメータのための複数の異なる設定のそれぞれについて、

各I/O回路パラメータの値を設定し、

前記設定のためのテストトラフィックを生成し、

前記I/O性能特性のための動作マージンを測定する段階と、

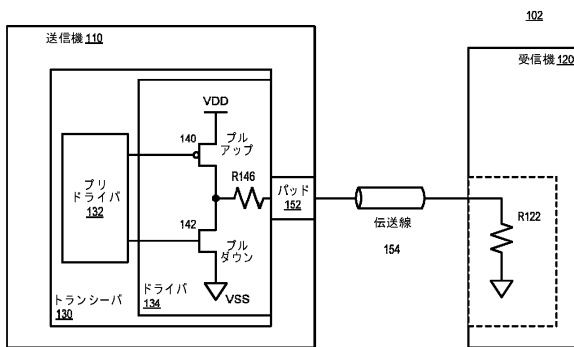
前記動作マージンが最小の閾値に適合し、複数のI/O回路パラメータのうち少なくとも1つの性能が増加する前記複数のI/O回路パラメータのそれぞれのための複数の値を決定する探索機能を実行する段階と、

20

前記探索機能に基づいて、前記複数のI/O回路パラメータのための複数のランタイム値を設定する段階と

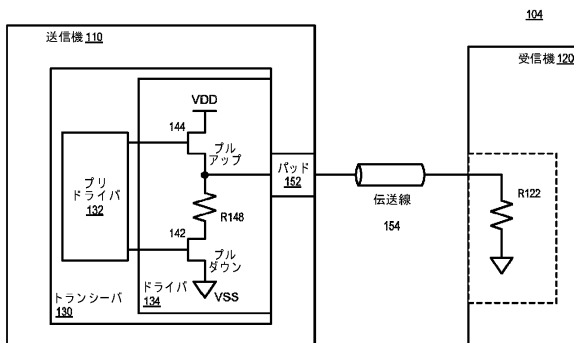
を含む、項目21又は22に記載の方法。

【図1A】

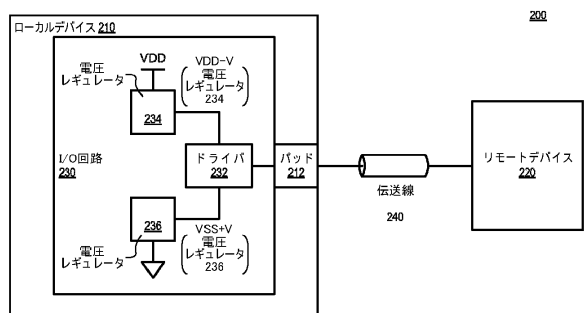


従来技術

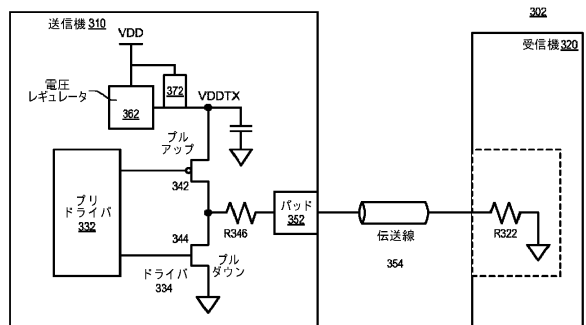
【図1B】



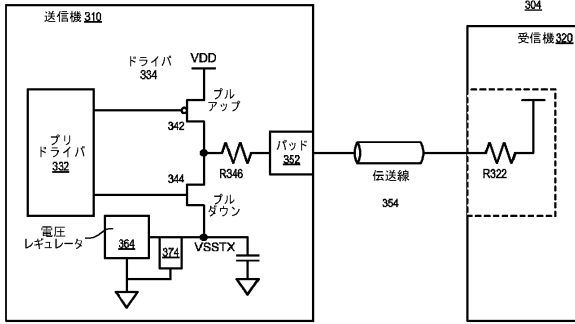
【図2】



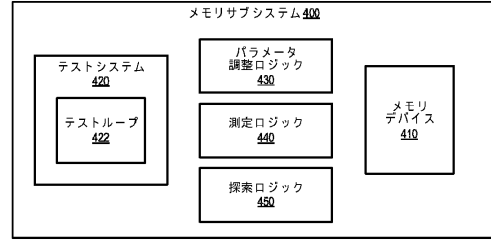
【図3A】



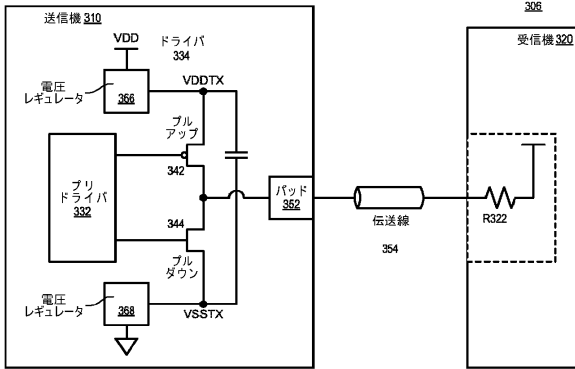
【図3B】



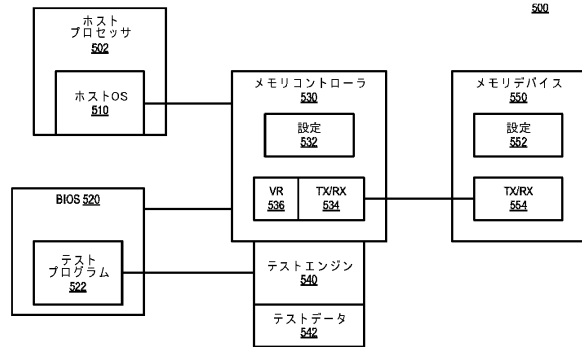
【図4】



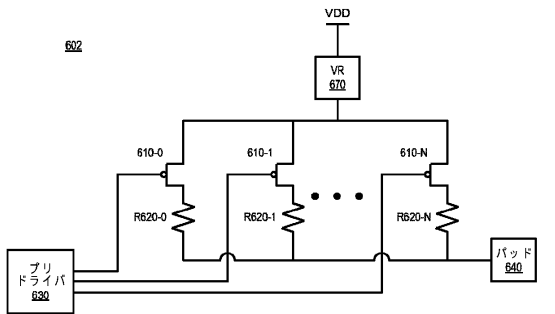
【図3C】



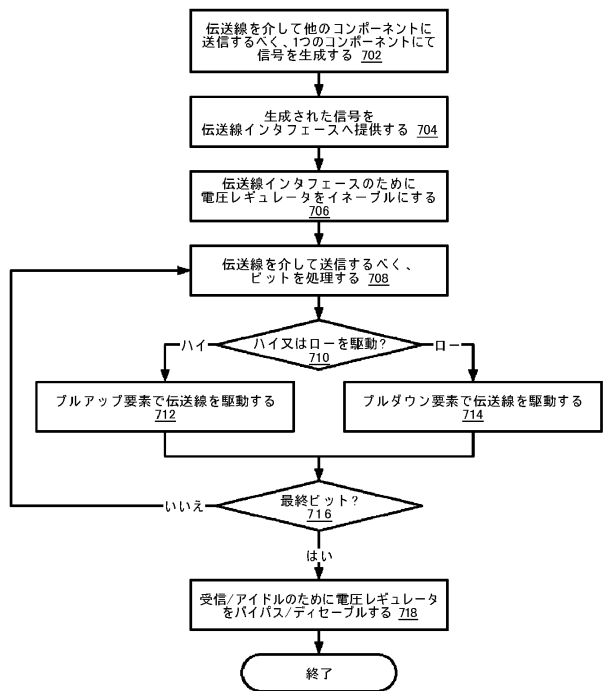
【図5】



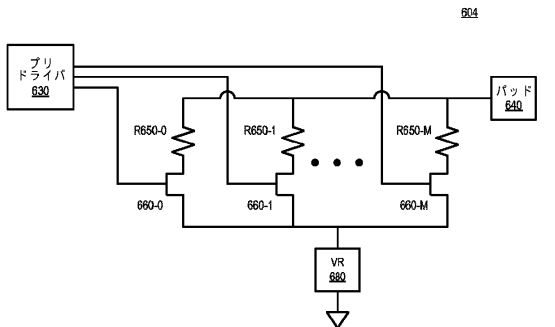
【図6A】



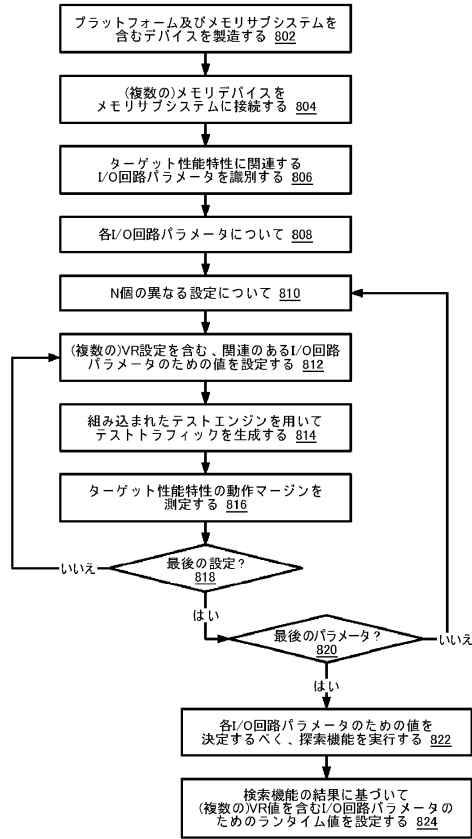
【図7】



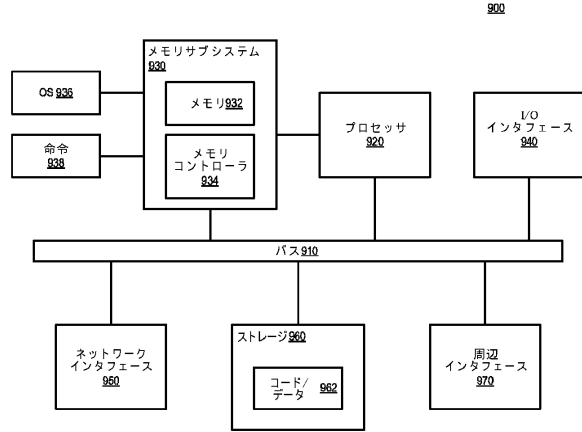
【図6B】



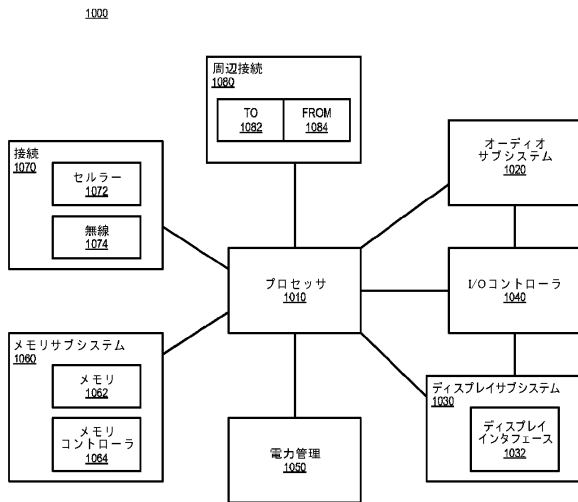
【図8】



【図9】



【図10】



フロントページの続き

- (72)発明者 トリヴェディ、リテシュ ビー .
アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ
バード・2200 インテル・コーポレーション内
- (72)発明者 マックコール、ジェイムス エイ .
アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ
バード・2200 インテル・コーポレーション内
- (72)発明者 マーティン、アーロン
アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ
バード・2200 インテル・コーポレーション内

審査官 白井 亮

- (56)参考文献 特開平11-150469(JP,A)
特開平10-229165(JP,A)
特開2003-143000(JP,A)
特開2009-104598(JP,A)
国際公開第2013/009418(WO,A1)
特表2012-510208(JP,A)
米国特許第08988106(US,B2)

(58)調査した分野(Int.Cl., DB名)

H03K 19/0175