



[12] 发明专利申请公开说明书

[21]申请号 94120769.2

[51]Int.Cl⁶

H01L 21 / 00

[43]公开日 1995 年 11 月 22 日

[22]申请日 94.12.20

[30]优先权

[32]93.12.20 [33]JP [31]319904 / 93

[32]94.3.31 [33]JP [31]63230 / 94

[32]94.4.27 [33]JP [31]90356 / 94

[32]94.6.21 [33]JP [31]139151 / 94

[71]申请人 夏普公司

地址 日本大阪市

[72]发明人 牧田直树 船井尚 山元良高

三谷康弘 野村克己 宫本忠芳

香西孝真

[74]专利代理机构 中国专利代理(香港)有限公司

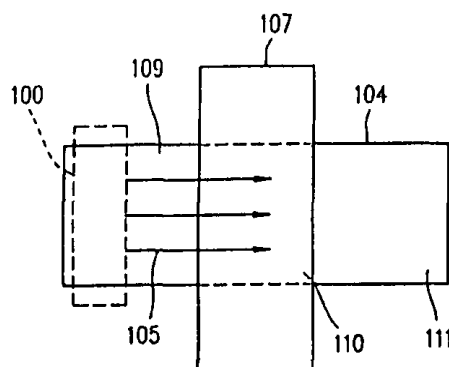
代理人 萧掬昌 张志醒

说明书页数: 63 附图页数: 34

[54]发明名称 半导体器件及其制造方法

[57]摘要

将促进晶化的催化元素导入非晶硅膜中, 在将已导入催化元素的非晶硅膜刻成图形后, 进行晶化热处理。于是, 该导入的催化元素只能有效地在岛状非晶硅膜内扩散。其结果, 就得到具有按一个方向对齐的结晶生长方向及具有无晶界的高品质结晶性硅膜。利用此形成的结晶性硅膜, 可在整个基片上有效地制造出高性能且特性稳定的半导体器件, 而无需考虑器件的尺寸。



<43>

权 利 要 求 书

1. 一种半导体器件的制造方法,包括下列步骤:

(a) 在具有绝缘表面的基片上,形成非晶硅膜,将该非晶硅膜刻成图形,以形成至少一岛状区域,而将催化元素选择性地导入至少一预定的岛状区域;以及

(b) 加热处理非晶硅膜,在预定的非晶硅膜区域的周围部分中沿与该基片表面实质上相平行的方向产生结晶生长,从而得到结晶性硅膜,

其特征在于,将结晶性硅膜用于半导体器件的器件区域。

2. 根据权利要求1的方法,其特征在于步骤(a)还包括下列步骤:

在基片上形成非晶硅膜;

将非晶硅膜刻成图形,形成至少一个岛状区域;以及
将催化元素导入岛状区域的至少预定的区域。

3. 根据权利要求1的方法,其特征在于步骤(a)还包括下列步骤:

在基片上形成非晶硅膜;

将催化元素选择性地导入至少所预定的区域;以及
将非晶硅膜刻成图形,形成至少一个岛状区域。

4. 根据权利要求1的方法,其特征在于使该结晶性硅膜中的载流子移动方向实质上与非晶硅膜的结晶生长方向平行,而制造半导体器件。

5. 根据权利要求1的方法,还包括形成掩蔽层的步骤,该掩蔽层具有限定该岛状区域的预定区域的开口,通过此开口将催化元素导入其中。

6. 根据权利要求1的方法,其特征不在于该器件区域内,将催化元素导入源区或漏区部分的至少一部分。

7. 根据权利要求1的方法,其特征不在于该催化元素选自由Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As和Sb所构成的组的至少一种元素。

8. 一种半导体器件,包括用结晶性硅膜形成有源区域,其特征不在于,该有源区域是用将促进晶化的催化元素选择性地导入预定区域,将非晶硅膜热处理得到的结晶性硅膜的横向结晶生长区域,再除去该催化元素选择性地导入的预定区域而形成。

9. 根据权利要求8的半导体器件,其特征不在于,该催化元素选自由Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As和Sb构成的组的至少一种元素。

10. 根据权利要求8的半导体器件,其特征不在于,该有源区域的催化元素浓度在 1×10^{14} 原子/cm³~ 1×10^{18} 原子/cm³范围内。

11. 一种半导体器件的制造方法,包括下列步骤:

(a) 在具有绝缘表面的基片上,形成非晶硅膜;

(b) 在该非晶硅膜的至少所预定的区域中选择性地导入促进该非晶硅膜晶化的催化元素;

(c) 热处理该非晶硅膜,在所预定区域的周围部分沿实质上与该基片表面平行的方向发生结晶生长,从而得到结晶性硅膜;

(d) 除去已导入催化元素的该预定区域,以及

(e) 将除去该预定区域部位的周围部分曝露于激光或其他强光, 以改善结晶性硅膜的结晶度。

12. 一种半导体器件, 包括一利用结晶性区域形成的薄膜晶体管, 而结晶性区域是在绝缘表面的基片上形成的硅膜的至少一部分,

其特征在于, 该结晶性区域是由比该结晶性区域小的选择性导入区域, 被选择性地导入用以促进非晶硅膜晶化的催化元素, 使其结晶生长而得到的, 以及

该薄膜晶体管的设置以便不与选择的导入区域重叠。

13. 根据权利要求12的半导体器件, 其特征在于, 该薄膜晶体管被设置在结晶区域的结晶生长末端更内侧处。

14. 根据权利要求12的半导体器件, 其特征在于, 该薄膜晶体管是这样设置的, 使薄膜晶体管的导电方向实质上与该非晶硅膜的结晶生长方向平行。

15. 根据权利要求12的半导体器件, 其特征在于, 该薄膜晶体管是这样设置的, 使薄膜晶体管的导电方向实质上与该非晶硅膜的结晶生长方向垂直。

16. 根据权利要求12的半导体器件, 其特征在于, 该催化元素选自由Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As和Sb构成的组的至少一种元素。

17. 根据权利要求12的半导体器件, 其特征在于, 催化元素的剂量在 1×10^{18} 原子/cm³~ 1×10^{20} 原子/cm³范围内。

18. 一种半导体器件的制造方法, 包括下列步骤:

(a) 在具有绝缘表面的基片上, 形成非晶硅膜;

(b) 在该非晶硅膜上形成一掩蔽层, 此掩蔽层具有用以选择性

导入促进该非晶硅膜晶化的催化元素的开口,以及用以形成第1 对准标志;

(c)通过该开口选择性地将催化元素导入非晶硅膜中,而形成选择导入区域;

(d)热处理该非晶硅膜,至少一部分形成结晶性区域;

(e)用该掩蔽层蚀刻部分晶化过的非晶硅膜,除去选择导入区域的至少一部分,并且在该部分晶化过的非晶硅上形成第1 对准标志;

(f)利用该第1对准标志,将结晶性区域刻成岛状图形。

19. 根据权利要求18的方法,还包括用第1对准标志,形成第 2 对准标志的步骤。

20. 根据权利要求18的方法,还包括用掩蔽层形成第2 对准标志的步骤。

21. 根据权利要求18的方法,其中步骤(e)还包括将第1对准标志周围部分曝露于光能之下,从而使第1 对准标志清楚可分辨的步骤。

22. 根据权利要求18的方法,其中薄膜晶体管是这样配置的,使该薄膜晶体管的导电方向实质上与非晶硅膜的结晶生长方向平行。

23. 根据权利要求18的方法,其中薄膜晶体管是这样设置的,使该薄膜晶体管的导电方向实质上与非晶硅膜的结晶生长方向垂直。

24. 根据权利要求18的方法,其中催化元素选自由Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As和Sb构成的组的至少一种元

素。

25. 根据权利要求18的方法,其中催化元素的剂量在 1×10^{18}
 $\sim 1 \times 10^{20}$ 原子/cm³。

26. 一种半导体器件的制造方法,包括下列步骤:

(a) 在具有绝缘表面的基片上,形成非晶硅膜,

(b) 在该非晶硅膜上形成掩蔽层,该掩蔽层具有用以选择性地
导入促进该非晶硅膜晶化的催化元素的开口,以及用以形成第1对
对准标志;

(c) 通过该开口选择性地将催化元素导入非晶硅膜中,而形成
选择导入区域;

(d) 热处理该非晶硅膜,至少一部分形成结晶性区域;

(e) 将结晶区域刻成岛状图形,再用掩蔽层除去选择导入区域,
还在该部分已晶化的非晶硅膜上形成第2对准标志。

27. 一种半导体器件,包括沟道区域用结晶性硅膜,在具有绝
缘表面的基片上形成的该器件,

其特征在于,该沟道是用结晶性硅膜形成,该结晶性硅膜是由
将促进该非晶硅膜晶化的催化元素选择性地导入非晶硅膜的预定
狭缝状导入区域,在预定的退火温度下热处理该非晶硅膜,而使该
导入区域周围部分在与基片表面平行的方向发生结晶生长来得到,
以及

该沟道区域配置在以预定的退火温度下从该导入区域起结晶生
长的范围内。

28. 根据权利要求27的半导体器件,其特征不在于,该沟道区配
置在从导入区域起120 μm以内的位置。

29. 根据权利要求27的半导体器件,其特征在於,该沟道区域置在结晶性硅膜具有一维结晶方向的范围内,而且从一维结晶生长方向起该结晶膜的分叉和弯曲数在2以下的范围内。

30. 根据权利要求29的半导体器件,其特征在於,该沟道区域配置在从导入区域起 $60\mu\text{m}$ 以内的位置。

31. 根据权利要求29的半导体器件,其特征在於,该沟道区域配置在从一维结晶生长方向起结晶膜的分叉和弯曲数在1以下的范围内。

32. 根据权利要求31的半导体器件,其特征在於,该沟道区域配置在从导入区域起 $30\mu\text{m}$ 以内的位置。

33. 根据权利要求27的半导体器件,其特征在於,该沟道区域与在导入区域的长边方向的导入区域侧边之间的距离在以预定退火温度进行从导入区域起的晶化的范围内。

34. 根据权利要求33的半导体器件,其特征在於,该沟道区域与在导入区域长边方向的导入区域侧边之间的距离在 $30\mu\text{m}$ 以上。

35. 根据权利要求27的半导体器件,其特征在於,该导入区域长边方向的长度设定在结晶性硅膜的结晶生长范围饱和值以上。

36. 根据权利要求35的半导体器件,其特征在於,该导入区域长边方向的长度在 $120\mu\text{m}$ 以上。

37. 根据权利要求27的半导体器件,其特征在於,该导入区域短边方向的宽度设定在结晶硅膜的结晶生长范围的饱和值以上。

38. 根据权利要求37的半导体器件,其特征在於,该导入区域短边方向的宽度在 $5\mu\text{m}$ 以上。

39. 根据权利要求27的半导体器件,包括多个沟道区域,从而

形成多个薄膜晶体管。

40. 根据权利要求39的半导体器件,其特征在于,多个薄膜晶体管配置在该导入区域的两侧。

41. 根据权利要求27的半导体器件,其特征在于,将形成该沟道区域的该结晶性硅膜,在结晶生长后,暴露于高强度的激光或其他光之下。

42. 根据权利要求27的半导体器件,其特征在于,该催化元素选自Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As及Sb构成的组的至少一种元素。

43. 一种半导体器件的制造方法,包括下列步骤:

(a) 在具有绝缘表面的基片上,形成非晶硅膜;

(b) 将促进晶化的催化元素选择性地导入该非晶硅膜的预定的狭缝状导入区域;

(c) 热处理该非晶硅膜,使该非晶硅膜的预定区域的周围部分在实质上与基片表面平行的方向发生结晶生长,从而得到结晶性硅膜;及

(d) 用该结晶性硅膜,形成薄膜晶体管,

其中,该薄膜晶体管是这样配置的,使其沟道区域位于在预定退火温度下,从该导入区域起结晶生长的范围内。

44. 根据权利要求43的方法,其中,该沟道区域配置在从导入区域起120 μm 以内的位置。

45. 根据权利要求43的方法,其中,该沟道区域配置在该结晶性硅膜具有单一方向的结晶生长方向,且从一维结晶生长方向起该结晶性膜的分叉和弯曲数在2以下的范围内。

46. 根据权利要求45的方法,其中,该沟道区域配置在从导入区域起 $60\mu\text{m}$ 以内的位置上。

47. 根据权利要求45的方法,其中,该沟道区域在从该一维结晶生长方向起分叉和弯曲数在1以下的范围内。

48. 根据权利要求47的方法,其中,该沟道区域配置在从导入区域起 $30\mu\text{m}$ 以内的位置上。

49. 根据权利要求43的方法,其中,该薄膜晶体管是这样设置的,使该沟道区域与在导入区域长边方向的该导入区域的一侧边的距离在预定退火温度下从导入区域起进行晶化的范围内。

50. 根据权利要求49的方法,其中,该沟道区域与该导入区域长边方向的导入区域该侧边之间的该距离在 $30\mu\text{m}$ 以上。

51. 根据权利要求43的方法,其中,该导入区域长边方向的长度设定在该结晶性硅膜的结晶生长范围饱和值以上。

52. 根据权利要求51的方法,其中,该导入区域长边方向的长度在 $120\mu\text{m}$ 以上。

53. 根据权利要求43的方法,其中,该导入区域短边方向的宽度设定在该结晶性硅膜的结晶生长范围的饱和值以上。

54. 根据权利要求53的方法,其中,该导入区域短边方向的宽度在 $5\mu\text{m}$ 以上。

55. 根据权利要求43的方法,其中,形成多个沟道区域,从而形成多个薄膜晶体管。

56. 根据权利要求55的方法,其中,该多个薄膜晶体管配置在该导入区域的两侧。

57. 根据权利要求43的方法,还包括使结晶性硅膜暴露于高强

度激光或其他光,提高该结晶性膜的结晶度的步骤。

58. 根据权利要求43的方法,其中,该催化元素选自Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As和Sb构成的组的至少一种元素。

半导体器件及其制造方法

本发明涉及利用结晶性硅膜制造半导体器件的方法,特别涉及可用于有源阵列型液晶显示装置或图象传感器等,且在玻璃等绝缘基片上形成薄膜晶体管(TFT)的半导体器件及其制造方法。更具体说,涉及具有以非晶硅薄膜晶化之后,将所得到的结晶性硅膜作为有源区的TFT半导体器件及其制造方法。

具有形成在玻璃等绝缘基片上的TFT半导体器件中,周知的是将TFT用于驱动象素的有源阵列型液晶显示装置或图象传感器等。这些装置所用的TFT,一般都用薄膜硅半导体。

这种薄膜硅半导体大致可分成两种类型:非晶硅半导体和结晶硅半导体。

这两种类型中,非晶硅半导体由于制造温度低,用气相淀积法容易制造,因此适于大量生产,所以最常使用。但是,与结晶硅半导体比较,非晶硅半导体的导电性等特性比较差。因此,为得到半导体器件的更高速度的特性,就强烈要求确定由结晶硅半导体制造TFT的方法。

众所周知结晶硅半导体包括:多晶硅、微晶硅、含有结晶成分的非晶硅、以及具有结晶性与非晶性之间状态的半非晶硅等。为得到这些结晶硅半导体的方法中,下述方法已知的是:

(1)在薄膜的淀积步骤中,直接形成结晶膜的方法。

(2) 先形成非晶半导体膜,再以激光辐照之,通过激光能,使其晶化的方法。

(3) 先形成非晶半导体膜,再加以热能,使其晶化的方法。

但是,上述方法(1),由于形成膜的步骤与晶化同时进行,为得到大粒径结晶硅,必须形成较厚的硅膜。因此,要在整个基片上均匀地形成特性良好的半导体膜,技术上就很困难。另外,因这种膜要在 600°C 以上的高温下淀积,所以,不能使用廉价而耐热性不足的玻璃基片,造成生产性和成本上的缺点。

而且,上述(2)的方法是利用熔融固化过程中的晶化现象,可得到小粒径且晶界经过良好处理的高品质硅膜。但是,以现在一般常用的激光(例如准分子激光),由于激光光束的照射面积较小,因此加工生产率也较小。另外,要全面均匀地处理大面积基片时,还有激光稳定性不足的问题。因此,要使用激光的上述(2)的方法应是未来的技术。

上述(3)所示的利用热能以使硅固相晶化的方法与先前叙述的(1)或(2)的方法相较之下,具有能在大面积的基片上均匀地形成薄膜结晶性硅膜的优点。此方法的实例可见于日本专利公报特开昭62-122172号、特开平3-290924号及特开平4-165613号,在这些文献中,是先将基片上所形成的硅半导体刻成图形,使其图形对应于其后形成为TFT的有源区域的器件区域,之后再使其晶化。具体来说,在日本专利公报特开昭62-122172号及特开平4-165613号中,是将基片上的器件区域除了留下的一部分之外使其非晶化,其后进行晶化热处理,再以器件区域中留下来未被非晶化的部分为核,使非晶化的部分沿一个方向晶化。另外,日本专利公报特开平3-290924

号是在基片上使器件区域形成岛状图形。在此时,控制非晶硅膜中成为器件区域之核密度,使核密度及结晶生长距离与岛状图形的大小的关系最优化。

但是,利用热能使硅固相晶化的方法中,在晶化之时,必须以 600°C 以上的高温加热处理数十小时。因此,为了同时使价廉的玻璃基片的使用成为可能且提高加工生产率,即必须同时解决降低加热温度,又能在短时间内使其晶化的两个互相矛盾的要求。

还有,在上述方法中,由于利用固相晶化现象,晶粒与基片表面平行地延伸,产生粒径为数 μm 的结晶。但是,在此一结晶生长过程中,生长出的结晶互相推挤,而形成晶界,因此晶界起载流子陷阱的作用,成为TFT中的载流子迁移率较低的原因。

上述公开公报中所记载的任一种方法的缺点都可以用下述方法来解决:首先,将基片上所形成的非晶硅膜形成图形,使其图形对应于器件区域,然后使非晶硅膜晶化。由此抑制器件区域中的晶界发生,使晶粒直径加大成为可能。但是,晶化时,仍然须要高温及长时间加热处理。

通过非硅膜热处理而得到结晶硅膜的另一方法可见于日本专利公报特开平5-55142号及特开平5-136048号。在这些方法中,是在非晶硅膜中导入成为结晶生长核的外来物,其后进行热处理,而得到以所导入的物质为核的大粒径结晶硅膜。

更详细地说,在日本专利公报特开平5-55142号所揭示的方法中,是将硅(Si^+)等杂质以离子注入法导入非晶硅膜中,其后以加热处理,形成具有大小约数 μm 的晶粒的多结晶硅膜。在特开平5-136048号公报所揭示的方法中,是将大小 $10\sim 100\text{nm}$ 的硅晶粒子与加压氮气同时喷镀到非晶硅膜上,从而形成晶核。

在这些方法中,可借控制外来物的导入状态,而控制结晶生长时的核形成及结晶生长方向。但是与上述的方法相同,为了晶化,必须进行加热处理。例如,在特开平5-55142号公报的方法中,进行了温度600°C、40小时的加热处理。在特开平5-136048号公报的方法中,进行了温度650°C以上的加热处理。

因此,虽然利用加热处理技术对于SOI基片或SOS基片是有效的。但不适用于价廉的玻璃基片。例如,有源阵列型液晶显示装置中所用的Corning 7095玻璃的玻璃形变温度为593°C。因此,当对此玻璃进行上述方法中所揭示的600°C以上的加热处理,则玻璃基片发生变形或弯曲的可能性极高。若考虑到基片大面积化的趋势,这一点更是成为问题。

本发明的半导体器件的制造方法包括:(a) 在基片绝缘性表面上,形成非晶硅膜,该非晶硅被刻成图形,以形成至少一个岛状区域,且在该岛状区域的至少所选定的区域中有选择性地导入促进晶化的催化剂元素的步骤,及(b) 加热该非晶硅膜,在该选定区域的周围部分上与该基片表面实质上平行的方向上进行该非晶硅膜的结晶生长,从而得到结晶硅膜的步骤,其中将该结晶硅膜用作半导体器件的器件区域。

在一个实施例中,上述步骤(a)还包括下列各步骤:在上述基片上形成上述非晶硅膜,将该非晶硅膜刻成图形以形成至少一个岛状区域,及在该岛状区域的至少所预定的区域中选择性导入上述催化元素。或者,上述步骤(a)还包含下列步骤:在上述基片上形成上述非晶硅膜,在该岛状区域的至少所预定的区域中选择性导入上述催化元素,及将该非晶硅膜刻成图形,以形成至少一个岛状区域。

在另一个实施例中,是使上述结晶硅膜中的载流子迁移方向与上述非晶硅膜的结晶生长方向实质上平行,而制成上述半导体器件。

在又一个实施例中,该方法还包括一形成掩蔽层的步骤,该掩蔽层具有一限定上述岛状区域的上述所预定区域的开口,而透过该开口导入上述催化元素。

在又一个实施例中,其中器件区域中的源极区域或漏极区部分的至少一部分中导入上述催化元素。

在又一个实施例中,上述催化元素是选自由Ni,Co,Pd,Pt,Cu,Ag,Au,In,Sn,Al,P,As,及Sb所构成的组中的至少一种元素。

根据本发明的另一方面,一种半导体器件包括由结晶硅膜形成的有源区,该有源区是将促进晶化的催化元素选择性地导入非晶硅膜,再将非晶硅膜加热处理形成结晶硅膜的横向结晶生长区域,选择性地导入该催化元素的该预定区域则被除去。在一个实施例中,上述催化元素是选自由Ni,Co,Pd,Pt,Cu,Ag,Au,In,Sn,Al,P,As,及Sb所构成的组中的至少一种元素。在另一个实施例中,上述有源区域中的催化元素的浓度在 1×10^{14} 原子/cm³~ 1×10^{18} 原子/cm³范围内。

根据本发明的又一个方面,一种半导体器件的制造方法包括下列步骤:(a)在具有绝缘表面的基片上,形成非晶硅膜;(b)在该非晶硅膜的至少预定区域中,选择性地导入促进该非晶硅膜晶化的催化元素;(c)加热该非晶硅膜,在该预定区域的周围部分沿与该基片表面,实质上与之平行的方向上,使该非晶硅膜产生结晶生长,以得到结晶硅膜;(d)除去被选择性地导入该催化元素的预定区域;及(e)为提高该结晶硅膜的结晶性,以激光或强光辐照除去了该预定区域后位

于其周围的露出部分。

根据本发明之再一个方面,半导体器件包括一薄膜晶体管,它是利用在表面绝缘性基片上形成的硅膜的至少一部分结晶区而形成的,其中该结晶区是使一较该结晶区小,且使被选择性地导入可促进非晶硅膜的晶化催化元素的选择导入区域,进行结晶生长而获得,而该薄膜晶体管的配置不与该选择导入区域重叠。在一实施例中,上述薄膜晶体管还要被配置在上述结晶区域的结晶生长末端的内侧。

根据本发明的再一个方面,一种半导体器件的制造方法包括下列步骤:(a)在具有绝缘性表面的基片上,形成非晶硅膜;(b)为了在该非晶硅膜上选择性地导入促进该非晶硅膜晶化的催化元素,且为了形成第1对准标志,而在该非晶硅膜上形成具有开口的掩蔽层;(c)透过该开口在该非晶硅膜中选择性地导入该催化元素,形成选择导入区域;(d)通过加热使该非晶硅膜的至少一部分成为结晶性区域;(e)用该掩蔽层,蚀刻被部分晶化了的该非晶硅膜,而除去该选择导入区域的至少一部分,并在该部分已晶化了的非晶硅膜上形成该第1对准标志;及(f)利用该第1对准标志将该结晶性区域刻成岛状图形。在一实施例中,该方法还包括利用上述第1对准标志形成第2对准标志的步骤。换句话说,该方法还包括利用上述掩蔽层形成第2对准标志的步骤。在另一实施例中,上述步骤(e)还包括用光能使上述第1对准标志附近区域露出,从而使该第1对准标志清楚可辨的步骤。

在一实施例中,该薄膜晶体管的配置实质上是使上述薄膜晶体管的导电方向与上述非晶硅膜的结晶生长方向平行。或者,该薄膜晶体管的配置实质上是使上述薄膜晶体管的导电方向与上述非晶

硅膜的结晶生长方向垂直。

在另一实施例中,上述催化元素是选自由Ni,Co,Pd,Pt,Cu,Ag,Au,In,Sn,Al,P,As,及Sb所构成的组中的至少一种。

在又一个实施例中,上述催化元素的导入浓度在 1×10^{18} 原子/ $\text{cm}^3 \sim 1 \times 10^{20}$ 原子/ cm^3 范围内。

根据本发明的另一方面,一种半导体器件的制造方法包括下列步骤:(a)在具有绝缘性表面的基片上,形成非晶硅膜;(b)为了在该非晶硅膜上选择性地导入促进该非晶硅膜晶化的催化元素,且为了形成第1对准标志,而在该非晶硅膜上形成具有开口的掩蔽层;(c)透过该开口在该非晶硅膜中选择性地导入该催化元素,形成选择导入区域;(d)加热处理使该非晶硅膜的至少一部分成为结晶性区域;(e)用该掩蔽层,除去该选择导入领域,同时使该结晶性区域刻成岛状图形,再在该部分已晶化了的非晶硅膜上形成第2对准标志。

根据本发明的又另一个方面,一种半导体器件包括用具有结晶性硅膜在具有绝缘性的基片上形成的器件沟道区域,其中该沟道区域由结晶硅膜形成,而该结晶硅膜是将促进该非晶硅膜晶化的催化元素选择性地导入非晶硅膜的预定狭缝状导入区域中,在预定的退火温度中进行加热处理,使该导入区域的周围部分产生与该基片表面平行地结晶生长,而该沟道区域就配置在从该导入区域以预定退火温度而使该结晶硅膜结晶生长的区域内。

根据本发明的又一个方面,一种半导体器件的制造方法包含下列步骤:(a)在绝缘性表面的基片上,形成非晶硅膜;(b)将促进该非晶硅膜晶化的催化元素选择性地导入该非晶硅膜的预定狭缝状导入区域;(c)加热该非晶硅膜,使该预定区域的周围部分的该非晶硅

膜沿与该基片表面实质上平行的方向上产生结晶生长,从而得到结晶性硅膜;(d)用该结晶硅膜形成薄膜晶体管,其中薄膜晶体管配置在使该沟道区域位于从该导入区域起以该退火温度使该结晶硅膜结晶生长的区域内。

在一实施例中,上述沟道区域配置在从上述催化元素的导入区域起 $120\mu\text{m}$ 的范围内。

在另一个实施例中,上述沟道区域是在上述晶硅膜具有一维结晶生长方向的区域内,且该结晶硅膜配置在从该一维结晶生长方向起分叉或弯曲数在2以下的区域内。更可取的是上述沟道区域配置在上述催化元素的导入区域起 $60\mu\text{m}$ 的位置内。或是,上述沟道区域形成在该结晶硅膜从上述一维结晶生长方向起分叉或弯曲数在1以下的范围内。最好上述沟道区域配置在上述催化元素的导入区域起 $30\mu\text{m}$ 的位置内。

在又一个实施例中,上述薄膜电晶体之配置,系使在上述催化元素导入区域的长边方向上的该沟道区域与该导入区域一边的距离是在从该导入区域起以预定退火温度使该结晶硅膜结晶生长的区域内。最好在上述催化元素导入区域的长边方向上的该沟道区域与该导入区域之一边间的距离较佳在 $30\mu\text{m}$ 以上。

在又一个实施例中,上述催化元素导入区域的长边方向的长度被设定为从该导入区域起到该结晶硅膜结晶生长距离的饱和值以上。最好上述催化元素导入区域的长边方向的长度在 $120\mu\text{m}$ 以上。

在又一个实施例中,上述催化元素导入区域的短边方向的宽度被设定为从该导入区域起到该结晶硅膜结晶生长距离的饱和值以上。最好上述催化元素导入区域的短边方向的宽度在 $5\mu\text{m}$ 以上。

在又一个实施例中,是形成多个上述沟道区域,从而形成多个薄膜晶体管。最好将上述多个薄膜晶体管配置在上述催化元素导入区域的两侧。

在又一个实施例中,使上述结晶硅膜曝露于激光或其他高强度光,以提高结晶硅膜的结晶度。

在又一个实施例中,上述催化元素选自由Ni,Co,Pd,Pt,Cu,Ag,Au,In,Sn,Al,P,As,及Sb所构成的组中的至少一种元素。

于是,本发明的目的在于提供:(1)一种利用横向结晶生长区域以高效率在整个基片上形成高性能且可靠性及电气特性稳定的半导体器件而与各个器件的大小无关的半导体器件制造方法,(2)一种可缩短硅膜晶化所需时间的半导体器件制造方法,(3)一种可防止接触不良或TFT特性恶化的半导体器件制造方法,(4)一种可适用自动对准的半导体器件制造方法,以及(5)上述方法所制得的半导体装置。

本发明的这些及其他优点,在本领域技术人员参考附图并阅读理解以下的详细说明之后,将变得更清楚。

图1是利用横向结晶生长所得到的结晶硅膜,制成薄膜晶体管的结构一例的顶视平面图。

图2是利用横向结晶生长所得到的结晶硅膜制成薄膜晶体管的结构另一例的顶视平面图。

图3是表示促进硅膜横向结晶生长的催化元素被导入区域形状的示意平面图。

图4是表示催化元素导入区域的大小与横向结晶生长距离的关系曲线图。

图5A-5D是表示本发明第1实施例中的半导体器件制造方法的各步骤示意剖面图。

图6是表示依照本发明第1 实施例而制造的薄膜晶体管在基片上形成位置的示意平面图。

图7A-7D是表示本发明第2 实施例中的半导体器件制造方法的各步骤示意剖面图。

图8A-8H是表示本发明第3 实施例中的半导体器件制造方法的各步骤示意剖面图。

图9是说明本发明第3实施例的优点的半导体器件示意剖面图。

图10A-100是表示本发明第4 实施例中的半导体器件的制造方法的各步骤示意剖面图。

图11A-110是表示本发明第5 实施例中的半导体器件制造方法的各步骤示意剖面图。

图12A-12T是表示本发明第6 实施例中的半导体器件的制造方法的各步骤示意剖面图。

图13 是表示依照本发明而制成的薄膜晶体管在基片上形成位置的示意平面图。

图14 是表示依照本发明而制成的薄膜晶体管在基片上形成位置的另一示意平面图。

图15A及15B是表示依照本发明第8实施例制成的薄膜晶体管结构例的平面图。

图16A-16F是表示本发明第8 实施例中的半导体器件制造方法的各步骤,沿图15A的线16-16'所得的示意剖面图。

图17A及17B是表示依照本发明第9实施例制成的薄膜晶体管结

构例的平面图。

图18A-18F是表示本发明第9 实施例中的半导体器件制造方法的各步骤,沿图17A线18-18'所得的示意剖面图。

图19是表示本发明第10 实施例制成的薄膜晶体管结构例的平面图。

图20是表示本发明第11 实施例制成的薄膜晶体管结构例的平面图。

图21A-21E是表示本发明第12实施例中的半导体器件制造方法的各步骤示意平面图。

图22是表示本发明第13 实施例制成的薄膜晶体管结构例的平面图。

图23A-23E是表示本发明第13实施例中的半导体器件的制造方法的各步骤,沿图22线23-23'所得的剖面图。

图24 是利用横向结晶生长所得到的结晶性硅膜所制成的薄膜晶体管结构例的平面图。

图25是表示横向结晶生长距离与退火时间的关系曲线图。

图26 是表示构成横向结晶生长区域的针状结晶或柱状结晶的分叉及弯曲数与横向结晶生长距离的关系曲线图。

图27 是表示依照本发明制成的薄膜晶体管的制成位置指明的参数与横向结晶生长距离的关系曲线图。

图28 是表示本发明的催化元素导入区域大小与横向结晶生长距离的关系曲线图。

图29 是表示本发明的催化元素导入区域大小与横向结晶生长距离的关系的另一曲线图。

在说明本发明的实施例之前,首先将说明由本发明的同一发明人提议的另一种方法来说明利用加热处理结晶硅膜的形成方法中,能同时降低晶化所需温度及缩短处理时间,且对晶界的影响降至最小的结晶性薄膜的制作方法。应注意的是本发明人为了以某种程度解决上述各种问题点而提议的方法,为本发明之基础技术,而并非是本发明的已有技术。

上述提议的方法是将Ni 等杂质金属元素作为结晶生长核而导入非晶硅膜中,使得晶化初期的核产生速度及其后的核生长速度大幅提高。用本方法可以用常规技术无法想像的580°C以下的低温下加热处理4小时左右即可得到充分的结晶性。

本方法的机理首先,以杂质金属元素为核,在加热步骤初期产生结晶核,其后以杂质金属元素起催化作用而促进晶化,结晶生长即迅速地进行。按上述解释,以下将杂质金属元素称为催化元素。

使非晶硅膜以普通的固相生长法晶化之后所得到的结晶性硅膜具有双晶构造,而如上述,用催化元素促进晶化而得到的结晶性硅膜是由数根针状结晶或柱状结晶所构成。而且,各个针状结晶或柱状结晶内部则是理想的单结晶状态。

此外,通过基片的选定区域导入催化元素,就可以在同一基片的各选定区域中,分别选择性地形成结晶性硅膜与非晶硅膜。当继续进行加热处理时,则产生结晶生长区域从被选择性地导入催化元素晶化区域起向其周围的非晶区域横向地(即与基片表面平行的方向)延伸的现象。此后,将横向结晶生长区域称为横向生长区。

在横向生长区中,针状或柱状结晶沿与基片平行的生长方向延伸,因为生长方向上没有晶界,因此,利用此种横向生长区域形成

TFT的沟道区的话,就可得到高性能的TFT。更具体地说,当用横向生长区域为有源区域制作TFT时,则与使用普通的固相生长法所形成的结晶硅膜的情形相比之下,场效应迁移率提高2倍。

而且,若在晶化之后照射以激光或其他强光,则可进一步提高其结晶性,得到更大的迁移率。即,若以激光或类似强光射照横向生长区域,则由于结晶硅膜与非晶硅膜熔点不同,就可集中处理晶界。以普通的固相生长法所形成的结晶硅膜由于具有双晶结晶构造,以激光或其他强光照射之后,未处理的部分仍残存结晶缺陷在晶界内。相反,如上述导入催化元素而晶化的横向生长区域,则由针状结晶或柱状结晶所形成,且其内部为单结晶状态。因此,以激光或其他强光照射而处理内部晶界的话,可得到实质上呈单晶状态的结晶性硅膜。

图1及图2为上述的利用横向生长所制作的TFT6 的一侧的晶片顶视平面图。在整个晶片上形成的非晶硅膜上,淀积由二氧化硅膜等构成的掩蔽膜7,在掩蔽膜7上形成催化元素导入用开口。导入催化元素之后,在约550°C温度下处理约4小时,使相当于非晶硅膜开口的区域100(即被导入催化元素区域100)结晶化。另外,非晶硅膜区域100以外的区域则仍保持非晶态。再继续加热处理8小时后,横向结晶生长就以区域100为中心按箭头1所示向各方扩大,形成横向结晶生长区域。其后,利用此横向结晶生长区域,依照已知的方法形成TFT6。

在横向结晶生长区域2中形成TFT6时,若将TFT6的源区3、沟道区4及漏区5相对于结晶生长方向(箭头1所示)以如图1所示设置时,就使载流子迁移方向与结晶生长方向一致,由于载流子移动方向上

没有结晶晶界,这就形成了具有高迁移率的TFT。

另外若将TFT6之源区3沟道4及漏区5相对于结晶生长方向。将如图2所示设置时,载流子的移动方向与结晶生长方向交叉。因此,载流子在移动时要横越过多个晶界,结果使得源极与漏极间的电阻增加。迁移率虽因此降低,但可得到关断时漏电极较小的TFT。而且,按图结构,可以消除去漏区5边缘的电场集中处的晶界。其结果也可降低造成TFT工作的特性恶化的漏区边缘处的晶界陷阱密度,可以制成具有高on-off比的TFT。

如上所述,由于使用上述技术,就可降低横向结晶生长技术中晶化时的加热温度,以及缩短处理时间,得到高性能的TFT。此外,还可在同一基片上,分别制造对应各种要求的TFT。

但是,在横向结晶生长步骤中,必须形成至少能复盖半导体器件沟道区域的结晶生长距离。结晶生长无法到达的区域,在处理后的非晶硅膜保留。因此,若结晶生长不充分,则使沟道区局部由结晶硅膜与局部由非晶硅膜形成,使得所形成的半导体器件特性明显恶化。即使在待形成为源区及漏区的接触区上残留非晶硅膜,则接触区域的电阻也会增大,而不能得到特性良好的半导体器件。为克服上述问题,必须实现十分大的横向结晶生长,但其实现须要长时间的加热处理,因而加工的生产率降低了。

此外,根据上述方法,是在基片上淀积非晶硅膜后,再在非晶硅膜的选定区域10上导入催化元素。其后进行加热处理,从而使非晶硅膜沿横向结晶,而形成横向生长区域2。其后再使结晶生长后的硅膜刻成岛状图形,而用作待形成为TFT的有源区域的器件区域。此法中,横向结晶生长是由于催化元素被直接导入,而先晶化的区

域10的端部浓集的催化元素向全方向扩散作用而进行。

例如导入催化元素区域10是如图3所示的矩形，则围绕区域10的角落部8的结晶生长方向1的自由度理论上为 270° ，因此催化元素处于易于移动的状态。因此围绕角落部8的催化元素的密度，要比沿区域10的周边部9的密度小。结果，在角落部8的结晶生长距离与其他部分比较就较短，其周边部的催化元素被推移到角落部8。结果催化导入区域10越小，结晶生长距离越短。

图4是表示以Ni作为催化元素使用时，催化元素导入区域的大小与横向结晶生长距离L的关系之一例。在图4中，曲线A是催化元素为大剂量时的曲线图，曲线B是催化元素为小剂量时的曲线图。由此可得知横向结晶生长距离L取决于催化元素导入区域的大小。若增加催化元素导入剂量，结晶生长距离将全面增大，但此剂量仍无法改善上述关系。结果，在制作作为有源阵列型液晶显示器件的像素的开关元件而使用小尺寸TFT时，在这种情况下，由于无法得到足够长的结晶生长距离，就特别成为问题。

另外，在横向结晶生长中，由于在结晶生长方向上的非晶硅膜内部自然形成生长核，或是非晶硅膜中的氧、碳、氮及其他金属元素等杂质影响，结晶生长方向有时会发生分叉。特别是在横向结晶生长距离变大时，在其端部形成横向结晶生长区域的针状结晶或柱状结晶的分叉或弯曲就会变多，难以得到结晶生长方向在一维方向上对齐的高品质结晶性硅膜。

而且，如图3所示，在催化元素导入区域10的角部8附近，由于上述理由结晶生长方向特别混乱，对其他区域的结晶生长特性有很大影响。对用到结晶硅膜的TFT，结晶生长方向一致是保证完成器件

具有高性能的基本条件,而上述现象有可能成为一大缺点。

其他问题方面,说明如下, 先前所述的将催化元素有选择性导入非晶硅膜中,是使用二氧化硅等所构成的掩蔽层而进行的,其导入区(即导入区域10)上的催化元素浓度较高。因此,必须将此导入区域10设置在远离待形成TFT的区域,使区域10不与TFT的沟道区域3或源区5及漏区5重叠。但是扩大横向生长距离有其限度,因此催化元素导入区域10实际上设置在形成TFT区域的附近。

为了促进结晶生长,对催化元素导入区域10 照射激光或其他强光时,则催化元素会透过区域10表面析出并扩散,而大量地存在基片中。如果以此种基片上形成TFT等器件而得到半导体器件,就因催化元素的存在,就会反过来影响半导体器件的可靠性或电气稳定性。

另外,若以有源区域包含催化元素导入区域配置形成TFT,导入区域与TFT的沟道区域重叠,则取决于催化元素剂量会显著地发生漏电流,使TFT特性恶化。另一方面,若导入催化元素区域与源或漏区重叠,则激活施主及受主元素时,该膜对进行激光照射的耐性不佳,激光照射后半导体膜表面会变粗糙。此外,催化元素导入区域对在半导体膜的绝缘膜上开接触穿孔所用的蚀刻液的抗蚀耐性不佳,比其他区域被蚀刻得更快。结果会引起接触失效。

此外,为了有效地利用横向结晶生长以得到特性优良的TFT,必须对催化元素导入区域精密地设定半导体膜的岛状图形形成之后的掩蔽层对齐。常规方法中,是利用导入催化元素区域与未导入催化元素的区域之间存在的些微浓淡差别而进行掩蔽层对准,因此难以进行正确的对准。加之,大量生产时不可或缺的自动对准也不可

能实现。

以下将参照附图,通过实施例来说明本发明。

参照图5A-5D说明本发明的第1个实施例中的TFT的制造方法。图5A-5D是本实施例制造n型TFT的方法各步骤中的半导体器件剖面示意图。

首先,在玻璃等绝缘性基片101上,以溅射法形成厚200nm 氧化硅的基底覆膜102。

其次,用等离子CVD工艺淀积厚度在50- 150nm 范围内 (例如100nm)的本征非晶硅膜。其后,以适当方法将非晶硅膜刻成图形,除去不要区域,以提供器件间隔离,从而形成器件区域104。此器件区域104随后成为TFT的有源区,即源区109、沟道区110及漏区111。实际上,在一个基片101上,可形成多个岛状器件区104。将本实施例制造方法使用在有源阵列型液晶显示装置的制造时,器件区域104(即岛状区域)就配置成阵列状。

其次,再在器件区104 上淀积由氧化硅膜或氮化硅膜等构成的掩蔽层103。或者,此掩蔽层103也可以是金属掩蔽层。

其次,在掩蔽层103上设置开口100,使由非晶硅膜形成的器件区域104的一部分露出。此开口100是这样形成的,使其横跨岛状器件区域104。从上述基片101来看,图6是开口100与元件区域104 的位置关系图。器件区104中只有对应于开口100的部分是露出的,其他部分都被掩蔽层103盖住。

其次,在掩蔽层103上,以溅射法淀积厚0.5-20nm(例如2nm) 的硅化镍膜(未示出)。此时,在对应于开口100的部分,硅化镍膜便直接形成在通过开口100的露出的非晶膜104部分上。接着除去掩蔽

层103,结果就在相当于器件区104的开口100部分上,选择性地留下硅化镍膜。于是,在对应于器件区104的开口100的部分上,选择性地导入微量镍。

其次,对其中选择性地导入镍的上述半导体器件,在氢还原气氛中,温度550°C下,加热处理16小时。在热处理过程中,就按图5B箭头105所示的方法使非晶硅膜104进行晶化。此外,要求将上述加热处理在氢气分压为0.1-1大气压的氢还原气氛中进行。或者也可以在惰性气体气氛(大气压)下进行加热处理。

当按上述方法进行横向结晶生长时,镍被直接且选择性地导入非晶硅膜104中,因此,即使用微量的镍,亦可更有效地进行镍的选择性导入。此外,按上述方法,晶化的加热步骤是在镍导入步骤后立刻进行。若在两步骤之间进行其他步骤,则有可能由于镍的氧化或蚀刻,对镍导入区域造成损伤,但按本实施例的上述方法则不会产生这种问题。

热处理后,在氧气气氛中或在氧气和氩气的混合气氛中,以氧化硅为靶材,用溅射法,淀积厚100nm的氧化硅膜106,作为栅极氧化膜(参照图5C)。溅射时,将基片温度保持在200-400°C(例如350°C)。还有,溅射的气氛中,氩气与氧气的比率(氩/氧比)为0.5以下,通常为0.1以下。

此后,用溅射法淀积厚400-800nm(例如600nm)的铝膜,随后,将如此淀积的铝膜刻成图形,而形成栅极107(参照图5C)。此外,将如此栅极107的表面加以阳极氧化,在栅极107的表面上形成氧化层108。此阳极氧化步骤是将半导体器件浸在含酒石酸1-5%的乙二醇溶液中进行。所得到的氧化层108厚度通常为200nm。此氧化物层108

在后述的离子掺杂步骤中,用于形成偏移栅极区域。因此,通过适当地控制上述阳极氧化步骤的参数来控制氧化层108的厚度,就可确定偏移栅极区的长度。

其次,将栅极107及其表面的氧化物层108用作掩蔽层,通过离子掺杂法,在器件区域104上掺入磷或硼等杂质离子。具体说来,在掺入磷的情形中,是以磷烷(PH_3)为添加气体,加速电压为60-90KV(例如80KV),掺杂剂量为 $1 \times 10^{15} - 8 \times 10^{15} \text{cm}^{-2}$ (例如 $2 \times 10^{15} \text{cm}^{-2}$),通过此离子掺杂步骤,掺入了杂质的区域109、111此后将用作TFT的源区及漏区,被栅极107及氧化物层108掩蔽而没有掺入杂质的区域110则在以后用作TFT的沟道区。

进一步,在制作具有互补型结构的n型TFT及p型TFT电路时,通过将没有必要掺杂的区域覆以适当地刻成图形的光刻胶,可以选择性地掺入不同导电型的元素,形成相应的n型及p型杂质区域。

其次,如图5C所示,以激光束照射,使该基片退火,将掺入的杂质激活。激光源可用例如波长248nm,脉冲宽度20nm的KrF准分子激光,但也可用其他激光。激光的照射条件为:能量密度为200-400mJ/cm²(例如250mJ/cm²),每处进行2-10次照射(例如每处连续2次)。激光照射时的基片最好保持在200-450°C。

在此激光退火步骤中,通过导入镍,在先前已结晶的区域容易进行再结晶。而掺了杂质的区域109、111,其杂质也容易被激活。

接着,如图5D所示,用等离子CVD法,形成厚600nm的氧化硅膜112,做为层间绝缘膜。并且,在此氧化硅膜112上形成接触孔,淀积适当金属材料(如氮化钛与铝)的多层膜,形成TFT电极及互连线113、114。当将此TFT用作为液晶显示装置等的象素开关元件时,就不用金属材料而用ITO(氧化铟锡)形成电极(象素电极)。

最后,在1大气压的氢气氛中进行350°C,30分钟热处理,就完成TFT制造。

图6是从上面看图5D所示的完成后的半导体器件结构示意图,显示了选择性地导入镍的区域100与TFT的位置关系。在图6中,微量的镍被选择性地导入区域100。其后借热处理,按箭头105所示的方向进行结晶生长。按本实施例的方法,在实施热处理之前,先进行将非晶硅刻成岛状图形,而提供器件间隔离。结果,导入区域100的镍不向周围区域扩散,而只朝箭头105所示方向有效地进行一维的横向结晶生长。结果,与常规的方法比较,可得到横向结晶生长距离变得更长,可以得到结晶方向朝向同一方向的高品质结晶性硅膜。

此外,在图6所示TFT结构中,所形成的TFT是使沟道区域110 之内的载流子移动方向(即从源区109到漏区111连结的方向)与箭头105所示的横向结晶生长方向实质上平行。TFT的各区域配置方向(沟道区110内的载流子移动方向)与横向结晶生长方向的关系不限于上述的一种。但是,如图6所示,若使TFT各区域配置方向(沟道区110内的载流子移动方向)实质上与结晶生长方向对准平行,来配置TFT的有源区(器件区域)104,则载流移动不用横跨晶界。这就提供了一种显著增大的TFT的载流子迁移率。

参照图7A-7D说明本发明第2个实施例中的TFT的制造方法。图7A-7D是本实施例的制造n型TFT的方法各步骤的半导体器件剖面示意图。

首先,在玻璃等绝缘性基片201上,以溅射法淀积厚200nm 氧化硅的基底覆膜202。其次,再在基底覆膜202上淀积由氧化硅膜或氮

化硅膜等构成的掩蔽层203。或者,此掩蔽层203也可以是金属掩蔽层。

其次,在掩蔽层203上位置开口200,使基底覆膜202的一部分露出。在基底覆膜202中,只有相当于开口200的那个部分露出,其他部分被掩蔽层203盖住。

其次,在掩蔽层203上,以溅射淀积厚0.5-20nm(例如2nm)的硅化镍膜(未示出)。在对应于开口200区域,将硅化镍膜直接形成在透过开口200露出的基底覆膜202上。其后通过除去掩蔽层203,结果选择性地使硅化镍膜保留在对应于基底覆膜202的开口200的区域上,于是,微量的镍就选择性地扩散到其后淀积的非晶硅膜中对应于开口200的区域上。

其次,用等离子CVD法淀积厚50-150 nm范围内(例如100nm)的本征非晶硅膜。其后,以适当方法在非晶硅膜上刻成图形,除去不要部分,以提供器件间隔离,而形成器件区域204。此器件区域204随后成为TFT之源区209、沟道区210及漏区211。实际上,在一个基片201上,可形成多岛状器件区204。将本实施例的制造方法使用在有阵列型液晶显示装置的制造时,器件区域204(即刻成岛状的图形区域)是被配置成阵列图形的。

其次,将上述的选择性地导入了镍的半导体器件,在氢气还原气氛中温度550°C下经热处理16小时。热处理中,沿图7B箭头205所示的方法,进行非晶硅膜晶化。还要求上述热处理最好在氢气分压0.1-1大气压的氢气还原气氛中进行。或在惰性气体气氛(大气压)下进行热处理也可。

当以上述方法进行横向结晶生长时,镍就被直接且选择性地导

入非晶硅膜中。因此,即使镍的导入量为微量,也能有效地进行镍的选择性导入。此外,上述方法中晶化热处理步骤是在镍导入步骤后立刻进行。若在两步骤之间进行其他步骤,则有可能因发生镍之氧化或蚀刻,对镍导入区域会造成损害,但以本实施例之上述方法则不会产生这种问题。

热处理后,在氧气气氛中或在氧气与氩气的混合气氛中,进行以氧化硅为靶材的溅射,淀积厚100nm的氧化硅膜206,做为栅极氧化膜(参照图7C)。溅射时,基片温度设定在200-400°C(例如350°C)。进一步,溅射时,气氛中的氩气与氧气的比率(氩/氧比)为0.5以下,通常为0.1以下。

此后,以溅射法淀积厚400-800nm(例如600nm)的铝膜,随后,将如此淀积的铝膜刻成图形,而形成栅极207(参照图7C)。还有,将此栅极207表面加以阳极氧化,在栅极207表面上形成氧化物层208。此阳极氧化步骤是将半导体器件浸在含酒石酸1-5%的乙二醇溶液中进行。这样得到的氧化物层208的厚度通常约为200nm。此氧化物层208在后述的离子掺杂步骤中用于形成偏移栅极区域。因此,通过适应地控制上述阳极氧化步骤的参数而控制氧化层208的厚度,就可确定偏移栅极区域的长度。

其次,将栅极207及其表面的氧化物层208用做掩蔽物,用离子掺杂法,在器件区域204上掺入磷或硼等杂质离子。具体来说,在掺入磷的情形中,是以磷烷(PH_3)为掺杂气体,加速电压为60-90KV(例如80KV),掺杂剂量为 $1 \times 10^{15} \sim 8 \times 10^{15} \text{cm}^{-2}$ (例如 $2 \times 10^{15} \text{cm}^{-2}$)。通过此离子掺杂步骤,被掺入杂质的区域209,211其后成为TFT的源区及漏区,被栅极107及氧化物层208掩蔽而没有掺入杂质的区域

210则在以后成为TFT的沟道区。

此外,在当按互补型结构制作n型TFT及p型TFT的电路时,通过将没有掺入杂质必要的区域覆以适当地刻成图形的光刻胶,可分别选择性地掺入各自导电型的元素,形成相应的n型及p型的杂质区域。

其次,如图7C所示,以激光照射使基片退火,使掺入的杂质激活。激光可用例如波长248nm,脉冲宽度20ns的KrF准分子激光,但也可用其他激光。激光的照射条件为:能量密度为200-400mJ/cm²(例如250mJ/cm²),在每处进行2-10次照射(例如每处连续照射2个脉冲)。激光照射的时基片的温度最好加热至200-450℃。

在此激光退火步骤中,通过导入镍,在先结晶的区域,容易进行结晶。又,在掺入杂质的区域209,211,杂质容易被激活。

接着,如图7D所示,以等离子CVD法形成厚600nm的氧化硅膜212,做为层间绝缘膜。此外,在此氧化硅膜212上形成接触孔,以适当的金属材料(如氮化钛)与铝的多层膜形成TFT电极及金属互连线213、214。或者,在将此TFT用作液晶显示装置等的象素的开关元件时,不用金属材料而用ITO(氧化铟锡)形成电极(图素电极)。

最后,在1大气压的氢气氛中进行250℃、30分钟热处理,完成TFT的制造。

如上所说,在本发明的第1及第2实施例中,是在非晶硅膜中导入促进晶化的催化元素,使横向结晶生长与基片平行地进行,而得到结晶性硅膜。再利用这种结晶硅膜,制造器件。

在制造过程中,在为了横向结晶生长而进行热处理之前,先进行器件间隔离步骤,其中将非晶硅膜刻成图形,形成岛状非晶硅膜。因此,只有岛状的非晶硅膜(即隔离了的器件区域)内部才有效地进

行催化元素的扩散。与常规被导入催化元素按2维方向扩散的方法不同,可以实现结晶生长方向完全与一个方向对齐的一维横向结晶生长。

此外,导入催化元素区域的形状或大小所造成的横向结晶生长距离的变动被克服,与所形成的半导体器件(即器件区域)的大小无关,从而可确保一定的横向结晶生长距离。用这种结晶性硅膜,可在整个基片上,制成高性能且具有稳定电气特性的半导体器件。

而且,通过沿结晶生长方向配置源区,漏区形成TFT,可使载流子移动方向与结晶成长方向一致,而制成载流子移动不受晶界影响的具有高迁移率的半导体器件。

在上述第1及第2实施例的说明中,为导入镍作为催化元素而形成极薄的镍薄膜,使之与非晶硅膜的上表面或下表面接触,从此表面开始结晶生长。或者,在形成非晶硅膜后,也可以以离子掺入法将镍离子选择性地掺入至非晶硅膜中。以此离子掺入法,可通过控制掺入条件,控制所导入镍元素的浓度。

另一种方法,也可通过非晶硅膜表面上涂布醋酸镍或硝酸镍等镍盐水溶液的液相处理,而将微量镍导入。此外,也可不形成镍薄膜,而用由镍电极构成的等离子电极将微量镍导入。

而且,除镍外,钴、钨、铂、铜、银、金、钨、锡、铝、磷、砷或锑也可用作促进晶化的催化元素,亦可得到与上述相同的效果。

在上述说明中,是以液晶显示用有源阵列型基片的应用为前提而说明本发明的第1及第2实施例。但很显然,亦可应用于密接型图像传感器、单元驱动器型热印字头、作为有机物电致发光(EL)元件使用的单片驱动器型光写入元件或显示元件,以及三维IC等。若在

这些应用例中使用本发明,则可实现半导体器件的快速响应,高分辨率等的高性能特性。

此外,本发明不限于上述实施例所说明的MOS型晶体管,也可应用于所有半导体器件,包括使用结晶性半导体的双极晶体管或静电感应型晶体管等。

将参照图8A-8H说明本发明的第3个实施例。图8A-8H是将本实施例应用于制造TFT时,在各制造步骤中的半导体器件示意剖面图。

在上述的第1及第2实施例中,以及本实施例中,都是将促进晶化的催化元素选择性地导入非晶硅膜中,再对非晶硅膜进行热处理。于是,由于催化元素的扩散而引起横向结晶生长,得到结晶性硅膜。其后,利用所得到结晶性硅膜制成TFT等半导体器件。

本实施例与上述二个实例的不同之处是,在本实例中,在进行以激光或其他强光照射的退火步骤以促进晶化之前,先除去导入区域的催化元素。用以防止在退火步骤中随激光或其他强光照射而造成催化元素析出或扩散。此外,因为只将横向结晶生长的形成区域用做器件区域,就可提高所制成半导体器件的可靠性及电气稳定性。而且,即使导入催化元素的剂量有所变动,TFT特性也不会因此受影响。

首先,如图8A所示,在洗净后的玻璃基片301上,以溅射法或其他技术淀积由厚50-200nm(例如100nm)的氧化硅所构成的基底覆膜302。

用作基底覆膜302的所需氧化硅厚度取决于玻璃基片301的表面状态。如果该基片具有足够的高度的表面平整度、和足够低的对半导体特性有不良影响的杂质离子(钠等)浓度,基底覆膜302的

厚度可减薄,在某些情况下也可以省去。反之,对受损或有粗糙表面的基片的情形下,则必须形成比上述厚度更厚的基底覆膜302。

应知道,玻璃以外的基片材料也可用做基片301。

其次,用减压CVD法、等离子CVD法、溅射法或其他技术淀积厚25-100nm(例如50nm)的本征(I型)非晶硅膜303。接着,在非晶硅膜303上,形成厚100nm左右的由氧化硅等构成的掩蔽层304。此掩蔽层304具有为了在非晶硅膜303上选择性导入促进晶化的催化元素而形成的开口。

其次,在此情况下,在非晶硅膜303上没有被掩蔽层304覆盖住的部分的导入区域305上,选择性地导入催化元素(例如镍)。可用蒸镀法、溅射法、等离子处理或溶液涂布等方法导入催化元素。

接着,加热处理其中导入了催化元素的整个基片。于是,在导入区域305中,首先发生晶化。再继续加热处理的话,如图8B所示,就从导入区域305向外侧,即朝箭头306所示的方向,实质上在与基片301表面平行的方向上推进晶化。若充分地进行加热处理,则如图8C所示,在邻接导入催化元素区域305的已晶化区域308的更外侧,实际上存在着不断地进行结晶生长的结晶生长端307。结晶生长端307是在与基片301的表面实质上平行的方向上进行晶化时的结晶生长端部。而且与已晶化区域308比较,是作为催化元素导入的含镍高浓度区域。在一具体实例中,上述的加热处理是在氢还原气氛下或惰性气氛下,温度为520-580℃下进行数小时至数十小时(例如在550℃下进行8小时)退火处理。在图8C所示阶段,实际上的镍浓度,典型地,在催化剂导入区域305或结晶生长端307处为 $1 \times 10^{19} \sim 1 \times 10^{20}$ 原子/cm³左右,而在已晶化区域308处则为 $1 \times 10^{14} \sim 1 \times 10^{18}$ 原子/

cm³左右。

其次,如图8D所示,除去掩蔽层304及硅膜的催化元素导入区域305。由此提供下述步骤中用于制造TFT的器件隔离,形成岛状结晶性硅膜309,再作TFT有源区(源区、漏区及沟道区)。

其次,为提高结晶性硅膜309结晶度,如图8E所示,对结晶性硅膜施加激光束。例如可用XeCl准分子激光(波长308nm)作为激光源。激光照射条件为:基片温度为200-450°C(例如为400°C)。激光能量密度为200-400mJ/cm²(例如300mJ/cm²)。

此后,如图8F所示,将在结晶性硅膜309上淀积厚20-150nm(例如10nm)氧化硅膜,形成作为栅绝缘膜310。此栅绝缘膜(氧化硅膜)310是在150-600°C(较好300-450°C)下,以RF等离子CVD法分解,淀积TEOS及氧而形成。或者,亦可将基片保持在350-600°C(较好400-550°C)下,以减压CVD法或常压CVD法分解,淀积TEOS及臭氧而形成。

其次,为了提高栅绝缘膜310本身的整体特性及结晶硅膜309与栅绝缘膜310的界面特性,在惰性气体气氛中在温度400-600°C下,进行30-60分钟的退火处理。其后,以溅射法淀积厚400-800nm(例如600nm)铝膜,再将铝膜刻成图形,而形成栅电极311。

其次,栅电极311施以阳极氧化,在其表面上形成氧化物层312。此阳极氧化是在例如将基片浸入含有1-5%酒石酸的乙二醇溶液中,保持电流恒定,同时将所加电压提高到220V,并保持基片在该状态一小时。这样形成的氧化物312厚度通常为200nm。此氧化物层312在后述的离子掺杂步骤中,用作形成偏移栅极区域。因此,通过适当的控制上述阳极氧化步骤的参数,来控制氧化物层312厚度,就可决定偏移栅极区域的长度。

其次,如图8G所示,将栅极311及其表面的氧化物层312 用作掩蔽物,用离子掺杂法,在器件区域313上掺入磷或硼等杂质离子。具体说来,是在磷烷(PH_3)或乙硼烷(B_2H_6)为掺杂气体。使用磷烷时,加速电压为60-90KV(例如80KV)。使用乙硼烷时,加速电压为40-80KV(例如65KV),掺杂剂量为 $1 \times 10^{15} \sim 8 \times 10^{15} \text{cm}^{-2}$ 。一般而言,掺磷时,为 $2 \times 10^{15} \text{cm}^{-2}$,掺硼时,为 $5 \times 10^{15} \text{cm}^{-2}$ 。借此掺杂步骤掺入了杂质的区域314A,其后将用作TFT的源区,漏区,被栅极311及氧化物层312掩蔽而没有掺入杂质的区域314,则在以后用作TFT 的沟道区。

此外,在制作包括n型TFT及p型TFT的互补型构成电路时,通过将没有必要掺入杂质的区域覆以刻成适当图形的光刻胶,就可选择性地掺入不同导电型的元素,形成相应的n型及p型杂质区域。

其次,以激光照射进行退火,使掺入的杂质激活,同时改善在上述离子掺杂步骤中结晶性受损部分的结晶性。例如可用XeCl 准分子激光(波长308nm),能量密度以 $150-400 \text{mJ}/\text{cm}^2$ (较好 $250 \text{mJ}/\text{cm}^2$)进行照射。如此形成的掺有杂质(磷或硼)的区域314A 的薄层电阻通常为 $200-800 \Omega/\square$ 。

接着,如图8H所示,淀积厚600nm的氧化硅膜时,则利用TEOS 及氧,用等离子CVD法,或利用TEOS及臭氧经减压CVD或常压CVD法就可淀积形成。由此,可淀积出足以覆盖基片表面上的台阶的优良层间绝缘膜315。或者,若利用以 SiH_4 与 NH_3 为原料气体,用等离子CVD法,所淀积的氮化硅膜,形成层间绝缘膜315,则可向在有源区域及栅极绝缘膜间的界面供给氢原子。就具有减少使TFT特性退化的不成对键(悬键)的作用。

其次,在层间绝缘膜315上形成接触孔,淀积金属材料(如氮化钛与铝)的多层膜,形成TFT各电极及金属互连线316、317。最后,在1大气压的氢气氛中,350°C下进行30分钟退火处理,完成TFT的制造。

以如此制得的本实施例的TFT用作象素电极转换元件时,将电极及其有关的互连线316、317之一连接到ITO等透明导电膜构成的象素电极,再经与其有关的互连线向另一电极施加信号。另一方面,将本实例的TFT用在薄膜集成电路时,在栅极311上也要开出接触孔,形成必要的互连线。

如上制作的TFT为n型TFT时,具有场效应迁移率为120-150cm²/Vs,S值为0.2-0.4V/位,及阈值电压2-3V的良好特性。在同一基片301内形成的多个TFT之间的特性变动,为场效应迁移率在±12%以内,阈值电压在±8%以内。

相反,也就是上述工艺制造的TFT为p型TFT时,亦具有场效应迁移率为100-140cm²/Vs,S值为0.3-0.5V/位,及阈值电压为-2~-3V的良好特性。在同一基片301内形成的多个TFT之间的特性变动,场效应迁移率在±10%以内,阈值电压在±5%以内。

在上述的本实施的说明中,是使用镍做为促进晶化的催化元素,显然,使用其他元素钴、钨、铂、铜、银、金、铟、锡、铝、磷、砷或锑等,亦可得到上述相同的效果。

在上述说明中,是使用脉冲激光(准分子激光照射)进行热处理来改善结晶硅膜的结晶度。或者,用其他激光(例如连续波Ar激光等)亦可进行相同的处理。而且,除激光外,亦可用使用红外线或闪光灯在短时间内将工件加热至1000-1200°C(硅监测器的温度)的其

他技术,如RTA(快速热退火),或RTP(快速热处理),等与激光同等光强的强光。

在实施例的TFT不仅可用于有源阵列型液晶显示装置的驱动电路或象素部分,亦可在同一基片上形成具有CPU的元件。

在上述的说明中,是以用于液晶显示的有源阵列型基片为前提而说明的,但是,很明显,上述的半导体器件亦可应用于例如密接型图象传感器,单片驱动器热印字头,以有机物电致发光(EL)元件作为发光元件的单片驱动器光写入元件或显示元件,或三维IC等。若在这些应用例中使用本发明,则可实现半导体元件的高快速响应或高分辨率等的高性能特性。

如图9所示,对在基片上仍保留催化元素的导入区域305进行激光或其他强光照射时,催化元素会从导入区域表面析出,或是大量的催化元素会扩散到结晶生长端307正下方的基底覆层302部分,形成催化元素析出或扩散区域18。相反如上所详述的,以本实施例的方法,在整个结构表面照射激光或其他强光前,已除去了催化元素导入区域。而且,可以只用横向晶体生长区域用为TFT沟道区或源、漏区。结果,可提高所完成半导体器件的可靠性及电气稳定性。

又,将本实施例所说明的方法形成的有源区域用于TFT时,则可用一种简便的制造方法,在整个大面积基片上得到具有特性均匀且稳定的高性能TFT的半导体器件。特别是,若将本实施例的方法应用于液晶显示装置的制造,则可同时满足有源阵列型基片所要求的象素开关TFT特性的均匀,及构成外围驱动电路的TFT所要求的高性能。结果,可在同一基片上,实现构成有源阵列电路及外围驱动电路的单片驱动型有源阵型基片,以便缩小组件尺寸,提高性能以及

降低成本。

将参照图10A-100,说明本发明的第4实施例的半导体制造方法。图10A-100所示是各步骤中半导体装置示意剖面图。

首先,如图10A所示,在洗净后的绝缘基片400(例如玻璃基片)的表面上,用溅射装置淀积厚约100nm的二氧化硅膜做为基底覆膜401。基底覆膜401的必要膜厚,因玻璃基片400表面状态而有所不同。当基片400具有表面够平坦,对半导体特性有不良影响的杂质离子(钠等)的浓度够低时,也可以省去基底覆膜401。相反地,基片400的表面多处受损或粗糙等时,则必须淀积比上述厚度更厚的基底覆膜401。

其次,如图10B所示,在基底覆膜401上,使用例如化学气相淀积法(CVD法)或溅射法淀积厚10nm左右的非晶硅膜402。

其次,如图10C所示,在非晶硅膜402上,用二氧化硅等形成掩蔽层403。为了在掩蔽层403中选择性地导入促进非晶硅膜402晶化的催化元素,且为了形成对准标志,掩蔽层403具有其中形成的开口404、405。随后,以蒸发、溅射、等离子处理或溶液涂布方法在非晶硅膜402中导入催化元素。于是,如图10D所示,在对应于非晶硅膜402的开口404、405的部分,形成催化元素导入区域406、407。

其次,在此状态下,加热处理整个基片。首先在导入区域406,407上造成非晶硅膜402多晶化。再继续加热处理时,则如图10E的箭头408所示,从催化元素导入区域406,407朝向外侧,在相对于与基片400实质上平行的方向上,进行多晶化。充分地进行加热处理时,如图10F所示,在相对于与基片400实质上平行的方向上形成多结晶的多晶化区域410,以及存在于多晶化区域410周围,与多晶化

区域410比较,催化元素浓度较高的结晶生长端409。各区域中催化元素的浓度,通常在结晶生长端409为 $1 \times 10^{19} \sim 1 \times 10^{20}$ 原子/cm³左右,在多晶化区域410为 1×10^{18} 原子/cm³左右。

加热处理结束后,如图10G所示,以干法蚀刻将已晶化硅膜402蚀刻掉。从而,除去对应于硅膜402开口404,405的部分(即催化元素被直接导入的区域406,407)。特别是,除去对应于开口405的部分,在硅膜402上形成对准标志A。在后继步骤中,用对准标志A进行掩蔽层对准,可将催化元素选择性地导入用形成的掩蔽层403做为第一掩蔽层。而且,本实施例中虽完全除去硅膜402的区域406、407,蚀刻到进一步的蚀刻处理不要超过以后各步骤掩蔽层容易进行对准的程度。

其次,如图10H所示除去掩蔽层403,使用在露出的硅膜402表面上先形成的对准标志A,来形成光刻胶图形411。将此光刻胶图形411用于形成硅膜402的岛状图形,以及形成栅极以后的步骤中,用于掩蔽层对准的对准标志的形成。

其次,如图10I所示,进行蚀刻,形成岛状硅膜402及栅极形成以后的用于掩蔽层对准的对准标志的形成。此时,如图10H及10I所示,岛状硅膜402是避开已蚀刻的区域406、407、催化元素浓度较高的结晶生长端409,及未结晶化的区域而形成。在本实施例中,对准标志412是利用先已形成的对准标志而形成,但亦可用掩蔽层403的图形形成。

此后,如图10J所示,淀积覆盖在整个基片400上的膜413。此膜413用作栅极绝缘膜。又如图10K所示,在膜413的预定位置上形成TFT的栅极414。

其次,以栅极414做为掩蔽层,以自对准的方式将杂质415掺入岛状硅膜402中。杂质元素415可用选自V族元素之一的磷或III族元素中的硼。将栅极414用作为掩蔽层,可将元素415掺到不与栅极414重叠的硅膜402的区域416中。此区域416在掺入杂质415之后可成为n型或p型导电型区域,在后述的步骤中则成为TFT的源及漏区。

其次,如图10M所示,淀积覆盖整个基片400的层间绝缘膜417。再如图10N所示,在TFT的源及漏区之上方的层间绝缘膜417上设置通孔418。最后,如图10O所示,在层间绝缘膜417上形成源极、漏极419,完成TFT制造。此源极、漏极419的一部分是由填充通孔418而形成。

于是,在本实施例中,催化元素导入区域406、407全部被蚀刻除去,因此用硅膜402形成的TFT的有源区域不会与催化元素导入区域406、407重叠。

催化元素导入区域406、407并不一定要全部除去,只要TFT的有源区域不与催化元素的导入区域406、407重叠,亦可只蚀刻除去一部分。例如,导入区域406、407中,若其后用蚀刻除去TFT形成区域附近的部分,则亦可留下对准标志412附近的部分。

此外,使用对准标志A,可从TFT形成区域除去结晶生长端409。还有,由于是利用对准标志A而形成新对准标志412,再利用对准标志412而形成TFT,故TFT形成区域不会与催化元素导入区406、407重叠。

将参照图11A-11O说明本发明的第5 实施例中的半导体装置的制造方法。图11A-11O是各步骤中的半导体器件剖面示意图。

首先,如图11A所示,在洗净后的绝缘基片500(例如玻璃基片)

的表面上,用溅射装置淀积厚约100nm 的二氧化硅膜做为基底覆膜501。所需基底覆膜501的膜厚依玻璃基片500表面状态而有所不同。在当基片500具有的表面够平坦、对半导体特性有不良影响的杂质离子(如钠离子的浓度够低时,则基底覆膜501的厚度可以减薄。条件好的时候,亦可以省去基底覆膜501。相反地,基片500 的表面多处受损或粗糙时,则必须淀积比上述厚度更厚的基底覆膜501。

其次,如图11B所示,在基底覆膜501上,使用例如化学气相淀积法(CVD法)或溅射法淀积厚100nm左右的非晶硅膜502。

其次,如图11C所示,在非晶硅膜502上,用二氧化硅等形成掩蔽层503。为了在掩蔽层503中选择性地导入促进非晶硅膜502晶化的催化元素,且为了形成对准标志,掩蔽层503具有形成开口504,505。随后,以蒸发、溅射、等离子处理或溶液涂布方法在非晶硅膜502中导入催化元素。于是,如图11D所示,在对应于非晶硅膜502 的开口504,505部分,形成催化元素导入区域506、507。

其次,在此状态下,加热处理整个基片时,首先在导入区域506、507上造成非晶硅膜502多晶化。再继续加热处理时,则如图11E 的箭头508所示,从催化元素导入区域506,507朝向外侧,在相对于与基片500实质上平行的方向上,进行多晶化。充分地进行加热处理时,如图11F所示,在相对与基片500 实质上平行的方向上形成多结晶的多晶化区域510,以及存在于多晶化区域510周围,与多晶化区域510比较,催化元素浓度较高的结晶生长端509。各区域中催化元素的浓度,通常在结晶生长端509为 $1 \times 10^{19} \sim 1 \times 10^{20}$ 原子/cm³左右,在多晶化区域510为 1×10^{18} 原子/cm³左右。

加热处理结束后,如图11G所示,用开口505形成光刻胶图形511。

此光刻胶图形511用于形成硅膜502的岛状图形,以及栅极形成以后步骤中,形成掩蔽层对准用的对准标志。

其次,如图11H所示,用此光刻胶图形511蚀刻掩蔽层503及硅膜502。所得到的岛状硅膜502是避开催化元素导入区域506、507、催化元素浓度较高的结晶生长端509,及未结晶化的区域而形成。此外,除了对准标志A之外,栅极形成以后的光刻步骤中所用的对准标志512亦被同时形成在硅膜502上。其后利用形成在硅膜502上的对准标志A或对准标志512进行掩蔽层对准,使掩蔽层503成为第一掩蔽层。而且,在本实施例中,对准标志512是利用硅膜502的岛状化所用的光刻胶图形511来形成,但亦可用掩蔽层503的图形来形成。

其次,如图11I所示,除去光刻胶图形511及掩蔽层503。接着如图11J所示,淀积膜513覆盖在整个基片500上。此膜513系用做栅极绝缘膜。此外,如图11K所示,在膜513的预定位置上形成TFT的栅极514。

其次,以栅极514做为掩蔽层,自对准地将杂质515掺入到岛状化的硅膜502中。杂质515可用V族元素中之一的磷或III族元素中之一的硼。将栅极514用作掩蔽层,可将元素515掺到硅膜502中不与栅极514重叠的区域516。此区域516在掺入杂质515之后,可成为n型或p型导电型区域,在后述的步骤中,则成为TFT的源区及漏区。

其次,如图11M所示,淀积层间绝缘膜517覆盖在整个基片500上。再如图11N所示,在TFT的源极及漏极区的上方的层间绝缘膜517上形成通孔518。最后,如图11O所示,在层间绝缘517上形成源极,漏极519,完成TFT制造。此源极、漏极519的一部分是填充通孔518而形成。

于是,在本实施例中,将催化元素导入区域506,507全部蚀刻除去,因此用硅膜502形成的TFT有源区域不会与催化元素的导入区域506、507重叠。

催化元素导入区域506、507并不一定要全部除去,只要TFT有源区域不与区域506、507重叠,亦可只蚀刻去除一部分。例如导入区域506、507中,若其后用蚀刻除去TFT形成区域附近的部分,则亦可留下对准标志512附近的部分。

将参照图12A~12T,说明本发明的第6个实施例的半导体器件的制造方法。图12A~12T是各步骤中的半导体器件剖面示意图。

首先,如图12A所示,在洗净后的绝缘基片600(例如玻璃基片)表面上,用溅射装置淀积厚约100nm的二氧化硅膜做为基底覆膜601。基底覆膜601的必要膜厚,因玻璃基片600表面状态而有所不同。若基片600的表面够平坦、对半导体特性有不良影响的杂质离子(钠等)的浓度够低时,基底覆膜601的厚度就可以减薄。条件允许时,亦可省去基底覆膜601。相反地,基片600的表面多处受损或粗糙时,则必须淀积比上述厚度更厚的基底覆膜601。

其次,如图12B所示,在基底覆膜601上,使用例如化学气相淀积法(CVD法)或溅射法淀积厚100nm左右的非晶硅膜602。

其次,如图12C所示,在非晶硅膜602上,用二氧化硅等形成掩蔽层603。为了在掩蔽层603中选择性地导入促进非晶硅膜602晶化的催化元素,且为了形成对准标志,掩蔽层603具有形成的开口604、605。随后,以蒸发、溅射、等离子处理或溶液涂布方法在非晶硅膜602中导入非晶硅膜602的开口604、605部分,形成催化元素的导入区域606、607。特别是,对应于用于形成对准标志的开口605的

导入区域,通常具有如图12I所示的形状。

其次,在此状态下,加热处理整个基片时,首先在导入区域606、607上造成非晶硅膜602多晶化。再继续加热处理时,则如图12E的箭头608所示,从催化元素导入区域606、607朝向外侧,在相对于与基片600实质上平行的方向上,进行多晶化。充分地进行加热处理时,如图12F所示,在对应于与基片600实质上平行的方向上形成多结晶的多晶化区域610,以及存在于多晶化区域610的周围,与多晶化区域610比较,催化元素浓度较高的结晶生长端609。各区域中催化元素的浓度,通常在结晶生长端609为 $1 \times 10^{19} \sim 1 \times 10^{20}$ 原子/cm²左右,在多晶化区域610为 1×10^8 原子/cm³左右。

其次,加热处理结束后,如图12G所示,除去掩蔽层603。在此状态下,如图12J所示,已导入催化元素的区域607与其他未导入催化元素的区域611、612之间的界线613不很清楚而只能用些微的浓淡差来判别。因此,为使界线613变清楚,如图12H所示,以波长为308nm的XeCl激光615照射对准标志附近的区域614。或者,说可用波长为248nm的KrF激光。由此,如图12K所示,在催化元素浓度较高的区域(即已导入催化元素的区域607)产生粗糙的表面。结果,使对准标志得以容易识别,界线613变得清楚。

上述处理中的激光照射条件随催化元素的浓度或多结晶硅膜的厚度而不同。能量密度较好为200-400mJ/cm²,特别是多结晶硅膜的厚度为100nm时,能量密度定为250-300mJ/cm²。

其后利用形成在硅膜602上的对准标志616进行掩蔽层对准,使掩蔽层603成为第一掩蔽层。

其次,如图12L所示,用对准标志616形成光刻胶图形617。此光

刻胶图形617用于形成硅膜602的岛状图形,以及栅极形成以后的步骤中,用于掩蔽层对准的对准标志的形成。

其次,如图12M所示,用此光刻胶图形617蚀刻硅膜602。所得到的岛状硅膜602是避开催化元素导入区域606、607、催化元素浓度较高的结晶生长端609,及未结晶化的区域而形成。此外,对准标志616的一部分及栅极形成以后使用的其他对准标志618亦同时形成在硅膜602上。而且,在本实施例中,虽然对准标志618是利用硅膜602的岛状化所用的光刻胶图形617来形成,但亦可用掩蔽层603的图形来形成。

其次,如图12N所示,除去光刻胶图形617。接着如图12O所示,淀积覆盖整个基片600的膜619。此膜619用做栅极绝缘膜使用。此外,如图12P所示,在膜619的预定位置上,形成TFT的栅极620。

其次,如图12Q所示,以栅极620做掩蔽层,自对准地将杂质621掺到岛状化的硅膜602中。杂质621可用V族元素中之一如磷或III族元素中之一如硼。将栅极620用做掩蔽层,可使元素621掺到硅膜602中不与栅极620重叠的区域622。此区域622在掺入杂质621之后,可成为n型或p型导电型区域,在后述的步骤中则成为TFT的源极及漏极区。

其次,如图12R所示,淀积覆盖整个基片600的层间绝缘膜623。再如图12S所示,在TFT的源区及漏区上方的层间绝缘膜623上形成通孔624。最后,如图12T所示,在层间绝缘膜623上形成源极、漏极625,完成TFT制造。此源极、漏极625的一部分电填充通孔624而形成。

在本实施例中,催化元素导入区域606、607全部被蚀刻除去,

因此用硅膜602形成的TFT有源区域不会与催化元素导入区606、607重叠。

催化元素导入区域606、607并不一定要全部除去,只要TFT有源区域不与催化元素导入区域606、607重叠,亦可只蚀刻除去其中一部分。例如,导入区域606、607中,若其后用蚀刻除去TFT形成区域附近的部分,则亦可留下对准标志616附近的部分不蚀刻去。

如以上说明,本发明的第4~第6实施例在掩蔽层上设置开口,该开口部则用于将促进晶化的催化元素选择性地导入硅膜及形成对准标志。再以该掩蔽层作为基准,在硅膜上形成用于掩蔽层对准的对准标志。这样就能正确地使横向结晶生长区域与TFT器件区域(在源区域)对准。特别是,可以实现目前为止非常困难的横向结晶生长区域与TFT的器件区域(有源区域)的自动对准,为使用晶化半导体膜的大型半导体器件的大产生打开一条道路。

又,上述对准标志,是利用掩蔽层的开口而形成。当上述对准标志在基片上的硅膜上形成凹陷时就被识别,反之,如果对准标志与硅膜的其他部分在同一面上,其界线就不清楚,但为了容易辨别,可以用光能量照射使界线显现。此外,通过在硅膜上形成适当的形状,在光刻步骤中也能实现大量生产所必须的自动对准。

若选用Ni,Co,Pd,Pt,Fe,Cu,Ag,Au,In,Sn,P,As及Sb中的至少一种元素做为催化元素,则可降低使硅膜多结晶化的热处理的处理温度,而可以使用玻璃基片。

若将催化元素的导入浓度设定在 1×10^{18} 原子/cm³~ 1×10^{20} 原子/cm³之间,则可得到制作TFT时所利用的横向结晶生长部分有足够结晶生长的距离,并可防止将催化元素过量地导入硅膜时所造

成的TFT特性劣化。

此外,由于可以控制结晶生长的方向,可以在同一基片中同时制作导电特性不同的TFT。例如,在制作有源阵列型TFT-LCD时,对须要较大迁移率的外围驱动电路部分的TFT,就使工作时的载流子移动方向与结晶性硅膜的结晶生长方向相平行,对必须将漏电流降低的象素部分的TFT,则使工作时的载流子移动方向与结晶性硅膜的结晶生长方向相垂直,这样就可配置各部分具有各自所须特性的TFT。

如上述,可以以较低的制造成本实现大型半导体器件的大量生产。

本实施例是说明本发明半导体器件中器件区域的多个配置例。

在图13所示例中,在未图示的基片表面上形成的绝缘膜(未图示)上,至少形成一部分成为多结晶区域702的硅膜,多结晶区域702是将较多结晶区域702狭窄,其中已选择性地导入催化元素的导入区域701的由横向结晶生长而成。多结晶区域702的一端,为横向结晶生长的生长端703。

在图13例中,在多结晶区域702中,形成TFT的器件区域704,不与催化元素的导入区域701重叠。在这种配置下,器件区域704会横跨生长端703的一部分,但通过适当的配置TFT的源区或漏区,可制得具有高迁移率的TFT。

另外,在图14例中,在多结晶区域702中,形成TFT的器件区域704不与催化元素的导入区域701重叠,且被配置在此横向生长的生长端703内侧。在这种配置下,器件区域704不会横跨生长端703,因此即使不特别考虑TFT的制作位置,亦可视需要制得具有高迁移率

的TFT或开-关(ON-OFF)比大的TFT。

此外,在图13及图14所示配置中,为使TFT的沟道区域中载流子的移动方向与结晶生长方向一致时,即使载流子的移动方向上不存在晶界,就能进一步提高TFT的迁移率。或者,当使TFT的沟道区域中的载流子移动方向与结晶生长方向正交时,使电场集中的漏极区端部无晶界,因而,降低了TFT动作时造成特性恶化的漏区端部的晶界陷阱能级密度,于是可制得具有开-关比大的TFT。换言之,使硅膜的晶粒生长方向与TFT的导电方向实质上相平行来配置TFT时,则可实现高迁移率的TFT。而硅膜的晶粒生长方向与TFT的导电方向实质上相垂重来配置TFT时,则可降低漏区端部的晶界陷阱能级密度。

此外,通过如上述使促进非晶半导体膜晶化的催化元素导入区域不与TFT的器件区域重叠而配置,可避开催化元素导入区域中所发生的TFT特性恶化现象。而且,通过将TFT的器件区域配置在横向结晶生长的生长端内侧,可降低TFT的漏区端部的晶界陷阱能级密度,防止接触失效。此种配置可大大提高大型半导体器件制造时特别重要的制造成品率。

在上述说明中,硅膜是在形成于基片表面上的绝缘膜上形成的,但半导体膜的形成不限于上述说明的安排。例如,将硅膜直接形成在绝缘基片上,或在绝缘性基片上形成绝缘膜以后再形成之。

将参照图15A、15B及16A~16F于下说明本发明的第8个实施例中半导体器件及其制造方法。本实施例是说明利用本发明在玻璃基片上制作n型TFT的情形。本实施例的TFT可用于有源阵列型液晶显示装置的驱动器电路或象素部分,此外,亦可用作在同一玻璃基

片上形成CPU(中央处理器)的半导体器件。此外,实施本发明TFT不仅可应用于液晶显示装置,而且可应用于一般所称的薄膜集成电路。

图15A及15B为根据实施例利用横向结晶生长区域制作的TFT平面图。图16A~16F是沿图15A的线16-16'切开的剖面图,按图号顺序依次进行的制作步骤。特别是沿图15A的线16-16'得到的剖面对应于图16E或图16F。

在以下说明的本实施例中,如图15A所示,是沿着与区域800的长边垂直的方向依此顺序配置源区811、沟道区810及漏区812下制作TFT,但如图15B所示,沿着与区域800的长边平行的方向依序配置源区811、沟道区811及漏区812下,亦可用完全相同的方法毫无问题地制作TFT。

首先,如图16A所示,在玻璃基片801上,以例如溅射法,形成由膜厚200nm左右的氧化硅膜所构成的基底覆膜802。形成此基底覆膜802是为了防止来自基片801的杂质扩散。其次,以减压CVD(化学气相淀积法)或等离子CVD法淀积膜厚25-100nm(例如80nm)的本征(I型)非晶硅膜803。

其次,将由氧化硅膜或氮化硅膜等所构成的掩蔽层804淀积在非晶硅膜803上。掩蔽层804具有其中所形成的开口,该开口使非晶硅膜部分呈狭缝状露出。若从上面看图16A的状态,则如图15A及15B所示,非晶硅膜的预定区域800透过开口部以狭缝状露出,而其他部分则为掩蔽层804所覆盖。

在设置掩蔽层804后,如图16B所示,将镍盐(如醋酸镍或硝酸镍等)的水溶液805涂布在整个玻璃基片801上。用旋涂器涂布水溶液805,使膜厚度均匀后,进行干燥步骤。此水溶液805中的镍浓度为

50-200ppm范围,较好为100ppm。在区域800中,析出的Ni 离子与非晶硅膜803接触,从而,将微量镍选择性地导入非晶硅膜803 的区域800中,其后,在氢还原气氛(较好为氢气分压0.1~1 大气压的氢还原气氛)下,或惰性气氛(大气压)下,使全体基片在520-580 °C温度下,进行退火处理数小时至数十小时(例如在580°C下16小时)。从而,使非晶硅膜803晶化。

在已微量导入了镍的区域800中,沿与玻璃基片801相垂的方向上发生非晶硅803的结晶化,于是形成结晶性硅膜803a。此区域800周围,如图16C箭头806所示,结晶生长是从区域800朝横方向(与基片801表面平行的方向)推进,而形成横向结晶生长的结晶性硅膜803b。非晶硅膜803的其他部分则乃保持非晶态不结晶化。通常,如箭头806所示的与基片801平行方向的横向结晶生长距离L 为140 μm 左右。

其后,除去掩蔽层804和结晶性硅膜803中不要的部分,以提供器件间隔离。其结果,如图16D所示,得到被刻成岛状图形的结晶性硅膜803b。此岛状结晶性硅膜803b在后述的步骤中成为TFT的有源区域(即源区811、漏区812及沟道区810)。

此时,将结晶性硅膜803b刻成图形,使要成为TFT的沟道区 810的部分配置于距催化元素(在本实施例中为Ni)导入区域800的距离 $a=120\mu\text{m}$ 以内的位置。即,在图15A中,将距离 a 设定在 $120\mu\text{m}$ 以下,来形成TFT沟道区域810。若距离 a 较好为 $60\mu\text{m}$ 以下,最好为 $30\mu\text{m}$ 以下,则因上述理由可得到所希望的效果。具体言之,在本实施例中,是使距离 a 成为 $20\mu\text{m}$ 而将非晶硅膜803b形成图形。

另外,在按图15B所示结构制作TFT时,将结晶性硅膜803b 刻成

图形,其图形是使从区域800的沟道区810附近的侧边到沟道区810的区域800的远侧的侧边的距离 a' 为 $120\mu\text{m}$ 以下。于是,可得到与上述相同的效果。

此后,淀积膜厚 $20\sim 150$ (例如 100nm)的氧化硅膜用作栅极绝缘膜807,而覆盖将成为TFT有源区域的结晶性硅膜803b上。使用TEOS做为淀积氧化硅膜的原料。即将基片温度保持在 $150\sim 160^\circ\text{C}$,较好为 $300\sim 450^\circ\text{C}$,以RF等离子CVD方法使TEOS与氧一起分解,淀积氧化硅膜。或者,亦可将基片温度保持在 $350\sim 600^\circ\text{C}$,较好为 $400\sim 550^\circ\text{C}$,以减压等离子CVD法使TEOS与臭氧一起分解,淀积氧化硅膜。

形成栅极绝缘膜807之后,为了提高栅极绝缘膜807本身的整体特性及结晶性硅膜803b与栅极绝缘膜807间的界面特性,在惰性气氛中,在 $400\sim 600^\circ\text{C}$ 下进行退火处理30-60分钟。接着,用溅射法淀积厚 $400\sim 800\text{nm}$ (例如 600nm)铝膜。随后,将铝膜刻成图形,而形成栅极808。

此外,对此栅极808进行阳极氧化,在栅极808表面形成氧化物层809。此阳极氧化是将基片浸入含有1-5%酒石酸的乙二醇溶液中,保持电流恒定同时将所加电压提高到 220V ,并保持该状态一小时而完成。所得到的氧化物层809的厚度通常为 200nm 。此氧化物层809在后述的离子掺杂步骤中,用作形成偏移栅极区域。因此,通过适当地控制上述阳极氧化步骤的参数,控制氧化物层312厚度,可决定偏移栅区域的长度。

其次,将栅极808及其表面的氧化物层809做为掩蔽层,用离子掺杂法,在结晶性硅膜803b中掺入杂质(磷)。具体说来,以磷烷(PH_3)为掺杂气体,加速电压为 $60\sim 90\text{KV}$ (例如 80KV),掺杂剂量为 $1 \times$

$10^{15} \sim 8 \times 10^{15} \text{cm}^{-2}$ (例如 $2 \times 10^{15} \text{cm}^{-2}$)。通过此掺杂步骤,掺入了杂质的区域811a,812a,此后成为TFT的源极和漏区811和812,而被栅极808及氧化物层809掩蔽又没有掺入杂质的区域810a,则在此后成为TFT的沟道区810。

其后,如图16E所示,以激光照射进行退火处理,以便激活所掺入的杂质,同时改善在上述离子掺杂步骤中恶化的结晶性硅膜的结晶性。例如,可用XeCl准分子激光(波长308nm,脉冲宽度40nsec)作为激光源,将激光能量密度设定在 $150 \sim 400 \text{mJ/cm}^2$ (较好 $200 \sim 250 \text{mJ/cm}^2$) 进行照射。如掺入杂质的区域811、812的薄层电阻通常为 $200 \sim 800 \Omega/\square$ 。

其次,淀积厚600nm左右的氧化硅膜或氮化硅膜做为层间绝缘膜813。在使用氧化硅膜时,则使用TEOS及氧,通过等离子CVD法,或使用TEOS及臭氧,通过减压CVD法或常压CVD法来淀积。借此,这样淀积层间绝缘膜813具有充分覆盖基片表面上台阶的优异台阶包覆层。或者,若利用以 SiH_4 与 NH_3 为原料气体,以等离子CVD法淀积氮化硅膜形成层间绝缘膜813,则可把氢原子供给包括源区811、沟道区810及漏区812的有源区域816与栅极绝缘膜807之间的界面。因此,具有减少使TFT特性恶化的不成对键的效果。

其次,在层间绝缘膜813上开出接触孔817,并且淀积金属材料(如氮化钛与铝)的多层膜,形成TFT的电极,及互连线814、815。最后,在1大气压的氢气气氛中,进行温度为 350°C 的30分钟退火处理,完成如图16F所示的TFT818制造。

以如此制得的本实施例的TFT818用做有源阵列液晶显示装置的象素电极转换元件时将电极及其有关的互连线814、815之一接

到ITO(氧化铟锡)等透明导电膜所构成的象素电极,再从另一电极及其有关的互连线输入信号。另一方面,将本实施例的TFT818用于集成电路时,在栅极808上亦开出接触孔,通过此接触,形成连接到栅极808的必要互连线。

如上制作的n型TFT具有良好的特性,场效应迁移率为 $80 \sim 120\text{cm}^2/\text{VS}$,且阈值电压为 $2 \sim 3\text{V}$ 。

下面将参照附图17A、17B及18A-18F,说明本发明的第9个实施例中的半导体器件及其制造方法。本实施例是说明利用本发明在玻璃基片上制造p型TFT的情况。

图17A和17B是根据本实施例,利用横向结晶生长区制造的TFT,从基片上方看的平面图。图18A-18F是沿图17A的线18-18'切开的剖面图,按图号顺序进行制造的步骤。特别是,沿图17A的线18-18'所得的剖面图对应于图18E或18F。

在以下说明的本实施例中,如图17A所示,以这种方式制造TFT,使源区911、沟道区910及漏极区912沿与区域900长边相垂直的方向配置。或者,也可用完全相同的方式,使源区911、沟道区910及漏区912沿与区域900长边相平行的方向配置来制造TFT也毫无问题,如图17B所示。

首先,如图18A所示,在玻璃基片901上,用溅射法淀积厚约200nm的二氧化硅形成基底覆膜902。其次用减压CVD或等离子CVD法,淀积厚为25-100nm(例如80nm)的本征(I型)非晶硅903。

其次,在非晶硅膜903上形成由二氧化硅膜或氮化硅膜构成的掩蔽层904。此掩蔽层904中具有已形成的开口,通过此开口,露出狭缝状的非晶硅膜部分。从上面看图18A的状态,则如图17A及

17B所示,其中非晶硅膜的预定区域900,通过开口的狭缝状露出,而其他区域则为掩蔽层904所覆盖。

在形成掩蔽层904后,如图18B所示,用溅射法淀积厚0.5~20nm(例如2nm)的硅化镍905(NiSi_x , $0.4 \leq X \leq 2.5$, 例如 $X=2.0$)。对淀积后的基片,在氢还原气氛下或惰性气氛中,在520~580°C下,经数小时至数十小时热处理(例如在550°C下经16小时热处理)。于是,使非晶硅膜903晶化。

在已选择性地导入小量镍的区域900,沿与玻璃基片相垂直的方向发生非晶硅膜903的晶化,形成结晶性硅膜903a。在区域900周围,如图18C箭头906所示,结晶生长从区域900朝横向(与基片901表面相平行的方向)进行,而形成通过横向结晶生长的结晶性硅903b。非晶硅膜903的其余部分仍保持为未晶化的非晶态。通常,如箭头906所示的与基片901平行的方向上的横向结晶生长距离L约为80 μm 。

其后,除去掩蔽层904及结晶性硅膜中不要的部分,以提供器件隔离。结果,如图18D所示,得到刻成岛状的结晶性硅膜903b。此岛状结晶性硅膜903b用作有源区,即后述步骤中,TFT的源区911、漏区912及沟道区910。

此时,以这种方式将结晶性硅膜903b刻成图形,使如图17(A)所示的距离(b),即从TFT的沟道区910部分的短边之一到催化元素(本实施中为Ni)导入区900的短边之一的距离在30 μm 以上。具体说,在本实施例中,使结晶性硅膜903b刻成图形,该距离 b 为30 μm 。

另一方面,在按图17(B)所示结构制造TFT时,将结晶性硅膜903b刻成图形,使按距离 b 相同定义的 b 在30 μm 以上。于是,可以

达到如上说明的类似效果。

其次,淀积厚20-150nm(例如100nm)的二氧化硅膜用作栅绝缘膜907,而覆盖在将成为TFT有源区的结晶硅膜903b上。本实施例中,是淀积氧化硅膜,以氧化硅为靶材,在氧气氛或氧与氢的混合气氛中进行溅射。溅射时,基片保持在200~400°C下(例如350°C)。此外,溅射气氛中的氩与氧之比(Ar/O₂)设定在0.5以下,一般在0.1以下。

其次,用溅射法淀积厚400nm的铝膜。其后将这种淀积的铝膜刻成栅极908。其次,用栅极908为掩蔽,将杂质离子(硼),用离子掺杂法,掺入有源区。更具体地说,用乙硼烷(B₂H₆)做掺杂气体,加速电压设定为40-80KV(例如65KV)及掺杂剂量设为 $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ (例如 $5 \times 10^{15} \text{ cm}^{-2}$)。用离子掺杂步骤,掺以杂质的区域911a和912a,随后用作TFT的源区911和漏区912,而被栅电极908掩蔽的区域910a因而没有掺以杂质,随后用作TFT的沟道区910。

其次,如图18E所示,为了激活这样掺入的杂质以及改善上述离子掺杂步骤中恶化了的结晶性硅膜的结晶度,施以激光束退火。可例如用KrF准分子激光(波长为248nm,脉宽为20ns)做激光源。激光的能量密度设为150-400mJ/cm²,较佳为200-250mJ/cm²,用以照射。区域911和912薄层电阻;其中因已掺入P-型杂质(硼),通常为500-900Ω/□。

其次,淀积厚约600nm的氧化硅膜或氮化硅膜,作为层间绝缘膜913。对用氧化硅膜时,用TEOS与氧时,用等离子CVD法,利用TEOS与臭氧时,通过低压CVD或常压CVD法,淀积此氧化硅膜。因此所淀积的层间绝缘膜913给基片表面上包含着很多的台阶提供优良的台阶

覆盖层。

其次,在层间绝缘膜913中开出各接触孔916及917,淀积金属材料(例如氮化钛及铝)的多层膜,形成TFT的各电极及金属互连线914及915。最后,在氢气气氛中1大气压下,在350°C,进行退火30分钟,完成如图18F所示的TFT918制造。

当利用本实施例的如此制造的TFT,用作开关有源阵列型液晶显示装置的象素电极元件时,电极及其相关的互连线914或915之一接到由透明导电膜(例如ITO)形成的象素电极,而显示装置的信号加到其他电极及其相关的互连线。另一方面,当将本实施例的TFT918用在薄膜集成电路的应用中时,还要开出直达栅电极908的接触孔,通过接触孔,形成连接栅极908的必要的互连线。

如上制造的P-型TFT具有良好的特性,场效应迁移率为60-80 cm^2/VS ,而阈值电压为-2~-8伏。

下面说明本发明的第10实施例的半导体器件及其制造方法。

图19是根据本实施例,利用横向结晶生长区形成的TFT,从基片上方看的平面图,显示出所制成的TFT的源区1011、漏区1012、及沟道区1010与催化元素导入区1000、横向结晶生长区1003b的关系。

按与第8及第9实施例相同的步骤,在玻璃基片上形成基底覆膜及非晶硅膜(均未示出)。其次,淀积厚度为10-200nm(例如50nm)的氧化硅膜,用做促进非晶硅膜晶化的催化元素导入的掩蔽层1004。通过刻成图形,使该氧化硅膜被蚀刻去区域1000,打开用于选择性地将催化元素导入非晶硅膜预定区域1000的通孔。此时,以这种方式设置区域1000,使如图19所示的实质上呈矩形的区域1000的长边长度C,即与以后要制造的TFT有源区特定对应边的长度在120 μm 以

上。

其后,在通过掩蔽层1004呈狭缝状露出的非晶硅膜区域1000上,按以上述第8及第9实施例相同的方法,导入镍等催化元素。此外,在惰性气氛中,在550°C使此非晶硅膜退火约16小时,加以晶化。于是,此非晶硅膜的区域1000变为垂直生长结晶硅膜1003a,其中晶体生长发生在厚度方向,亦即,在与玻璃基片表面垂直的方向。另一方面,在区域1000的周围形成了结晶性硅膜1003b,其中晶体生长从区域1000出发,沿与基片表面平行的横方向进行。通常,沿由箭头1006所示方向横向结晶生长,所得的结晶性硅膜1003b的生长范围L约为80nm。当基片上有多个催化元素导入区域1000时,从任何一个区域1000生长的结晶性硅膜1003b中都可得到横向结晶生长稳定均匀的距离L。

其次,除去此掩蔽层1004及不要的结晶性硅膜1103b的部分,以提供器件的隔离。

在上述步骤中,形成刻成岛状的结晶性硅膜,它将是TFT的有源区域,包括源区1011、漏区1012及沟道区1010。其后,通过与第8或第9实施例相同的步骤,完成TFT1013。

下面说明本发明的第11实施例的半导体器件及其制造方法。

图20是根据本实施例,利用横向结晶生长区域制造的TFT,从基片上方看的平面图。图20显示要制造的TFT的源区1111、漏区1112及沟区1110,催化元素导入区域1100及横向非晶生长区1103b之投影关系。

按与第8及第9实施例相同的步骤,在玻璃基片上形成基底覆膜及非晶硅膜(两者都未示出)。其次,淀积厚度10-200nm(例如20nm)

的氧化硅膜,用作导入催化元素促进非晶硅膜晶化用的掩蔽层1104。通过将此硅氧化膜刻成图形,蚀刻在区域1100,开出通孔,为的是将催化元素选择性地导入到非晶硅膜的一定区域1100。此时,以这种方式提供此区域1100,如图20所示,区域1100的X方向宽度d大于5 μ m。

其次,在通过掩蔽层1104呈狭缝状露出的非晶硅膜区域1100上,按上述第8及第9实施例相同的方法导入镍等催化元素。此外,在惰性气氛中在550 $^{\circ}$ C下,退火处理此非晶硅膜16小时,使之晶化。于是,非晶硅膜的区域1100变成在膜厚方向(即与玻璃基片表面垂直的方向)结晶生长的纵向生长结晶性硅膜1103a。另一方面,在区域1100周围,形成从区域1100朝与玻璃基片表面平行的方向(即横方向)结晶生长的结晶性硅膜1103b。沿箭头1106所示方向横向结晶生长,所得的结晶性硅膜生长的距离L约为80nm。当此基片表面存在多个催化元素导入区1100时,从任何一个区域1100生长的结晶性硅膜1103b中都可得到横向结晶生长的稳定均匀的距离L。

其次,除去此掩蔽层1104及结晶性硅膜1103b的不要部分,以提供器件间隔离。

在上述步骤中,形成刻成岛状图形的结晶性硅膜,它将是TFT的有源区,包括源区1111、漏区1112及沟道区1110。其后,通过如第8或第9实施例相同的步骤,就完成了TFT1113。

下面将说明本发明的第12实施例。

在本实施例中,将说明把本发明用于玻璃基片上,制造多个TFT的情形。本发明的半导体器件可用在有源阵列型显示装置的驱动电路或象素部分,或者薄膜集成电路中。此后,将说明本发明应用

于液晶显示装置的有源阵列部分内的象素开关TFT的具体情况。

图21A-21E是根据本实施例,利用横向结晶生长区域而形成TFT,从基片上方看的平面图,显示液晶显示装置的有源阵列显示部分的各制造各步骤。在本实施例中,按图号顺序进行此制造步骤。虽然实际上的液晶显示装置的有源阵列显示部分包含有数万个TFT,但在本实施例中为清楚起见,只说明一个 3×3 的有源阵列显示部分。

首先,在玻璃基片上淀积由氧化硅构成的基底膜,然后淀积厚约50nm的非晶硅膜。其次,形成待用于选择性地导入促进非晶硅晶化的催化元素的掩蔽层1204。而且通过将此掩蔽层1204刻成图形,蚀刻去预定的区域1200,提供一个通孔,经此选择性地将催元素导入非晶硅膜的预定区域1200中。

在掩蔽层1204中形成通孔后,用蒸发法淀积厚为1nm的镍膜。其次,在惰性气氛中,使基片经受热处理,例如在 550°C 下进行16小时。于是,此非晶硅膜被晶化。

在此阶段,如图21A所示,在微量镍选择性地导入了的区域1200中,沿与玻璃基片垂直的方向发生非晶硅膜的晶化,从而形成结晶性硅膜1203a。在区域1200周围,如箭头1206所示,结晶生长是从区域1200朝横向方向(与基片平行的方向)进行,于是形成横向结晶生长后的结晶性膜1203b。非晶硅膜的其余部分仍保持为非晶态。

其次,除去掩蔽层1204及结晶性硅膜1203b中的不要部分,以提供器件间隔离。结果,如图21B所示,从一个镍导入区域1200经过横向结晶生长而得到的结晶性硅膜1203b中,形成多个TFT(本实施例为3个)的有源区1203c。此时,在图21B中,藉着在先前的实施例中所说明的距离 a 为 $120\mu\text{m}$ 以内、距离 b 为 $30\mu\text{m}$ 以内、宽度 d 为 $5\mu\text{m}$ 以上之位置上形成有源区域1203c,可如先前说明者达成更良好的效果。

此有源区域1203c在随后的步骤中成为TFT的源区、漏区及沟道区。又,图21B相当于在非晶硅膜上形成图样时形成光刻图样后的情况。其后,将结晶性硅膜1203b中不要的部分蚀刻掉,得到图21C的情况。

其次,为覆盖上述结晶性硅膜1203b的有源区域1203c,淀积膜厚120nm左右的氧化硅膜做为栅极绝缘膜。还有,其上淀积厚约500nm的铝膜。于是,将这样淀积的铝膜刻成栅极及互连线1208,如图21D所示。此后,用离子掺杂法,利用栅极1208为掩蔽,将杂质(磷或硼)掺入有源区1203c。由此步骤掺以杂质的区域1211a及1212a以后用作TFT1213的源区1211与漏区1212,而被栅极1208掩蔽的区1210a,因未能掺以杂质,以后则用作TFT1213的沟道区1210。

其,用激光束进行退火处理,以便激活此掺入的杂质,以及改善上述离子掺杂步骤所形成的有源区1203c的结晶性硅膜的结晶度。

接着,淀积厚约600nm的氧化硅膜作为层间绝缘膜。再如图21E所示,在层间绝缘膜中开出接触孔,淀积金属材料(例如氮化钛及铝)的多层膜,形成源电极及其相关的互连线1214,和漏电极1215。其后,使电极1215与ITO等透明导电膜所形成的象素电极1216连接,而后在氢气气氛中,350°C下进行30分钟退火处理,完成如图21E所示的TFT1213的制造。

在本实施例所制造的有源阵列基片中,从一个区域1200生长的结晶硅膜1203b中,分别形成3个TFT1213。这3个TFT1213具有一致的工作特性。

在常规技术中,当利用用结晶性硅膜于沟道区的TFT来制造3×3(共9个)有源阵列基片时,由于形成TFT的结晶性硅膜在结晶度上的差异,9个TFT间便在工作特性方面存在一定偏离。相反,本实施例可以使此偏离降低到一组包含3个TFT之间不出现此种偏离的程度。还有,即使存在一定偏离,也容易进行补偿处理。因而在实际的具有根据本实施例制造的m×n个TFT的有源阵列基片中,可以使m×n个TFT之间的工作特性偏离降低到这种程度,即可把此偏离作为m个TFT组中的1个来处理。结果,可简化了有源阵列基片的制造过程。

在上述说明中,只是从狭缝状区域1200生长的横向结晶生长区1203b的宽度方向的右侧,用于制造TFT1213。另一办法是,区域1200的宽度方向的两侧都可以用于制造TFT1213,结果还可减小TFT1213间工作特性偏离达50%。

而且,根据本发明,将各区1200伸长,用从每个区域1200生长的横向结晶生长硅膜来制造多个TFT,从而,在一个基片上,可以获得有多个TFT的半导体器件,同时实现高度均匀的特性。

将结晶性硅膜用作TFT沟道区1210的TFT的特性主要由硅膜的结晶度决定。因此,结晶度上稍有差别便显示在器件特性的偏差方面。然而,当用从一个区域1200开始的横向结晶生长得到的结晶硅膜,制造多个TFT时,这些TFT的沟道区就各自具有相同的结晶度。结果,可得到多个TFT间特性均匀,偏离几乎没有的半导体器件。

本实施例特别在形成诸如液晶显示装置的有源阵列基片等,在一片基片上形成数万个元件之时有有效。可以将通常存在于各点的TFT特性偏离大大地降低为在行方向或列方向各线间的偏离。

此外,还可同时利用伸长区1200两侧的横向结晶生长的硅膜来制造更多的器件,会进一步减小各元件间的特性偏差。而且,可以利用伸长区域1200的两侧,制造特性稳定的CMOS电路,将n-型TFT制作在一侧,而p-型TFT形成在另一侧。

下面将说明本发明的第13实施例。在本实施例中,是说明将本发明应用在玻璃基片上制造互补型有p-型TFT及n-型TFT的CMOS电路的情形。而且,在从一个催化元素导入区横向结晶生长得到的结晶硅膜中,将n-型TFT和p-型TFT形成在导入区宽度方向的两侧。

图22是根据本实施例,利用横向结晶生长区制作的TFT,从基片

上方看的平面图。图23A-23E是沿图22的线23-23'切开的剖面图，依图顺序号进行的制作步骤。

首先，如图23A所示，在玻璃在片1301上，用溅射法，形成由厚度约100nm的氧化硅膜构成的基底覆膜1302。其次，用减压CVD法，淀积厚为25-100nm(例如50nm)的本征(I型)非晶硅膜1303。

其次，在非晶硅膜1303上面形成厚约50nm的由氧化硅膜或氮化硅膜制作的掩蔽层1304。其后，选择性地除去此掩蔽层1304，而设置可导入催化元素的开口。图23A的顶视图，则如图22，其中，非晶硅膜的预定区域1300透过开口呈狭缝状露出，而其他区域则为掩层1304所覆盖。如图22所示，此区域1300是这样形成的，使长度C为120 μ m以上，而宽度d为5 μ m以上。于是，在下述的步骤中，可得到足够的横向结晶生长距离L。

在设置掩蔽层1304后，将例如醋酸镍或硝酸镍等水溶液涂布在整个玻璃基片1301表面。接着，在用旋涂器施加水溶液膜后，进行干燥步骤，使之具有均匀厚度。水溶液中的镍浓度为50-200ppm范围，较佳为100ppm。在区域1300中，析出的镍离子与非晶硅膜1303接触，从而将微量镍导入非晶硅膜1303的区域1300中。其后，在氢还原气氛中或在惰性气氛中，550 $^{\circ}$ C下，将此整个基片以16小时热处理。于是，使非晶硅膜1303晶化。

在选择性导入了微量镍的区域1300中，非晶硅膜1303的晶化发生与玻璃基片1301垂直的方向，从而形成结晶性硅膜1303a。区域1300周围，如图23B的箭头1306所示，结晶生长要从区域1300朝横向方向(与基片表面平行的方向)进行，而形成横向结晶生长后的结晶性硅膜1303b。非晶硅膜1303的其余部分则仍保持未晶化的非晶态。

其次,除去掩蔽层1304,施加激光束予以退火处理,以改善结晶性硅膜1303b的结晶度。可以例如用XeCl准分子激光(波长为308nm,脉宽40ns),作为激光源。将基片加热到200-450°C,例如400°C,而激光光能密度为200-400mJ/cm²,例如300mJ/cm²用于照射。

其次,除去结晶性硅膜1303b的不要部分,提供器件隔离。结果,得到如图23C所示的刻成岛状的结晶性硅膜1303b。此岛状化的结晶性硅膜1303b在以后步骤中,用作TFT的有源区1303n和1303p,亦即TFT的源区、漏区及沟道区。

通过以这种方式将非晶硅膜1303b刻成图形,使距离a在120μm以下,距离b在30μm以上,则可得到具有一维方向对齐的横向结晶生长的高品质结晶硅膜1303b。就使用此结晶硅膜,形成TFT的沟道区。

此后,淀积厚为100nm的氧化硅膜,覆盖在将成为TFT有源区1303n及1303p的结晶性硅膜1303b上,用作栅绝缘膜1307。TEOS用作淀积氧化硅膜的原料,也就是,在RF等离子CVD过程中,使TEOS和氧分解、淀积,而形成此膜,而基片保持在350°C。

此后,用溅射法,淀积厚400-800nm(例如600nm)的铝膜(含硅0.1-2%)。接着将铝膜刻成图形,形成栅电极1308及1309。

其次,将栅极1308、1309作为掩蔽层,通过离子掺杂法,使杂质离子(磷及硼)掺入结晶性硅膜1303b。更具体说,磷烷(PH₃)和乙硼烷(B₂H₆)用作掺杂气体。用磷烷时,加速电压设定为60-90KV(例如80KV),而用乙硼烷时,此电压为40-80KV(例如65KV)。掺杂的剂量为 $1 \times 10^{15} \sim 8 \times 10^{15} \text{cm}^{-2}$,通常,对磷为 $2 \times 10^{15} \text{cm}^{-2}$,而对硼为 $5 \times 10^{15} \text{cm}^{-2}$ 。由栅极1308、1309掩蔽的区域因未能掺以杂质,就是相

应TFT1320及1321的沟道区1310及1311。另外,用光刻胶覆盖不必掺杂的区域,而有选择性掺入相应的杂质元素。结果,形成n-型杂质区域1312及1313,p-型杂质区域1314及1315,而如图23D所示,形成n-沟道型TFT(n-TFT)1320和p-沟道型TFT(p-TFT)1321。

其后,如图23D所示,施以激光束,予以退火处理,使所掺入的杂质激活。例如KrF准分子激光(波长为248nm,脉宽为20ns)可用作激光光源。激光光能密度为 $250\text{mJ}/\text{cm}^2$,进行照射时每处用2次。

接着,用等离子CVD法,淀积氧化硅膜用作层间绝缘膜1316,厚度约为600nm。再在层间绝缘膜1316上开出接触孔1322-1325,又淀积金属材料(例如氮化钛与铝)的多层膜,形成TFT1320、1321的各电极和金属互连线1317-1319。最后,在1大气压氢气气氛中,在 350°C 下进行退火30分钟,就完成如图23E所示的TFT1320、1321的制造。

在如此制得的含本发明CMOS结构的半导体集成电路中,载流子的场效应迁移率,对n-TFT1320为 $140\text{-}170\text{cm}^2/\text{V}\cdot\text{S}$,对p-TFT1321则为 $100\text{-}130\text{cm}^2/\text{V}\cdot\text{S}$ 。阈值电压,对n-TFT1320为 $1.5\sim 2\text{V}$,而对p-TFT1321则为 $-2\sim -3\text{V}$ 。因此,得到了所希望的特性。

现在将说明根据本发明制造的半导体器件及其方法的一些特征。

图24是表示根据本发明利用横向结晶生长区域制造的TFT,从基片上方看的平面图。在基片的整个表面上形成的非晶硅膜上淀积由氧化硅膜等构成的掩蔽膜1403,再在掩蔽层1403上开出催化元素导入的开口,以便将催化元素导入非晶硅膜露出的区域1400。在后继的步骤中,使环绕及包含区域1400的非晶硅膜晶化,而结晶生长自区域1400始朝横向进行,形成横向结晶生长区域1401。就利用此

形成的横向结晶生长区域1401,来形成晶体管的沟道区1402。

其次,参照图25-29,将说明图24所示的各变数及其对TFT 特性的影响。

图25是表示在580°C退火温度下,从区域1400 起到横向结晶生长区域1401的末端为止的距离(横向结晶生长距离)L与退火时间的关系曲线图。从图25可以知道,在晶体生长初期,横向结晶生长距离L与退火时间成正比地增大,在 $L=140\mu\text{m}$ 处达到饱和,超过L便无横向生长。对横向结晶生长距离L的这个限制是由于结晶生长因处于横向生长方向末端的非晶硅区域内形成自然晶核而引起。亦即,当横向结晶生长区域与因非晶硅区域中的自然晶核产生原始结晶生长区相碰时,横向结晶生长便结束了。

曲线上的关键点在于,在此点处横向结晶生长距离L 结束正比于退火时间而增大。在此点起,在非晶硅区域中因自然晶核,结晶生长开始了,而因此形成的原始结晶生长区混入横向结晶生长区域1401中。所以,如图25可以知道,在横向结晶生长距离L超过 $120\mu\text{m}$ 的区域,使由横向结晶生长形成的针状或柱状结晶和由原始固相生产形成的孪晶互混,使此区域的结晶硅膜的结晶度显著劣化。因此,利用横向结晶生长距离L在 $120\mu\text{m}$ 以下的区域的结晶性硅膜,即在图24中,在区域1400较近沟道区1402的侧边与沟道区域1402最远离区域1400的侧边之间的距离a在 $120\mu\text{m}$ 以内的区域中的结晶硅膜,可以得到特性优良的半导体器件。

图26 是以构成横向结晶生长区域的针状或柱状结晶每一结晶的分叉或弯曲数目为纵轴,以横向结晶生长距离L 为横轴绘出的曲线图。图26纵轴绘出的数目是由透视电子显微镜(TEM)观察测得每

根针状或柱状结晶的分叉和弯曲数,再计算出比测得值的平均值而获得。如图26所示,每根针状或柱状结晶的分叉和弯曲数随横向结晶生长距离 L 的增长而指数式地增大。这是由于除与杂质影响相关的分叉和弯曲外,生长方向末端处,在非晶硅区域中产生的自然晶核的影响也随退火时间的增长而增大。

每针状或柱状结晶分叉和弯曲的平均数在2以下的区域(具体说,即如图26所示横向结晶生长距离在 $60\mu\text{m}$ 以下的区域)中,横向结晶生长方向大致按一维方式排成一直线。呈现良好的结晶性。而且在每针状或柱状结晶的分叉和弯曲平衡数在1以下的区域(具体说,即如图26所示横向结晶生长距离 L 在 $30\mu\text{m}$ 以下的区域)中,可得到接近理想的横向结晶生长硅膜。

因此,使用分叉和弯曲平均数在上述范围内的结晶性硅膜来形成沟道区1402的话,就可得到特性优良,尤其是载流子迁移方面优良有TFT。所以,形成TFT的沟道区1402的位置应这样,图26所示的距离 a 在 $60\mu\text{m}$ 内,而较佳在 $30\mu\text{m}$ 以内。

图27是表示图24所示的距离 b (即TFT的沟道区1402的一长边到催化元素导入区域1400的一长边的距离 b)与 X 方向的横向结晶生长距离 L 的关系曲线。具体说,图27表示将非晶硅膜在 550°C 下退火处理16小时后测得的具体数据。从图27可知,在距离 b 在 $30\mu\text{m}$ 以下的区域中,可观察到横向结晶生长距离 L 减小。这是因为在区域1400的角部周围,结晶生长方向发散,在该部分催化元素被大量消耗,而使得角部附近的横向结晶生长距离 L 显著地缩短。因此,图24的区域1400的端部起的距离 b 在 $30\mu\text{m}$ 以下的横向结晶生长区1401中,由于催化元素不足,而且受到区域1400端部中附近无序的结晶生长方向的影响

响,而不会有一维的横向结晶生长。

因此,从图24中的区域1400末端起沿Y方向的距离 b 在 $30\mu\text{m}$ 以上的位置,形成TFT的沟道区域1402,可得较以往性能及稳定性更好的半导体器件。

图28是表示图24的区域1400的长边(沿Y方向)的长度 C 与X方向的横向结晶生长距离 L 的关系曲线。横向结晶生长距离 L 是由图24的区域1400长边 C 的长度的中央附近的点测定,而区域1400沿X方向的宽度 d 为 $40\mu\text{m}$ 。图28的曲线显示将非晶硅膜在 550°C 下退火16小时后所测得的数据。

如图28所示,当区域1400的长度 C 小于 $120\mu\text{m}$ 时,可观察到横向结晶生长距离的减小。即使提高催化元素的导入剂量,代表横向结晶生长距离 L 的特性曲线 K 也变为特性曲线 J ,即,只是整个特性曲线移向横向结晶生长距离 L 增大的方向,而横向结晶生长距离 L 与区域1400的长度 C 关系不变。这是因如上所述,区域1400角部的结晶生长发散,催化元素大量在该部消耗,而使得在角部附近的横向结晶生长距离显著缩短。

于是,当图24的区域1400的长度 C 小于 $120\mu\text{m}$ 时,所得的横向结晶生长区域1401不会有足够的结晶生长距离。此外,由于催化元素量不足,而结晶生长方向受区域1400末端的扰乱,而不能获得按一维方式排齐结晶生长方向的高品质横向结晶生长区域1401。

因此,图24中的区域1400的长度 C 定为 $120\mu\text{m}$ 以上,才能稳定地得到一定的横向结晶生长距离 L 。这不只是以后的制造步骤容易进行,而且可利用其按一维方式排齐结晶生长方向的横向结晶生长硅膜,而制得特性良好的半导体器件。

图29是表示图24的区域1400的短边方向(X方向)的宽度d与X方向的横向结晶生长距离L的关系曲线。此横向结晶生长距离L是由图24的区域1400的长边C中央附近的点测得,而区域1400的长边方向的长度C为 $120\mu\text{m}$ 。图29的曲线表示将非晶硅膜在 550°C 下退火16小时后测得的数据。

如图29所示,当区域1400的短边方向的宽度d小于 $5\mu\text{m}$ 时,可观察到横向结晶生长距离L的减小。而且,当区域1400的宽度d在 $1\mu\text{m}$ 以下时,则不产生横向结晶生长。于是,当图24中的区域1400的宽度d为 $5\mu\text{m}$ 以下时,所得的横向结晶生长区域1401就不会有足够的结晶生长距离。此外,结晶生长距离L离散,不实用。

因此,将图24中的区域1400的宽度定为 $5\mu\text{m}$ 以上,就可稳定地获得一定横向结晶生长距离L。这不仅使后续的制造步骤容易进行,而且能得到均匀性良好的半导体器件。

如上所述,在本发明的各实施例的半导体器件及其制造方法中,用激光或其他强光照射经过热处理而得到的横向结晶生长的结晶性硅膜,可集中式地对结晶硅膜的晶界部分进行退火。从而,大大降低固相结晶获得的结晶硅膜所带来的问题,即晶界产生的载流子陷阱能级。因此,可进一步提高结晶度。

在上述说明中,对导入镍作为催化元素来说,是形成极薄的镍膜,使其与非晶硅膜的上或下表面接触。由此表面始进行结晶生长。或者,在形成非晶硅膜后,通过离子掺杂后,将镍离子选择性地掺入非晶硅膜。根据此离子掺杂法,待导入的镍元素浓度可以通过控制掺杂条件来加以控制。

作为另一可取的方法,可用液态工艺过程导入微量元素镍,其

中将镍盐的水溶液,例如醋酸镍或硝酸镍涂布在非晶硅膜的表面上。也可不用形成薄镍膜,而使用由镍电极构成的等离子体电极,以便导入微量镍。

而且,用于促进晶化的催化元素,除了镍以外,用钴、钨、铂、铜、银、金、钨、锡、铝、磷、砷或锑也都能得到上述说明的相同效果。从上述微量(约 10^{18}cm^{-3})能带来加速晶化的元素中选一种或几种元素,因其导入也不会给半导体器件带来损害。

在上述说明中,是使用脉冲激光的准分子激光进行热处理,来改善结晶性硅膜的结晶度。或者,可以用其他激光(例如连续波Ar激光)也可进行相同的处理。而且,除激光外,也可使用红外的或闪光灯,在短时间内将工件加热到 $1000-1200^{\circ}\text{C}$ (硅监测器温度)高温的RTA(快速热退火)或RTP(快速热处理)等其他技术手段。

在上述已说明的实施例是以液晶显示用有源阵列型基片的应用为前提的。但是,很明显,所述的半导体器件同样地可用于其他应用中,例如密接型图象传感器、单片驱动器热印字头、用有机物电发光(EL)元件作为光发射元件的单片驱动光写入器件或显示器,以及三维IC等。若这些应用中使用本发明,则可实现半导体器件高性能特性,诸如快速响应、高分辨率等等。

而且,本发明可以应用于一般的半导体工艺过程,不仅是上述实施例所说明的MOS型晶体管,也可用于其他半导体器件,包括使用结晶性半导体的双极晶体管和静电感应晶体管。

根据本发明,则在利用与基片平行地结晶生长的结晶性硅膜来制造TFT半导体器及其方法中,可以在大面积基片上,以简单的制造过程形成由具有均匀稳定特性的高品质TFT构成的半导体装置。特

别是,当将本发明的方法使用于液晶显示器的制造时,则可同时满足有源阵列型基片的象素开关TFT特性均匀与构成外围驱动电路的TFT要求的高性能特性。结果,可以在同一基片上实现形成有源阵列电路和驱动电路的单片驱动有源阵列型基片,导致减小组件尺寸、增加功能,又降低成本。

本领域的技术人员都清楚,也容易在不脱离本发明的范围及内容实质下作出各种各样的改进。因此,不应认为所附的权利要求书仅限于说明书作出的记载,而应作更广泛的解释。

说明书附图

图 1

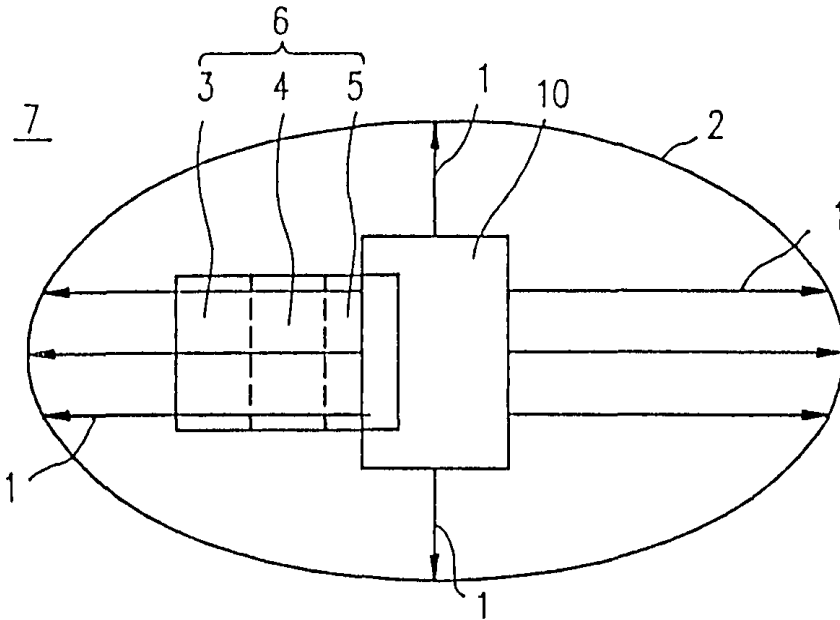


图 2

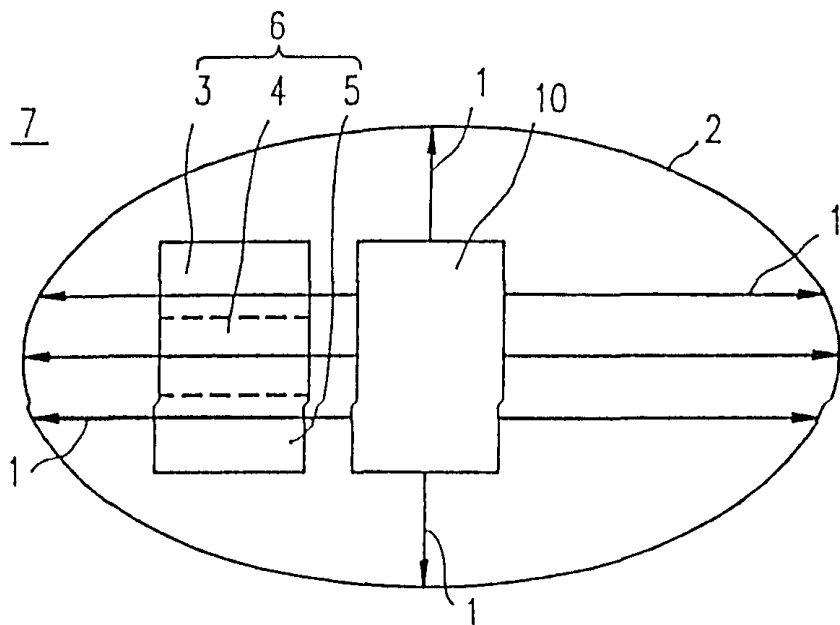


图 3

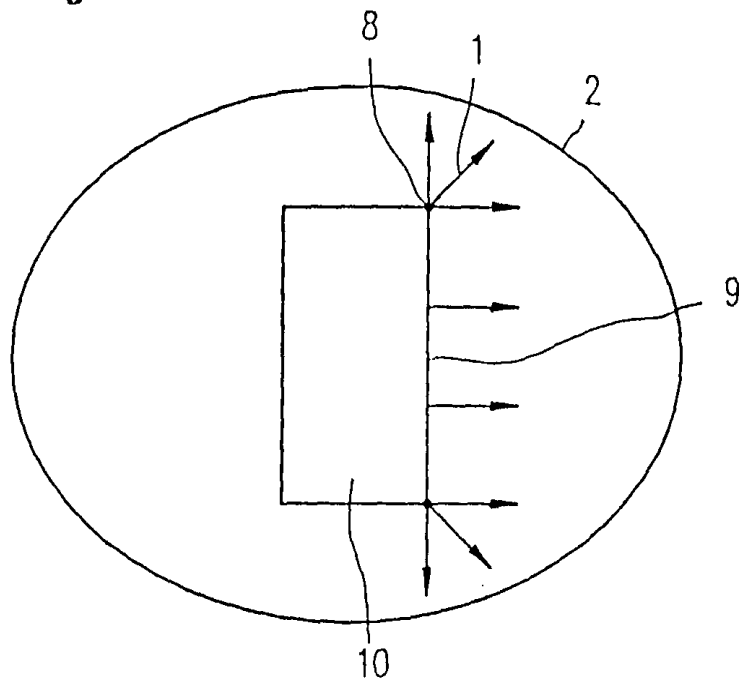
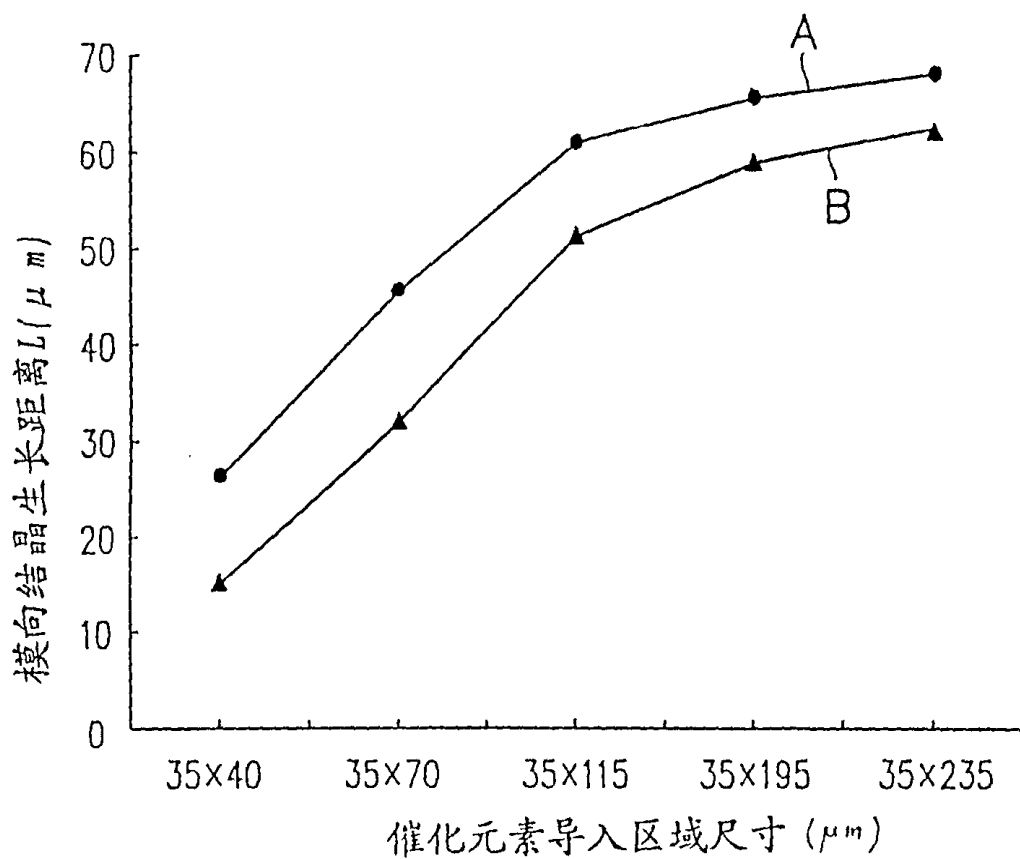
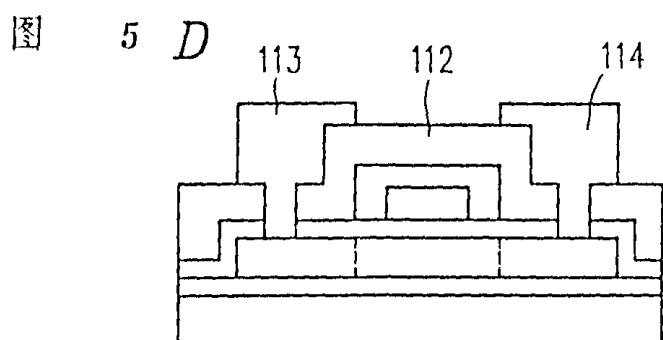
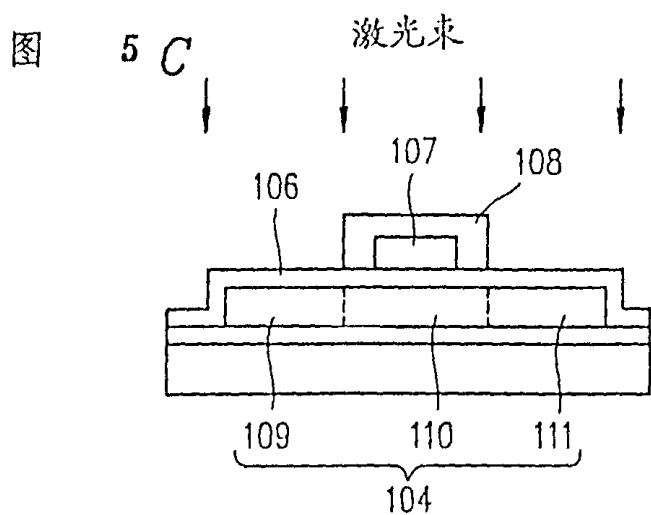
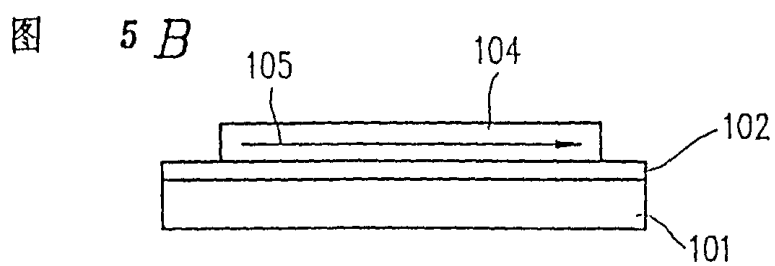
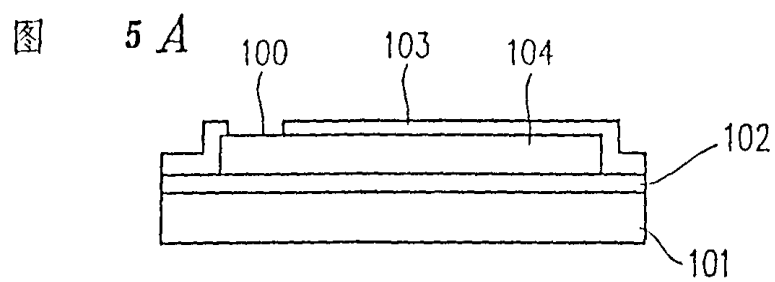
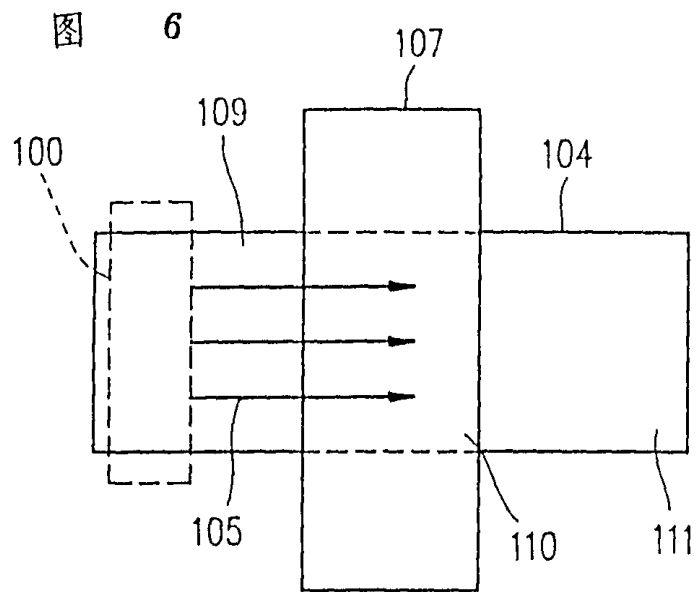


图 4







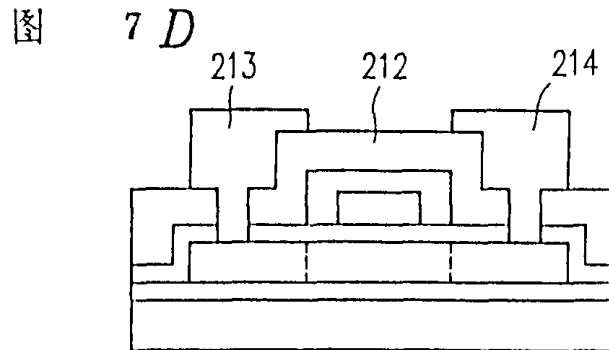
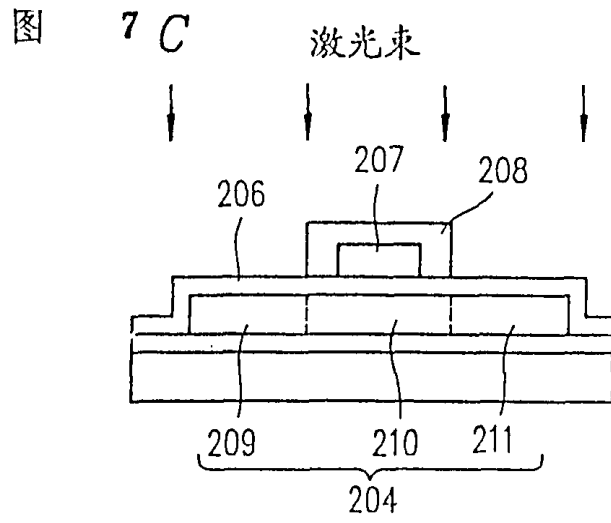
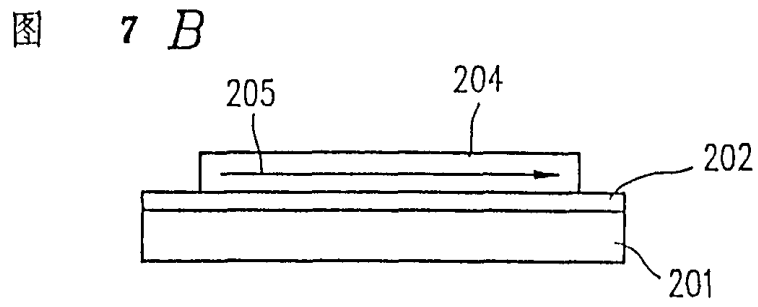
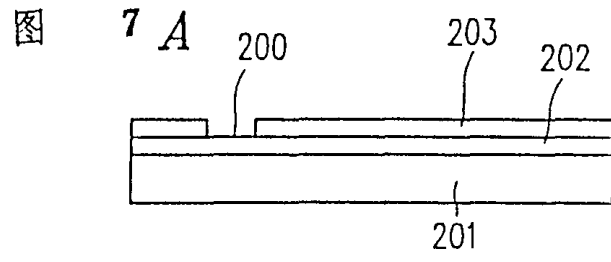


图 8 A

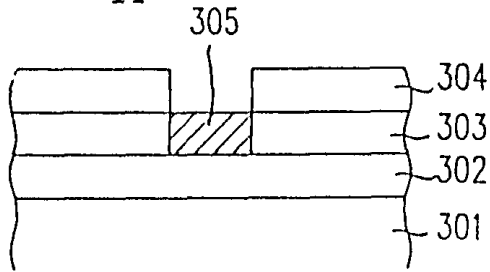


图 8 E 激光束

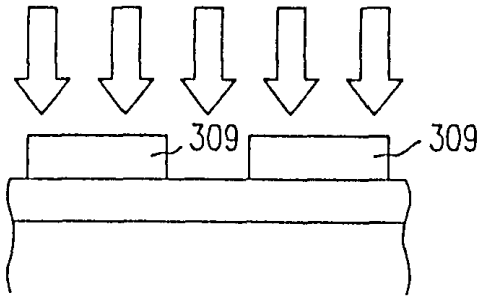


图 8 B

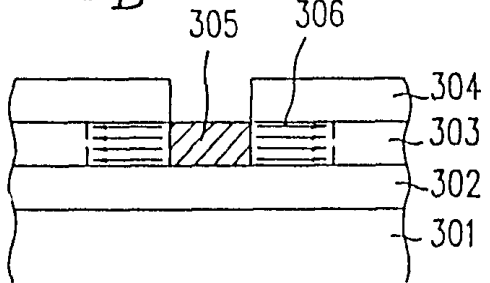


图 8 F'

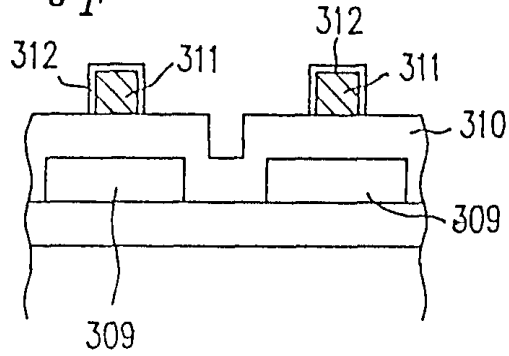


图 8 C

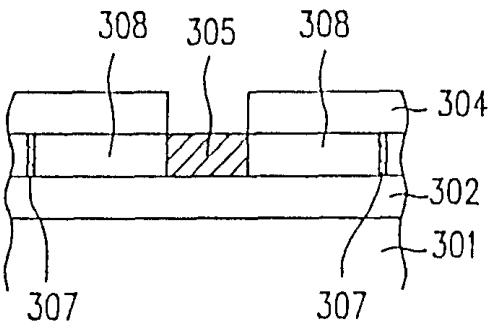


图 8 G 激光束

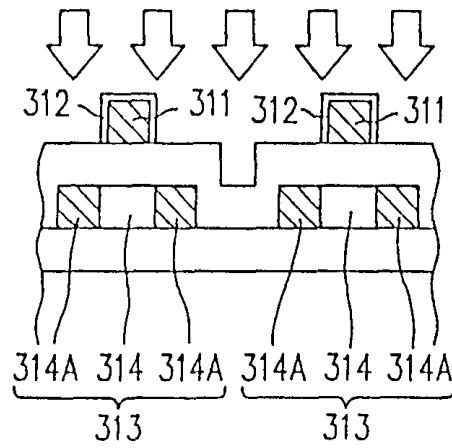


图 8 D

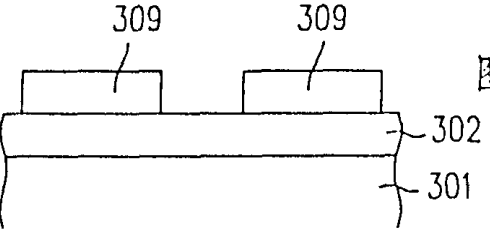


图 8 H

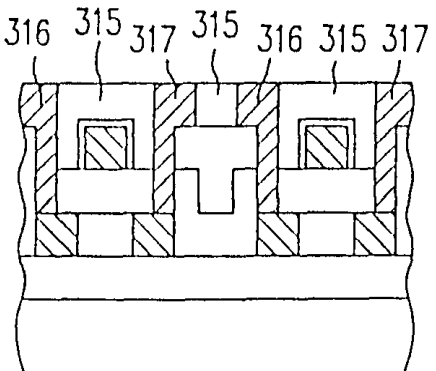
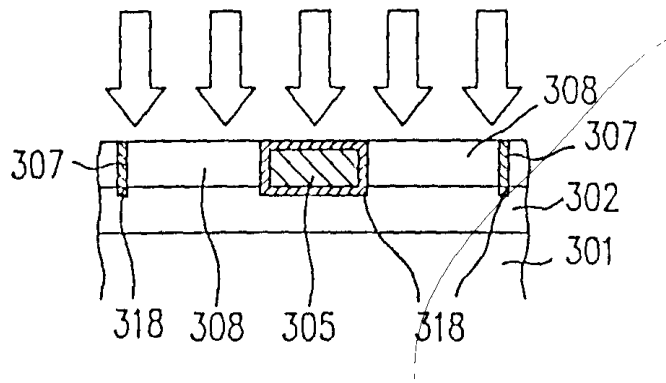


图 9 激光束



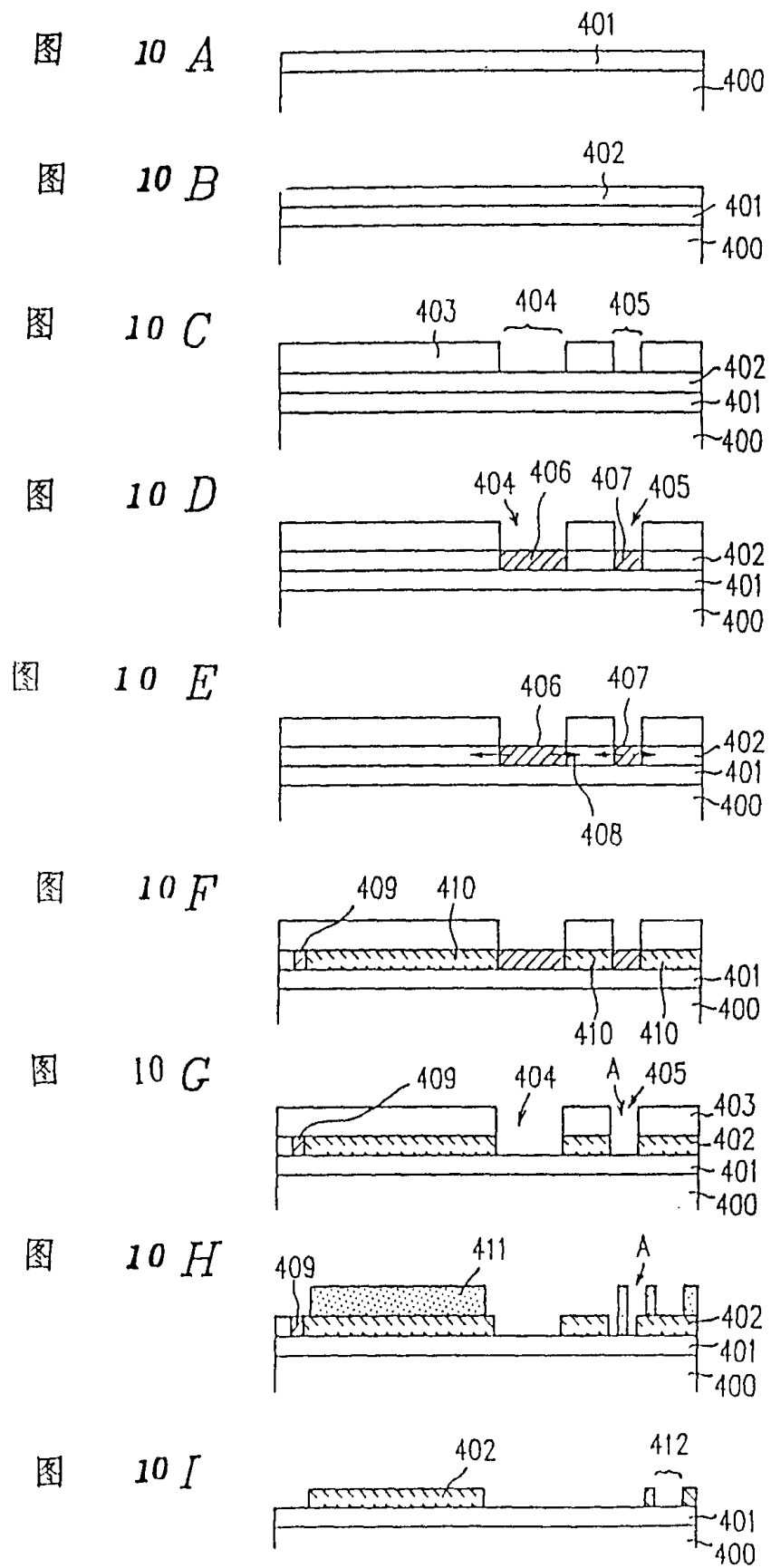


图 10 J

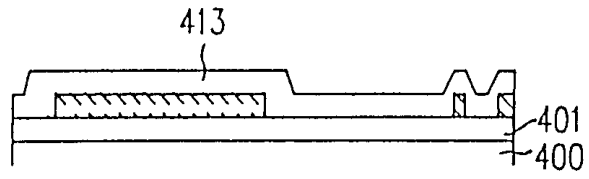


图 10 K

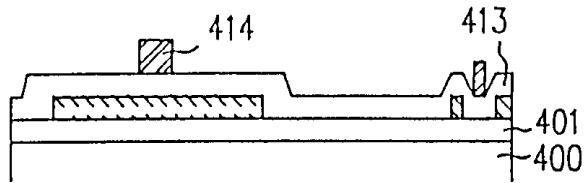


图 10 L

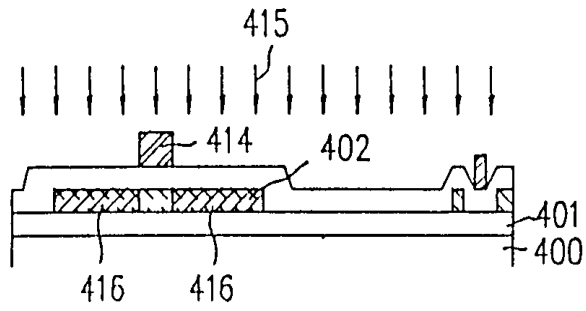


图 10 M

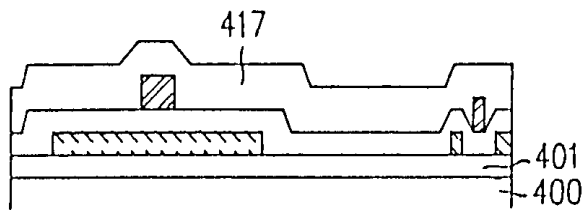


图 10 N

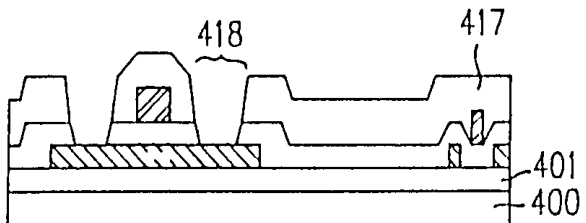


图 10 O

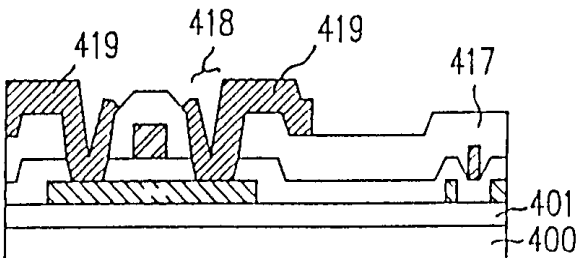


图 11A

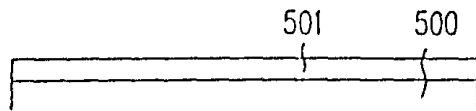


图 11B

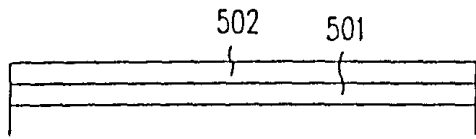


图 11C

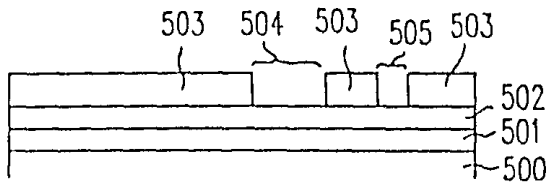


图 11D

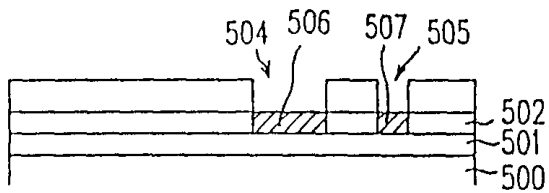


图 11E

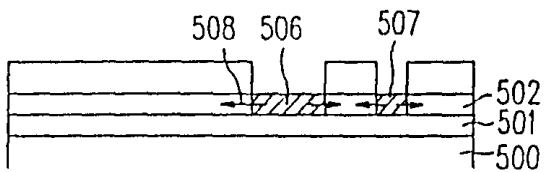


图 11F

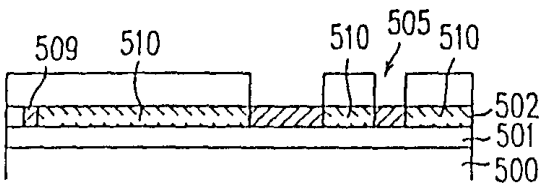


图 11G

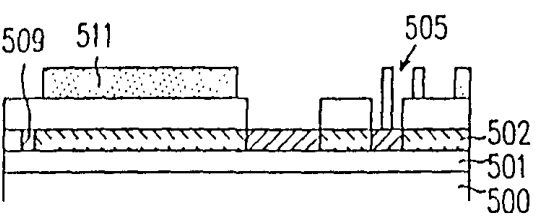


图 11H

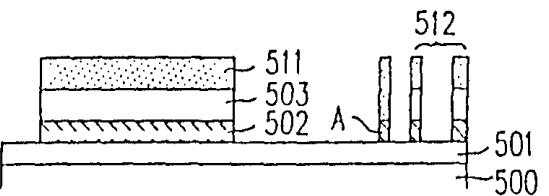


图 11I

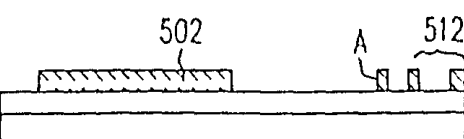


图 11J

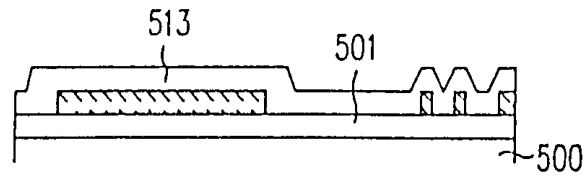


图 11K

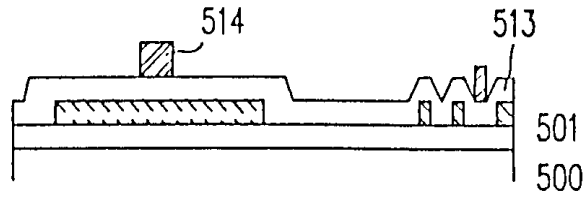


图 11L

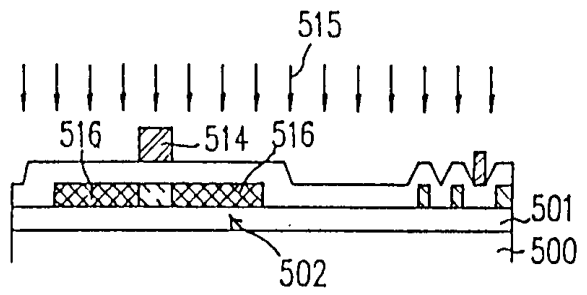


图 11M

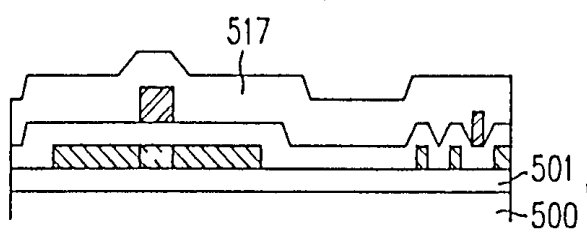


图 11N

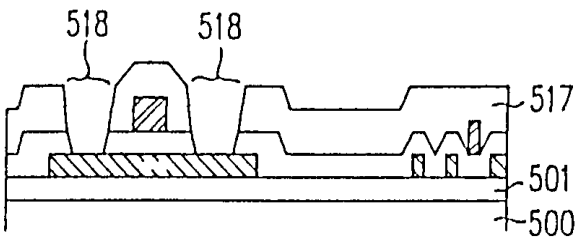
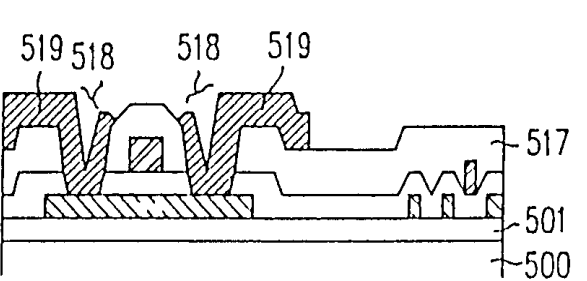
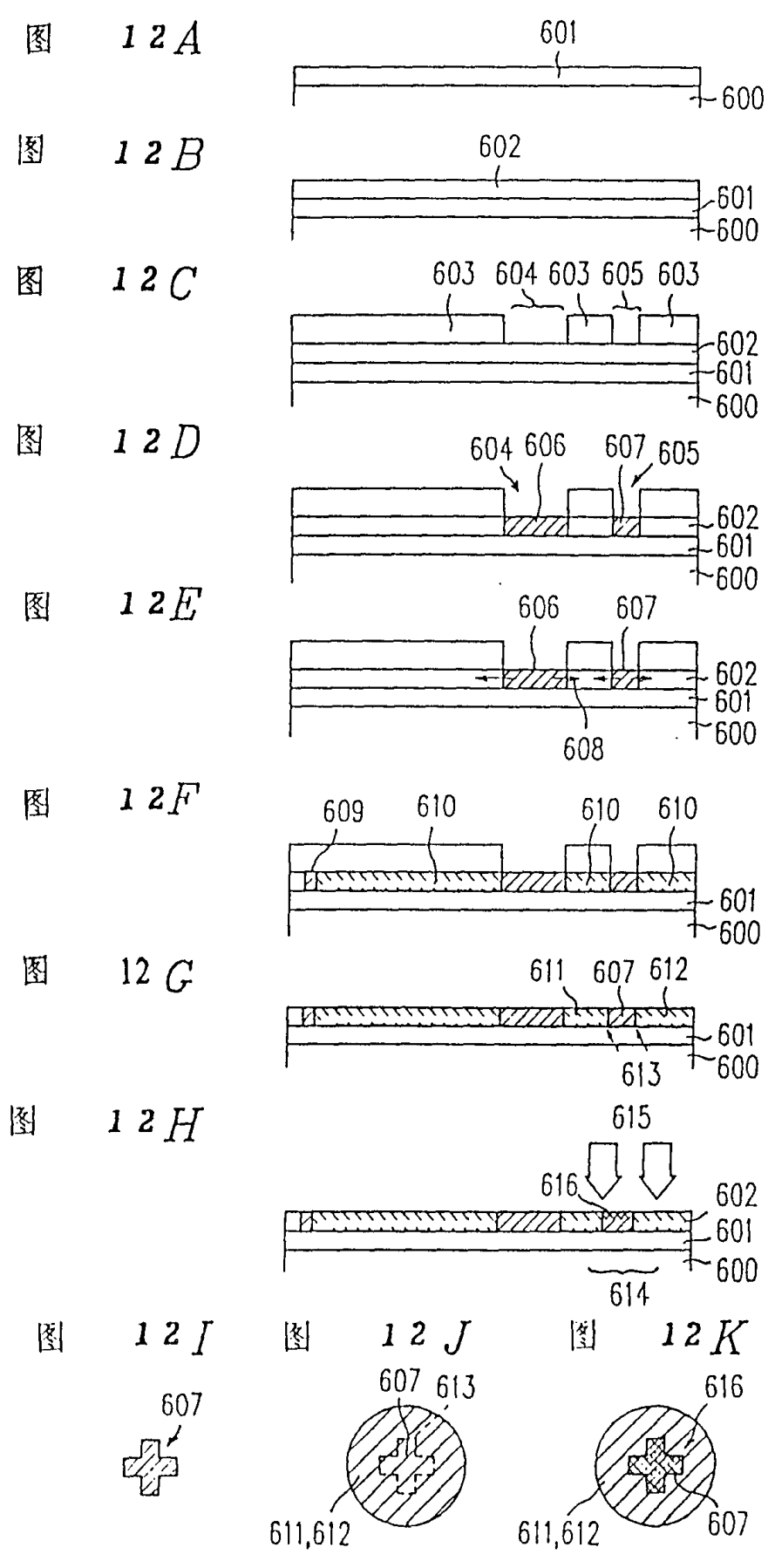


图 11O





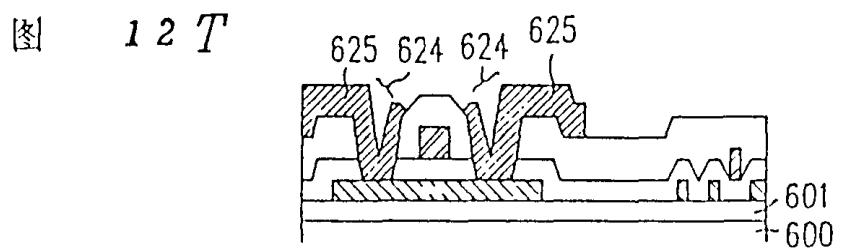
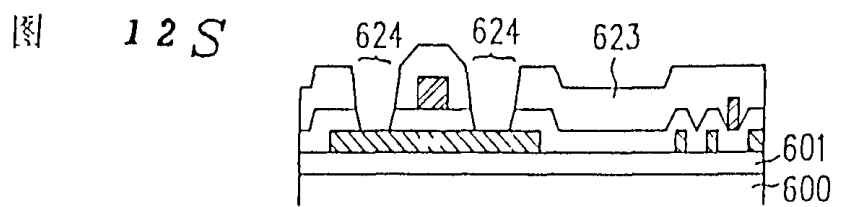
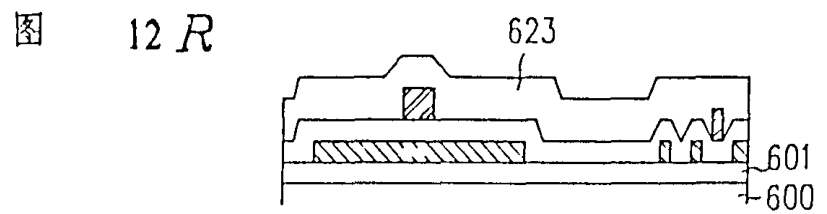
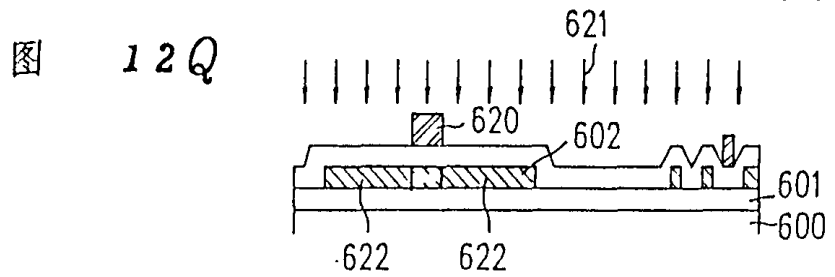
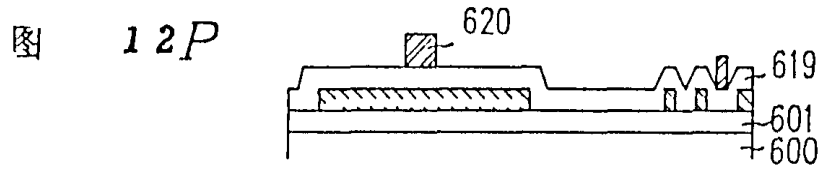
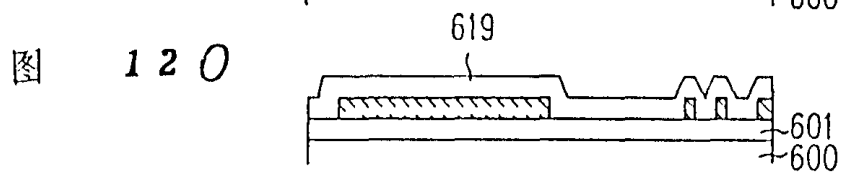
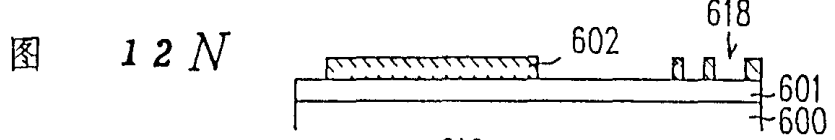
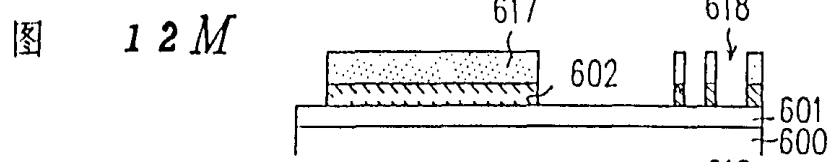
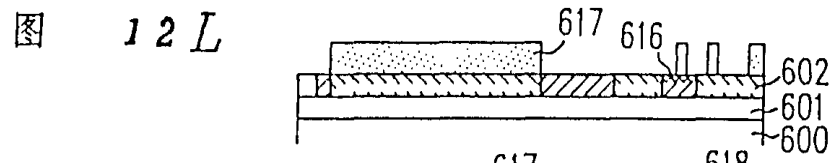


图 13

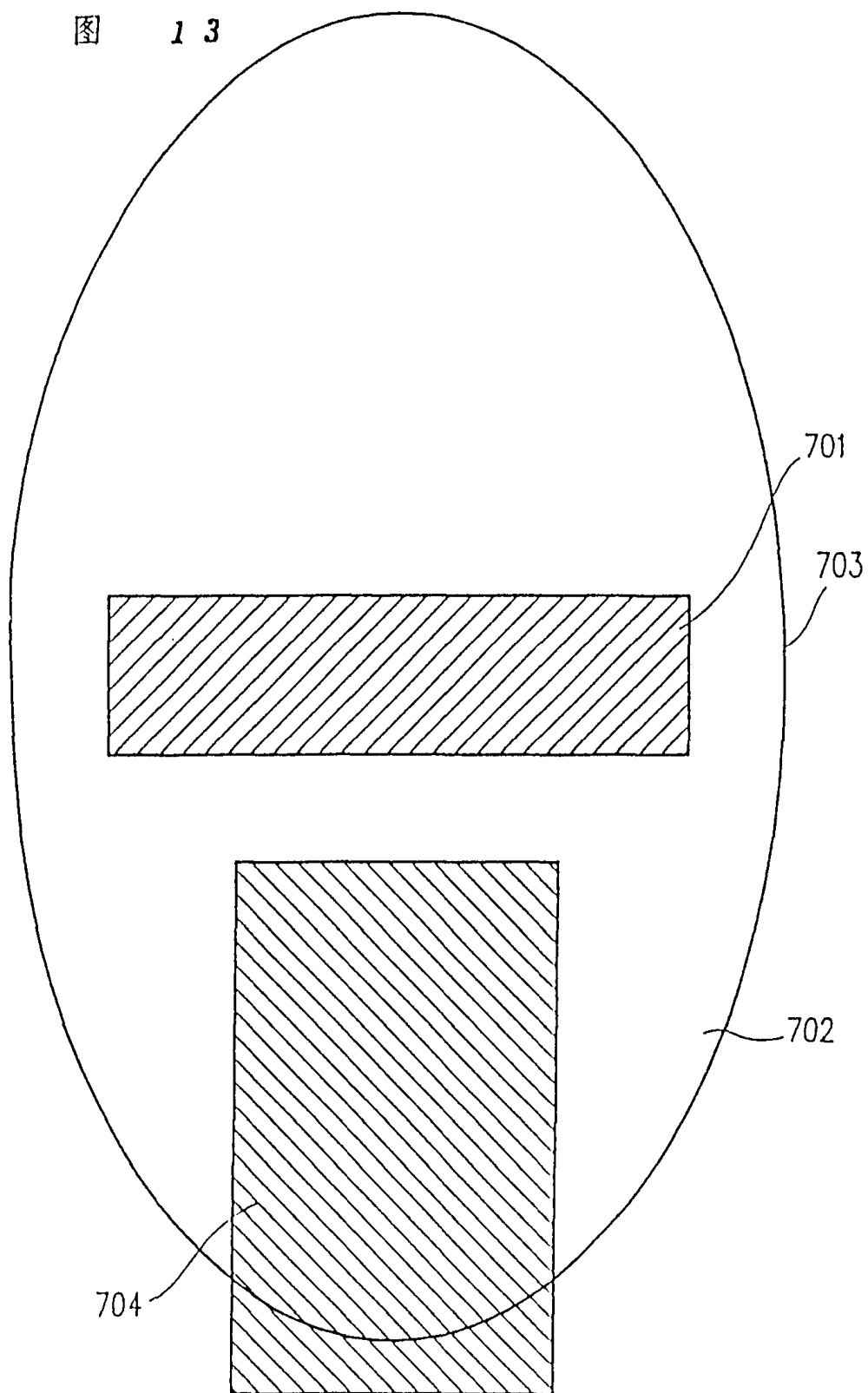
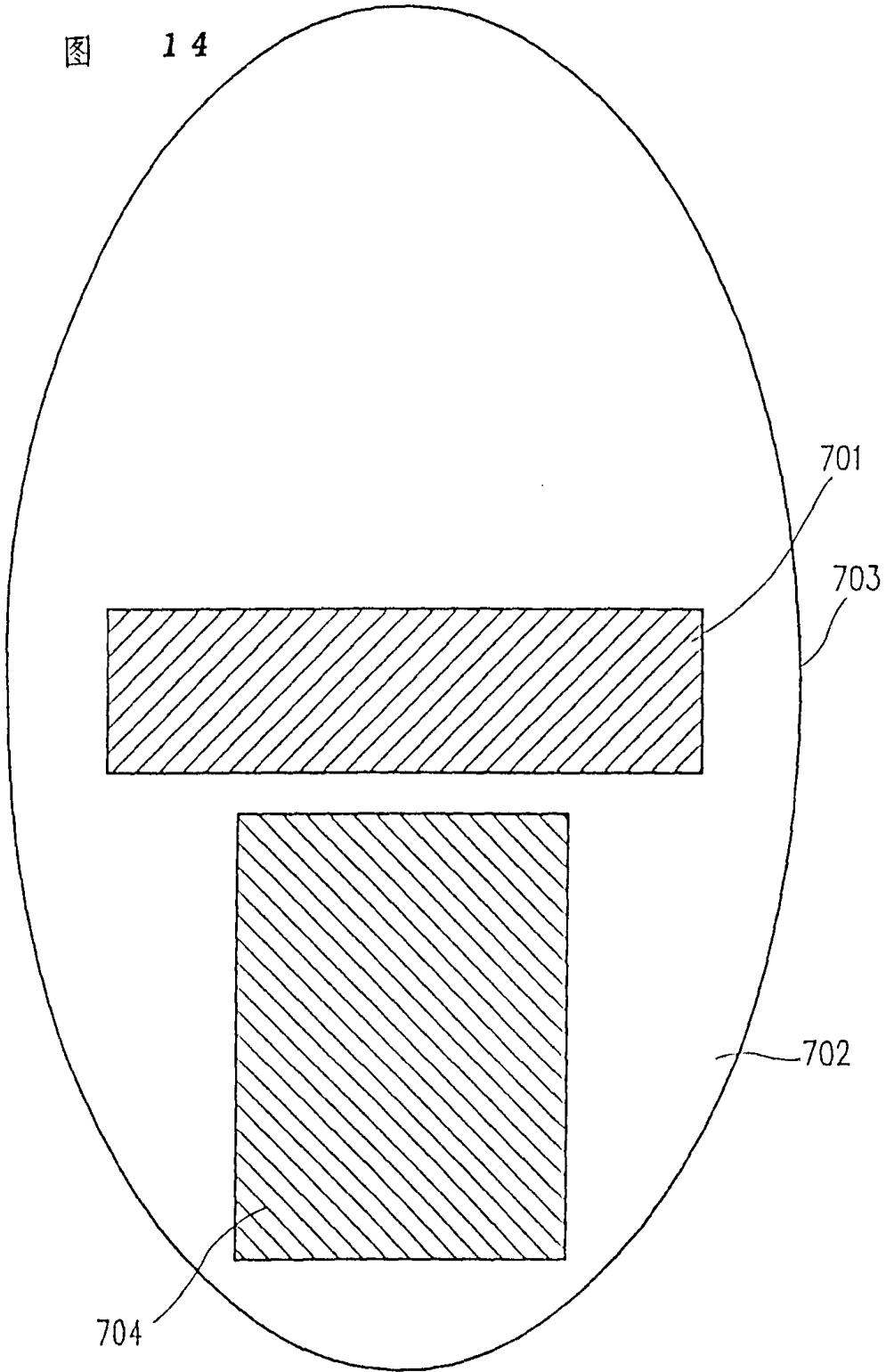
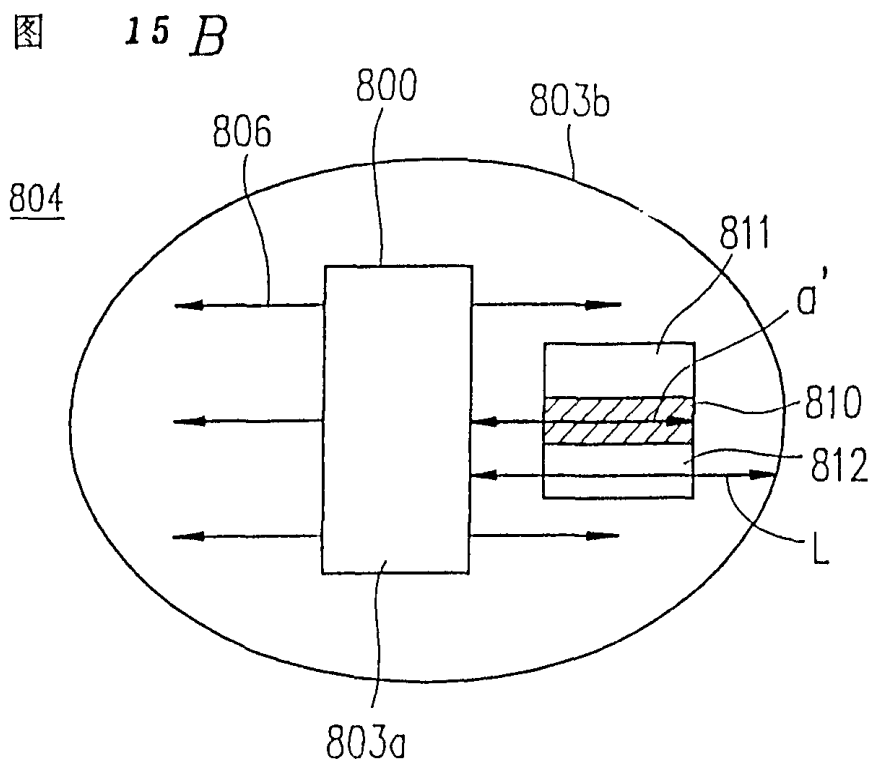
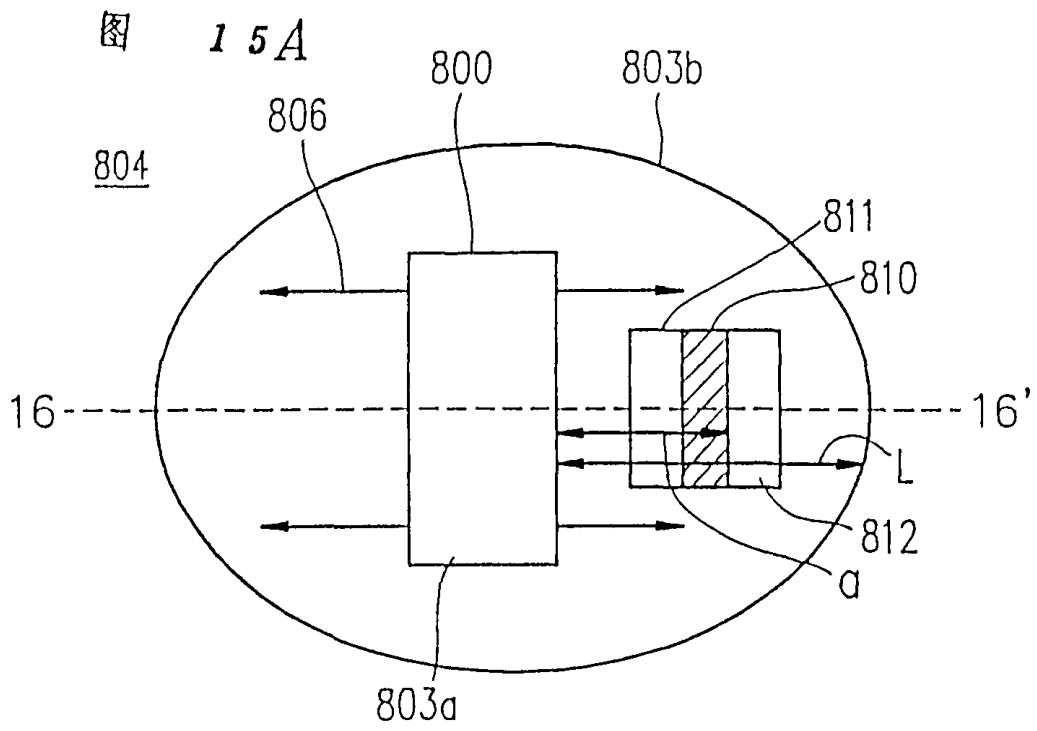


图 14





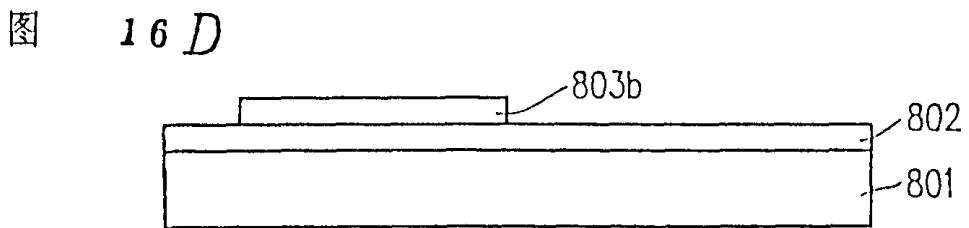
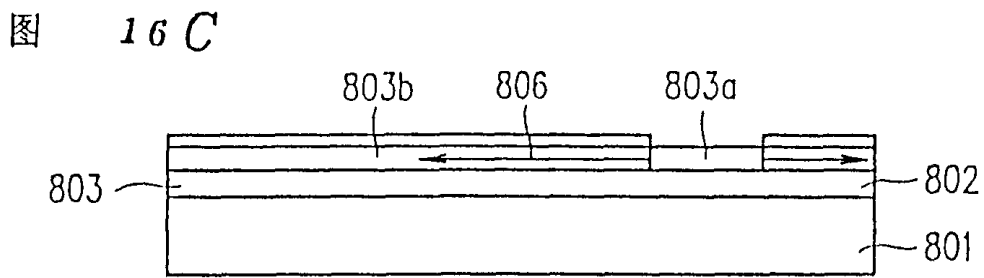
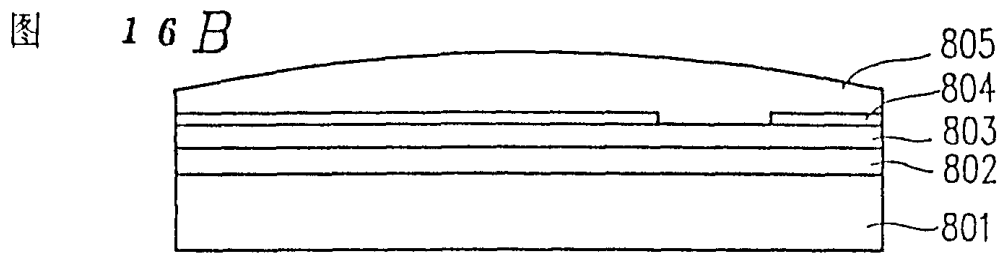
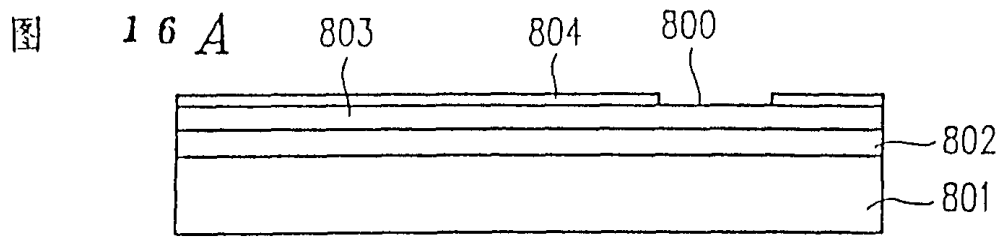


图 16 E

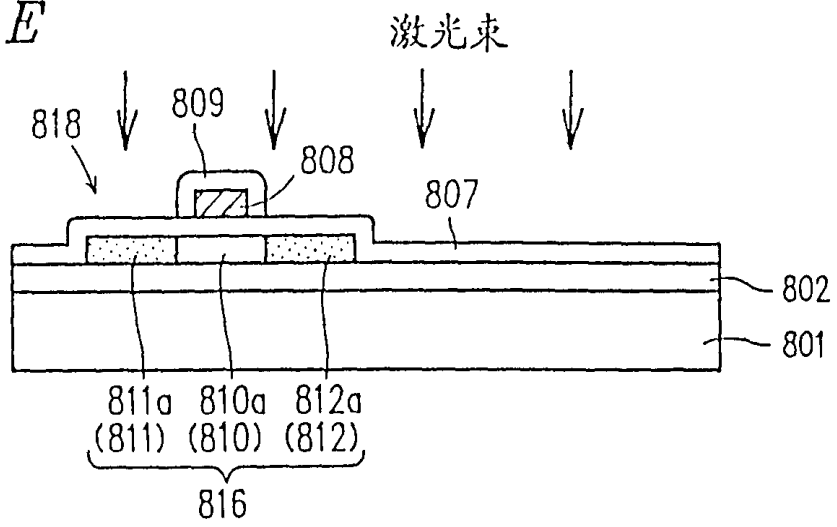


图 16 F

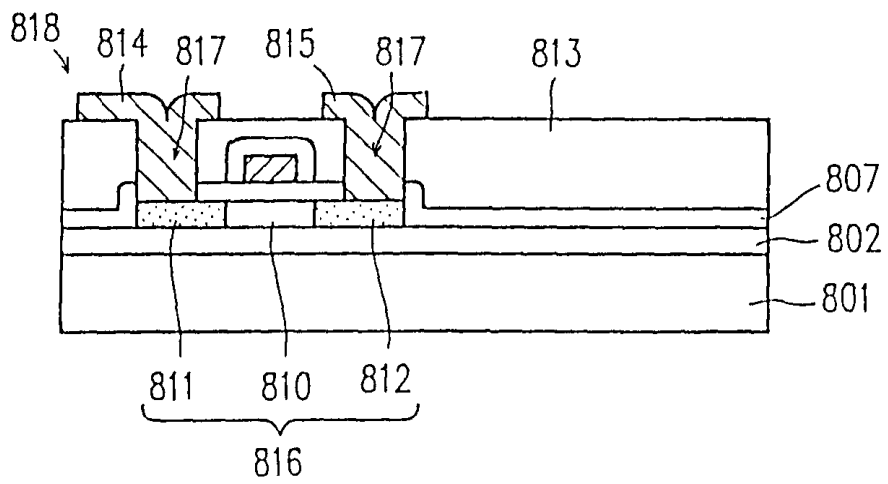


图 17A

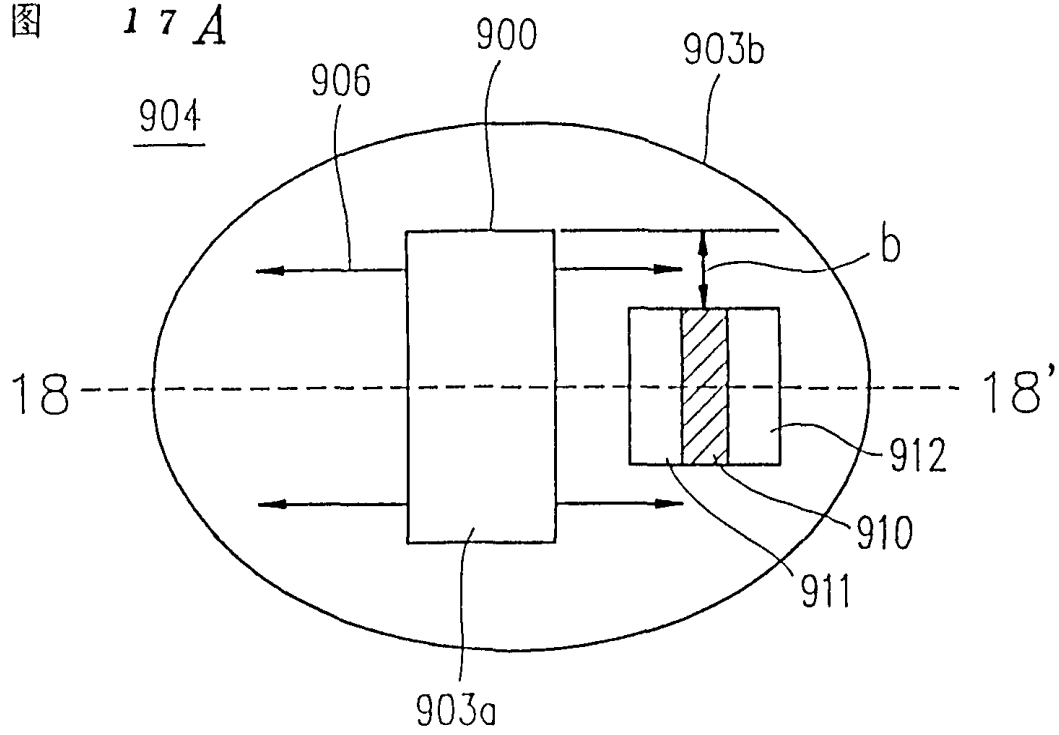


图 17B

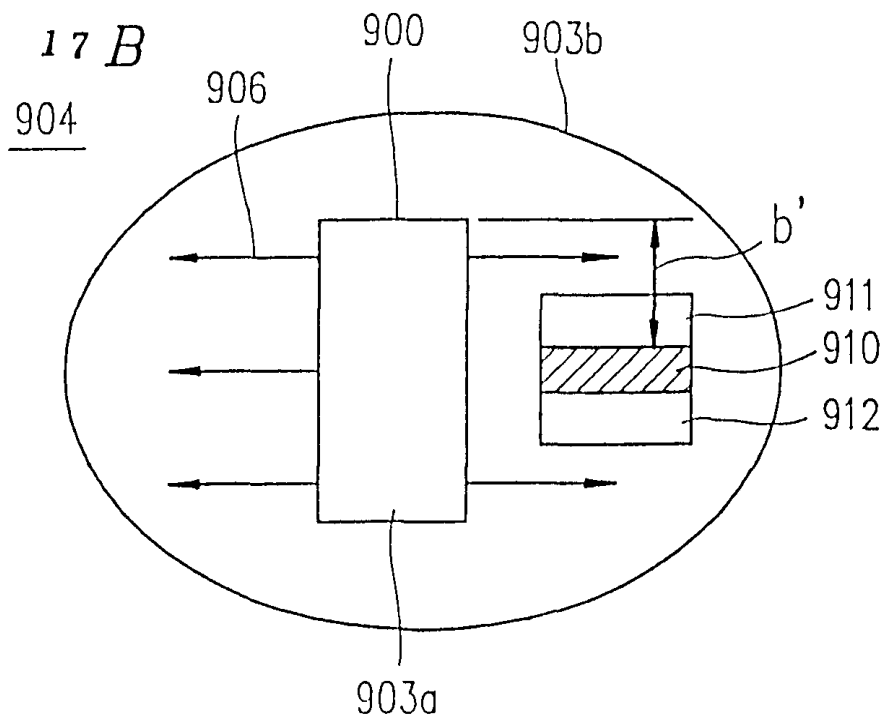


图 18A

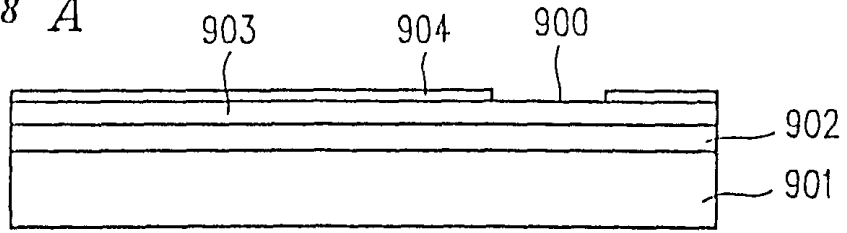


图 18B

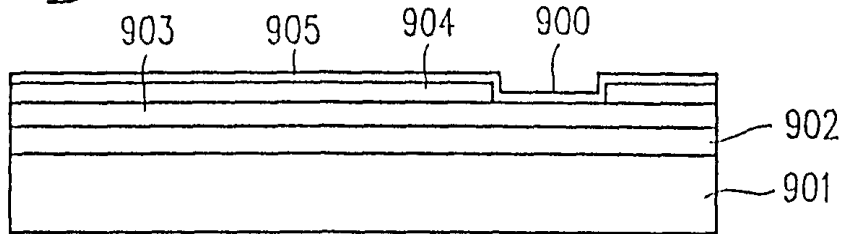


图 18C

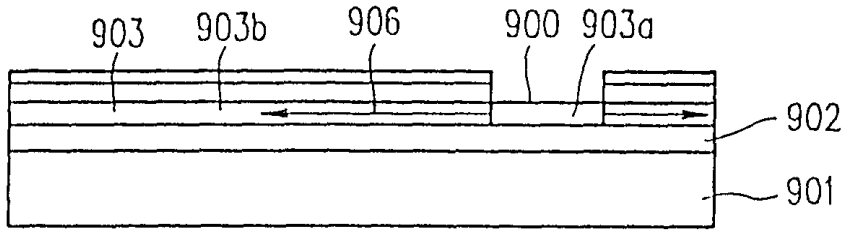
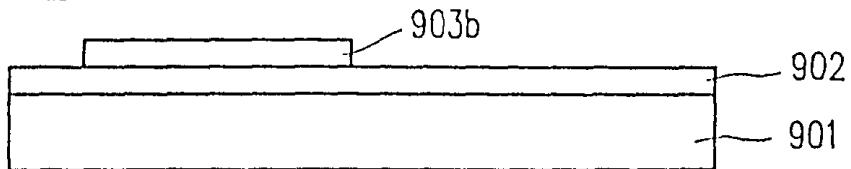


图 18D



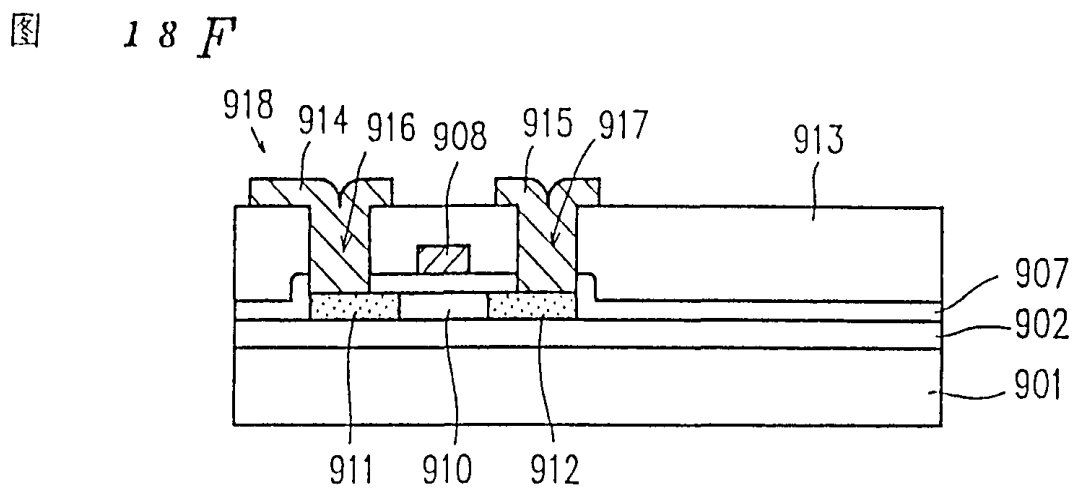
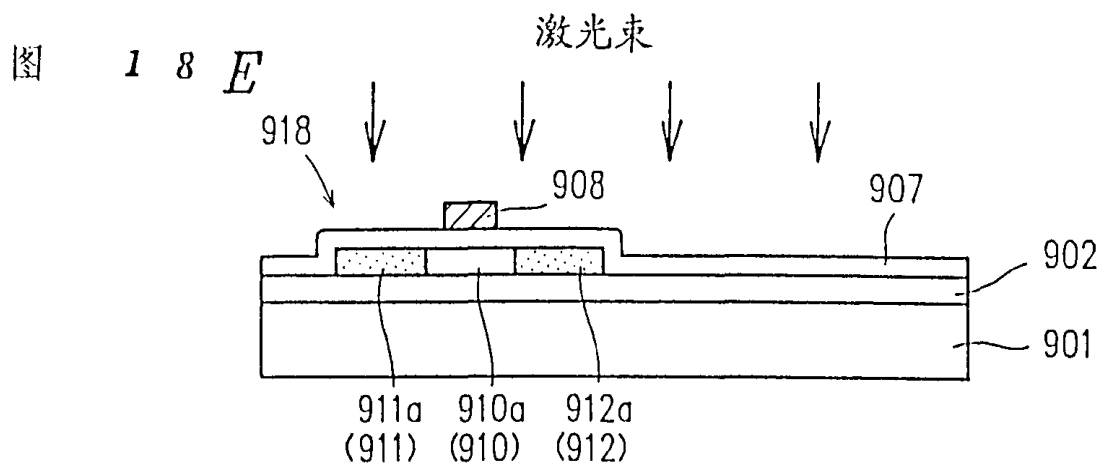


图 19

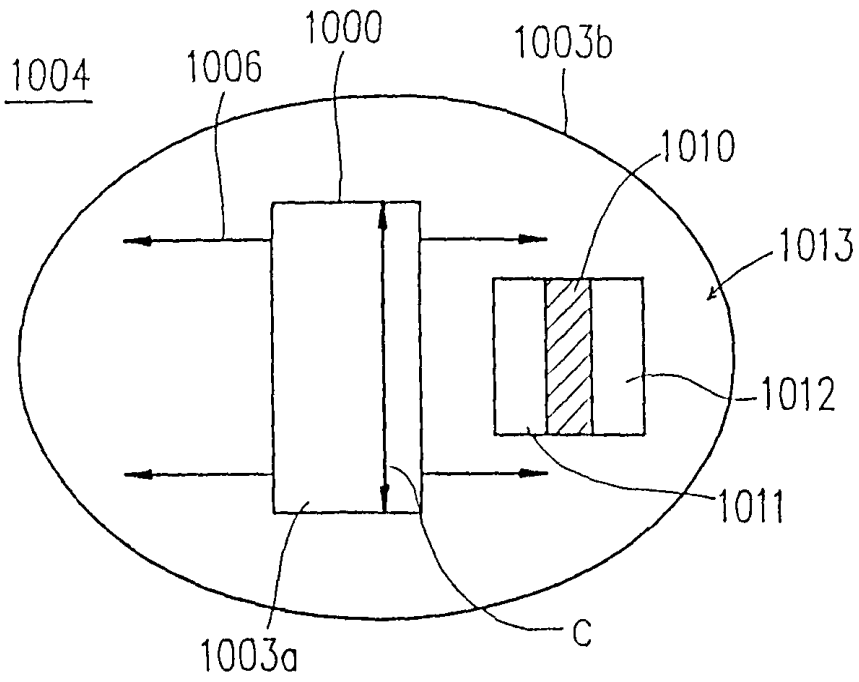


图 20

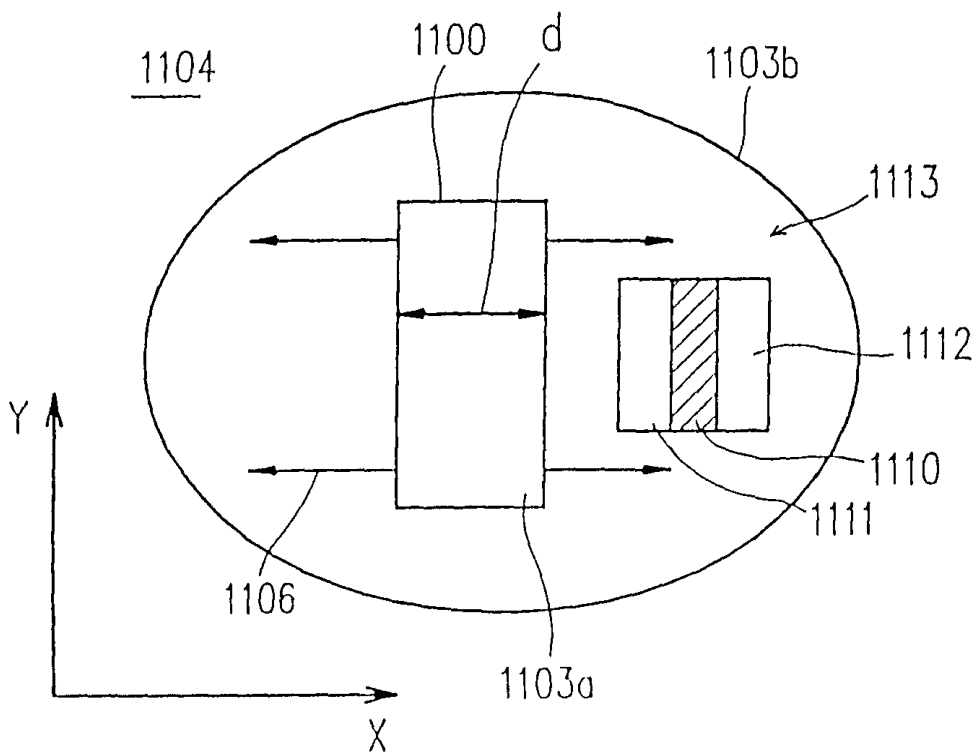


图 21 A

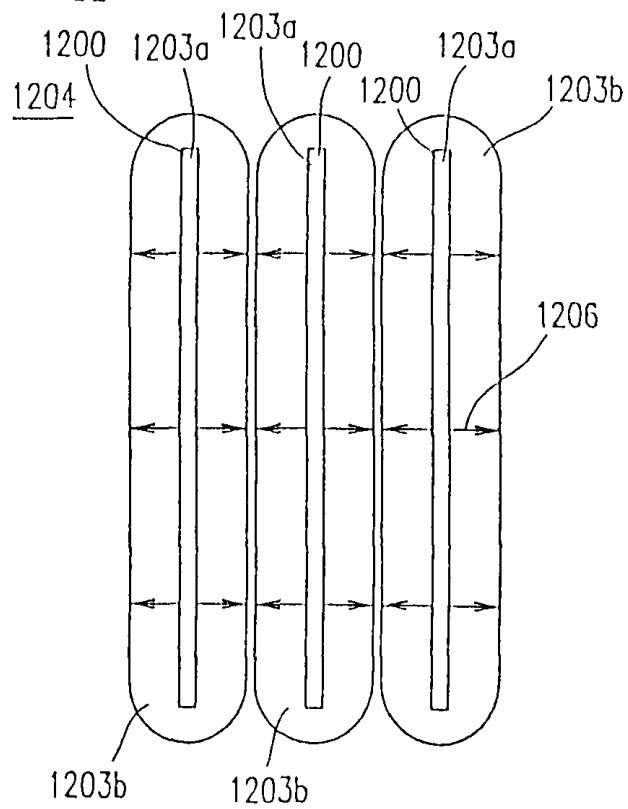


图 21 B

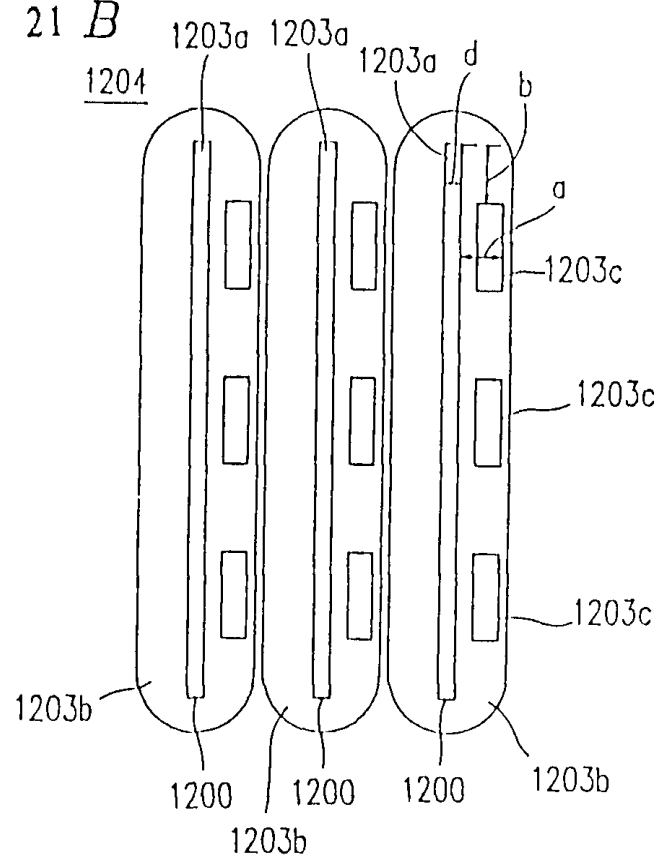


图 21 C

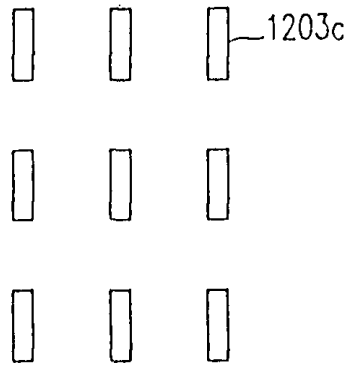


图 21 D

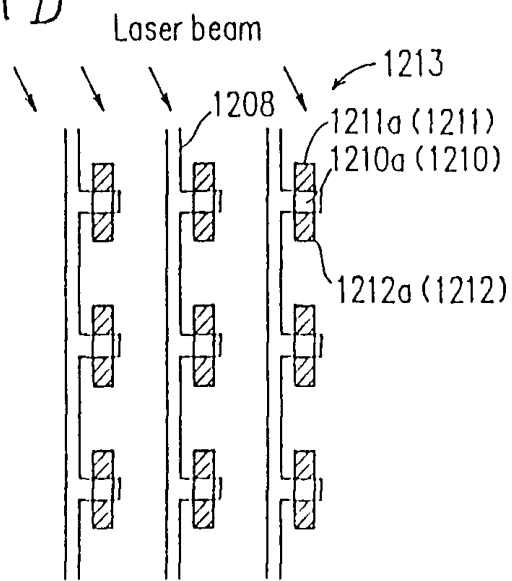
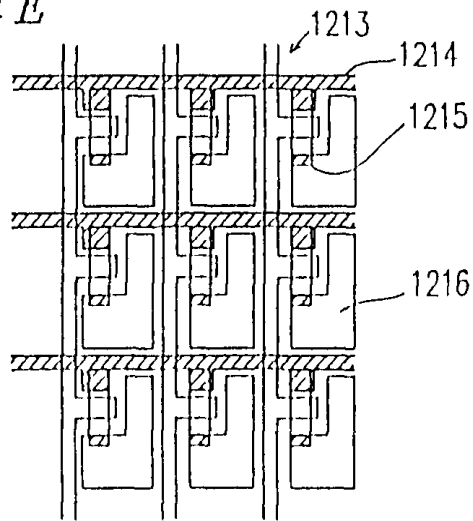


图 21 E



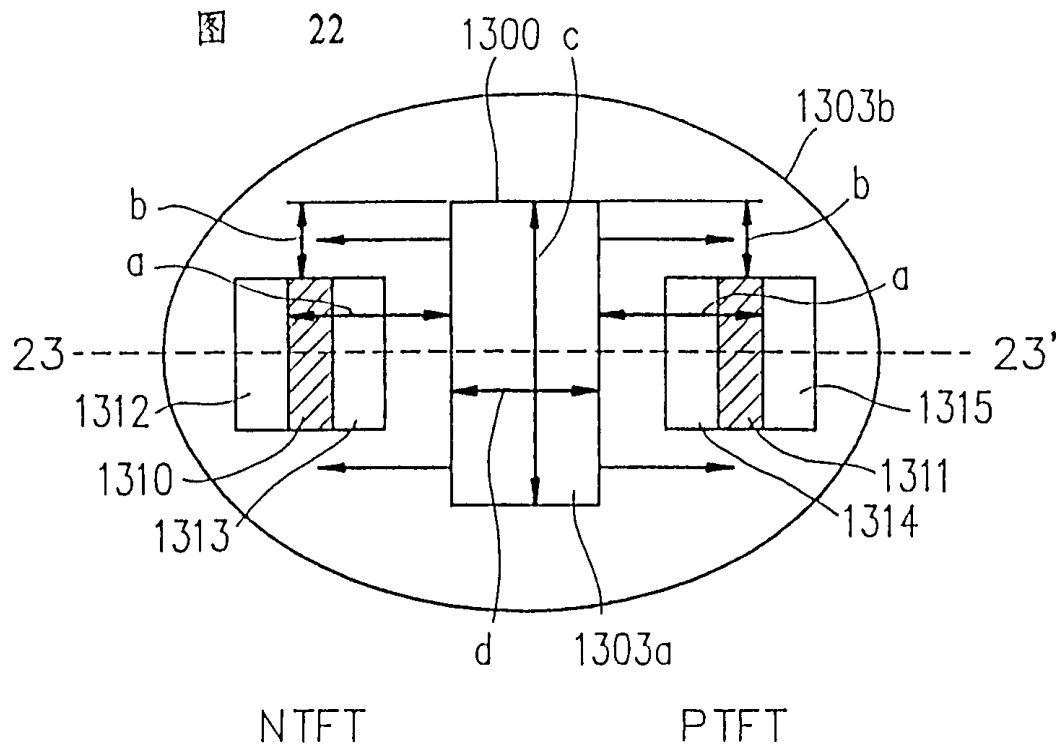


图 23 A

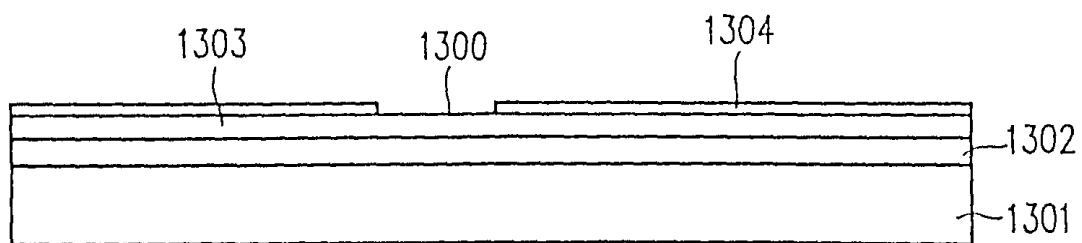


图 23 B

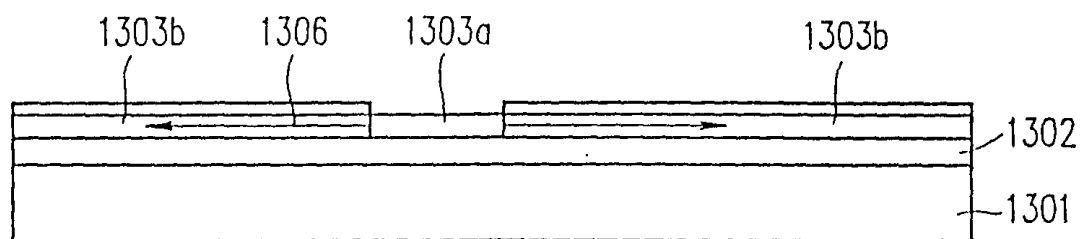


图 23 C

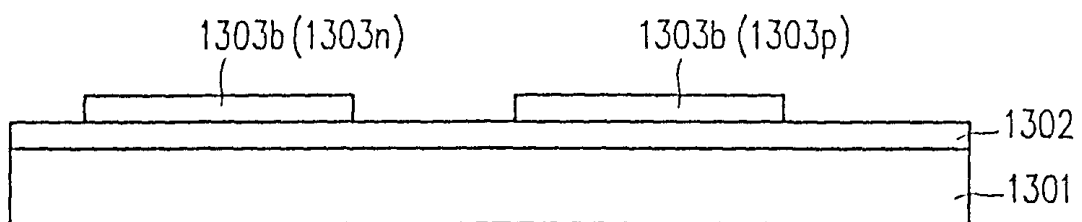


图 23 D

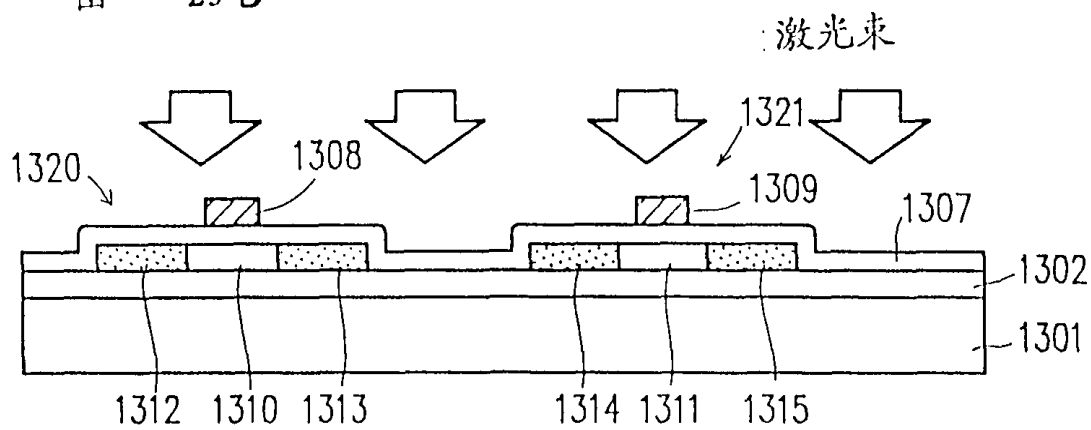


图 23 E

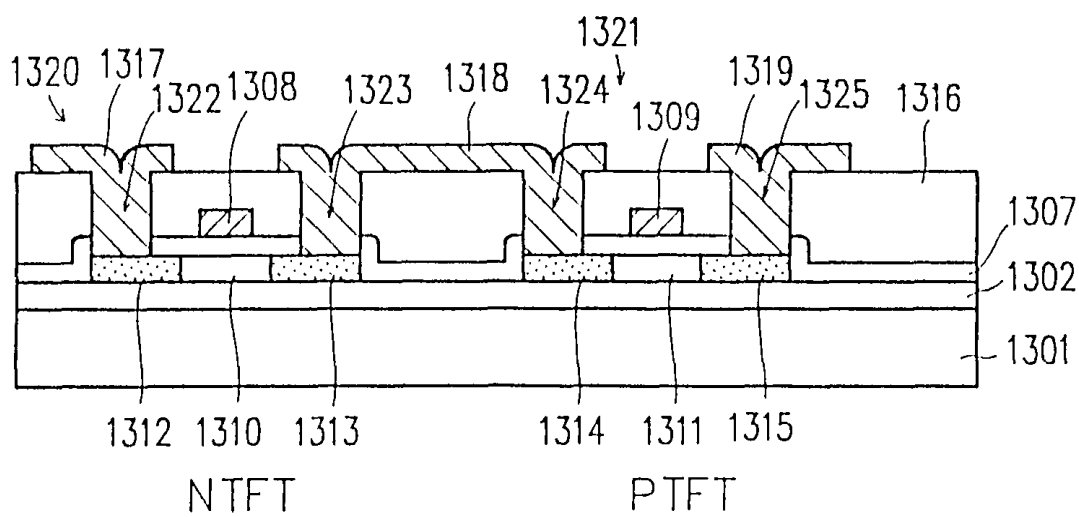


图 2 4

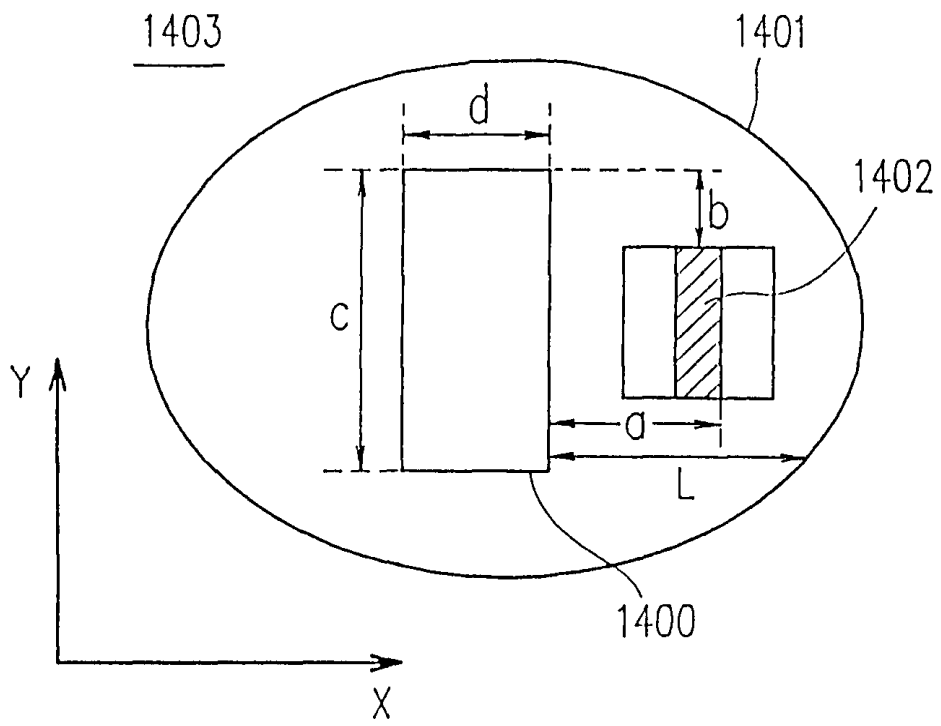


图 25

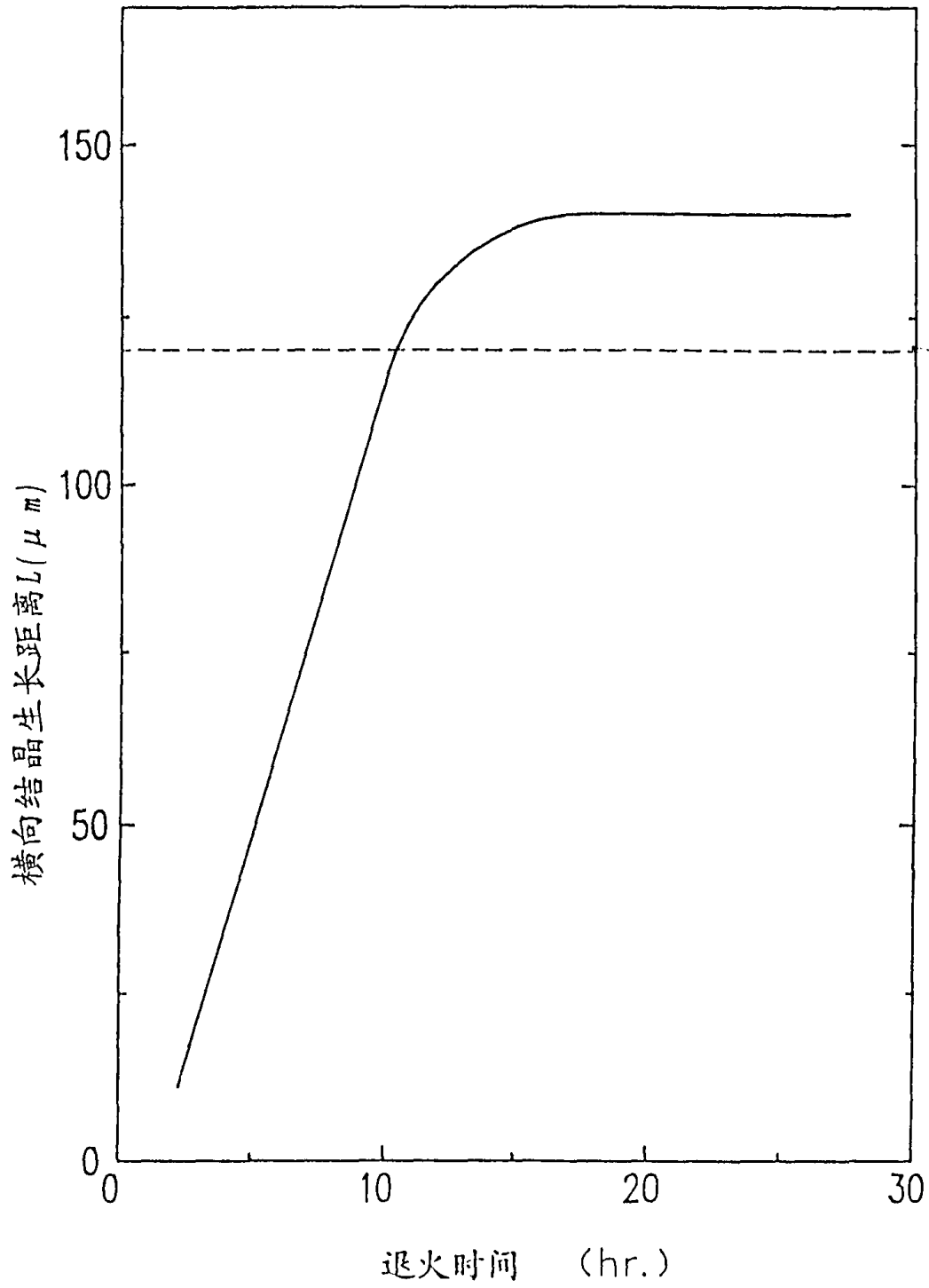


图 2 6

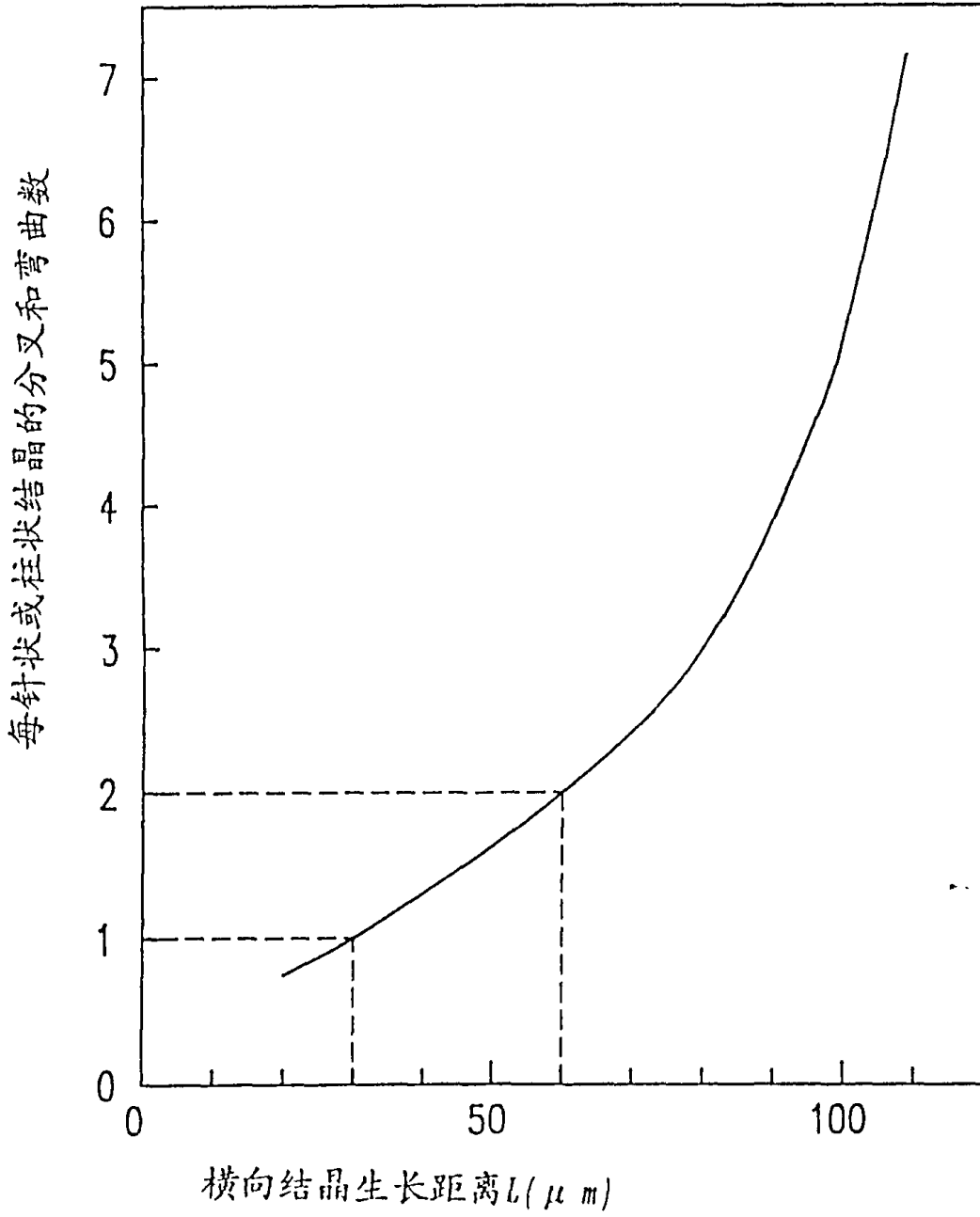


图 27

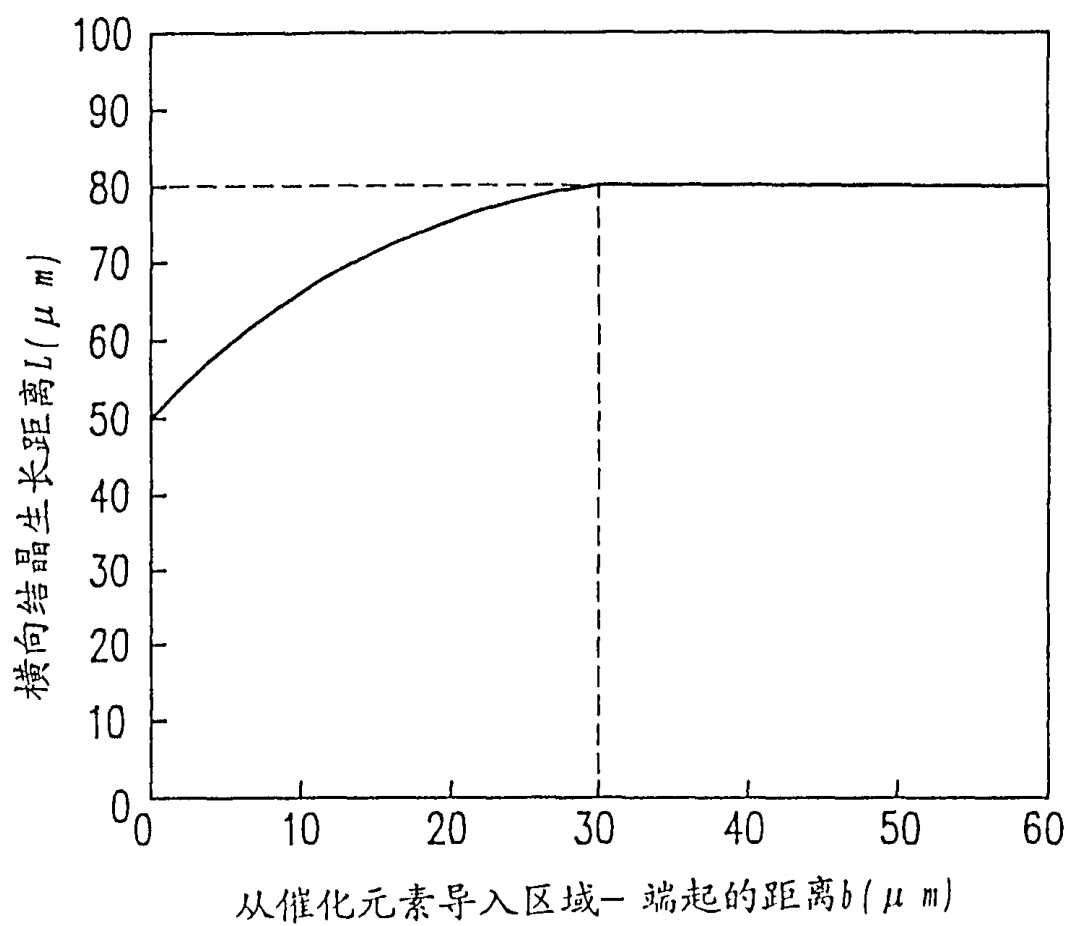


图 28

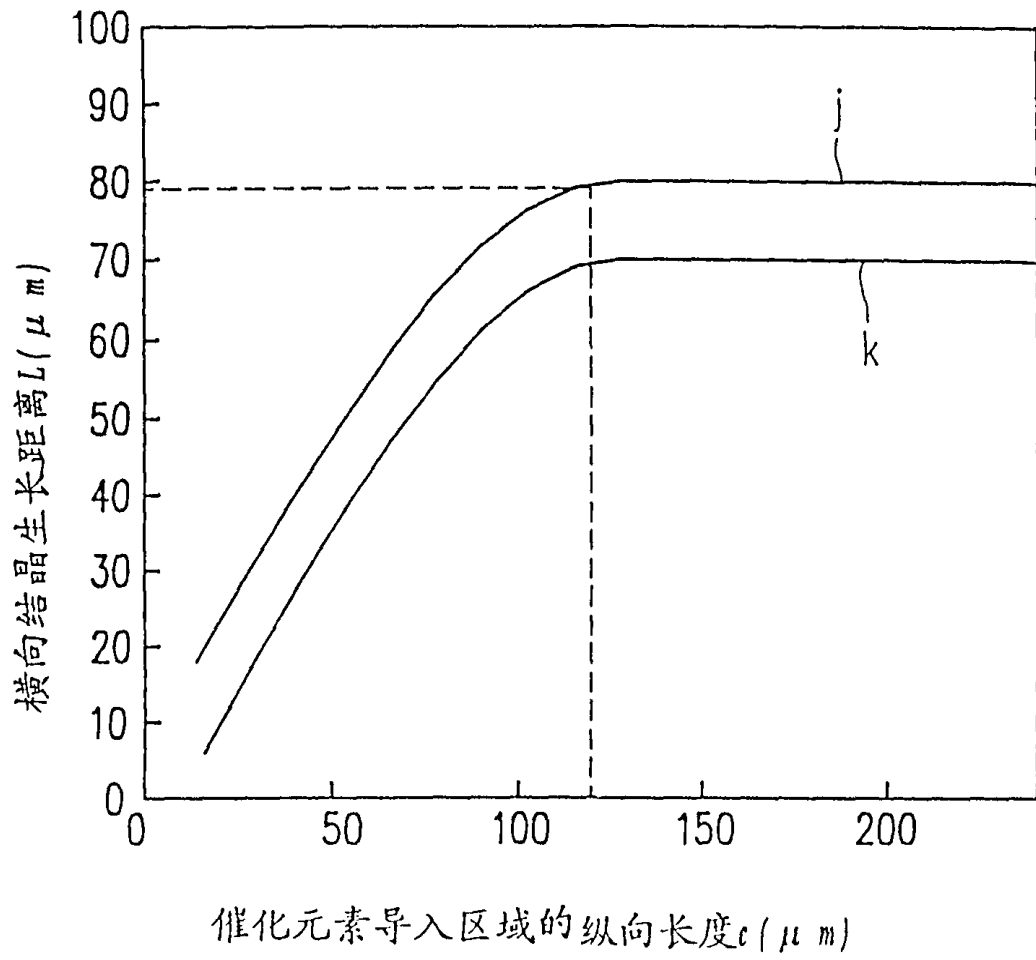


图 29

