

(12) 发明专利

(10) 授权公告号 CN 101568990 B

(45) 授权公告日 2012. 10. 03

(21) 申请号 200780047579. 5

(22) 申请日 2007. 12. 20

(30) 优先权数据

60/876, 407 2006. 12. 20 US

11/958, 025 2007. 12. 17 US

(85) PCT申请进入国家阶段日

2009. 06. 22

(86) PCT申请的申请数据

PCT/US2007/088256 2007. 12. 20

(87) PCT申请的公布数据

W02008/079913 EN 2008. 07. 03

(73) 专利权人 朗姆研究公司

地址 美国加利福尼亚州

(72) 发明人 李时健 弗里茨·雷德克

耶兹迪·多尔迪

(74) 专利代理机构 上海胜康律师事务所 31263

代理人 周文强 李献忠

(51) Int. Cl.

H01L 21/027(2006. 01)

H01L 21/687(2006. 01)

(56) 对比文件

JP 55143036 A, 1980. 11. 08,

JP 10092738 A, 1998. 04. 10,

JP 7102372 A, 1995. 04. 18,

CN 1539158 A, 2004. 10. 20,

CN 1539158 A, 2004. 10. 20,

审查员 周江

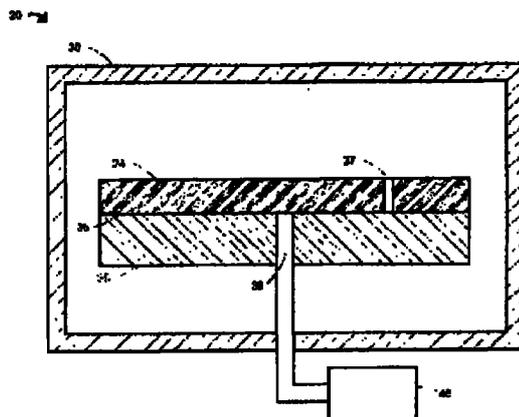
权利要求书 3 页 说明书 10 页 附图 7 页

(54) 发明名称

制造三维集成电路的方法、装置和系统

(57) 摘要

本发明涉及用于制造三维集成电路的方法、装置和系统。该方法的一个实施方式包含提供具有多个透孔的晶片或其它基板。而且,该方法包括使用设置于工艺室内的晶片或其它基板夹具支撑该晶片或其它基板。该方法进一步包括当该晶片或其它基板被支撑于该晶片或其它基板夹具上时,在该晶片或其它基板的正面和该晶片或其它基板的背面之间产生压力差,以便该压力差使得流体通过该透孔流动。而且,该方法包括在该工艺室中为制造集成电路的至少一个工艺创建工艺条件。还提出了依照本发明的系统的实施方式和装置的实施方式。



1. 一种用于处理制造三维集成电路的晶片的系统,该系统包含:  
被配置为在亚大气压下处理该晶片的工艺室;  
设置于该工艺室内的晶片夹具,该晶片夹具包含刚性的本体,该本体被配置,以提供平的平面,以与该晶片的背面接触;该晶片夹具具有与该平面流体连通的流体流动沟道;以及  
与该流体流动沟道连接的真空泵,被配置为在该晶片的正面和背面之间产生压力差,以及  
其中该晶片具有至少一个透孔被配置以使流体从该晶片的正面流动到该晶片的背面,并且该真空泵配置为增强该流体流动。
2. 根据权利要求 1 所述的系统,其中该晶片夹具被配置为将该晶片静电固定于该平面。
3. 根据权利要求 1 所述的系统,其中该晶片夹具进一步包含将该晶片固定于该平面的夹具。
4. 根据权利要求 1 所述的系统,其中该刚性的本体进一步包含多孔材料以使该平面与该晶片的背面接触。
5. 根据权利要求 1 所述的系统,其中该刚性的本体具有空腔和设置于该空腔中的至少一个结构,该至少一个结构从该空腔的底部延伸以便形成该平面。
6. 根据权利要求 1 所述的系统,其中该晶片具有至少一个孔,且该刚性的本体具有空腔和设置于该空腔中的至少一个结构,该至少一个结构从该空腔的底部延伸以便形成该平面,且该结构的形状使得通过该晶片的气体的流动的阻力最小。
7. 根据权利要求 1 所述的系统,其中该刚性的本体具有空腔和设置于该空腔中的至少一个结构,该至少一个结构从该空腔的底部延伸以便形成该平面,且该至少一个结构具有刀锋以接触该晶片。
8. 根据权利要求 1 所述的系统,其中该至少一个透孔被配置以使气体从该晶片的正面传送到该晶片的背面;该真空泵被配置为增强该气体传送。
9. 根据权利要求 1 所述的系统,其中该晶片夹具包括表面,以在该晶片的背面的圆周形成密封。
10. 根据权利要求 1 所述的系统,其中该晶片夹具包括被配置为支撑该晶片的抽吸板且该抽吸板具有至少一个孔,该至少一个孔的位置被设定为暴露该晶片的一个区域以制造集成电路器件。
11. 根据权利要求 1 所述的系统,其中该晶片夹具包括被配置为支撑该晶片的抽吸板且该抽吸板具有至少一个孔,该至少一个孔的位置被设定为暴露该晶片的一个区域以制造集成电路器件,且该抽吸板可移除地耦合于该晶片夹具。
12. 根据权利要求 1 所述的系统,其中该晶片夹具包括表面,以在该晶片的背面的圆周形成密封;该刚性的本体具有空腔和设置于该空腔内的至少一个结构,该至少一个结构从该空腔的底部延伸到该平面。
13. 根据权利要求 1 所述的系统,其中该晶片夹具包括表面,以在该晶片的背面的圆周形成密封;该刚性的本体具有空腔和设置于该空腔内的至少一个结构;该至少一个结构从该空腔的底部延伸到该平面;且该结构具有刀锋以接触该晶片。

14. 根据权利要求 1 所述的系统,其中该工艺室包含:  
化学气相沉积室,或  
原子层沉积室。
15. 根据权利要求 1 所述的系统,其中该工艺室包含等离子体工艺室。
16. 一种制造三维集成电路的方法,该方法包含:  
提供具有多个透孔的晶片;  
使用设置于工艺室内的晶片夹具支撑该晶片;  
当该晶片被支撑于该晶片夹具上时,在该晶片的正面和该晶片的背面之间产生压力差,以便该压力差使得流体通过该透孔流动;  
在该工艺室中为制造集成电路的至少一个工艺创建工艺条件。
17. 根据权利要求 16 所述的方法,其中该透孔是通过该晶片的扩孔,且该扩孔的一端相对于该扩孔的另一端具有较大的直径,并且具有较大直径的该扩孔一端在该晶片的背面。
18. 根据权利要求 16 所述的方法,其中使用该晶片夹具支撑该晶片包括将该晶片静电固定于该晶片夹具。
19. 根据权利要求 16 所述的方法,其中使用晶片夹具支撑该晶片包括将该晶片机械夹持于该晶片夹具。
20. 根据权利要求 16 所述的方法,其中生成该压力差使用该晶片夹具以在该晶片的背面产生减小的压力。
21. 根据权利要求 16 所述的方法,其中生成该压力差包括在该晶片的背面圆周形成密封以及使用该晶片夹具以在该晶片的背面产生减小的压力。
22. 根据权利要求 16 所述的方法,其中在该工艺室中创建工艺条件包括亚大气压工艺条件。
23. 根据权利要求 16 所述的方法,其中在该工艺室中创建工艺条件包括湿法化学工艺条件或干法化学工艺条件。
24. 根据权利要求 16 所述的方法,其中在该工艺室中创建工艺条件包括沉积工艺条件或刻蚀工艺条件。
25. 根据权利要求 16 所述的方法,其中在该工艺室中创建工艺条件包括沉积电绝缘层的工艺条件。
26. 根据权利要求 16 所述的方法,其中在该工艺室中创建工艺条件包括沉积导电层的工艺条件。
27. 根据权利要求 16 所述的方法,其中在该工艺室中创建工艺条件包括完成下述各项的工艺条件:  
化学气相沉积,或  
原子层沉积。
28. 根据权利要求 16 所述的方法,其中在该工艺室中创建工艺条件包括完成无电电镀或电化学镀的工艺条件。
29. 根据权利要求 16 所述的方法,其中在该工艺室中创建工艺条件包括完成物理气相沉积的工艺条件。

30. 根据权利要求 16 所述的方法,其中在该工艺室中创建工艺条件包括沉积铜的工艺条件。

31. 根据权利要求 16 所述的方法,其中在该工艺室中创建工艺条件包括沉积钽或氮化钽的工艺条件。

32. 根据权利要求 16 所述的方法,其中在该工艺室中创建工艺条件包括沉积二氧化硅或低 k 电介质的工艺条件。

33. 一种用于在工艺室中支撑半导体晶片,以执行制造三维集成电路的工艺的晶片夹具,该晶片具有多个从该晶片的背面到该晶片的正面的扩孔透孔,该晶片夹具包含刚性的本体,其被配置,以提供平的平面,以接触该晶片的背面;该晶片夹具具有与该平面流体连通的流体流动沟道,该晶片夹具被配置为与泵连接,以对该流体流动沟道应用真空环境,以在该晶片的正面和背面之间产生压力差;该晶片夹具被配置,以将该晶片静电夹持于该晶片夹具;该刚性的本体具有空腔和设置于该空腔中,且从该空腔的底部延伸以形成该平面的至少一个结构;该结构具有刀锋,以接触该晶片的背面,以使通过该晶片的气体的流动的阻力最小;该晶片夹具具有表面,以在该晶片的背面圆周形成密封。

34. 一种用于制造三维集成电路的工艺的晶片夹具,该晶片夹具被配置为将该晶片静电固定,且该晶片夹具被配置为在该晶片的背面提供真空环境,以在工艺过程中在该晶片的正面和该晶片的背面之间产生压力差,以及

其中该晶片具有至少一个透孔被配置以使流体从该晶片的正面流动到该晶片的背面,并且该晶片夹具被配置为增强该流体流动。

35. 根据权利要求 16 所述的方法,其中该透孔是埋头透孔或扩孔透孔,且该透孔的一端相对于该透孔的另一端具有较大的直径,并且具有较大直径的该透孔的一端是在该晶片的背面。

## 制造三维集成电路的方法、装置和系统

### 交叉引用

[0001] 本申请主张申请序列号为 60/876407, 档案号为 XCR-003, 名称为“METHODS, APPARATUSES, AND SYSTEMS FOR FABRICATING THREE DIMENSIONAL INTEGRATED CIRCUITS”, 申请人为 Shijian LI、Fritz REDEKER 和 Yezdi DORDI, 申请日为 2006 年 12 月 20 日的美国专利申请的利益。申请日为 2006 年 12 月 20 日, 申请序列号为 60/876407 的美国专利申请的内容皆由引用纳入此处。

### 背景技术

[0002] 本发明涉及三维集成电路和用于制造三维集成电路的装置、方法和系统; 更准确地说, 本发明有关于用于三维集成电路的互连金属化的装置、方法和系统。

[0003] 三维集成电路包括两个或多个具有集成电路的半导体芯片或包括两个或多个具有集成电路的半导体晶片。该半导体芯片或半导体晶片是在三个维度上堆叠起来、粘合并电性互连, 也就是说, 在该半导体芯片或半导体晶片之内集成且在该半导体芯片或半导体晶片之间集成。该芯片之间或该晶片之间的互连是通过从一个或多个该芯片或一个或多个该半导体晶片的背面到前面的透孔 (through hole) 实现的。换句话说, 芯片的堆栈或晶片的堆栈之间的电性连接是通过透孔的方式实现的。三维集成电路具有大量的透孔, 以在该半导体芯片之间或该半导体晶片之间实现互连金属化。

[0004] 依照一些设计, 三维集成电路会使用具有小于 1 微米的直径的透孔。一些透孔的长度在几微米到 20 微米或更长的范围内。其后果是, 与制造二维集成电路的标准技术相比, 处理该透孔的纵横比是极高的。制造二维集成电路的典型工艺不能轻易地处理制造三维集成电路所需要的极高的纵横比。而且, 制造二维集成电路的典型工艺是为处理盲孔而设计的。需要另外的工艺步骤来成功地形成透孔。

[0005] 对于铜金属化的具体实施例, 三维集成电路的要求可包括在该透孔的侧壁上沉积电介质层、在该电介质层上沉积阻障层以及足以使得在该堆栈中的不同的芯片或晶片上的电路能够电性互连的铜填充。这些与三维集成电路的极高纵横比相关的要求使得使用标准的二维集成电路处理技术成功制造三维集成电路的前景相当渺茫。

[0006] 显然, 使用标准的二维集成电路制造技术不能满足制造三维集成电路的所有这些要求。三维集成电路的实际制造要求能够满足三维集成电路金属化的要求的新的工艺、装置和系统。更准确地说, 有对于能够满足三维集成电路的超高纵横比要求, 同时能够提供质量达到高性能器件要求的绝缘体、阻障层和金属等材料的沉积的新的工艺、装置和系统的需要。

### 发明内容

[0007] 本发明涉及用于制造三维集成电路的方法、装置和系统。本发明寻求克服制造三维集成电路 (例如具有集成电路的半导体芯片或半导体晶片的堆栈) 的标准技术的一个或多个缺陷。

[0008] 本发明的一个方面是提供一种用于制造三维集成电路的方法。在一个实施方式中,该方法包含提供具有多个透孔的半导体晶片。而且,该方法包括使用设置于工艺室内的晶片夹具支撑该晶片。该方法进一步包括当该晶片被支撑于该晶片夹具上时,在该晶片的正面和该晶片的背面之间产生压力差,以便该压力差使得流体通过该透孔流动。而且,该方法包括在该工艺室中为制造集成电路的至少一个工艺创建工艺条件。

[0009] 本发明的另一个方面是提供一种被配置为处理制造三维集成电路的晶片的系统。依照一个实施方式,该系统包含被配置为在亚大气压下处理该晶片的工艺室。该系统还包括晶片夹具以提供大体上平的平面,以与该半导体晶片的背面接触。该晶片夹具具有与该平面流体连通的流体流动沟道。该晶片夹具设置于该工艺室内以固定该晶片。该系统进一步包括与该流体流动沟道连接的真空泵,该真空泵被配置为在该半导体晶片的正面和背面之间产生压力差。

[0010] 应当理解,本发明不限于在下述具体实施方式和附图中所呈现的结构和元件的设置的应用。本发明具有其它实施方式,而且可以通过多种方式来实施或执行。而且,应当理解,此处所用的语句和术语是为了描述的目的,不应当被理解为限制性的。

[0011] 如此,本领域的技术人员应当理解,本揭示所依据的构想可以很容易的作为其它结构、方法和系统的设计基础,以实现本发明的各个方面。因此,重要的是,权利要求应当被认为是包含这些等同结构,只要其不悖离本发明的精神和范围。图 6 是本发明的一个实施方式的图示。

附图说明图 1 是本发明的一个实施方式的图示。图 1A 是本发明的一个实施方式的图示。图 1B 是本发明的一个实施方式的图示。图 2 是本发明的一个实施方式的图示。图 2A 是本发明的一个实施方式的图示。图 2B 是本发明的一个实施方式的图示。图 2C 是本发明的一个实施方式的图示。图 2D 是本发明的一个实施方式的图示。图 3 是本发明的一个实施方式的图示。图 4 是本发明的一个实施方式的图示。图 4A 是本发明的一个实施方式的图示。图 5 是本发明的一个实施方式的图示。图 5A 是本发明的一个实施方式的图示。图 5B 是本发明的一个实施方式的图示。图 6 是本发明的一个实施方式的图示。

[0012] 本领域的技术人员可以理解,图中的元件是简单而清楚的表示的,不一定是按照比例描绘的。例如,图中一些元件的尺寸可能相对于其它的元件是夸大的,以便于促进对本发明的实施方式的理解。

### 具体实施方式

[0013] 本发明涉及三维集成电路的互连金属化。更准确地说,本发明涉及形成该金属化以形成从半导体晶片的前面到背面穿过该半导体晶片的金属化连线。该金属化用于在三维集成电路中使用的上级半导体晶片。

[0014] 下面,本发明的实施方式的操作主要是以对在堆栈晶片三维集成电路中使用的半导体晶片的处理为背景讨论的。更准确地说,本发明的实施方式的操作是以对三维硅集成电路的硅晶片的处理为背景讨论的。然而,应当理解,本发明的实施方式可以被用于其它的半导体器件及其它半导体晶片。

[0015] 在下面对附图的描述中,使用同样的参考标号代表所有附图共有的大体上相同的

元件或步骤。

[0016] 现在参考图 1、图 1A 和图 1B,其中显示了被配置为处理晶片 24 以用于三维集成电路制造的系统 20 的横截面侧视图。系统 20 包括工艺室 30、晶片夹具 35 和真空泵 40。

[0017] 工艺室 30 大体上可以是通常用于处理半导体晶片以进行集成电路金属化的任何类型的工艺室。工艺室 30 的合适的类型的工艺室的实施例是化学气相沉积室、低压化学气相沉积室、大气压化学气相沉积室、原子层沉积室、等离子体增强化学气相沉积室、无电沉积室和电化学沉积室。

[0018] 换句话说,工艺室 30 被配置为完成用于三维集成电路的晶片的金属化所必须的工艺。一些可以使用工艺室 30 完成的工艺的实施例是电介质材料,比如二氧化硅、氮化硅、碳化硅和低 k 电介质的沉积;金属阻挡层,比如钽、氮化钽和氮化钨的沉积;金属比如铜的沉积;表面处理比如表面清洁和使表面金属富集。

[0019] 晶片 24 被配置为用于三维集成电路。典型的三维集成电路包括两个或多个具有集成电路的半导体芯片或两个或多个具有集成电路的半导体晶片堆叠在一起而且在三维上电性互连,也就是说,在该半导体芯片或半导体晶片之内集成且在该半导体芯片或半导体晶片之间集成。该芯片之间或该晶片之间的互连是通过从一个或多个该芯片或一个或多个该半导体晶片的背面到前面的透孔实现的。晶片 24 具有至少一个透孔 27,以进行金属化互连。被用来进行集成电路的实际处理的晶片可能有大量透孔。然而,为了描绘的更加清楚,在图 1、图 1A 和图 1B 中只显示了一个透孔。

[0020] 作为本发明的一些实施方式的一个选项,晶片 24 包含半导体晶片,比如硅晶片。作为替代,本发明的其它实施方式被安排为处理除了标准半导体晶片以外的晶片。本发明的实施方式的晶片或其它基板的实施例包括但不限于,普通晶片、加薄的晶片、部分晶片、加薄的部分晶片、玻璃基板、氧化铝基板、在绝缘体基板上的半导体、两层或多层硅和/或任何其它材料的组合以及其它用来制造集成电路的基板。

[0021] 晶片夹具 35 被配置为在工艺室 30 中在晶片 24 处理过程中固定晶片 24。晶片夹具 35 包含大体上刚性的本体,其被配置以提供实在的平面 36,以接触半导体晶片 24 的背面。晶片夹具 35 具有流体流动沟道 38,其与平面 36 流体连接。晶片夹具 35 与真空泵 40 连接,以在平面 36 上产生减小的压力;该减小的压力是由真空泵 40 通过流体流动沟道 38 产生的。施加在平面 36 的减小的压力在半导体晶片 24 的正面和背面产生压力差。该压力差使得在工艺室 30 中提供的工艺液体的至少一部分通过透孔 27 从晶片 24 的正面吸收到晶片 24 的背面,然后通过流体流动沟道 38 流到真空泵 40 上。图 1 所示的晶片夹具 35 具有不止一种可能的设计;晶片夹具 35 的其它的结构也是可能的,该结构可以使得流体从表面 36 流向真空泵 40 更加容易。

[0022] 晶片夹具 35 包含与集成电路制造工艺兼容的材料。优选地,晶片夹具 35 是由在工艺室中使用的其它类型的半导体晶片夹具的材料制成的。用于制造晶片夹具 35 的合适材料的实施例是铝、阳极化铝、不锈钢、塑料和陶瓷比如矾土和氮化铝。而且晶片夹具 35 可包含比如聚酰胺及与工艺室 30 中进行的半导体工艺兼容的其它聚合物等材料。

[0023] 真空泵 40 被配置为产生相对于工艺室 30 中的工艺压力较小的压力。可以用作真空泵 40 的真空泵类型的实施例是机械泵、扩散泵、涡轮-分子泵、低温泵及能够产生压力差的其它类型的泵。优选地,真空泵 40 是选定的以使其与工艺室 30 中发生的工艺相兼容。可

选地,真空泵 40 可包含用于为该工艺室制造减小的压力条件的真空系统。由真空泵 40 产生的减小的压力必须被控制,以使其相对于工艺室内的压力足够低,以增强流体通过透孔 27 从该晶片的正面到背面的流动。

[0024] 工艺流体通过透孔 27 从该晶片的正面到背面的增强的流动使得透孔 27 的侧壁能够被更有效地处理。尤其是,通过连接在一起的晶片夹具 35 和真空泵 40 产生的压力差,工艺流体进出透孔 27 的流动可以被增强。通过使更多的工艺气体暴露于透孔 27 的壁,增强的流体流动改善了在透孔 27 中执行的工艺的效果。相比于通常在同样尺寸的盲孔中执行的类似工艺所可能达到的,甚至是在没有提供该透孔的增强的真实流动的晶片夹具上的透孔中执行的类似工艺所可能达到的,发生在透孔 27 中的通过透孔的流体的流动可以实现更好的大量传送。

[0025] 如上所示,用于工艺室 30 的工艺流体可包含一种或多种活性气体或气体混合物,比如用于沉积电介质的活性气体、用于沉积导电的阻障层的活性气体、用于沉积金属的活性气体、用于表面清洁的活性气体和用于表面处理的活性气体。对本发明的一些实施方式,该工艺流体包括维持在亚大气压下的气体,以处理晶片 24。作为一个选项,在工艺室 30 中使用的工艺流体可包括气体,该气体维持在一定压力下,以在小于 1 托的压力下真空处理半导体晶片 24。或者,该工艺气体可以被维持在大气压下或高于大气压的压力下,以处理晶片 24。在工艺室 30 使用的工艺流体可包含一种或多种液体或液体混合物,比如那些用于通过无电沉积或电化学镀沉积金属的液体或液体混合物。作为一个选项,该工艺流体可包含一种或多种用于清洁半导体晶片 24 的液体。

[0026] 本发明的那些包括被配置为使用一种或多种活性气体的工艺室 30 的实施方式,可进一步包含电极 42,其与晶片夹具 35 并在一起,如图 1A 所示。包括电极 42,以便施加于电极 42 的静电电荷产生静电力,该静电力足以将晶片 24 静电夹持在晶片夹具 35 上适当的位置。在半导体晶片处理中,经常对晶片使用静电夹持。图 1A 所示的电极 42 的结构具有不止一个实施例。还可以使用其它在晶片夹具 35 的详细设计中可能更适用的结构。

[0027] 作为本发明的实施方式的另一个选项,晶片夹具 35 可进一步包含机械夹具 44,如图 1B 所示。机械夹具 44 被配置为将晶片 24 物理夹持在晶片夹具 35 的恰当位置。在半导体晶片处理中经常对晶片使用机械夹持。图 1B 中所示的夹具 44 的结构具有不止一个实施例;还可以使用其它在晶片夹具 35 的详细设计中更加适用的结构。

[0028] 现在参考图 2,其中显示了依照本发明的一个实施方式的系统 20 的横截面的侧视图,其被配置为对用来制造三维集成电路的半导体晶片 25 进行处理。系统 20 包括工艺室 30、晶片夹具 35 和真空泵 40。

[0029] 工艺室 30 大体上可以是通常用于处理半导体晶片以进行集成电路金属化的任何类型的工艺室。工艺室 30 的合适的类型的工艺室的实施例是化学气相沉积室、低压化学气相沉积室、大气压化学气相沉积室、原子层沉积室、等离子体增强化学气相沉积室、无电沉积室和电化学沉积室。

[0030] 换句话说,工艺室 30 被配置为完成用于三维集成电路的晶片的金属化所必须的工艺。一些可以使用工艺室 30 完成的工艺的实施例是电介质材料,比如二氧化硅、氮化硅、碳化硅和低 k 电介质的沉积;金属阻障层,比如钽、氮化钽和氮化钨的沉积;金属比如铜的沉积;表面处理比如表面清洁和使表面金属富集。

[0031] 晶片 25 被配置为用于三维集成电路。该三维集成电路包括堆叠并粘合在一起的两个或多个具有集成电路的半导体芯片或两个或多个具有集成电路半导体晶片。该集成电路在三维上电性互连。芯片之间或晶片之间的互连是通过从一个或多个芯片或一个或多个半导体晶片的背面到正面的透孔完成的。晶片 25 具有用于金属化互连的至少一个扩孔透孔 (counterbore through hole) 28。扩孔透孔 28 是标准的扩孔, 其中该孔的一端具有一直径, 而该孔的另一端具有一较大直径。晶片 25 被配置, 以使其具有扩孔 28, 其在晶片的正面 (也就是集成电路形成的那一面) 具有小直径, 而在晶片的背面具有埋头孔 28 的大直径端。

[0032] 所示的晶片 25 的扩孔的结构可以进一步增强扩孔 28 的小直径部分的流体流动。可以实现增强的流体流动, 同时保持透孔金属化互连所需的纵横比。更准确地说, 对于本发明的一些实施方式, 扩孔 28 可以对扩孔 28 的小直径部分提供改进的处理条件。扩孔 28 的大直径端位于晶片的背面; 背面的较大的孔在晶片的背面提供了更好的流体流动。通过在晶片的背面设置大直径孔, 该较大直径的孔还可以容易地被去除, 从而不会存在于最终的三维集成电路中。当该晶片的背面被部分去除以加薄该晶片时, 该较大直径的孔被去除。该加薄的晶片被用于三维集成电路中。用于实际集成电路工艺的晶片可能有大量的透孔。然而, 为了描绘的更加清楚, 图 2 中仅仅显示了三个透孔。

[0033] 图 2A 进一步描绘了晶片 25, 其中显示了依照本发明的一个优选实施方式的晶片 25 的正面的俯视图。图 2A 显示了晶片 25, 其具有多个埋头孔 28。更准确地说, 晶片 25 具有多个小直径孔 28A, 该多个小直径孔 28A 与多个较大直径孔 28B 线性连接以形成多个埋头孔 28。图 2A 用虚线显示了大直径孔 28B; 大直径孔 28B 在晶片的背面, 在俯视图中被隐藏。依照晶片 25 的一些结构, 小直径孔 28A 可具有亚微米直径。优选地, 大直径的孔 28B 的直径足够大, 以提供通过小直径孔 28A 的增强的流体流动。

[0034] 作为本发明的一些实施方式的一个选项, 该晶片的透孔可以具有超过两个直径, 以形成具有超过一个肩部的埋头孔。对本发明的一些实施方式, 可以使用任何实际数量的孔的直径。图 2B 显示了具有修改版埋头透孔 29B 的晶片 25B 的横截面侧视图。修改版埋头透孔 29B 沿着孔的长度在不同的区域具有三个直径, 这样修改版埋头孔就具有两个肩部, 该两个肩部是由于孔的直径的阶梯变化而形成的, 而不是像标准埋头孔那样具有一个肩部。作为本发明的实施方式的另一个选项, 透孔也可以具有锥形侧壁, 从而对于该孔的长度的至少一部分形成圆锥形, 其较大开口在该晶片或其它基板的背面。更准确地说, 本发明的实施方式具有穿透该晶片或其它基板的埋头孔 (countersink hole)。图 2C 显示了具有埋头透孔 29C 的晶片 25C 的横截面侧视图。在本发明的其它实施方式中, 透孔具有其它的可用的形状, 例如弯曲的侧壁。作为一个选项, 半球状埋头透孔具有与圆柱孔部分连接的半球孔部分, 从而组合成所用的透孔。图 2D 显示了晶片 25D 的横截面侧视图, 其具有适用于本发明的一些实施方式的半球状埋头透孔 29D。

[0035] 如图 2 所示, 晶片夹具 35 被配置为在工艺室 30 中对晶片 25 进行处理的过程中固定晶片 25。晶片夹具 35 包含大体上刚性的本体, 其包括实在的多孔材料 45。多孔材料 45 被配置, 以允许流体流过。晶片夹具 35 被配置, 以便多孔材料 45 提供大体的平面 36, 以接触半导体晶片 25 的背面。晶片夹具 35 具有流体流动沟道 38, 其与多孔材料 45 流体连通, 从而与平面 36 流体连通。晶片夹具 35 与真空泵 40 连接, 在平面 36 上产生减小的压力。该

减小的压力是由真空泵 40 通过流体流动沟道 38 产生的。应用到平面 36 上的减小的压力在半导体晶片 25 的正面和背面产生压力差。压力差导致工艺室 30 中提供的工艺流体的至少一部分通过扩孔 28 被从晶片 25 的正面吸收到晶片 25 的背面,然后通过多孔材料 45 和流体流动沟道 38 流到真空泵 40 上。图 2 所示的晶片夹具 35 具有不止一个可能的设计;晶片夹具 35 的其它能够提供替代的流体流动特性的结构也是可能的。

[0036] 晶片夹具 35 包含与集成电路制造工艺兼容的材料。优选地,晶片夹具 35 是由在工艺室中使用的其它类型的半导体晶片夹具的材料制成的。用于制造晶片夹具 35 的合适材料的实施例是铝、阳极化铝、不锈钢和陶瓷比如矾土和氮化铝。而且晶片夹具 35 可包含比如聚酰胺及与工艺室 30 中进行的半导体工艺兼容的其它聚合物等材料。

[0037] 真空泵 40 被配置为产生相对于工艺室 30 中的工艺压力较小的压力。可以用作真空泵 40 的真空泵类型的实施例是机械泵、扩散泵、涡轮-分子泵、低温泵及能够产生压力差的其它类型的泵。优选地,真空泵 40 是选定的以使其与工艺室 30 中发生的工艺相兼容。可选地,真空泵 40 可包含用于为该工艺室制造减小的压力条件的真空系统。由真空泵 40 产生的减小的压力必须被控制,以使其相对于工艺室内的压力足够低,以增强流体通过透孔 28 从该晶片的正面到背面的流动。

[0038] 现在参考图 3,其中显示了依照本发明的一个实施方式的系统 20 的横截面的侧视图,其被配置为对用来制造三维集成电路的半导体晶片 25 进行处理。系统 20 包括工艺室 30、晶片夹具 35 和真空泵 40。

[0039] 工艺室 30 大体上可以是通常用于处理半导体晶片以进行集成电路金属化的任何类型的工艺室。工艺室 30 的合适的类型的工艺室的实施例是化学气相沉积室、低压化学气相沉积室、大气压化学气相沉积室、原子层沉积室、等离子体增强化学气相沉积室、无电沉积室和电化学沉积室。

[0040] 换句话说,工艺室 30 被配置为完成用于三维集成电路的晶片的金属化所必须的工艺。一些可以使用工艺室 30 完成的工艺的实施例是电介质材料,比如二氧化硅、氮化硅、碳化硅和低 k 电介质的沉积;金属阻挡层,比如钽、氮化钽和氮化钨的沉积;金属比如铜的沉积;表面处理比如表面清洁和使表面金属富集。

[0041] 晶片 25 被配置为用于三维集成电路。该三维集成电路包括堆叠并粘合在一起,且在三维上电性互连的两个或多个具有集成电路的半导体芯片或两个或多个具有集成电路半导体晶片。芯片之间或晶片之间的互连是通过从一个或多个芯片或一个或多个半导体晶片的背面到正面的透孔来完成的。晶片 25 具有用于金属化互连的至少一个扩孔透孔 28。扩孔透孔 28 是标准的扩孔,其中该孔的一端具有一直径,而该孔的另一端具有一较大直径。晶片 25 被配置,以使其具有扩孔透孔 28,其在晶片的正面(也就是集成电路形成的那一面)具有小直径,而在晶片的背面具有扩孔透孔 28 的大直径端。

[0042] 图 3 中的晶片 25 的扩孔结构可进一步增强扩孔透孔 28 的小直径部分的流体流动,同时保持透孔的金属化互连所需的纵横比。更准确地说,对于本发明的一些实施方式,扩孔透孔 28 可以对扩孔透孔 28 的小直径部分提供改进的处理条件。该扩孔透孔 28 的较大直径部分被放置于晶片的背面;在背面具有较大直径部分的晶片提供了改进的流体流动。如上所述,通过将较大直径部分放置在晶片的背面,该较大直径部分还可以被从最终的三维集成电路中容易地去除。用来集成电路实际处理的晶片可能有大量的透孔。然而,为了

描绘的更加清楚,图 3 中仅仅显示了一个透孔。

[0043] 作为本发明的一些实施方式的一个选项,该扩孔结构没有被完全去除。尤其是,扩孔透孔 28 的较大直径部分的一部分被用金属大体上填充,并合并为最终金属化的一部分。扩孔透孔 28 的较大直径部分,用金属填充后,为透孔金属化提供了制造电接触点的较大的目标区域。该较大的区域使得与在三维集成电路的堆栈中的相邻晶片的电接触点可以具有较大的误差限度。为了提高三维集成电路的器件产量并提高其可靠性,期望具有增大的误差限度。

[0044] 晶片夹具 35 被配置为在工艺室 30 中处理晶片 25 的过程中固定晶片 25。晶片夹具 35 包含大体上刚性的结构,以提供实在的平面 36,以与半导体晶片 25 的背面接触。晶片夹具 35 具有流体流动沟道 38,与平面 36 流体连通。晶片夹具 35 具有与平面 36 相邻的空腔 46。晶片夹具 35 包括至少一个设置于空腔 46 中的结构 48。结构 48 从空腔 46 的底部延伸以形成平面 36。流体流动沟道 38 通过空腔 46 与平面 36 流体连通。晶片夹具 35 还包括表面 50,以与晶片 25 的背面的圆周接触。表面 50 还限定了平面 36。优选地,表面 50 被配置为大体上密封晶片 25 的背面的圆周,以减少绕开透孔 28 流到真空泵 40 的流体的量。

[0045] 晶片夹具 35 与真空泵 40 连接,以便在平面 36 上产生减小的压力;该减小的压力是由真空泵 40 通过流体流动沟道 38 产生的。应用到平面 36 上的减小的压力在半导体晶片 25 的正面和背面产生压力差。压力差导致工艺室 30 中提供的工艺流体的至少一部分通过透孔 28 被从晶片 25 的正面吸收到晶片 25 的背面,然后通过流体流动沟道 38 流到真空泵 40 上。图 3 中所示的晶片夹具 35 具有不止一种可能的设计;晶片夹具 35 的其它能够使流体更容易地从平面 36 流动到真空泵 40 的结构也是可能的。

[0046] 晶片夹具 35 包含与集成电路制造工艺兼容的材料。优选地,晶片夹具 35 是由在工艺室中使用的其它类型的半导体晶片夹具的材料制成的。用于制造晶片夹具 35 的合适材料的实施例是铝、阳极化铝、不锈钢和陶瓷比如矾土和氮化铝。而且晶片夹具 35 可包含比如聚酰胺及与工艺室 30 中进行的半导体工艺兼容的其它聚合物等材料。

[0047] 真空泵 40 被配置为产生相对于工艺室 30 中的工艺压力较小的压力。可以用作真空泵 40 的真空泵类型的实施例是机械泵、扩散泵、涡轮-分子泵、低温泵及能够产生压力差的其它类型的泵。优选地,真空泵 40 是选定的以使其与工艺室 30 中发生的工艺相兼容。可选地,真空泵 40 可包含用于为该工艺室制造减小的压力条件的真空系统。由真空泵 40 产生的减小的压力必须被控制,以使其相对于工艺室内的压力足够低,以增强流体通过透孔 28 从该晶片的正面到背面的流动。

[0048] 如上所示,用于工艺室 30 的工艺流体可包含一种或多种活性气体或气体混合物,比如用于沉积电介质的活性气体、用于沉积导电的阻障层的活性气体、用于沉积金属的活性气体、用于表面清洁的活性气体和用于表面处理的活性气体。对本发明的一些实施方式,该工艺流体包括维持在亚大气压下的气体,以处理晶片 25。作为一个选项,在工艺室 30 中使用的工艺流体可包括气体,该气体维持在一定压力下,以在小于 1 托的压力下真空处理半导体晶片 25。或者,该工艺气体可以被维持在大气压下或高于大气压的压力下,以处理晶片 25。在工艺室 30 中使用的工艺流体可包含一种或多种液体或液体混合物,比如那些用于通过无电沉积或电化学镀沉积金属的液体或液体混合物。作为一个选项,该工艺流体可包含一种或多种用于清洁半导体晶片 25 的液体。

[0049] 现在参考图 4, 其中显示了大体上与图 3 中所示的实施方式相同的系统 20 的横截面的侧视图, 现在参考图 4A, 其中显示了与图 3 所示的实施方式大体上相同的晶片夹具 35 的俯视图 80。图 4 和图 4A 中显示的实施方式使用了刀锋 (knife-edge) 结构, 来代替图 3 中显示的实施方式中的结构 48。系统 20 的侧视图和俯视图 80 显示了晶片夹具 35、流体流动沟道 38、空腔 46、表面 50 和刀锋结构 52。应当理解, 图 4 所示的刀锋结构 52 的设置具有不止一种可能性; 可以使用刀锋结构 52 的其它设置。优选地, 刀锋结构 52 的设置被设计为对晶片提供支撑, 同时使得对流体通过晶片中的孔的流动的阻塞最小。

[0050] 晶片处理的标准技术可以使用每个晶片制造多个集成电路器件。晶片上包含集成电路器件的区域被分块并切割成芯片。依照本发明的一个实施方式, 设计了刀锋, 以使得它仅仅接触该晶片的背面, 在晶片的背面没有孔。依照一种结构, 这可以通过设置刀锋以使其在用作芯片的区域之间的地方与晶片的背面接触。

[0051] 现在参考图 5, 其中显示了系统 60 的横截面侧视图, 现在参考图 5A, 其中显示了系统 60 中包括的晶片夹具 62 的俯视图。对于图 5 和图 5A 中所示的实施方式, 晶片夹具 62 包括抽吸板 (pumping plate) 64, 以代替图 3 所示的实施方式中的结构 48 来支撑基板。系统 60 的侧视图和晶片夹具 62 的俯视图显示, 晶片夹具 62 具有空腔 46 和流体流动沟道 38。图 5 还显示了要在系统 60 中处理的晶片 66 的横截面侧视图。所示晶片 66 具有集成电路器件 68 和扩孔透孔 70 的位置。抽吸板 64 也被配置为具有表面 50, 以接触并大体上密封晶片 66 的背面的圆周, 大体上像图 3 中所述的一样。

[0052] 抽吸板 64 是大体上刚性的结构, 例如这样一种板, 其包含材料, 例如但不限于铝、阳极化铝、不锈钢、陶瓷、氧化铝、氮化铝、碳化硅和氮化硅。抽吸板 64 在与晶片上集成电路器件的区域的位置相应的位置上具有一个或多个孔, 这样抽吸板 64 大体上不会妨碍气体透过晶片中的孔 70 的流动。作为一个选项, 抽吸板 64 可包含这样的结构, 比如栅栏 (grill)、格栅 (grating) 或框架, 这些结构具有实心部分和设置的孔或开口部分, 这样通过与实心部分的接触来为晶片 66 提供支撑。该开口部分的位置被调整以大体上不会妨碍气体气流穿过晶片 66。一般来说, 抽吸板 64 具有至少一个孔, 该孔的位置被调整暴露晶片 66 的一个区域, 以制造集成电路器件 68。更优选地, 抽吸板 64 具有对于要从晶片 66 上制造的每一个集成电路器件 68 (芯片) 都有一个孔。应当理解, 抽吸板 64 的设置具有不止一种可能性, 还可以使用抽吸板 64 的其它设置。

[0053] 作为一个选项, 抽吸板 64 可以是晶片夹具 62 的大体上固定的部分。或者, 抽吸板 64 可以是晶片夹具 62 的可拆卸部分, 这样通过提供具有与晶片的孔的结构兼容的抽吸板 64, 对于具有不同尺寸的芯片, 在系统 60 中可互换地使用抽吸板 64 的不同的结构。更准确地说, 对于一个优选实施方式, 抽吸板 64 可移除地耦合与晶片夹具 62, 以便于替换抽吸板 64。为了描绘使用可拆卸的抽吸板 64 的结构, 图 5B 显示了晶片 66 和晶片夹具 60 的分解的横截面的侧视图。

[0054] 本发明另一个方面是大体上如上所述的晶片夹具。依照一个实施方式, 该晶片夹具被配置为在工艺室中支撑半导体晶片, 以进行三维集成电路的制造工艺。晶片具有多个从该晶片的背面到该晶片的正面的扩孔透孔。该晶片夹具包含大体上刚性的本体, 其配置为提供与半导体晶片的背面接触的实在的平面。该晶片夹具具有与该平面流体连通的流体流动沟道。该晶片夹具被配置为与真空泵连接以对该流体流动沟道应用真空环境, 从而在

半导体晶片的正面和背面之间产生压力差。该晶片夹具被配置为将该晶片静电夹持于该晶片夹具。该大体上刚性的本体具有空腔和在该空腔中的至少一个结构。该至少一个结构从该空腔的底部延伸以形成该平面。该至少一个结构具有刀锋,以接触该晶片的背面,从而使通过晶片的气体流动的阻力最小。该晶片夹具具有表面,以在该晶片的背面圆周形成密封。

[0055] 本发明的另一个方面包含制造三维集成电路的方法。更特别地,该方法有关于一个或多个芯片或一个或多个晶片的制造,该一个或多个芯片或一个或多个晶片堆叠起来以形成三维集成电路。现在参考图 6,描述该方法的一个实施方式,其中显示了依照本发明的一个实施方式的工艺流程 110。工艺流程 110 包括步骤 120、步骤 130、步骤 140 和步骤 150。

[0056] 工艺流程 110 提供具有多个透孔的半导体晶片,步骤 120。该透孔提供了将该芯片或晶片中的一个与下面的芯片或晶片相连的金属化连线的路径。制造改进的集成电路通常要求用来使芯片或晶片互连的透孔具有小直径。如上所述,一些器件要求直径小于 1 微米的透孔。一些透孔的长度在几微米到 20 或更多微米范围内。其后果是,相对于制造二维集成电路的标准技术,处理透孔的纵横比是极高的。一些三维集成电路可能需要更高的纵横比,其需要使用工艺流程 110 的更加优选的实施方式进行处理。在该更加优选的实施方式中,晶片中的多个透孔包含扩孔透孔。该晶片被配置,以使其具有扩孔,其在晶片的正面(也就是集成电路形成的那一面)具有小直径,而在晶片的背面具有扩孔的大直径端。

[0057] 该晶片的扩孔结构可进一步增强扩孔透孔的小直径部分的流体流动。增强流体流动,同时保持透孔的金属化互连所需的纵横比。更准确地说,该扩孔可以为该扩孔的小直径部分提供更好的处理条件。该扩孔的大直径端被置于该晶片的背面;背面的较大的孔使得流体在该晶片的背面更好的流动。通过在晶片的背面设置大直径孔,该较大直径的孔还可以容易地被从最终的三维集成电路中去除。当该晶片的背面被部分去除以加薄该晶片时,该较大直径的孔被去除。该加薄的晶片被用于三维集成电路中。

[0058] 工艺流程 110 使用设置在工艺室中的晶片夹具支撑该晶片,步骤 130。当该晶片被支撑在该晶片夹具上时,工艺流程 110 在该晶片的正面和该晶片的背面之间产生压力差,从而该压力差使得流体通过该透孔流动,步骤 140。使用该晶片夹具,减小的压力被应用于该晶片的背面。该减小的压力是由与该晶片夹具相连的真空泵产生的。优选地,应用于该晶片的背面的该减小的压力是大体上一致的,以便通过该透孔的流体的流动是大体上一致的。作为进一步改善应用于该晶片的背面的该减小的压力的一个选项,工艺流程 110 可进一步包括在该晶片夹具和该晶片的背面圆周之间形成密封。密封的形成可以减少气体通过晶片边缘泄漏的量,并增强气体通过该透孔的流动。

[0059] 工艺流程 110 在该工艺室中为制造集成电路的至少一个工艺创建工艺条件,步骤 150。换句话说,在该工艺条件下,迫使工艺流体通过该透孔。流体通过该透孔的流动使得该透孔的侧壁被更加有效地处理。换句话说,在创建的工艺条件下,相比与没有通过孔的流体流动,工艺流体通过该透孔的流动可以更有效地处理该透孔的侧壁。盲孔或阻塞孔所具有的大量传送特性比在本发明的实施方式中所发生的要差。

[0060] 如上所示,本发明的实施方式可被用于半导体器件金属化的各种工艺。其后果是,工艺流程 110 可包括使用多种工艺条件以在该透孔中进行金属化。作为一个实施例,工艺流程 110 中使用的工艺条件包括亚大气压(sub-atmospheric pressure)工艺条件,比如使用小于 1 托的压力的真空工艺条件。可选地,该工艺条件可以是沉积或刻蚀工艺条件。对

于工艺流程 110, 该沉积工艺条件的一些实施例是化学气相沉积、低压化学气相沉积和原子层沉积。作为另一个选项, 本发明的一些实施方式可以包括物理气相沉积的工艺条件。

[0061] 工艺流程 110 可使用上述的干法化学工艺条件, 或者, 该工艺条件可以是湿法化学工艺所用的湿法化学工艺条件。可以用作工艺流程 110 的一部分的湿法化学工艺的一些实施例是完成无电电镀的工艺条件以及完成电化学镀的工艺条件。

[0062] 使用建立的工艺条件和工艺流程 110 沉积的材料的一些具体的实施例是用于集成电路制造的电性绝缘的层, 例如二氧化硅、碳化硅、氮化硅和低 k 电介质。或者, 工艺流程 110 中使用的该工艺条件可以是挑选的, 以沉积用于集成电路制造的导电材料, 例如铜、钼、氮化钼或用于集成电路金属化的其它材料。

[0063] 工艺流程 110 可进一步包括将该晶片固定在该晶片夹具的适当的位置的动作。作为本发明的一些实施方式的一个选项, 工艺流程 110 使用静电力以将该晶片静电固定在该晶片夹具的适当的位置。该静电力是由该晶片夹具产生的。使用静电力将晶片固定在适当的位置是熟知的技术, 其广泛应用于处理二维集成电路。本发明的实施方式的另一个选项包括使用机械夹具以将该晶片物理固定于该晶片夹具。

[0064] 在前述详细说明中, 参考具体的实施方式对本发明进行了描述。然而, 本领域的普通技术人员可以理解, 在不背离权利要求所述的本发明的范围的情况下, 可以作出各种修改和改变。相应地, 该详细说明和附图意为说明性的而不是限制性的, 而且所有的这些修改都被认为是包括在本发明的范围内。

[0065] 上面参考具体实施方式描述了利益、优点和问题的解决方案。然而, 该利益、优点、问题的解决方案, 以及可能导致任何利益、优点或问题的解决方案出现或变成再次宣告的任何元件都不被认为是任何或全部权利要求的关键的、要求的或必需的特征或元件。

[0066] 此处所用的术语“包含”、“包括”、“具有”、“至少一个”或其任何其它的变形, 都意在涵盖非排除性的内涵。例如, 包含一系列元件的工艺、方法、产品或装置并不一定仅仅限于那些元件, 而是可以包括其它的没有明显列出或者隐含在这些工艺、方法、产品或装置中的元件。而且, 除非明确表示相反意见, “或”指的是包含性的“或”而非排除性的“或”。例如, 条件 A 或 B 可通过下述任何一个满足: A 为真 (或存在) 且 B 为假 (或不存在), A 为假 (或不存在) 且 B 为真 (或存在) 和 A 和 B 两者都为真 (或存在)。

[0067] 而且, 除非明确表示相反意见, “至少一个”应当被解读为“一个或多个”。如, 包含一系列元件中的一个或多个的工艺、方法、产品、或装置, 且如果该元件中的一个或多个包含一个子目录的子元件, 那么该子元件也和该元件被认为是同样的方式。例如, A 和 B 的至少一个可以通过下述任何一个满足: A 为真 (或存在) 且 B 为假 (或不存在), A 为假 (或不存在) 且 B 为真 (或存在) 和 A 和 B 两者都为真 (或存在)。

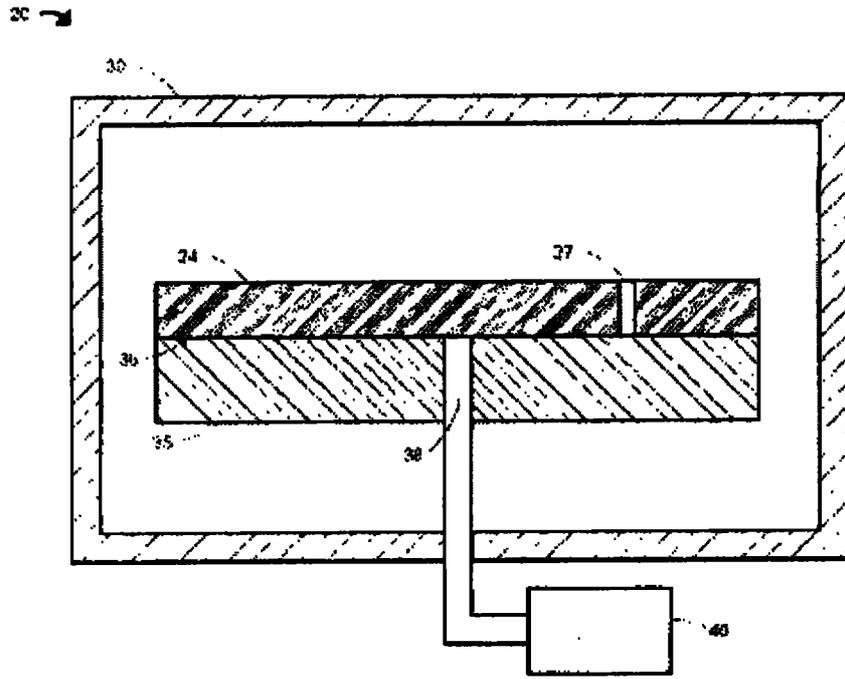


图 1

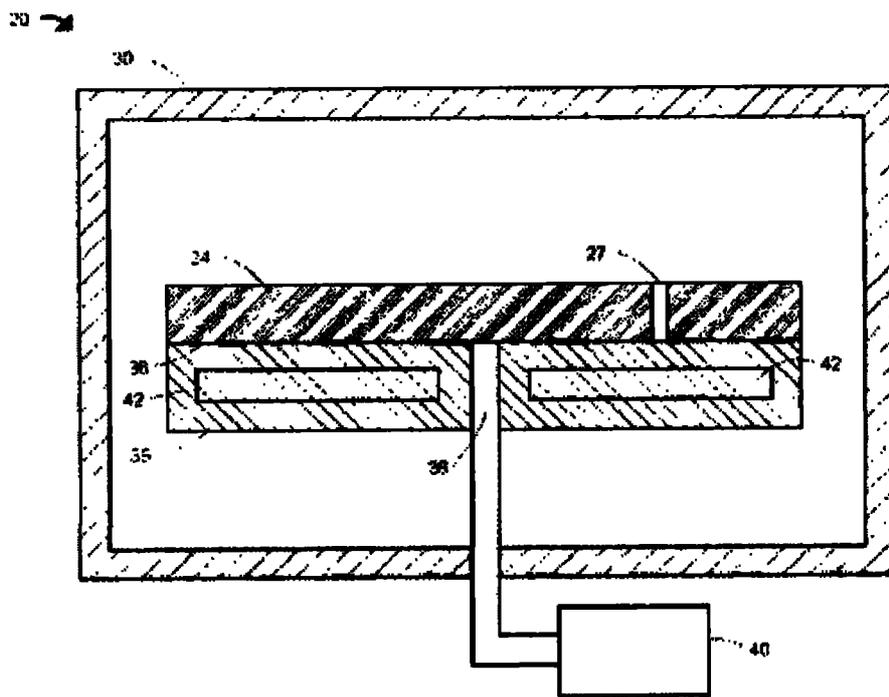


图 1A

20

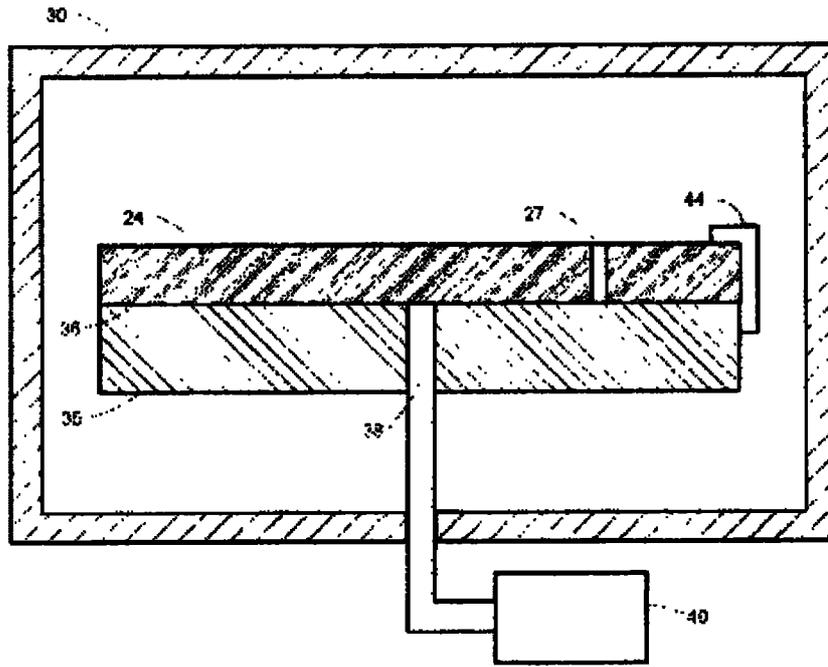


图 1B

20

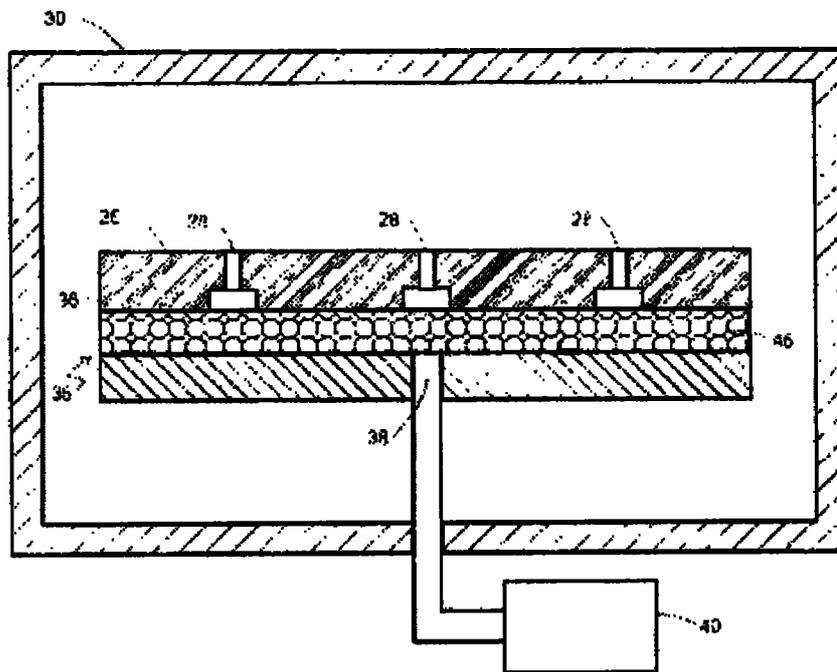


图 2

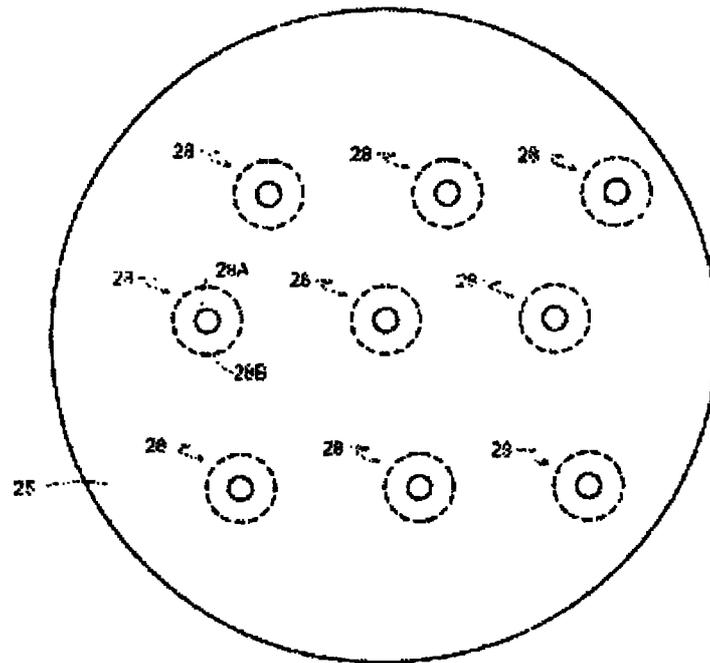


图 2A

25B ↗

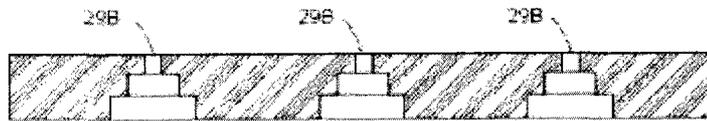


图 2B

25C ↗

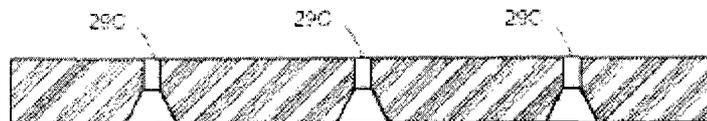


图 2C

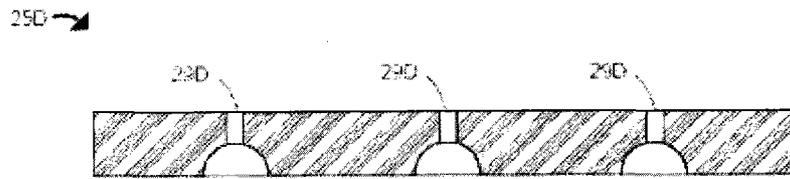


图 2D

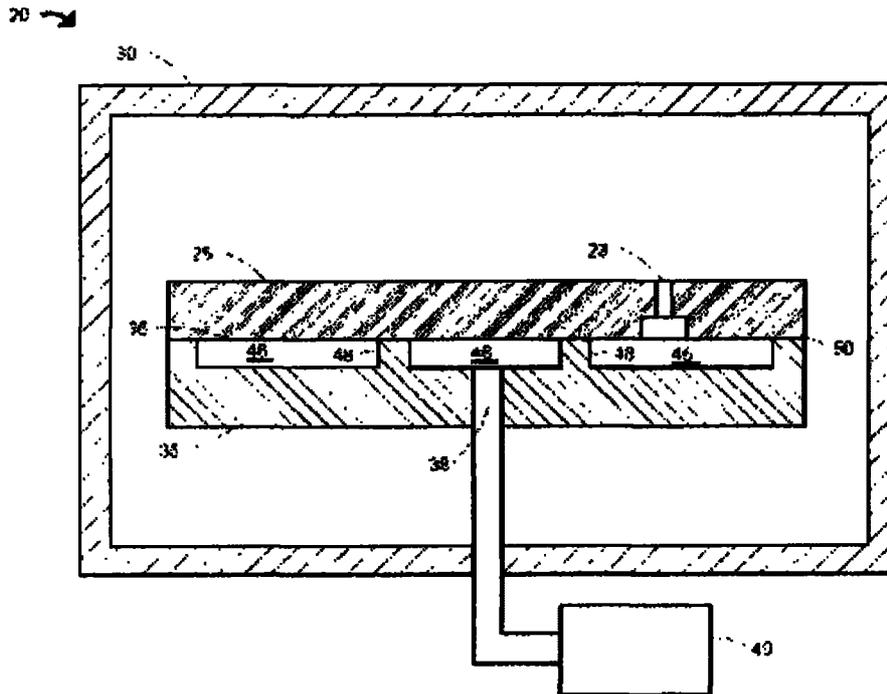


图 3

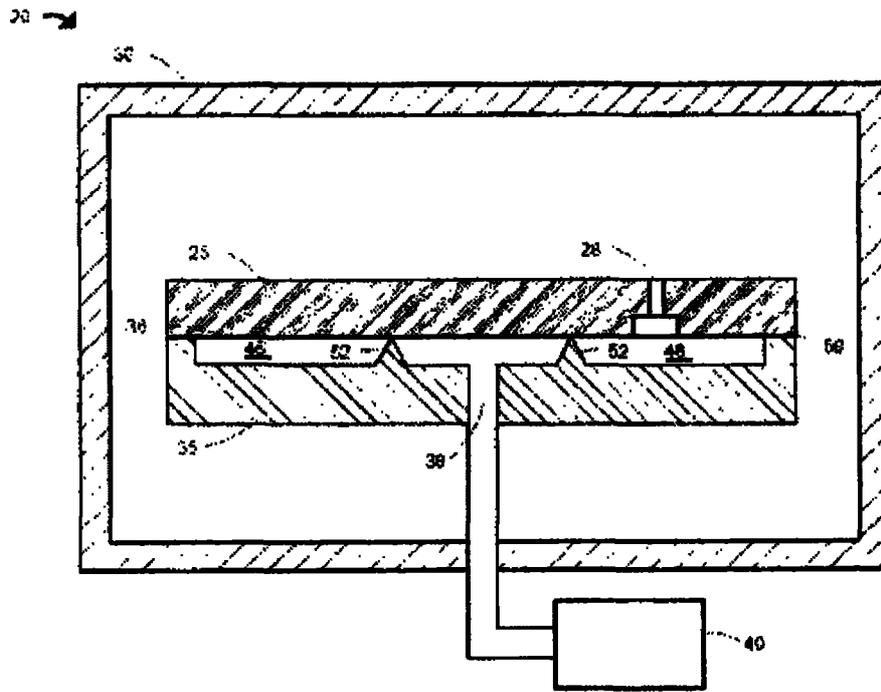


图 4

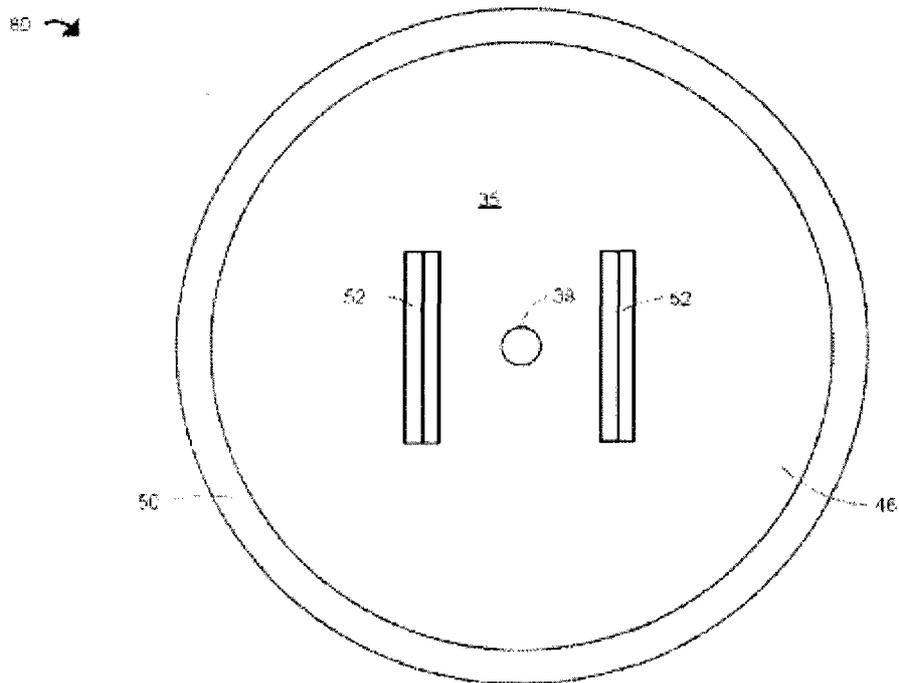


图 4A

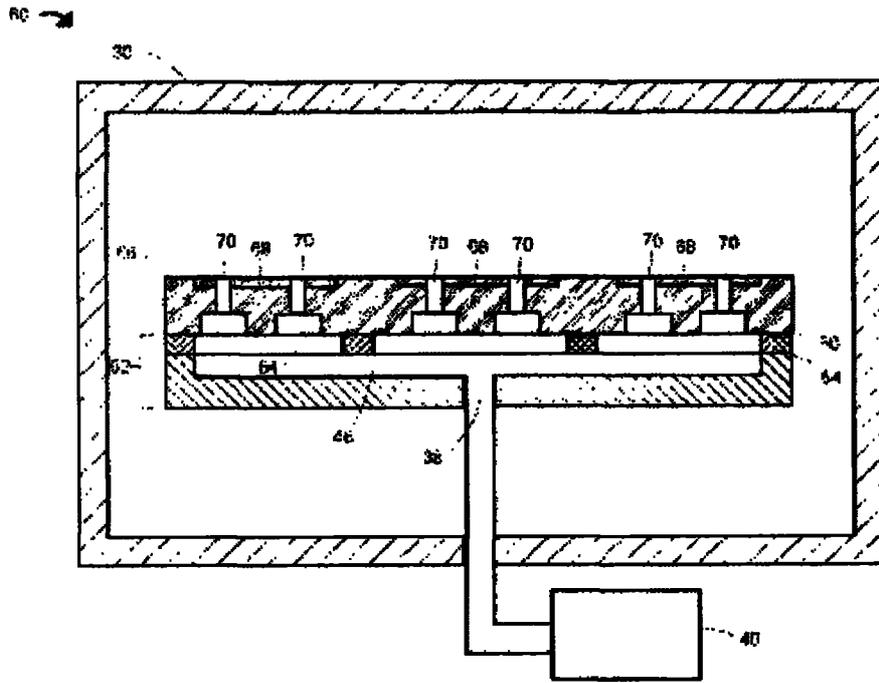


图 5

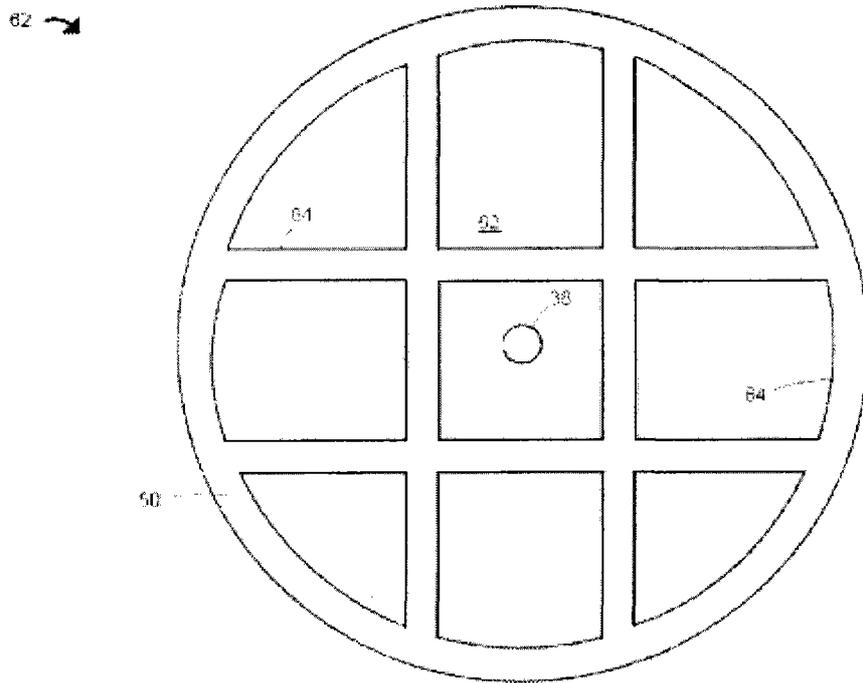


图 5A

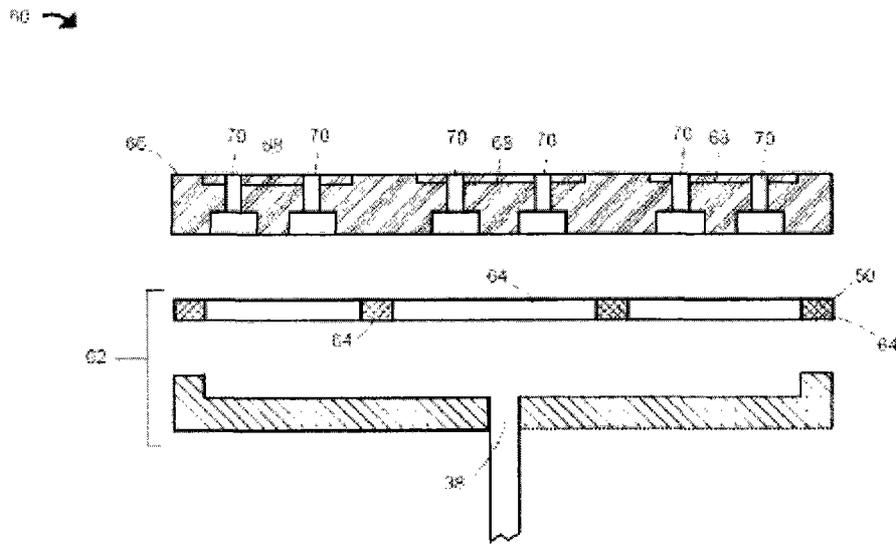


图 5B

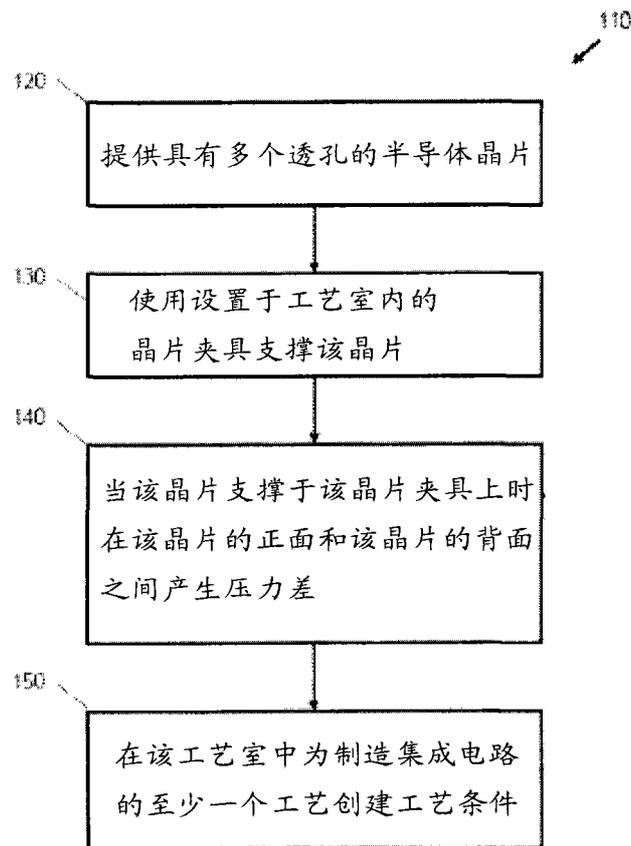


图 6