



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년04월24일
(11) 등록번호 10-0894667
(24) 등록일자 2009년04월16일

(51) Int. Cl.

H02M 3/00 (2006.01)

(21) 출원번호 10-2002-0081673

(22) 출원일자 2002년12월20일

심사청구일자 2007년02월27일

(65) 공개번호 10-2003-0053049

(43) 공개일자 2003년06월27일

(30) 우선권주장

JP-P-2001-00389201 2001년12월21일 일본(JP)

(56) 선행기술조사문헌

JP60121958 A*

JP2000287441 A

JP08033323 A

US4395675 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

후지쯔 마이크로일렉트로닉스 가부시끼가이샤

일본국 도쿄도 신주쿠구 니시신주쿠 2-7-1

(72) 발명자

츠치야치카라

일본가나가와켄가와사키시나카하라꾸가미고다나카
4-1-1후지쯔가부시끼가이샤나미

나라즈카기미토시

일본가나가와켄가와사키시나카하라꾸가미고다나카
4-1-1후지쯔가부시끼가이샤나미

(뒷면에 계속)

(74) 대리인

김태홍

전체 청구항 수 : 총 7 항

심사관 : 진상범

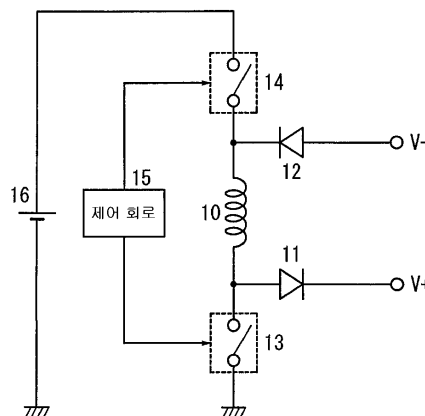
(54) 정부전원 발생 장치 및 반도체 장치

(57) 요약

본 발명은 단전원으로부터 정부(正負)전원을 발생하는 정부전원 발생 장치를 소형화하는 것을 목적으로 한다.

인덕터(10)는 단(單)전원(16)으로부터 유입되는 전기 에너지를 자기 에너지로 변환하여 축적하는 동시에, 전기 에너지로 재차 변환하여 출력한다. 제1 다이오드(11)는 제1 스위치(13)가 OFF 상태가 된 경우에는 인덕터(10)로부터 출력되는 전력을 정전원에 대하여 공급한다. 제2 다이오드(12)는 제2 스위치(14)가 OFF 상태가 된 경우에는 인덕터(10)로부터 출력되는 전력을 부전원에 대하여 공급한다. 제1 스위치(13)는 인덕터(10)의 한 쪽 단자를 접지한다. 제2 스위치(14)는 인덕터(10)의 다른 쪽 단자를 단전원(16)에 접속한다. 제어 회로(15)는 제1 및 제2 스위치(13, 14) 양쪽 모두를 동시에 ON 상태로 한 후, 부전원에 전력을 공급하는 경우에는 제2 스위치(14)만을 OFF 상태로 하고, 정전원에 전력을 공급하는 경우에는 제1 스위치(13)만을 OFF 상태로 하여, 인덕터(10)에 축적되어 있는 자기 에너지를 정전원 또는 부전원에 대하여 출력한다.

대표도 - 도1



(72) 발명자

니시모리에이지

일본가나가와켄가와사키시나카하라꾸가미고다나카4
-1-1후지쓰가부시끼가이샤나미

오츠가츠요시

일본가나가와켄가와사키시나카하라꾸가미고다나카4
-1-1후지쓰가부시끼가이샤나미

특허청구의 범위

청구항 1

단(單)전원으로부터 정부(正負)전원을 발생하는 정부전원 발생 장치에 있어서,

인덕터와;

상기 인덕터의 한 쪽 단자에 애노드가 접속되고, 캐소드가 정(正)전원의 출력 단자에 접속되어 있는 제1 다이오드와;

상기 인덕터의 다른 쪽 단자에 캐소드가 접속되고, 애노드가 부(負)전원의 출력 단자에 접속되어 있는 제2 다이오드와;

상기 인덕터의 상기 한 쪽 단자를 접지하기 위한 제1 스위치와;

상기 인덕터의 상기 다른 쪽 단자를 상기 단전원에 접속하기 위한 제2 스위치와;

상기 제1 스위치 및 상기 제2 스위치를 제어하는 제어 회로

를 포함하며,

상기 제어 회로는,

상기 제1 스위치 및 상기 제2 스위치 양쪽 모두를 ON 상태로 하고, 소정 시간이 경과한 후에, 상기 제1 스위치를 OFF 상태로 하여 정전원을 발생시키는 제1 상태와;

상기 제1 스위치 및 상기 제2 스위치 양쪽 모두를 ON 상태로 하고, 소정 시간이 경과한 후에, 상기 제2 스위치를 OFF 상태로 하여 부전원을 발생시키는 제2 상태

를 반복함으로써 정부전원을 발생시키는 것을 특징으로 하는 정부전원 발생 장치.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 제어 회로는,

상기 제1 상태에서, 상기 제1 스위치를 OFF 상태로 한 후, 상기 인덕터로의 전류의 유입이 종료되었을 때에 상기 제2 스위치를 OFF로 하고,

상기 제2 상태에서, 상기 제2 스위치를 OFF 상태로 한 후, 상기 인덕터로의 전류의 유입이 종료되었을 때에 상기 제1 스위치를 OFF로 하는 것을 특징으로 하는 정부전원 발생 장치.

청구항 4

제1항에 있어서, 상기 제어 회로는,

상기 제1 상태에서, 상기 제1 스위치를 OFF 상태로 한 후, 상기 인덕터로의 전류의 유입이 종료될 것으로 상정된 시간에 소정의 마진값을 가산한 시간이 경과했을 때에 상기 제2 스위치를 OFF로 하고,

상기 제2 상태에서, 상기 제2 스위치를 OFF 상태로 한 후, 상기 인덕터로의 전류의 유입이 종료될 것으로 상정된 시간에 소정의 마진값을 가산한 시간이 경과했을 때에 상기 제1 스위치를 OFF로 하는 것을 특징으로 하는 정부전원 발생 장치.

청구항 5

제1항에 있어서, 상기 제어 회로는,

상기 제1 상태에서, 상기 제1 스위치를 OFF 상태로 한 후에는 상기 제2 상태가 될 때까지 상기 제2 스위치를 ON 상태로 유지하고,

상기 제2 상태에서, 상기 제2 스위치를 OFF 상태로 한 후에는 상기 제1 상태가 될 때까지 상기 제1 스위치를 ON 상태로 유지하는 것을 특징으로 하는 정부전원 발생 장치.

청구항 6

제1항에 있어서, 상기 제어 회로는, 상기 소정의 시간을 일정하게 설정하고, 상기 제1 상태 또는 상기 제2 상태의 각각의 반복 주기를 변경함으로써, 정전원 및 부전원의 출력 전압을 제어하는 것을 특징으로 하는 정부전원 발생 장치.

청구항 7

제1항에 있어서, 상기 제어 회로는, 상기 제1 상태 또는 상기 제2 상태의 각각의 반복 주기를 일정하게 하고, 상기 소정의 시간을 변경함으로써, 정전원 및 부전원의 출력 전압을 제어하는 것을 특징으로 하는 정부전원 발생 장치.

청구항 8

단전원으로부터 정부전원을 발생시키고, 대상이 되는 회로에 전원을 공급하는 반도체 장치에 있어서,

외부에 접속된 인덕터의 한 쪽 단자에 애노드가 접속되고, 캐소드가 정전원의 출력 단자에 접속되어 있는 제1 다이오드와;

상기 인덕터의 다른 쪽 단자에 캐소드가 접속되고, 애노드가 부전원의 출력 단자에 접속되어 있는 제2 다이오드와;

상기 인덕터의 상기 한 쪽 단자를 접지하기 위한 제1 스위치와;

상기 인덕터의 상기 다른 쪽 단자를 상기 단전원에 접속하기 위한 제2 스위치와;

상기 제1 스위치 및 상기 제2 스위치를 제어하는 제어 회로

를 포함하며,

상기 제어 회로는,

상기 제1 스위치 및 상기 제2 스위치 양쪽 모두를 ON 상태로 하고, 소정의 시간이 경과한 후에, 상기 제1 스위치를 OFF 상태로 하여 정전원을 발생시키는 제1 상태와;

상기 제1 스위치 및 상기 제2 스위치 양쪽 모두를 ON 상태로 하고, 소정의 시간이 경과한 후에, 상기 제2 스위치를 OFF 상태로 하여 부전원을 발생시키는 제2 상태

를 반복함으로써 정부전원을 발생시키는 것을 특징으로 하는 반도체 장치.

청구항 9

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<43> 본 발명은 정부(正負)전원 발생 장치 및 반도체 장치에 관한 것이며, 특히 단(單)전원으로부터 정부전원을 발생하는 정부전원 발생 장치 및 반도체 장치에 관한 것이다.

<44> 휴대 전화나 PDA[Personal Digital(Data) Assistants] 등의 가반(可搬)형 정보 처리 장치에서는 액정 표시 장치를 구동하기 위해서 2차 전지 등의 단전원으로부터 플러스 및 마이너스의 2 종류의 전압을 갖는 정부전원을 발생시킬 필요가 있다.

<45> 도 12는 종래에 있어서의 정부전원 발생 장치의 구성예를 도시하는 도면이다. 이 도 12에 도시된 바와 같이, 종

래의 정전원 발생 장치는 입력 전압(Vin), 입력 커패시터(Cin), 펄스 제너레이터(P1, P2), 인덕터(L1, L2), 스위칭 트랜지스터(T1, T2), 다이오드(D1, D2), 출력 커패시터(C1, C2)에 의해서 구성되어 있다.

- <46> 여기서, 입력 전압(Vin)은, 예컨대 2차 전지인 리튬 전지로부터 출력되는 3 V의 전원 전압이다.
- <47> 입력 커패시터(Cin)는 입력 전압(Vin)에 병렬로 접속되어 있고, 전원의 고주파 영역에서의 내부 임피던스를 저하시키는 기능을 갖는다.
- <48> 인덕터(L1)는 수 십~수 백 μH 의 인덕턴스값을 갖는 코일에 의해서 구성되어 있고, 전기 에너지를 자기 에너지로 변환하여 축적하는 동시에, 축적된 자기 에너지를 전기 에너지로 변환하여 출력한다.
- <49> 인덕터(L2)도 마찬가지로, 수 십~수 백 μH 의 인덕턴스값을 갖는 코일에 의해서 구성되어 있다.
- <50> 펄스 제너레이터(P1)는 스위칭 트랜지스터(T1)를 구동하기 위한 펄스 신호를 발생하여 출력한다.
- <51> 펄스 제너레이터(P2)도 마찬가지로, 스위칭 트랜지스터(T2)를 구동하기 위한 펄스 신호를 발생하여 출력한다.
- <52> 스위칭 트랜지스터(T1)는 N 채널 MOS-FET(Metal Oxide Semiconductor-Field Effect Transistor)에 의해서 구성되며, 펄스 제너레이터(P1)로부터 공급되는 펄스 신호가 "H" 상태가 된 경우에는 ON 상태가 되고, 그 이외의 경우에는 OFF 상태가 된다.
- <53> 스위칭 트랜지스터(T2)는 P 채널 MOS-FET에 의해서 구성되며, 펄스 제너레이터(P2)로부터 공급되는 펄스 신호가 "L" 상태가 된 경우에는 ON 상태가 되고, 그 이외의 경우에는 OFF 상태가 된다.
- <54> 다이오드(D1)는, 순바이어스가 인가된 상태가 된 경우에는 인덕터(L1)에 발생된 전압을 출력하고, 그 이외의 경우에는 차단 상태가 된다.
- <55> 다이오드(D2)도 마찬가지로, 순바이어스가 인가된 상태가 된 경우에는 인덕터(L2)에 발생된 전압을 출력하고, 그 이외의 경우에는 차단 상태가 된다.
- <56> 출력 커패시터(C1)는 다이오드(D1)로부터의 출력을 정류하여 정전원 전압(Vo1)으로서 출력한다.
- <57> 출력 커패시터(C2)도 마찬가지로 다이오드(D2)로부터의 출력을 정류하여 부전원 전압(Vo2)으로서 출력한다.
- <58> 다음에, 이상의 종래예의 동작에 관해서 설명한다.
- <59> 도 13은 도 12에 도시된 종래예의 동작을 설명하기 위한 타이밍 차트이다. 펄스 제너레이터(P1)로부터 출력되는 신호[이하, 펄스 신호(P1)라고 칭함]는 도 13의 (A)에 도시된 바와 같이, 소정 주기마다 시간 T1만 "H" 상태가 되는 신호이다. 한편, 펄스 제너레이터(P2)로부터 출력되는 신호[이하, 펄스 신호(P2)라고 칭함]는 도 13의 (D)에 도시된 바와 같이, 소정 주기마다 시간 T2만 "L" 상태가 되는 신호이다.
- <60> 이러한 펄스 신호(P1)가 스위칭 트랜지스터(T1)에 공급되면, 펄스 신호(P1)가 "H" 상태가 된 시점에서 ON 상태가 된다. 스위칭 트랜지스터(T1)가 ON 상태가 되면, 인덕터(L1)가 접지되기 때문에, 입력 전압(Vin)이 인덕터(L1)에 인가되어, 도 13의 (C)에 도시된 바와 같이, 전류가 인덕터(L1)에 유입된다. 그 결과, 인덕터(L1)가 자화되어, 전기 에너지가 자기 에너지로 전환되어 축적된다. 또한, 이 때, 다이오드(D1)는 애노드측이 접지되기 때문에 역바이어스 상태가 되어 차단되어, 출력측에는 전류가 흐르지 않는다.
- <61> 펄스 신호(P1)가 "H" 상태가 되고 나서 소정 시간(T1)이 경과하면, 펄스 신호(P1)는 "L" 상태로 변천된다. 그러면, 스위칭 트랜지스터(T1)가 OFF 상태가 되기 때문에, 인덕터(L1)에 유입되는 전류가 감소하기 시작한다. 인덕터(L1)에 유입되는 전류가 감소하기 시작하면, 자기 유도에 의해, 이것을 억제하는 방향으로 기전력이 발생한다. 그 결과, 도 13의 (B)에 도시된 바와 같이, 인덕터(L1)에 유입되는 전류의 감소에 대응하여 정전원 전압(Vo1)이 증가하게 된다. 이 때, 다이오드(D1)는 인덕터(L1)측이 고전위가 되기 때문에 순바이어스 상태가 되어 ON 상태가 되고, 인덕터(L1)에 발생된 기전력이 다이오드(D1)를 경유하여 출력되게 된다.
- <62> 한편, 펄스 신호(P2)가 스위칭 트랜지스터(T2)에 공급되면, 펄스 신호(P2)가 "L" 상태가 된 시점에서 ON 상태가 된다. 스위칭 트랜지스터(T2)가 ON 상태가 되면, 인덕터(L2)에 입력 전압(Vin)이 인가되어, 도 13의 (F)에 도시된 바와 같이, 전류가 인덕터(L2)에 유입된다. 그 결과, 인덕터(L2)가 자화되어, 전기 에너지가 자기 에너지로 전환되어 축적된다. 또한, 이 때, 다이오드(D2)는 캐소드측이 고전위가 되고 역바이어스 상태가 되어 차단되기 때문에, 출력측에는 전류가 흐르지 않는다.
- <63> 펄스 신호(P2)가 "L" 상태가 되고 나서 소정 시간(T2)이 경과하면, 펄스 신호는 "H" 상태로 변천된다. 그러면,

스위칭 트랜지스터(T2)가 OFF 상태가 되기 때문에, 인덕터(L2)에 유입되는 전류가 감소하기 시작한다. 인덕터(L2)에 유입되는 전류가 감소하기 시작하면, 자기 유도에 의해, 이것을 억제하는 방향으로 기전력이 발생한다. 그 결과, 도 13의 (E)에 도시된 바와 같이, 인덕터(L2)에 유입되는 전류의 감소에 대응하여 부전원 전압(Vo2)이 증가하게 된다. 이 때, 다이오드(D2)는 인덕터(L2)측이 저전위가 되기 때문에 순바이어스 상태가 되어 ON 상태가 되고, 인덕터(L2)에 발생된 기전력이 다이오드(D2)를 경유하여 출력되게 된다.

<64> 이상의 동작에 의해, 3 V 정도의 입력 전압(Vin)을 +15 V 및 -15 V 정도의 정부전원으로 변환할 수 있다.

<65> 또한, 출력 전압을 일정하게 유지하는 경우에는, 정전원 전압(Vo1)에 관해서는 이 전압이 높은 경우에는 펄스 제너레이터(P1)가 발생하는 펄스 신호의 주기를 짧게 하고, 전압이 낮은 경우에는 펄스 제너레이터(P1)가 발생하는 펄스 신호의 주기를 길게 하도록 제어하면 좋다. 한편, 부전원 전압(Vo2)에 관해서도 마찬가지로, 전압이 높은 경우에는 펄스 제너레이터(P2)가 발생하는 펄스 신호의 주기를 짧게 하고, 전압이 낮은 경우에는 펄스 제너레이터(P2)가 발생하는 펄스 신호의 주기를 길게 하도록 제어하면 좋다.

<66> 또한, 펄스의 폭(T1, T2)을 일정하게 하고, 그 주기를 변화시킴으로써 출력 전압을 제어하는 방식을 PFM(Pulse Frequency Modulation)이라고 칭한다.

발명이 이루고자 하는 기술적 과제

<67> 그런데, 종래의 정부전원 발생 장치에서는 인덕터(L1) 및 인덕터(L2) 두 개의 인덕터를 사용할 필요가 있었다. 인덕터는 기본적으로 자성체에 에너지를 축적하기 때문에 자성체의 체적이 어느 정도가 되지 않으면 충분한 에너지를 축적할 수 없는 것으로부터 커패시터와는 달리 소형화하는 것이 매우 곤란하다. 따라서, 종래의 정부전원 발생 장치는 이러한 인덕터를 두 개 사용하는 것으로부터 소형화가 곤란하다고 하는 문제점이 있었다.

<68> 본 발명은 이러한 점을 감안하여 이루어진 것으로, 소형화가 가능한 정부전원 발생 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

<69> 본 발명에서는 상기 과제를 해결하기 위해서, 도 1에 도시된 바와 같이, 단전원(16)으로부터 정부전원을 발생시키는 정부전원 발생 장치에 있어서, 인덕터(10)와 상기 인덕터(10)의 한 쪽 단자에 애노드가 접속되고, 캐소드가 정전원의 출력 단자에 접속되어 있는 제1 다이오드(11)와, 상기 인덕터(10)의 다른 쪽 단자에 캐소드가 접속되고, 애노드가 부전원의 출력 단자에 접속되어 있는 제2 다이오드(12)와, 상기 인덕터(10)의 상기 한 쪽 단자를 접지하기 위한 제1 스위치(13)와, 상기 인덕터(10)의 상기 다른 쪽 단자를 상기 단전원(16)에 접속하기 위한 제2 스위치(14)와, 상기 제1 및 제2 스위치(13, 14)를 제어하는 제어 회로(15)를 포함하는 것을 특징으로 하는 정부전원 발생 장치가 제공된다.

<70> 여기서, 인덕터(10)는 단전원(16)으로부터 유입되는 전기 에너지를 자기 에너지로 변환하여 축적하는 동시에, 전기 에너지로 재차 변환하여 정전원 또는 부전원으로서 출력한다. 제1 다이오드(11)는 인덕터(10)의 한 쪽 단자에 애노드가 접속되고, 캐소드가 정전원의 출력 단자에 접속되어 있으며, 제1 스위치(13)가 OFF 상태가 된 경우에는 인덕터(10)로부터 출력되는 전력을 정전원에 대하여 공급한다. 제2 다이오드(12)는 인덕터(10)의 다른 쪽 단자에 캐소드가 접속되고, 애노드가 부전원의 출력 단자에 접속되어 있으며, 제2 스위치(14)가 OFF 상태가 된 경우에는 인덕터(10)로부터 출력되는 전력을 부전원에 대하여 공급한다. 제1 스위치(13)는 제어 회로(15)의 제어에 따라서 인덕터(10)의 한 쪽 단자를 접지한다. 제2 스위치(14)는 제어 회로(15)의 제어에 따라서 인덕터(10)의 다른 쪽 단자를 단전원(16)에 접속한다. 제어 회로(15)는 제1 및 제2 스위치(13, 14) 양쪽 모두를 동시에 ON 상태로 한 후, 부전원에 전력을 공급하는 경우에는 제2 스위치(14)만을 OFF 상태로 하고, 정전원에 전력을 공급하는 경우에는 제1 스위치(13)만을 OFF 상태로 하여, 인덕터(10)에 축적되어 있는 자기 에너지를 정전원 또는 부전원에 대하여 출력한다.

<71> 또한, 본 발명에서는 도 1에 도시된 단전원(16)으로부터 정부전원을 발생하고, 대상이 되는 회로(도시되지 않음)에 전원을 공급하는 반도체 장치에 있어서, 외부에 접속된 인덕터(10)의 한 쪽 단자에 애노드가 접속되고, 캐소드가 정전원의 출력 단자에 접속되어 있는 제1 다이오드(11)와, 상기 인덕터(10)의 다른 쪽 단자에 캐소드가 접속되고, 애노드가 부전원의 출력 단자에 접속되어 있는 제2 다이오드(12)와, 상기 인덕터(10)의 상기 한 쪽 단자를 접지하기 위한 제1 스위치(13)와, 상기 인덕터(10)의 상기 다른 쪽 단자를 상기 단전원(16)에 접속하기 위한 제2 스위치(14)와, 상기 제1 및 제2 스위치(13, 14)를 제어하는 제어 회로(15)를 포함하는 것을 특징으로 하는 반도체 장치가 제공된다.

- <72> 여기서, 인덕터(10)는 단전원(16)으로부터 유입되는 전기 에너지를 자기 에너지로 변환하여 축적하는 동시에, 전기 에너지로 재차 변환하여 정전원 또는 부전원으로서 출력한다. 제1 다이오드(11)는 인덕터(10)의 한 쪽 단자에 애노드가 접속되고, 캐소드가 정전원의 출력 단자에 접속되어 있으며, 제1 스위치(13)가 OFF 상태가 된 경우에는 인덕터(10)로부터 출력되는 전력을 대상이 되는 회로에 대하여 공급한다. 제2 다이오드(12)는 인덕터(10)의 다른 쪽 단자에 캐소드가 접속되고, 애노드가 부전원의 출력 단자에 접속되어 있으며, 제2 스위치(14)가 OFF 상태가 된 경우에는 인덕터(10)로부터 출력되는 전력을 대상이 되는 회로에 대하여 공급한다. 제1 스위치(13)는 제어 회로(15)의 제어에 따라서 인덕터(10)의 한 쪽 단자를 접지한다. 제2 스위치(14)는 제어 회로(15)의 제어에 따라서 인덕터(10)의 다른 쪽 단자를 단전원(16)에 접속한다. 제어 회로(15)는 제1 및 제2 스위치(13, 14) 양쪽 모두를 동시에 ON 상태로 한 후, 부전원에 전력을 공급하는 경우에는 제2 스위치(14)만을 OFF 상태로 하고, 정전원에 전력을 공급하는 경우에는 제1 스위치(13)만을 OFF 상태로 하여, 인덕터(10)에 축적되어 있는 자기 에너지를 정전원 또는 부전원에 대하여 출력한다.
- <73> 이하, 본 발명의 실시예를 도면을 참조하여 설명한다.
- <74> 도 1은 본 발명의 동작 원리를 설명하는 원리도이다. 이 도 1에 도시된 바와 같이, 본 발명의 정부전원 발생 장치는 인덕터(10), 제1 다이오드(11), 제2 다이오드(12), 제1 스위치(13), 제2 스위치(14), 제어 회로(15) 및 단전원(16)에 의해서 구성되어 있다.
- <75> 여기서, 인덕터(10)는 수 십 μH ~수 백 μH 의 인덕턴스값을 갖고, 단전원(16)로부터 제1 및 제2 스위치(13, 14)를 통해 공급된 전기 에너지를 자기 에너지로 변환하여 축적하는 동시에, 축적된 자기 에너지를 전기 에너지로 재차 변환하여 출력한다.
- <76> 제1 다이오드(11)는 애노드가 인덕터(10)의 한 쪽 단자에 접속되고, 캐소드가 정전원의 출력 단자에 접속되어 있다.
- <77> 제2 다이오드(12)는 캐소드가 인덕터(10)의 다른 쪽 단자에 접속되고, 애노드가 부전원의 출력 단자에 접속되어 있다.
- <78> 제1 스위치(13)는 제어 회로(15)의 제어에 따라서 인덕터(10)의 한 쪽 단자를 접지한다.
- <79> 제2 스위치(14)는 제어 회로(15)의 제어에 따라서 인덕터(10)의 다른 쪽 단자를 단전원(16)에 접속한다.
- <80> 제어 회로(15)는 제1 스위치(13) 및 제2 스위치(14)를 제어한다.
- <81> 다음에, 이상의 원리도의 동작에 관해서 설명한다.
- <82> 정부전원 발생 장치가 동작을 시작하면, 우선 제어 회로(15)는 제1 스위치(13) 및 제2 스위치(14) 양쪽 모두를 ON 상태로 한다. 그 결과, 단전원(16)으로부터 인덕터(10)에 대하여 전류가 유입되며, 유입된 전기 에너지가 자기 에너지로 변환되어 축적된다.
- <83> 그리고, 제1 스위치(13) 및 제2 스위치(14)가 ON 상태로 되고 나서 일정한 시간[인덕터(10)에 축적되는 자기 에너지가 포화되지 않는 범위의 시간]이 경과하면, 제어 회로(15)는, 우선 제1 스위치(13)를 OFF 상태로 한다.
- <84> 그러면, 접지와 인덕터(10)의 접속이 차단되기 때문에 인덕터(10)에 유입되는 전류가 감소하게 된다. 인덕터(10)에 유입되는 전류가 감소하기 시작하면, 인덕터(10)에는 자기 유도에 의해 역기전력이 발생한다.
- <85> 이 때, 제2 다이오드(12)의 캐소드에는 단전원(16)의 전압이 인가되고 있기 때문에, 역바이어스 상태가 되어 차단 상태가 된다. 한편, 제1 다이오드(11)의 캐소드에는 단전원(16)의 전압과 역기전력을 가산한 전압이 인가되기 때문에, 순바이어스 상태가 되어, 도통 상태가 된다.
- <86> 그 결과, 정전원의 출력 단자에는 단전원(16)의 전압과 역기전력을 가산한 전압이 정전원($V+$)으로서 출력되게 된다.
- <87> 그리고, 인덕터(10)에 축적된 자기 에너지가 전부 방출되면, 제2 스위치도 OFF 상태가 되어, 정전원을 생성하기 위한 상태인 「제1 상태」를 종료한다.
- <88> 계속해서, 제어 회로(15)는 제1 스위치(13) 및 제2 스위치(14) 양쪽 모두를 ON 상태로 한다. 그 결과, 단전원(16)으로부터 인덕터(10)에 대하여 전류가 유입되고, 유입된 전기 에너지가 자기 에너지로 변환되어 축적된다.
- <89> 그리고, 제1 스위치(13) 및 제2 스위치(14)가 ON 상태로 되고 나서 일정한 시간이 경과하면, 제어 회로(15)는,

우선 제2 스위치(14)를 OFF 상태로 한다.

- <90> 그러면, 단전원(16)과 인덕터(10)의 접속이 차단되기 때문에, 인덕터(10)에 유입되는 전류가 감소하게 된다. 인덕터(10)에 유입되는 전류가 감소하기 시작하면 인덕터(10)에는 자기 유도에 의해 역기전력이 발생한다.
- <91> 이 때, 제1 다이오드(11)의 애노드는 접지된 상태가 되기 때문에, 역바이어스 상태가 되어, 차단 상태가 된다. 한편, 제2 다이오드(12)의 캐소드에는 역기전력이 인가되기 때문에, 순바이어스 상태가 되어, 도통 상태가 된다.
- <92> 그 결과, 부전원의 출력 단자에는 역기전력이 부전원(V-)으로서 출력되게 된다.
- <93> 그리고, 인덕터(10)에 축적된 자기 에너지가 전부 방출되면, 제1 스위치도 OFF 상태가 되어 부전원을 생성하기 위한 상태인 「제2 상태」를 종료한다.
- <94> 이와 같이 하여, 제1 상태와 제2 상태가 각각 반복됨으로써, 단전원(16)으로부터 정부전원을 생성할 수 있다.
- <95> 또한, 정전원 또는 부전원의 전압을 검출하고, 그 결과에 따라서 제1 상태 또는 제2 상태를 각각 반복하는 주기를 변화시킴으로써, 정전원 및 부전원을 각각 제어할 수 있다.
- <96> 이상에 설명한 바와 같이, 본 발명에 따르면, 인덕터(10)를 정전원측과 부전원측에서 공용하도록 했기 때문에 인덕터의 수를 감소시킬 수 있어, 그 결과 회로 규모를 축소할 수 있게 된다.
- <97> 다음에, 본 발명의 실시예의 기본적인 구성예에 관해서 설명한다.
- <98> 도 2는 본 발명의 실시예의 기본적인 구성예를 도시하는 도면이다. 이 도 2에 도시된 바와 같이, 본 발명의 정 부전원 발생 장치는 입력 전압(Vin), 입력 커패시터(Cin), 스위칭 트랜지스터(T1, T2), 펄스 제너레이터(P1, P2), 인덕터(L0), 다이오드(D1, D2) 및 출력 커패시터(C1, C2)에 의해서 구성되어 있다.
- <99> 여기서, 입력 전압(Vin)은, 예컨대 2차 전지인 리튬 전지로부터 출력되는 3 V의 전원 전압이다.
- <100> 입력 커패시터(Cin)는 입력 전압(Vin)에 병렬로 접속되어 있고, 전원의 고주파 영역에서의 내부 임피던스를 저하시키는 기능을 갖는다.
- <101> 인덕터(L0)는 수 십~수 백 μH 의 인덕턴스값을 갖는 코일에 의해서 구성되어 있고, 전기 에너지를 자기 에너지로 변환하여 축적하는 동시에, 축적된 자기 에너지를 전기 에너지로 변환하여 출력한다.
- <102> 펄스 제너레이터(P1)는 스위칭 트랜지스터(T1)를 구동하기 위한 펄스 신호를 발생하여 출력한다.
- <103> 펄스 제너레이터(P2)도 마찬가지로, 스위칭 트랜지스터(T2)를 구동하기 위한 펄스 신호를 발생하여 출력한다.
- <104> 스위칭 트랜지스터(T1)는 N 채널 MOS-FET에 의해서 구성되며, 펄스 제너레이터(P1)로부터 공급되는 펄스 신호가 "H" 상태가 된 경우에는 ON 상태가 되고, 그 이외의 경우에는 OFF 상태가 된다.
- <105> 스위칭 트랜지스터(T2)는 P 채널 MOS-FET에 의해서 구성되며, 펄스 제너레이터(P2)로부터 공급되는 펄스 신호가 "L" 상태가 된 경우에는 ON 상태가 되고, 그 이외의 경우에는 OFF 상태가 된다.
- <106> 다이오드(D1)는 순바이어스 상태가 된 경우에는 인덕터(L0)에 발생한 전압을 출력하고, 그 이외의 경우에는 차단 상태가 된다.
- <107> 다이오드(D2)도 마찬가지로, 순바이어스 상태가 된 경우에는 인덕터(L0)에 발생한 전압을 출력하고, 그 이외의 경우에는 차단 상태가 된다.
- <108> 출력 커패시터(C1)는 다이오드(D1)로부터의 출력에 포함되어 있는 맥류(脈流) 성분을 제거하여, 정전원 전압(Vo1)으로서 출력한다.
- <109> 출력 커패시터(C2)도 마찬가지로, 다이오드(D2)로부터의 출력에 포함되어 있는 맥류 성분을 제거하여, 부전원 전압(Vo2)으로서 출력한다.
- <110> 다음에, 본 발명의 실시예의 동작에 관해서 설명한다.
- <111> 도 3은 도 2에 도시된 실시예의 동작에 관해서 설명하는 타이밍 차트이다. 펄스 제너레이터(P1)로부터 출력되는 신호는 도 3의 (A)에 도시된 바와 같이, 시간 T1의 사이에만 "H" 상태가 되는 것을 반복하는 동시에, 시간 T2에만 "H" 상태가 되는 것을 반복하는 신호이다. 한편, 펄스 제너레이터(P2)로부터 출력되는 신호는 도 3의 (D)에 도시된 바와 같이, 시간 T1의 사이에만 "L" 상태가 되는 것을 반복하는 동시에, 시간 T2의 시간에만 "L" 상태가

되는 것을 반복하는 신호이다. 또한, 펄스 제너레이터(P1)로부터의 신호[이하, 펄스 신호(P1)라고 칭함]가 시간 T1에만 "H" 상태가 되어 있는 경우에는, 펄스 제너레이터(P2)로부터 출력되는 신호는 시간 T2에만 "L" 상태가 되고, 펄스 제너레이터(P2)로부터의 신호[이하, 펄스 신호(P2)라고 칭함]가 시간 T1에만 "L" 상태가 되어 있는 경우에는, 펄스 제너레이터(P1)로부터 출력되는 신호는 시간 T2에만 "H" 상태가 되도록 설정되어 있다.

<112> 이러한 펄스 신호(P1)가 스위칭 트랜지스터(T1)에 공급되어 펄스 신호(P1)가 시간 T1에만 "H" 상태가 되면, 펄스 신호(P2)도 마찬가지로 "L" 상태가 된다. 그러면, 스위칭 트랜지스터(T1)와 스위칭 트랜지스터(T2) 양쪽 모두가 ON 상태가 되어, 입력 전압(Vin)이 인덕터(L0)에 접속되기 때문에, 도 3의 (C)에 도시된 바와 같이 인덕터(L0)에 대하여 전류가 유입되게 된다. 그 결과, 인덕터(L0)가 자화되어 전기 에너지가 자기 에너지로 전환되어 축적된다. 또한, 이 때, 다이오드(D1)는 애노드측이 접지되어 역바이어스 상태가 되어 차단되기 때문에, 출력측에는 전류가 흐르지 않는다. 한편, 다이오드(D2)도 캐소드측에 정전압이 인가되기 때문에 역바이어스 상태가 되어 차단되어, 출력측에는 전류가 흐르지 않는다.

<113> 펄스 신호(P1)가 "H" 상태가 되고, 또한 펄스 신호(P2)가 "L" 상태가 되고 나서 일정한 시간(T1)이 경과하면, 펄스 신호(P1)는 "L" 상태로 변화되고, 펄스 신호(P2)는 "L" 상태를 유지한다. 그러면, 스위칭 트랜지스터(T1)가 OFF 상태가 되기 때문에, 인덕터(L0)에 유입되는 전류가 감소하기 시작한다. 인덕터(L0)에 유입되는 전류가 감소하기 시작하면, 자기 유도에 의해 그것을 억제하는 방향의 기전력이 발생한다. 이 때, 스위칭 트랜지스터(T2)는 ON 상태로 되어 있기 때문에, 다이오드(D1)에는 입력 전압(Vin)과 역기전력을 가산한 전압이 인가되어, 순바이어스 상태가 되어 ON 상태가 된다. 그 결과, 도 3의 (B)에 도시된 바와 같이, 인덕터(L0)에 발생한 기전력과 입력 전압(Vin)을 가산한 전압이 다이오드(D1)를 경유하여 정전원 전압(Vo1)으로서 출력되게 된다. 그리고, 펄스 신호(P1)가 "H" 상태가 되고 나서 시간(T2)이 경과하면, 펄스 신호(P2)도 "H" 상태로 변화되기 때문에 인덕터(L0)로부터의 출력이 종료한다.

<114> 한편, 펄스 신호(P1)가 시간 T2에만 "H" 상태가 될 때에는 펄스 신호(P2)도 마찬가지로 "L" 상태가 된다. 그러면, 스위칭 트랜지스터(T1)와 스위칭 트랜지스터(T2) 양쪽 모두가 ON 상태가 되어, 입력 전압(Vin)이 인덕터(L0)에 접속되기 때문에, 도 3의 (C)에 도시된 바와 같이, 인덕터(L0)에 대하여 전류가 유입되게 된다. 그 결과, 인덕터(L0)가 자화되어 전기 에너지가 자기 에너지로 전환되어 축적된다. 또한, 이 때, 다이오드(D1)는 상기한 경우와 마찬가지로, 애노드측이 접지되고 역바이어스 상태가 되어 차단되기 때문에, 출력측에는 전류가 흐르지 않는다. 한편, 다이오드(D2)도 캐소드측에 정전압이 인가되기 때문에 역바이어스 상태가 되어 차단되어, 출력측에는 전류가 흐르지 않는다.

<115> 펄스 신호(P1)가 "H" 상태가 되고, 또한 펄스 신호(P2)가 "L" 상태가 되고 나서 일정한 시간(T1)이 경과하면, 펄스 신호(P2)는 "H" 상태로 변화되고, 펄스 신호(P1)는 "H" 상태를 유지한다. 그러면, 스위칭 트랜지스터(T2)가 OFF 상태가 되기 때문에, 인덕터(L0)에 유입되는 전류가 감소하기 시작한다. 인덕터(L0)에 유입되는 전류가 감소하기 시작하면, 자기 유도에 의해 그것을 억제하는 방향의 기전력이 발생한다. 이 때, 스위칭 트랜지스터(T1)는 ON 상태로 되어 있기 때문에, 다이오드(D2)에는 역기전력이 인가되어, 순바이어스 상태가 되어 ON 상태가 된다. 그 결과, 도 3의 (E)에 도시된 바와 같이, 인덕터(L0)에 발생한 역기전력이 다이오드(D2)를 경유하여 부전원 전압(Vo2)으로서 출력되게 된다. 그리고, 펄스 신호(P1)가 "H" 상태가 되고 나서 시간(T2)이 경과하면, 펄스 신호(P1)도 "L" 상태로 변화되기 때문에 인덕터(L0)로부터의 출력이 종료한다.

<116> 이상의 동작에 의해, 3 V 정도의 입력 전압(Vin)을 +15 V 및 -15 V 정도의 정부전원으로 변환할 수 있다.

<117> 도 4는 본 발명의 실시예의 보다 상세한 구성예를 도시하는 도면이다.

<118> 이 도 4에 도시된 바와 같이, 이 실시예는 반도체 장치에 의해서 구성되는 반도체 장치 구성 부분(50) 및 반도체 장치 구성 부분(50)의 외부에 접속되는 입력 전압(Vin), 입력 커패시터(60), 출력 커패시터(61), 인덕터(62) 및 출력 커패시터(63)에 의해서 구성되어 있다.

<119> 반도체 장치 구성 부분(50)은 비교기(51, 52), 저항(40~43), 기준 전압(Vref1, Vref2), PFM 제어 회로(55), 스위칭 트랜지스터(56, 57) 및 다이오드(58, 59)에 의해서 구성되어 있다.

<120> 여기서, 비교기(51)는 정전원 전압(Vo1)을 저항(40, 41)으로 분압하여 얻어진 전압과 기준 전압(Vref1)을 비교하여, 비교 결과를 PFM 제어 회로(55)에 대하여 출력한다.

<121> 비교기(52)는 부전원 전압(Vo2)을 저항(42, 43)으로 분압하여 얻어진 전압과 기준 전압(Vref2)을 저항(42, 43)으로 분압하여 얻어진 전압과의 차분을 접지 전압과 비교하여, 비교 결과를 PFM 제어 회로(55)에 대하여 출력한다.

다.

- <122> PFM 제어 회로(55)는 비교기(51, 52)로부터의 출력에 따라서 스위칭 트랜지스터(56, 57)를 제어한다.
- <123> 도 5는 PFM 제어 회로(55)의 상세한 구성예를 도시하는 도면이다. 이 도 5에 도시된 바와 같이, PFM 제어 회로(55)는 스위칭 트랜지스터(70, 71), 커패시터(72, 73), 정전류원(I1, I2), 비교기(74, 75), 기준 전압(Vref3, Vref4), 인버터(76, 77, 81, 82, 88, 91, 94), NAND 게이트(78~80, 83~86), AND 게이트(87, 89), OR 게이트(90, 92, 93)에 의해서 구성되어 있다.
- <124> 여기서, 스위칭 트랜지스터(70), 정전류원(I1), 커패시터(72), 기준 전압(Vref3) 및 비교기(74)는 스위칭 트랜지스터(56, 57)가 ON으로 되어 있는 시간(이하, ON 시간이라고 칭함)을 결정하기 위한 회로이며, NAND 게이트(80)의 출력 신호인 dchg-on 신호가 "H"로부터 "L"로 변화함으로써 스위칭 트랜지스터(70)가 ON으로부터 OFF로 변화하면, 정전류원(I1)으로부터의 전류에 의해서 커패시터(72)가 충전되어, 전압이 상승한다. 그리고, 커패시터(72)의 단자 전압이 기준 전압(Vref3)을 초과한 경우에는 비교기(74)의 출력이 "H" 상태가 된다.
- <125> 한편, 스위칭 트랜지스터(71), 정전류원(I2), 커패시터(73), 기준 전압(Vref4) 및 비교기(75)는 스위칭 트랜지스터(56, 57)가 OFF로 되어 있는 시간(이하, OFF 시간이라고 칭함)을 결정하기 위한 회로이며, NAND 게이트(79)의 출력 신호인 dchg-off 신호가 "H"로부터 "L"로 변화함으로써 스위칭 트랜지스터(71)가 ON으로부터 OFF로 변화하면, 정전류원(I2)으로부터의 전류에 의해서 커패시터(73)가 충전되어, 전압이 상승한다. 그리고, 커패시터(73)의 단자 전압이 기준 전압(Vref4)을 초과한 경우에는 비교기(75)의 출력이 "H" 상태가 된다.
- <126> 인버터(76, 77) 및 NAND 게이트(78, 79)는 RS 플립플롭 회로를 구성하고 있어, 비교기(75)의 출력에 의해 셋트 되고, 비교기(74)의 출력에 의해 리셋된다. 이하에서는, 이들 소자에 의해서 구성되는 RS 플립플롭 회로를 RS3이라고 칭한다.
- <127> 인버터(77, 81) 및 NAND 게이트(83, 84)는 RS 플립플롭 회로를 구성하고 있어, 비교기(51)의 출력에 의해 셋트 되고, 비교기(75)의 출력에 의해 리셋된다. 이하에서는, 이들 소자에 의해서 구성되는 RS 플립플롭 회로를 RS1이라고 칭한다.
- <128> 인버터(77, 82) 및 NAND 게이트(85, 86)는 RS 플립플롭 회로를 구성하고 있어, 비교기(52)의 출력에 의해 셋트 되고, 비교기(75)의 출력에 의해 리셋된다. 이하에서는, 이들 소자에 의해서 구성되는 RS 플립플롭 회로를 RS2라고 칭한다.
- <129> AND 게이트(87)는 NAND 게이트(84)의 출력과 NAND 게이트(85)의 출력의 논리곱을 연산하여 출력한다. 즉, AND 게이트(87)는 RS1의 정전(正轉) 출력 단자로부터의 출력과, RS2의 반전(反轉) 출력 단자로부터의 출력의 논리곱을 연산하여 출력하기 때문에, RS1이 셋트 상태이고 또한 RS2가 리셋 상태인 경우에 그 출력이 "H" 상태가 된다.
- <130> 인버터(88)는 AND 게이트(87)의 출력을 반전한 결과를 출력한다. AND 게이트(89)는 인버터(88)의 출력과 NAND 게이트(86)의 출력의 논리곱을 연산하여 출력한다. 즉, AND 게이트(89)는 RS2의 정전 출력 단자로부터의 출력과 인버터(88)로부터의 출력의 논리곱을 연산하여 출력하기 때문에, RS2가 셋트 상태이고 또한 AND 게이트(87)의 출력이 "L"인 경우에 그 출력이 "H" 상태가 된다.
- <131> OR 게이트(90)는 AND 게이트(87)로부터의 출력 및 AND 게이트(89)로부터의 출력의 논리합을 연산하여 출력한다.
- <132> NAND 게이트(80)는 NAND 게이트(79)의 출력(RS3의 정전 출력)과, OR 게이트(90)로부터의 출력의 논리곱을 반전한 결과를 출력한다.
- <133> 인버터(91)는 NAND 게이트(80)의 출력을 반전한 결과를 출력한다.
- <134> OR 게이트(93)는 AND 게이트(89)의 출력과, 인버터(91)의 출력의 논리합을 연산한 결과에 따라서 스위칭 트랜지스터(57)를 제어한다.
- <135> OR 게이트(92)는 AND 게이트(87)의 출력과, 인버터(91)의 출력의 논리합을 연산하여 출력한다. 인버터(94)는 OR 게이트(92)의 출력을 반전한 결과에 따라서 스위칭 트랜지스터(56)를 제어한다.
- <136> 다음에, 이상의 실시예의 동작에 관해서 설명한다.
- <137> 도 4에 도시된 회로가 동작을 시작하면, 정전원 전압(Vo1) 및 부전원 전압(Vo2)은 규정의 전압에 도달하고 있지 않기 때문에, 비교기(51) 및 비교기(52)의 출력 양쪽 모두는 "H" 상태가 된다. 그러면, RS1 및 RS2 양쪽 모두가 셋트되기 때문에, NAND 게이트(84, 86)의 출력 양쪽 모두는 "H" 상태가 된다. 그 결과, AND 게이트(87)의 출력

은 "L" 상태가 되고, 또한 AND 게이트(89)의 출력은 "H" 상태가 된다.

- <138> AND 게이트(89)의 출력이 "H" 상태가 되면 OR 게이트(90)의 출력이 "H" 상태가 된다. 이 때, 커패시터(72, 73)는 충전되어 있지 않은 상태이기 때문에, 비교기(74, 75)의 출력은 "L" 상태가 되고, RS3의 출력은 "H" 상태로 되기 때문에 NAND 게이트(80)의 출력은 "L" 상태가 된다. 그 결과, 인버터(91)의 출력은 "H" 상태가 되기 때문에, 스위칭 트랜지스터(56, 57) 양쪽 모두는 ON 상태가 된다.
- <139> 스위칭 트랜지스터(56, 57) 양쪽 모두가 "H" 상태가 되면, 인덕터(62)가 입력 전압(Vin)에 접속된 상태가 되어, 인덕터(62)에 전류가 유입되고, 자기 에너지가 축적된다.
- <140> 이 때, RS3의 출력이 "H" 상태이기 때문에, dchg-off 신호는 "H" 상태가 되어, 스위칭 트랜지스터(71)가 ON 상태가 된다. 그 결과, 커패시터(73)는 단락된 상태가 되기 때문에, 비교기(75)의 출력은 "L" 상태를 유지한다.
- <141> 한편, NAND 게이트(80)의 출력은 "L" 상태이기 때문에, dchg-on 신호는 "L" 상태가 되어, 스위칭 트랜지스터(70)가 OFF 상태가 된다. 그 결과, 커패시터(72)는 정전류원(I1)으로부터 유입되는 전류에 의해서 충전되어, 그 단자 전압이 기준 전압(Vref3)을 초과한 경우에는 비교기(74)의 출력은 "L"로부터 "H" 상태로 변화한다.
- <142> 비교기(74)의 출력이 "H" 상태가 되면 RS3이 리셋되기 때문에, NAND 게이트(79)의 출력은 "L" 상태가 된다. 그러면, 인버터(91)의 출력이 "L" 상태가 되기 때문에, OR 게이트(92)의 출력은 "L" 상태가 되어, 스위칭 트랜지스터(56)가 OFF 상태가 되고, 스위칭 트랜지스터(57)는 ON 상태를 유지한다. 그 결과, 다이오드(58)가 순바이어스 상태가 되기 때문에, 인덕터(62)에 축적된 자기 에너지가 부전원 전압(Vo2)으로서 방출되게 된다. 인덕터(62)로부터 에너지가 출력되면, 출력 커패시터(61)가 충전되기 때문에 비교기(52)의 출력은 "L" 상태가 된다.
- <143> 이 때, NAND 게이트(79)의 출력은 "H" 상태로 되어 있기 때문에 dchg-off 신호는 "L" 상태가 된다. 그 결과, 스위칭 트랜지스터(71)가 OFF 상태가 되어, 커패시터(73)가 정전류원(I2)에 의해서 충전된다. 커패시터(73)의 단자 전압이 기준 전압(Vref4)을 초과하면, 비교기(75)의 출력은 "H" 상태로 변화하기 때문에, RS1 및 RS2이 리셋되고, OR 게이트(93)의 출력이 "L" 상태가 되며, 스위칭 트랜지스터(57)가 OFF 상태가 된다.
- <144> 부전원 전압(Vo2)의 출력이 완료되면, 상기한 바와 같이 비교기(52)의 출력은 "L" 상태가 되지만, 비교기(51)의 출력은 여전히 "H" 상태이기 때문에 RS1이 셋트된다. 이 때, RS2는 리셋된 상태이기 때문에, AND 게이트(87)의 출력은 "H" 상태가 되고, NAND 게이트(80)의 출력은 "L" 상태가 된다.
- <145> NAND 게이트(80)의 출력이 "L" 상태가 되면, 인버터(91)의 출력이 "H" 상태가 되기 때문에 OR 게이트(92, 93)의 출력이 "H" 상태가 되고, 스위칭 트랜지스터(56, 57)가 ON 상태가 되어, 인덕터(62)가 자화된다.
- <146> 이 때, dchg-on 신호가 "L" 상태로 되어 있기 때문에 커패시터(72)가 정전류원(I1)에 의해 충전되어 그 단자 전압이 기준 전압(Vref3)을 초과하면, 비교기(74)의 출력은 "H" 상태가 되어 RS3이 리셋되기 때문에, NAND 게이트(79)의 출력은 "L" 상태가 된다.
- <147> NAND 게이트(79)의 출력은 "L" 상태가 되면, dchg-off가 "L"이 되고 dchg-on이 "H"가 되기 때문에, 커패시터(72)가 리셋되고, 또한 커패시터(73)의 충전이 시작된다. 이 때, 인버터(91)의 출력이 "L"이며, 또한, AND 게이트(87)의 출력은 "H"이며, AND 게이트(89)의 출력은 "L"이기 때문에, OR 게이트(92)의 출력은 "H"이고 또한 OR 게이트(93)의 출력은 "L" 상태가 된다. 그 결과, 스위칭 트랜지스터(57)가 OFF 상태로 변화되고, 스위칭 트랜지스터(56)는 ON 상태를 유지하기 때문에, 인덕터(62)로부터 다이오드(59)를 통해 정전원 전압(Vo1)측으로 전력이 공급된다. 그리고, 커패시터(73)의 충전이 완료되면, 비교기(75)의 출력은 "H" 상태가 되어 RS3이 셋트되기 때문에, dchg-off가 "H" 상태가 되고, 커패시터(73)가 리셋된다.
- <148> 또한, RS1 및 RS2가 리셋되기 때문에, OR 게이트(90)의 출력이 "L" 상태가 되어, dchg-on 신호도 마찬가지로 "H" 상태가 되고, 커패시터(72)가 리셋된 상태가 된다.
- <149> 이상의 동작에 의해 Vo1 및 Vo2 양쪽 모두에의 전력의 출력이 완료된다.
- <150> 이러한 상태에 있어서, 부하 전류가 흐름으로써, 예컨대 부전원 전압(Vo2)측의 전압이 저하한 경우에는 비교기(52)의 출력은 "H" 상태가 되기 때문에, RS2가 셋트되고, OR 게이트(90)의 출력은 "H" 상태가 된다. 그러면, NAND 게이트(80)의 출력은 "L" 상태가 되기 때문에, 스위칭 트랜지스터(56, 57) 양쪽 모두가 ON 상태가 되어, 인덕터(62)에 전류가 유입된다.
- <151> 이 때, dchg-on 신호는 "L" 상태이기 때문에, 커패시터(72)의 충전이 시작되어, 그 단자 전압이 기준 전압(Vref3)을 초과하면, 비교기(74)의 출력은 "H" 상태가 되어, RS3이 리셋된다. RS3이 리셋되면, NAND 게이트(8

0)의 출력이 "H" 상태가 되기 때문에, OR 게이트(92)의 출력은 "L"로, 또한 OR 게이트(93)의 출력은 "H"로 되어, 스위칭 트랜지스터(56)는 OFF 상태로 변화되고, 스위칭 트랜지스터(57)는 ON 상태를 유지하기 때문에, 부전원 전압(Vo2)측으로 전력이 공급되게 된다.

- <152> 이 때, dchg-off 신호는 "L"이며, dchg-on 신호는 "H" 상태이기 때문에, 커패시터(72)가 리셋되고, 또한 커패시터(73)의 충전이 시작된다. 그리고, 커패시터(73)의 단자 전압이 기준 전압(Vref3)을 초과하면, 비교기(75)의 출력이 "H" 상태가 되기 때문에, RS3이 셋트되고, RS1 및 RS2가 리셋된다.
- <153> 그 결과, dchg-off 신호 및 dchg-on 신호 양쪽 모두가 "H" 상태가 되기 때문에, 커패시터(72, 73) 양쪽 모두가 리셋된 상태가 된다.
- <154> 그 후에는, 출력 전압(Vo1, Vo2)의 전압이 저하하면, 이상에 설명한 것과 같은 동작에 의해, 해당하는 측에 전력이 공급되는 동작이 반복되기 때문에, 정전원 전압(Vo1) 및 부전원 전압(Vo2)은 일정한 전압으로 유지된다.
- <155> 도 6은 이상의 실시예의 동작을 설명하기 위한 타이밍 차트이다. 이 도 6에 도시된 바와 같이, 도 4에 도시된 실시예에서는, 정전원측으로의 전력의 방출은 시간(TiL1)이 필요하고, 한편 부전원측으로의 전력의 방출은 시간(TiL2)이 필요하기 때문에, 이들 양쪽 모두의 시간을 상회하는 시간(T)만 스위칭 트랜지스터(56, 57)가 ON 상태를 유지하도록 커패시터(73) 및 정전류원(I2)의 값을 설정함으로써, 도 6의 (C)에 도시된 L0 전류가 종료한 것을 검출할 필요가 없어진다. 그 결과, TiL1 및 TiL2를 각각 검출하기 위한 회로를 생략할 수 있게 되기 때문에, 회로를 간략화할 수 있게 된다.
- <156> 이상에 설명한 바와 같이, 본 발명의 실시예에서는 인덕터(62)를 정전원측 및 부전원측 양쪽 모두에서 공용하도록 했기 때문에, 사이즈의 소형화가 곤란한 인덕터를 하나 생략함으로써, 장치 전체의 소형화를 도모할 수 있게 된다.
- <157> 또한, 종래에서는 다른 계통으로 되어 있었던 정전원측과 부전원측의 제어 장치를 공통화할 수 있기 때문에, 장치를 더욱 소형화할 수 있게 된다.
- <158> 또한, AND 게이트(87, 89) 및 인버터(88)를 설치함으로써, 장치의 동작이 시작했을 때에는 스위칭 트랜지스터(56)가 먼저 OFF 상태가 되어 부전원측에 먼저 전력이 공급되도록 했기 때문에, 예컨대 액정 표시 장치와 같이 부전원측이 먼저 상승할 필요가 있는 장치의 경우에는 적절한 순서로 전력의 공급이 이루어진다.
- <159> 다음에, 도 7을 참조하여 도 4에 도시된 PFM 제어 회로(55)의 다른 구성예에 관해서 설명한다.
- <160> 도 7의 구성예에서는 도 5의 경우와 비교하여 D-플립플롭 회로(100, 101)가 추가되어 있다. 또한, 그 밖의 구성은 도 5의 경우와 동일하다.
- <161> D-플립플롭 회로(100)는 AND 게이트(87)의 출력을 인버터(76)의 출력이 "L"이 되는 타이밍(ON 시간 검출 종료시의 타이밍)으로 래치하여, 다음 ON 시간 검출 종료시까지 유지한다.
- <162> 한편, D-플립플롭 회로(101)도 마찬가지로, AND 게이트(89)의 출력을 인버터(76)의 출력이 "L"이 되는 타이밍으로 래치하여, 다음 ON 시간 검출 종료시까지 유지한다.
- <163> 다음에, 이상의 실시예의 동작에 관해서 도 8을 참조하여 설명한다.
- <164> 도 7의 회로는 도 8의 (A)에 도시된 바와 같이, P1 파형이 "H" 상태가 되면, D-플립플롭 회로(101)의 동작에 의해, 다음에 "L" 상태가 될 때까지는 "H" 상태를 유지한다.
- <165> 또한, 도 8의 (D)에 도시된 바와 같이, P2 파형이 "L" 상태가 되면, D-플립플롭 회로(100)의 동작에 의해, 다음에 "H" 상태가 될 때까지는 "L" 상태를 유지한다.
- <166> 따라서, 도 7에 도시된 실시예에서는, 도 5에 도시된 회로에 비교하여 스위칭 트랜지스터(56, 57)의 스위칭 횟수를 감소시킬 수 있기 때문에, 노이즈의 발생을 감소시킬 수 있는 동시에, 소비 전력을 삭감할 수 있게 된다.
- <167> 다음에, 본 발명의 제2 실시예에 관해서 설명한다.
- <168> 도 9는 본 발명의 제2 실시예의 구성예를 도시하는 도면이다. 본 발명의 제2 실시예에서는, PWM(Pulse Width Modulation) 제어에 의해서 전압의 제어를 행한다. 또한, 이 도 9에 있어서, 도 4에 도시된 경우와 대응하는 부분에는 동일한 부호를 붙여 놓기 때문에, 그 상세한 설명은 생략한다.
- <169> 이 도 9에 도시된 바와 같이, 본 발명의 제2 실시예는 도 4의 경우와 비교하여 비교기(51, 52)가 연산 증폭기

(110, 111)로 치환되고, 저항(112, 113)이 새롭게 부가되어 있다.

- <170> 또한, PWM 제어용 비교기(114, 115), 기준 전압(Vref3, Vref4), 출력 제어 회로(116) 및 삼각파 제너레이터(117)가 새롭게 추가되어 있다.
- <171> 여기서, 연산 증폭기(110)는 저항(42, 43, 112)과 함께 반전 증폭 회로를 구성하고 있어, 기준 전압(Vref2) 및 부전원 전압(Vo2)을 소정의 게인으로 증폭하여 출력한다.
- <172> 연산 증폭기(111)는 저항(40, 41, 113)과 함께 반전 증폭 회로를 구성하고 있어, 정전원 전압(Vo1)과 기준 전압(Vref1)의 차분을 소정의 게인으로 증폭하여 출력한다.
- <173> PWM 제어용 비교기(114)는 연산 증폭기(110)의 출력 및 기준 전압(Vref4)과 삼각파를 비교하여, 삼각파의 전압이 전자 두 개의 쌍방의 전압을 하회했을 경우에는 "L"을 출력하고, 그 이외의 경우에는 "H"를 출력한다.
- <174> PWM 제어용 비교기(115)는 연산 증폭기(111)의 출력 및 기준 전압(Vref3)과 삼각파를 비교하여, 삼각파의 전압이 상기한 두 개의 전압 양쪽 모두를 상회했을 경우에는 "L"을 출력하고, 그 이외의 경우에는 "H"를 출력한다.
- <175> 기준 전압(Vref3, Vref4)은 스위칭 트랜지스터(56, 57)의 최대 ON 시간을 설정하기 위한 기준 전압이다.
- <176> 출력 제어 회로(116)는 PWM 제어용 비교기(114, 115)로부터의 출력에 따라서 스위칭 트랜지스터(56, 57)를 제어하는 회로이다.
- <177> 다음에, 이상의 실시예의 동작을 설명한다.
- <178> 도 10은 도 9에 도시된 실시예의 동작을 설명하기 위한 타이밍 차트이다. 장치의 동작이 시작되면, 삼각파 제너레이터(117)로부터는 도 10의 (A)에 도시된 바와 같은 삼각파가 발생되어 PWM 제어용 비교기(114, 115)에 각각 공급된다. 장치가 동작을 시작한 직후에는, 정전원측 및 부전원측 양쪽 모두의 전압은 0 V이기 때문에, 연산 증폭기(110)로부터는 부전압이, 연산 증폭기(111)로부터는 정전압이 출력되어, PWM 제어용 비교기(114, 115)에 각각 공급된다.
- <179> PWM 제어용 비교기(114)는 기준 전압(Vref4) 및 연산 증폭기(110)로부터의 출력과 삼각파의 전압을 비교하여, 삼각파의 전압이 기준 전압(Vref4) 및 연산 증폭기(110)로부터의 출력 양쪽 모두를 하회한 경우에는, 출력을 "L" 상태로 하고, 그 이외의 경우에는 "H" 상태로 한다. 또한, 기준 전압(Vref4)은 상기한 바와 같이 최대 ON 시간을 설정하기 위한 것으로, 스위칭 트랜지스터(56, 57)가 장시간 ON 상태가 되고, 인덕터(62)의 자기 에너지가 포화되어, 전력이 낭비되는 것을 방지한다.
- <180> 한편, PWM 제어용 비교기(115)는 기준 전압(Vref3) 및 연산 증폭기(111)로부터의 출력과 삼각파의 전압을 비교하여, 삼각파의 전압이 기준 전압(Vref3) 및 연산 증폭기(111)로부터의 출력 양쪽 모두를 상회한 경우에는, 출력을 "L" 상태로 하고, 그 이외의 경우에는 "H" 상태로 한다. 또한, 기준 전압(Vref3)은 상기한 경우와 같이 최대 ON 시간을 설정하기 위한 것으로, 스위칭 트랜지스터(56, 57)가 장시간 ON 상태가 되고, 인덕터(62)의 자기 에너지가 포화되어, 전력이 낭비되는 것을 방지한다.
- <181> 출력 제어 회로(116)는 PWM 제어용 비교기(114, 115)의 출력에 따라서 스위칭 트랜지스터(56, 57)를 제어한다. 예컨대, 도 10의 경우에서는, 삼각파의 전압이 연산 증폭기(111)의 출력인 OP-AMP 111(점선으로 도시된 신호)을 상회하는 경우에는, 출력 제어 회로(116)는 스위칭 트랜지스터(56, 57) 양쪽 모두를 ON 상태로 한다. 그 결과, 인덕터(62)에 대하여 전류가 유입되어[도 10의 (D) 참조], 전기 에너지가 자기 에너지로 전환되어 축적된다.
- <182> 그리고, 삼각파의 전압이 연산 증폭기(111)의 출력인 OP-AMP 111을 하회하면, 도 10의 (B)에 도시된 바와 같이 스위칭 트랜지스터(57)에 공급되는 P1 신호가 "L" 상태가 되기 때문에, 스위칭 트랜지스터(57)가 OFF의 상태가 되어, 인덕터(62)에 축적되어 있는 자기 에너지는 전기 에너지로 재차 전환되어, 정전원측에 출력된다[도 10의 (C) 참조]. 또한, 인덕터(62)에 축적되는 자기 에너지는 스위칭 트랜지스터(56, 57) 양쪽 모두가 ON 상태로 되는 시간에 비례하여, 이 시간은 연산 증폭기(111)로부터의 출력 전압이 낮을수록 길어지기 때문에, 정전원 전압(Vo1)이 낮을수록 큰 자기 에너지가 인덕터(62)에 축적된다.
- <183> 스위칭 트랜지스터(56, 57)가 ON 상태가 되고 나서 소정의 시간(T2)이 경과하면, 출력 제어 회로(116)는 스위칭 트랜지스터(56)를 제어하는 P2 신호를 "H" 상태로 하기 때문에[도 10의 (E) 참조], 스위칭 트랜지스터(56)가 OFF 상태가 된다.
- <184> 다음에, 삼각파의 전압이 연산 증폭기(110)로부터의 출력인 OP-AMP 110을 하회하면, 출력 제어 회로(116)는 스

위칭 트랜지스터(56, 57) 양쪽 모두를 ON 상태로 한다. 그 결과, 인덕터(62)에 전류가 유입되어, 자기 에너지로 전환되어 축적된다. 그리고, 삼각파의 전압이 연산 증폭기(110)로부터의 출력인 OP-AMP 110을 상회하면, 출력 제어 회로(116)는 스위칭 트랜지스터(56)를 OFF 상태로 한다. 그 결과, 인덕터(62)에 축적되어 있는 자기 에너지는 전기 에너지로 재차 전환되어, 부전원측에 출력된다. 또한, 이 때에 인덕터(62)에 축적되는 자기 에너지는 연산 증폭기(110)로부터의 출력 전압이 높을수록 커지기 때문에, 부전원의 전압(V_{o2})이 높을수록 큰 자기 에너지가 인덕터(62)에 축적되어, 부전원측에 출력되게 된다.

- <185> 이상과 같은 동작은 소정의 주기(삼각파에 의해서 결정되는 주기)로 반복되고, 정전원과 부전원의 전압에 따라서 스위칭 트랜지스터(56, 57)가 ON이 되는 시간(펄스 폭)이 제어되어, 최적의 전압이 출력되게 된다.
- <186> 또한, 이상의 실시예에서는 스위칭 트랜지스터(56, 57) 양쪽 모두가 ON 상태가 되고 나서 일정한 시간이 경과하면, 스위칭 트랜지스터(56, 57) 양쪽 모두가 OFF 상태가 되도록 했지만, 도 7 및 도 8에 도시된 경우와 마찬가지로, 한 쪽 스위칭 트랜지스터는 ON 상태를 유지하도록 하더라도 좋다.
- <187> 도 11은 그와 같은 경우의 동작을 설명하기 위한 타이밍 차트이다. 이 도 11의 예에서는, 도 10의 경우와 비교하여 P1 파형 또는 P2 파형이 일단 ON 상태로 되면, 다음에 OFF 상태가 될 때까지 ON 상태를 유지한다. 예컨대, P1 파형[도 11의 (B) 참조]에 주목하면, 도 10에서는 삼각파[도 10의 (A) 참조]의 최초의 하부에 있어서, ON("H" 상태) 되고 나서 시간(τ_2)이 경과하면 OFF 상태로 변천하지만, 도 11의 예에서는 그대로 ON 상태를 유지하여, 삼각파의 다음 피크가 올 때까지 ON 상태를 유지하고 있다.
- <188> 한편, P2 파형[도 11의 (E) 참조]에 주목하면, 도 10에서는 삼각파[도 10의 (A) 참조]의 최초의 피크에 있어서, ON("L" 상태)로 되고 나서 시간(τ_1)이 경과하면 OFF 상태로 변천하지만, 도 11의 예에서는 그대로 ON 상태를 유지하여, 다음 삼각파의 다음 하부가 올 때까지 ON 상태를 유지하고 있다.
- <189> 이와 같이, 스위칭 트랜지스터(56, 57)가 일단 ON 상태가 된 경우에는 그 상태를 유지하도록 제어함으로써 스위칭 횟수를 감소시킬 수 있기 때문에, 노이즈의 발생을 감소시키는 동시에, 스위칭에 의해서 손실되게 되는 전력을 삭감할 수 있게 된다.
- <190> 이상에 설명한 바와 같이, 본 발명의 제2 실시예에 따르면, 제1 실시예의 경우와 마찬가지로, 종래의 경우와 비교하여 인덕터의 수를 하나 줄일 수 있게 되기 때문에, 장치의 사이즈를 소형화할 수 있게 된다.
- <191> 또한, 제2 실시예의 PWM 방식에서는, V_{o1} 의 제어 기간과 V_{o2} 의 제어 기간은 교대로 반복되게 되기 때문에, 제1 실시예의 PFM 방식과 비교하면 T1 및 T2의 타이밍 제어 회로를 간략화할 수 있게 되기 때문에, 회로 구성을 간략화함으로써 장치의 사이즈를 더욱 소형화할 수 있게 된다.
- <192> 또한, 도 4, 도 5, 도 7 및 도 9 등에 도시된 실시예는 단지 일례이며, 본 발명이 이러한 경우에만 한정되는 것이 아닌 것은 물론이다.
- <193> (부기 1) 단전원으로부터 정부전원을 발생하는 정부전원 발생 장치에 있어서,
- <194> 인덕터와;
- <195> 상기 인덕터의 한 쪽 단자에 애노드가 접속되고, 캐소드가 정전원의 출력 단자에 접속되어 있는 제1 다이오드와;
- <196> 상기 인덕터의 다른 쪽 단자에 캐소드가 접속되고, 애노드가 부전원의 출력 단자에 접속되어 있는 제2 다이오드와;
- <197> 상기 인덕터의 상기 한 쪽 단자를 접지하기 위한 제1 스위치와;
- <198> 상기 인덕터의 상기 다른 쪽 단자를 상기 단전원에 접속하기 위한 제2 스위치와;
- <199> 상기 제1 스위치 및 상기 제2 스위치를 제어하는 제어 회로를 포함하는 것을 특징으로 하는 정부전원 발생 장치.
- <200> (부기 2) 상기 제어 회로는,
- <201> 상기 제1 스위치 및 상기 제2 스위치 양쪽 모두를 ON 상태로 하고, 소정의 시간이 경과한 후에, 상기 제1 스위치를 OFF 상태로 하여 정전원을 발생시키는 제1 상태와;
- <202> 상기 제1 스위치 및 상기 제2 스위치 양쪽 모두를 ON 상태로 하고, 소정의 시간이 경과한 후에, 상기 제2 스위

치를 OFF 상태로 하여 부전원을 발생시키는 제2 상태를 반복함으로써 정부전원을 발생시키는 것을 특징으로 하는 부기 1에 기재된 정부전원 발생 장치.

<203> (부기 3) 상기 제어 회로는,

<204> 상기 제1 상태에서, 상기 제1 스위치를 OFF 상태로 한 후, 상기 인덕터로의 전류의 유입이 종료되었을 때에 상기 제2 스위치를 OFF로 하고,

<205> 상기 제2 상태에서, 상기 제2 스위치를 OFF 상태로 한 후, 상기 인덕터로의 전류의 유입이 종료되었을 때에 상기 제1 스위치를 OFF로 하는 것을 특징으로 하는 부기 2에 기재된 정부전원 발생 장치.

<206> (부기 4) 상기 제어 회로는,

<207> 상기 제1 상태에서, 상기 제1 스위치를 OFF 상태로 한 후, 상기 인덕터로의 전류의 유입이 종료될 것으로 상정된 시간에 소정의 마진값을 가산한 시간이 경과했을 때에 상기 제2 스위치를 OFF로 하고,

<208> 상기 제2 상태에서, 상기 제2 스위치를 OFF 상태로 한 후, 상기 인덕터로의 전류의 유입이 종료될 것으로 상정된 시간에 소정의 마진값을 가산한 시간이 경과했을 때에 상기 제1 스위치를 OFF로 하는 것을 특징으로 하는 부기 2에 기재된 정부전원 발생 장치.

<209> (부기 5) 상기 제어 회로는,

<210> 상기 제1 상태에서, 상기 제1 스위치를 OFF 상태로 한 후에는 상기 제2 상태로 될 때까지 상기 제2 스위치를 ON 상태로 유지하고,

<211> 상기 제2 상태에서, 상기 제2 스위치를 OFF 상태로 한 후에는 상기 제2 상태로 될 때까지 상기 제1 스위치를 ON 상태로 유지하는 것을 특징으로 하는 부기 2에 기재된 정부전원 발생 장치.

<212> (부기 6) 상기 제어 회로는 상기 소정의 시간을 일정하게 설정하고, 상기 제1 상태 또는 상기 제2 상태의 각각의 반복 주기를 변경함으로써, 정전원 및 부전원의 출력 전압을 제어하는 것을 특징으로 하는 부기 2에 기재된 정부전원 발생 장치.

<213> (부기 7) 상기 제어 회로는 상기 소정의 시간을 상기 제1 상태 및 상기 제2 상태에 있어서 동일하게 설정하는 것을 특징으로 하는 부기 2에 기재된 정부전원 발생 장치.

<214> (부기 8) 상기 제어 회로는 상기 제1 상태 또는 상기 제2 상태의 각각의 반복 주기를 일정하게 하고, 상기 소정의 시간을 변경함으로써, 정전원 및 부전원의 출력 전압을 제어하는 것을 특징으로 하는 부기 2에 기재된 정부전원 발생 장치.

<215> (부기 9) 상기 제어 회로는 동작 개시시에 있어서는 상기 제1 상태 또는 상기 제2 상태 중 어느 한 쪽을 우선하는 것을 특징으로 하는 부기 2에 기재된 정부전원 발생 장치.

<216> (부기 10) 상기 제어 회로는 동작 개시시에 있어서는 상기 제2 상태를 우선하는 것을 특징으로 하는 부기 2에 기재된 정부전원 발생 장치.

<217> (부기 11) 단전원으로부터 정부전원을 발생시키고, 대상이 되는 회로에 전원을 공급하는 반도체 장치에 있어서,

<218> 외부에 접속된 인덕터의 한 쪽 단자에 애노드가 접속되고, 캐소드가 정전원의 출력 단자에 접속되어 있는 제1 다이오드와;

<219> 상기 인덕터의 다른 쪽 단자에 캐소드가 접속되고, 애노드가 부전원의 출력 단자에 접속되어 있는 제2 다이오드와;

<220> 상기 인덕터의 상기 한 쪽 단자를 접지하기 위한 제1 스위치와;

<221> 상기 인덕터의 상기 다른 쪽 단자를 상기 단전원에 접속하기 위한 제2 스위치와;

<222> 상기 제1 스위치 및 상기 제2 스위치를 제어하는 제어 회로를 포함하는 것을 특징으로 하는 반도체 장치.

<223> (부기 12) 상기 제어 회로는,

<224> 상기 제1 스위치 및 상기 제2 스위치 양쪽 모두를 ON 상태로 하고, 소정의 시간이 경과한 후에, 상기 제1 스위치를 OFF 상태로 하여 정전원을 발생시키는 제1 상태와;

- <225> 상기 제1 스위치 및 상기 제2 스위치 양쪽 모두를 ON 상태로 하고, 소정의 시간이 경과한 후에 상기 제2 스위치를 OFF 상태로 하여 부전원을 발생시키는 제2 상태를 반복함으로써 정부전원을 발생시키는 것을 특징으로 하는 부기 11에 기재된 반도체 장치.
- <226> (부기 13) 상기 제어 회로는,
- <227> 상기 제1 상태에서, 상기 제1 스위치를 OFF 상태로 한 후 상기 인덕터로의 전류의 유입이 종료했을 때에 상기 제2 스위치를 OFF로 하고,
- <228> 상기 제2 상태에서, 상기 제2 스위치를 OFF 상태로 한 후 상기 인덕터로의 전류의 유입이 종료했을 때에 상기 제1 스위치를 OFF로 하는 것을 특징으로 하는 부기 12에 기재된 반도체 장치.
- <229> (부기 14) 상기 제어 회로는,
- <230> 상기 제1 상태에서, 상기 제1 스위치를 OFF 상태로 한 후 상기 인덕터로의 전류의 유입이 종료될 것으로 상정된 시간에 소정의 마진값을 가산한 시간이 경과했을 때에 상기 제2 스위치를 OFF로 하고,
- <231> 상기 제2 상태에서, 상기 제2 스위치를 OFF 상태로 한 후 상기 인덕터로의 전류의 유입이 종료될 것으로 상정된 시간에 소정의 마진값을 가산한 시간이 경과했을 때에 상기 제1 스위치를 OFF로 하는 것을 특징으로 하는 부기 12에 기재된 반도체 장치.
- <232> (부기 15) 상기 제어 회로는,
- <233> 상기 제1 상태에서, 상기 제1 스위치를 OFF 상태로 한 후에는 상기 제2 상태로 될 때까지 상기 제2 스위치를 ON 상태로 유지하고,
- <234> 상기 제2 상태에서, 상기 제2 스위치를 OFF 상태로 한 후에는 상기 제2 상태로 될 때까지 상기 제1 스위치를 ON 상태로 유지하는 것을 특징으로 하는 부기 12에 기재된 반도체 장치.
- <235> (부기 16) 상기 제어 회로는 상기 소정의 시간을 일정하게 설정하고, 상기 제1 상태 또는 상기 제2 상태의 각각의 반복 주기를 변경함으로써, 정전원 및 부전원의 출력 전압을 제어하는 것을 특징으로 하는 부기 12에 기재된 반도체 장치.
- <236> (부기 17) 상기 제어 회로는 상기 소정의 시간을 상기 제1 상태 및 상기 제2 상태에 있어서 동일하게 설정하는 것을 특징으로 하는 부기 12에 기재된 반도체 장치.
- <237> (부기 18) 상기 제어 회로는 상기 제1 상태 또는 상기 제2 상태의 각각의 반복 주기를 일정하게 하고, 상기 소정의 시간을 변경함으로써 정전원 및 부전원의 출력 전압을 제어하는 것을 특징으로 하는 부기 12에 기재된 반도체 장치.

발명의 효과

- <238> 이상 설명한 바와 같이, 본 발명에서는 단전원으로부터 정부전원을 발생하는 정부전원 발생 장치에 있어서, 인덕터와, 상기 인덕터의 한 쪽 단자에 애노드가 접속되고, 캐소드가 정전원의 출력 단자에 접속되어 있는 제1 다이오드와, 상기 인덕터의 다른 쪽 단자에 캐소드가 접속되고, 애노드가 부전원의 출력 단자에 접속되어 있는 제2 다이오드와, 상기 인덕터의 상기 한 쪽 단자를 접지하기 위한 제1 스위치와, 상기 인덕터의 상기 다른 쪽 단자를 상기 단전원에 접속하기 위한 제2 스위치와, 상기 제1 스위치 및 상기 제2 스위치를 제어하는 제어 회로를 설치하도록 했기 때문에, 종래에 비교하여 인덕터를 하나 생략할 수 있게 되기 때문에, 장치의 사이즈를 소형화할 수 있게 된다.
- <239> 또한, 본 발명에서는 단전원으로부터 정부전원을 발생하여, 대상이 되는 회로에 전원을 공급하는 반도체 장치에 있어서, 외부에 접속된 인덕터와, 상기 인덕터의 한 쪽 단자에 애노드가 접속되고, 캐소드가 정전원의 출력 단자에 접속되어 있는 제1 다이오드와, 상기 인덕터의 다른 쪽 단자에 캐소드가 접속되고, 애노드가 부전원의 출력 단자에 접속되어 있는 제2 다이오드와, 상기 인덕터의 상기 한 쪽 단자를 접지하기 위한 제1 스위치와, 상기 인덕터의 상기 다른 쪽 단자를 상기 단전원에 접속하기 위한 제2 스위치와, 상기 제1 스위치 및 상기 제2 스위치를 제어하는 제어 회로를 설치하도록 했기 때문에, 종래에는 독립된 2 개의 인덕터의 각각 대한 제어계를 마련할 필요가 있었지만, 본 발명에서는 이들을 하나로 통합함으로써, 장치의 간략화와 신뢰성을 향상시킬 수 있게 된다.

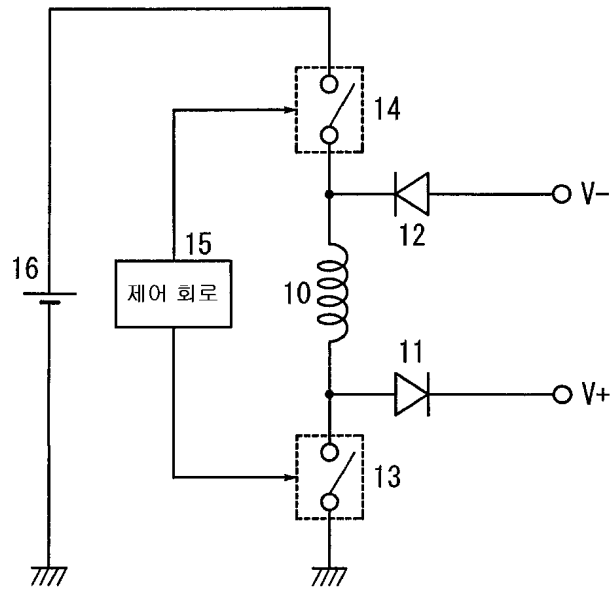
도면의 간단한 설명

- <1> 도 1은 본 발명의 동작 원리를 설명하는 원리도.
- <2> 도 2는 본 발명의 제1 실시예의 기본적인 구성예를 도시하는 도면.
- <3> 도 3은 도 2에 도시된 제1 실시예의 동작을 설명하기 위한 타이밍 차트.
- <4> 도 4는 본 발명의 제1 실시예의 상세한 구성예를 도시하는 도면.
- <5> 도 5는 도 4에 도시된 PFM 제어 회로의 상세한 구성예를 도시하는 도면.
- <6> 도 6은 도 5에 도시된 제1 실시예의 동작을 설명하기 위한 타이밍 차트.
- <7> 도 7은 도 4에 도시된 PFM 제어 회로의 다른 상세한 구성예를 도시하는 도면.
- <8> 도 8은 도 7에 도시된 제1 실시예의 동작을 설명하기 위한 타이밍 차트.
- <9> 도 9는 본 발명의 제2 실시예의 상세한 구성예를 도시하는 도면.
- <10> 도 10은 도 9에 도시된 제2 실시예의 동작을 설명하기 위한 타이밍 차트.
- <11> 도 11은 도 9에 도시된 제2 실시예의 다른 동작을 설명하기 위한 타이밍 차트.
- <12> 도 12는 종래의 정부전원 장치의 구성예를 도시하는 도면.
- <13> 도 13은 도 12에 도시된 종래예의 동작을 설명하기 위한 타이밍 차트.
- <14> <도면의 주요 부분에 대한 부호의 설명>
- <15> 10 : 인덕터
- <16> 11, 12 : 다이오드
- <17> 13, 14 : 스위치
- <18> 15 : 제어 회로
- <19> 16 : 단전원
- <20> 40~43 : 저항
- <21> 50 : 반도체 장치 구성 부분
- <22> 51, 52 : 비교기
- <23> 55 : PFM 제어 회로
- <24> 56, 57 : 스위칭 트랜지스터
- <25> 58, 59 : 다이오드
- <26> 60 : 입력 커패시터
- <27> 61 : 출력 커패시터
- <28> 62 : 인덕터
- <29> 63 : 출력 커패시터
- <30> 70, 71 : 스위칭 트랜지스터
- <31> 72, 73 : 커패시터
- <32> 74, 75 : 비교기
- <33> 76, 77, 81, 82, 88, 91, 94 : 인버터
- <34> 78~80, 83~86 : NAND 게이트

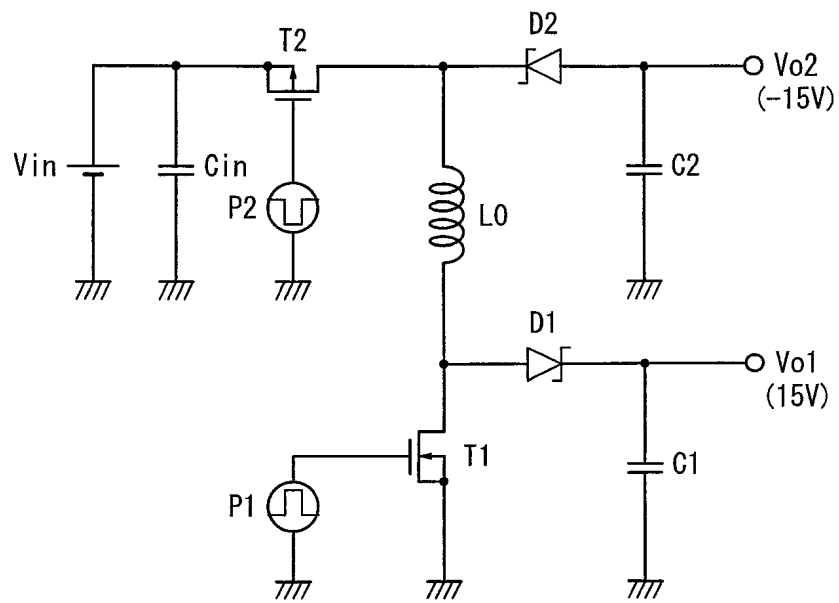
- <35> 87, 89 : AND 게이트
- <36> 90, 92, 93 : OR 게이트
- <37> 100, 101 : D-플립플롭 회로
- <38> 110, 111 : 연산 증폭기
- <39> 112, 113 : 저항
- <40> 114, 115 : PWM 제어용 비교기
- <41> 116 : 출력 제어 회로
- <42> 117 : 삼각파 제너레이터

도면

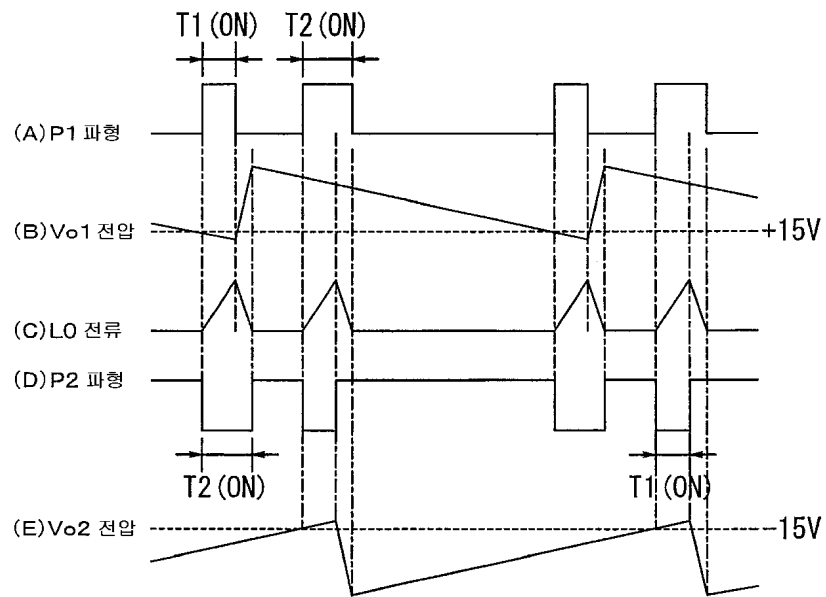
도면1



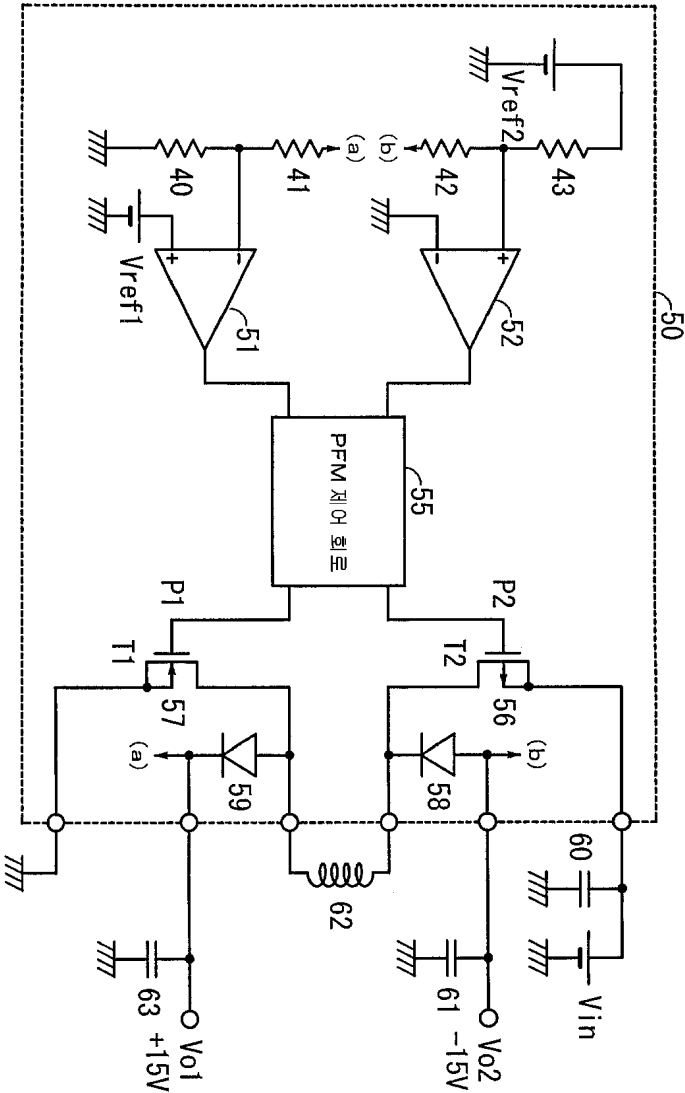
도면2



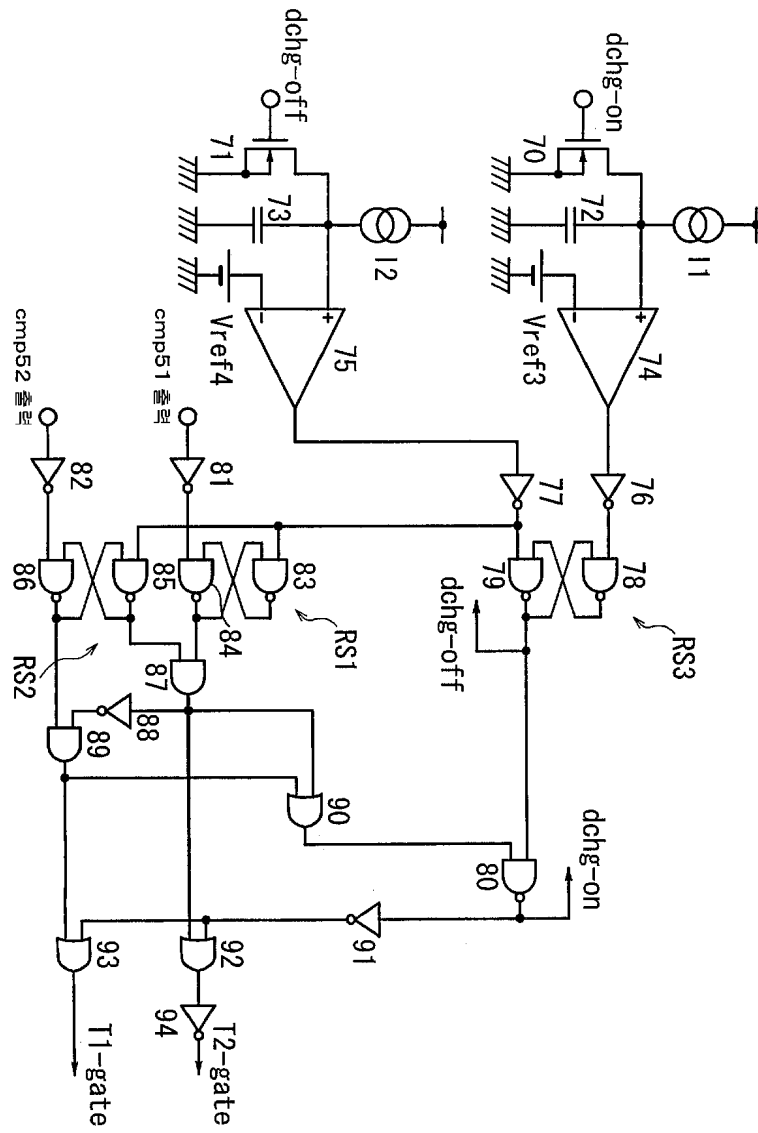
도면3



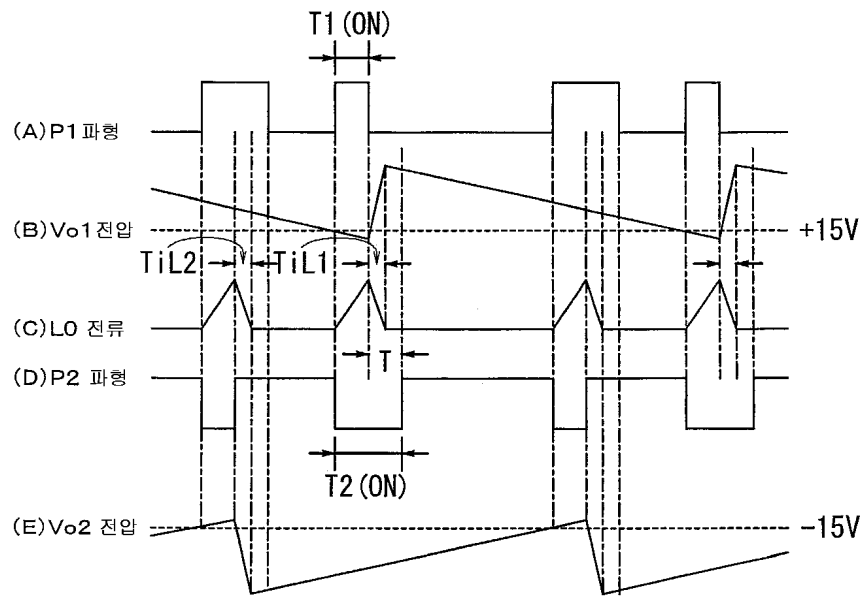
도면4



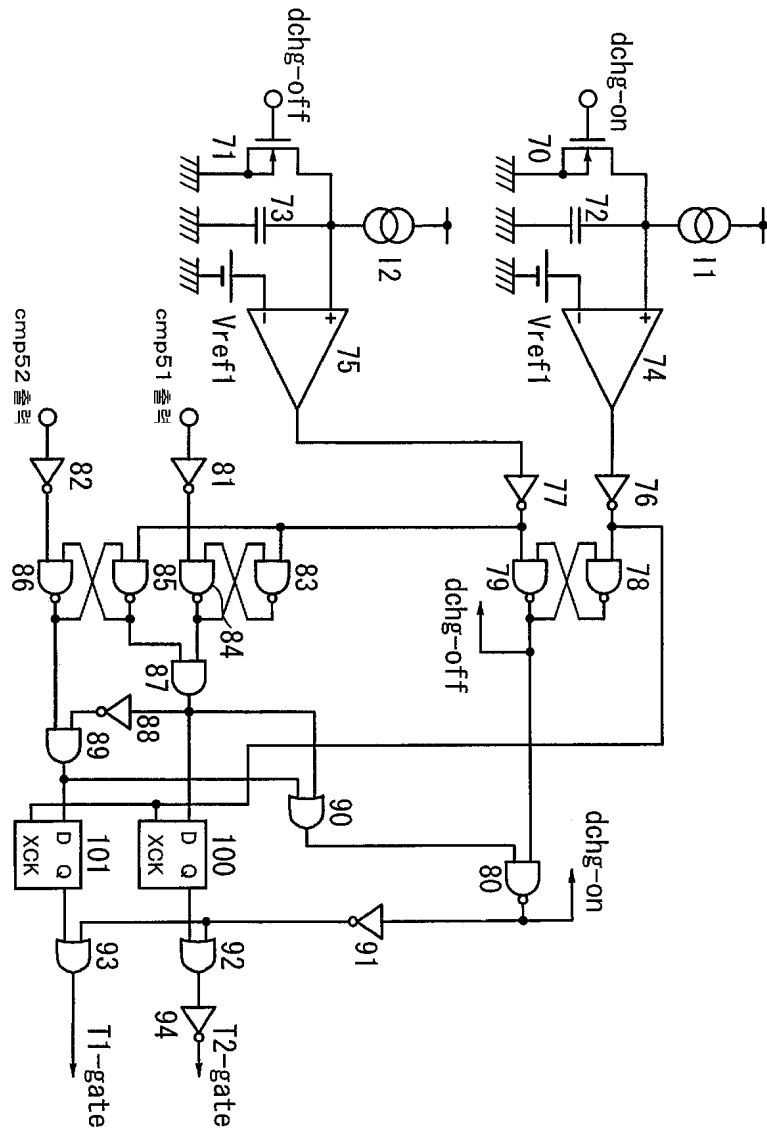
도면5



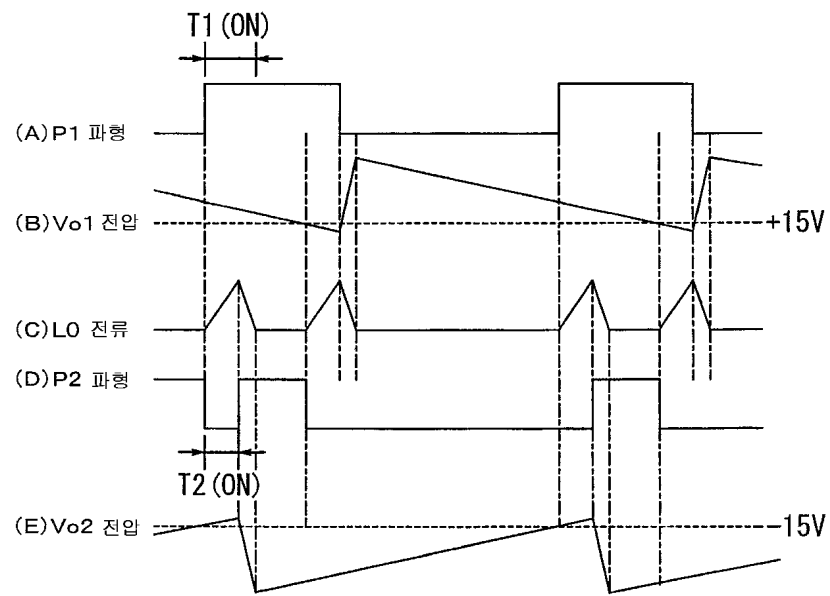
도면6



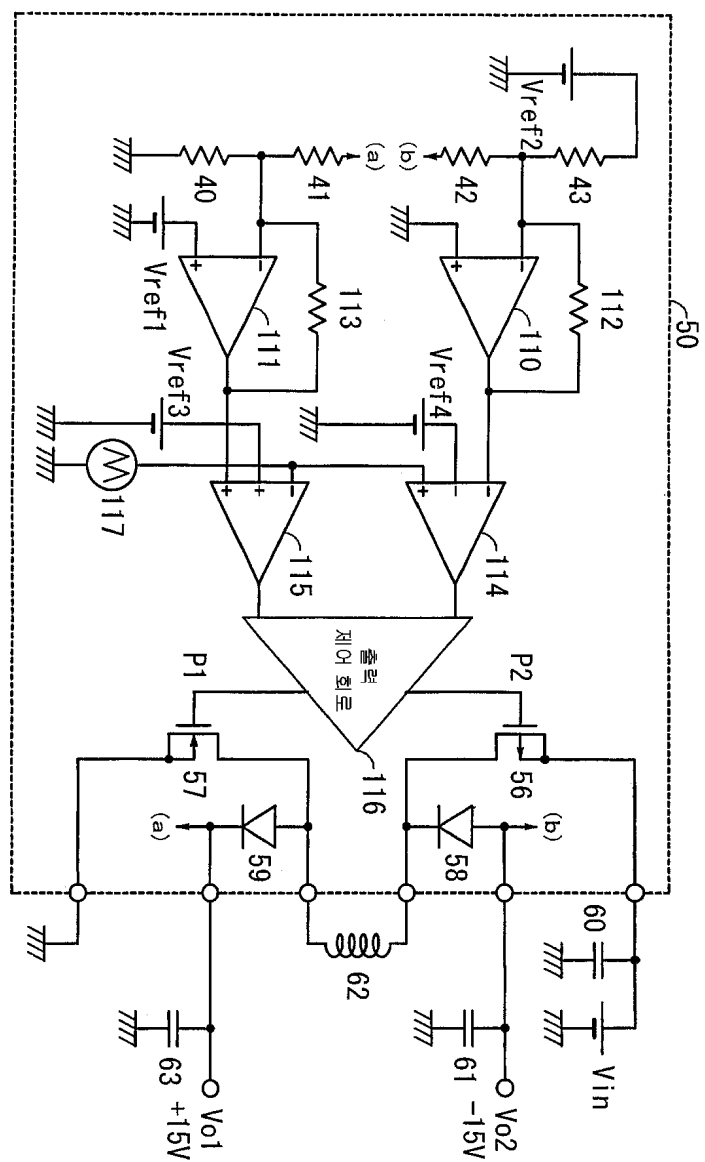
도면7



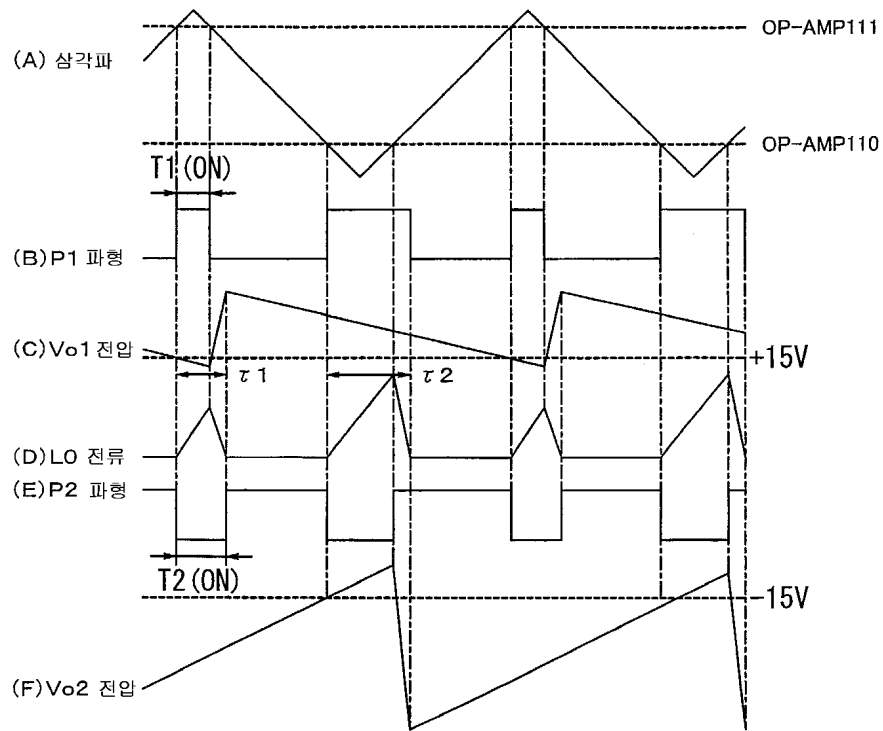
도면8



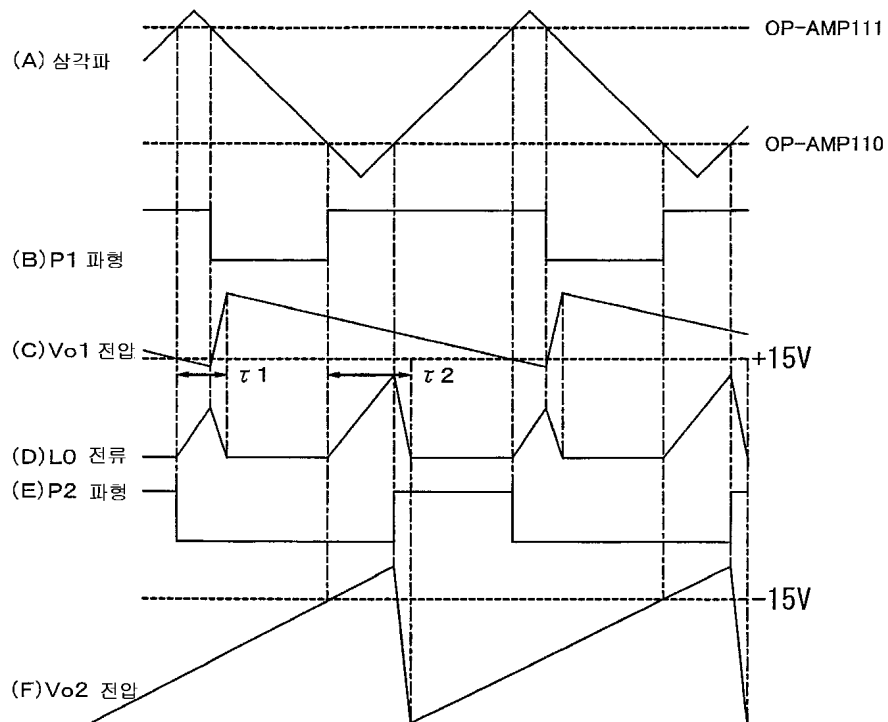
도면9



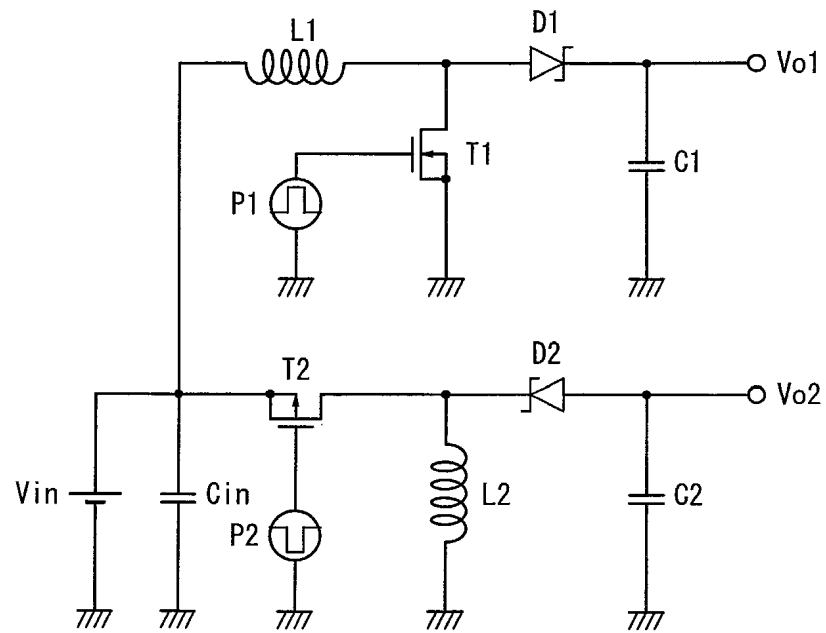
도면10



도면11



도면12



도면13

