

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-193549  
(P2004-193549A)

(43) 公開日 平成16年7月8日(2004.7.8)

(51) Int. Cl.<sup>7</sup>

H01L 23/12  
C25D 7/00

F I

H01L 23/12 501W  
C25D 7/00 J

テーマコード (参考)

4K024

審査請求 有 請求項の数 18 O L (全 16 頁)

(21) 出願番号 特願2003-183901 (P2003-183901)  
(22) 出願日 平成15年6月27日 (2003.6.27)  
(31) 優先権主張番号 2002-079217  
(32) 優先日 平成14年12月12日 (2002.12.12)  
(33) 優先権主張国 韓国 (KR)

(71) 出願人 591003770  
三星電機株式会社  
大韓民国京畿道水原市八達區梅灘3洞314番地  
(74) 代理人 100097515  
弁理士 堀田 実  
(72) 発明者 シン、ヨンファン (SHIN, Young-Hwan)  
大韓民国、テジョーシ、ユソク、ジョンミンドン、エキスポ アパート、510-704

最終頁に続く

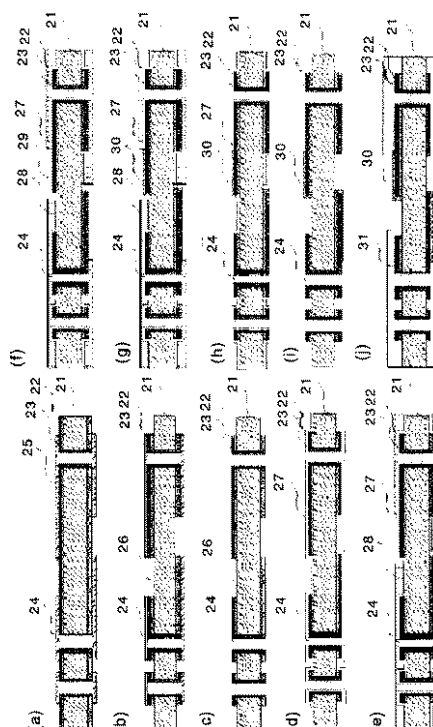
(54) 【発明の名称】 メッキ引込線なしにメッキされたパッケージ基板およびその製造方法

(57) 【要約】 (修正有)

【課題】 BGA、CSPなどのパッケージ基板においてソルダボールパッドなどの形成のための電解金メッキ工程を引込線なしに行う。

【解決手段】 上・下面に銅箔が形成され、銅メッキされたビアホール24を有するベース基板の前記上・下面に第1ドライフィルム25を積層し、露光、現像して所定部分を露出させる段階；前記銅箔をエッチングにより除去して上下面にそれぞれ回路を形成する段階；前記第1ドライフィルムを剥離し、全部位に無電解メッキする段階；第2ドライフィルム28を積層し、露光および現像して上・下面の金メッキされる部分を露出させる段階；該露出部分の無電界メッキをエッチングにより除去する段階；上・下面部分を金メッキする段階；前記第2ドライフィルムを剥離し、露出する無電解メッキ膜部分をエッチングにより除去して前記ベース基板の回路を露出させる段階；および、ソルダレジスト31を、所定部分を露出させる状態に塗布する段階；を含む。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

(1) 銅メッキされたビアホールが形成されており、上・下面に銅箔が形成されているベース基板の前記上・下面に第1ドライフィルムを積層し、これを露光および現像して前記ベース基板の所定の上下面部分を露出させる段階；

(2) 前記第1ドライフィルムが積層された部分以外の部分の前記銅箔をエッチングにより除去して前記ベース基板の上面および下面にそれぞれ回路を形成する段階；

(3) 前記第1ドライフィルムを剥離し、前記ベース基板上の全部位にメッキ膜を無電解メッキする段階；

(4) 第2ドライフィルムを積層し、露光および現像して前記ベース基板のメッキされた上・下面の金メッキされる部分を露出させる段階； 10

(5) 前記金メッキされる部分に形成されている前記無電解メッキされたメッキ膜部分をエッチングにより除去する段階；

(6) 前記金メッキされるベース基板の上・下面部分を金メッキする段階；

(7) 前記第2ドライフィルムを剥離し、残存する無電解メッキされたメッキ膜部分をエッチングにより除去して前記ベース基板の上部および下部回路を露出させる段階；および

(8) ソルダレジストを、前記ベース基板の露出された上部および下部回路上に、それらの回路の所定部分を露出させる状態に塗布する段階；

を含めてなる、メッキ引込線なしにメッキされるパッケージ基板の製造方法。

## 【請求項 2】

前記第1および第2ドライフィルムはエッチングレジスト(etch resist)として使用されたことを特徴とする請求項1記載のメッキ引込線なしにメッキされるパッケージ基板の製造方法。 20

## 【請求項 3】

前記無電解メッキは、段階(2)のエッチングの後、前記上部および下部回路のバスライン(bus line)が完全除去された状態で導体を化学メッキ(chemical plating)することによって行われることを特徴とする請求項1記載のメッキ引込線なしにメッキされるパッケージ基板の製造方法。

## 【請求項 4】

前記導体は、 $0.5 \sim 1.0 \mu\text{m}$ の銅(Cu)であることを特徴とする請求項3記載のメッキ引込線なしにメッキされるパッケージ基板の製造方法。 30

## 【請求項 5】

前記各エッチングは、フラッシュ(flash)エッチングであることを特徴とする請求項1記載のメッキ引込線なしにメッキされるパッケージ基板の製造方法。

## 【請求項 6】

前記無電解メッキにより形成されたメッキ膜は、前記金メッキされる部分の電解メッキ時に電流が流れるようにするメッキ引込線の役割をする導体であることを特徴とする請求項1記載のメッキ引込線なしにメッキされるパッケージ基板の製造方法。

## 【請求項 7】

前記金メッキされるベース基板の上面部分は、ボンДФィンガー(bond finger)であることを特徴とする請求項1記載のメッキ引込線なしにメッキされるパッケージ基板の製造方法。 40

## 【請求項 8】

前記金メッキされるベース基板の下面部分は、ソルダボールパッド(solder ball pad)であることを特徴とする請求項1記載のメッキ引込線なしにメッキされるパッケージ基板の製造方法。

## 【請求項 9】

パッケージ基板の電解金メッキ方法において、

(1) 銅メッキされたビアホールが形成されており、上・下面に銅箔が形成されているベース基板の前記上・下面に第1ドライフィルムを積層し、これを露光および現像して前記 50

ベース基板の所定の上・下面部分を露出させる段階；

(2) 前記第1ドライフィルムが積層された部分以外の部分の前記銅箔をエッチングにより除去して前記ベース基板の上面および下面にそれぞれ回路を形成する段階；

(3) 前記第1ドライフィルムを剥離し、前記ベース基板上の全部位にメッキ膜を無電解メッキする段階；

(4) 第2ドライフィルムを積層し、露光および現像して前記ベース基板のメッキされた上・下面の金メッキされる部分を露出させる段階；

(5) 前記金メッキされる部分に形成されている前記無電解メッキされたメッキ膜部分をエッチングにより除去する段階；および

(6) 前記金メッキされるベース基板の上・下面部分を金メッキする段階；

を含めてなるメッキ引込線なしにパッケージ基板を電解金メッキする方法。

10

【請求項10】

前記無電解メッキは、段階(2)のエッチングの後、前記上部および下部回路のバスラインが完全除去された状態で導体を化学メッキすることによって行われることを特徴とする請求項9記載のメッキ引込線なしにパッケージ基板を電解金メッキする方法。

【請求項11】

前記導体は、 $0.5 \sim 1.0 \mu\text{m}$ の銅(Cu)であることを特徴とする請求項10記載のメッキ引込線なしにパッケージ基板を電解金メッキする方法。

【請求項12】

前記各エッチングは、フラッシュエッチングであることを特徴とする請求項9記載のメッキ引込線なしにパッケージ基板を電解金メッキする方法。

20

【請求項13】

前記無電解メッキにより形成されたメッキ膜は、前記金メッキされる部分の電解メッキ時に電流が流れるようにするメッキ引込線の役割をする導体であることを特徴とする請求項9記載のメッキ引込線なしにパッケージ基板を電解金メッキする方法。

【請求項14】

(1) 銅メッキされたビアホールが形成されており、上・下面に銅箔が形成されているベース基板の前記上・下面に第1ドライフィルムを積層し、これを露光および現像して前記ベース基板の所定の上下面部分を露出させる段階；

(2) 前記第1ドライフィルムが積層された部分以外の部分の前記銅箔をエッチングにより除去して前記ベース基板の上面および下面にそれぞれ回路を形成する段階；

(3) 前記第1ドライフィルムを剥離し、前記ベース基板上の全部位にメッキ膜を無電解メッキする段階；

(4) 第2ドライフィルムを前記ベース基板のメッキされた上・下面にそれぞれ積層し、前記ベース基板のメッキされた上面上の第2ドライフィルムを露光および現像して前記ベース基板のメッキされた上面の所定部分を露出させると同時に、前記ビアホール上部をテントイング(tenting)する段階；

(5) 前記ベース基板の露出された上面部分のメッキ膜部分をエッチングにより除去する段階；

(6) 段階(5)の結果構造の上面上に第3ドライフィルムを積層し、これを露光および現像して前記ベース基板の上面の金メッキされる部分を露出させ、その露出されたベース基板の上面部分を金メッキする段階；

(7) 前記基板の下面の第2ドライフィルムおよび前記構造の上面に残存する第3ドライフィルムを剥離し、前記ベース基板の下面上に残存するメッキ膜部分をエッチングにより除去して前記ベース基板の上部および下部回路を露出させる段階；

(8) 前記ベース基板の露出された上部および下部回路上にソルダレジストを塗布し、露光および現像して前記上部および下部回路の所定部分を露出させる段階；および

(9) 前記下部回路の露出された部分をOSP(Organic Solderability Preservative)を使用して表面処理する段階；

を含めてなる、メッキ引込線なしにパッケージ基板を電解金メッキする方法。

50

## 【請求項 15】

多数のビアホールが形成されているベース基板；

前記ベース基板上の所定部分と前記ビアホール内に銅メッキされて、前記ベース基板の上・下面にそれぞれ回路パターンを形成する第1メッキ層；

前記回路パターンの所定部分に無電解メッキされている第2メッキ層；

前記第2メッキ層が存在しない回路パターン部位に形成された金メッキ層；および

前記回路パターンの金メッキ層部位以外の回路パターンの所定部位に塗布されるソルダレジスト；

を含めて構成される、メッキ引込線なしに電解金メッキされたパッケージ基板。

## 【請求項 16】

前記第2メッキ層は、前記上部および下部回路のバスラインが完全除去された状態は無電解化学メッキで形成された導体であることを特徴とする請求項15記載のメッキ引込線なしに電解金メッキされたパッケージ基板。

## 【請求項 17】

前記導体は、 $0.5 \sim 1.0 \mu\text{m}$ の銅(Cu)であることを特徴とする請求項16記載のメッキ引込線なしに電解金メッキされたパッケージ基板。

## 【請求項 18】

前記第2メッキ層は、前記金メッキ層の電解メッキ時に電流が流れるようにするメッキ引込線の役割をすることを特徴とする請求項15記載のメッキ引込線なしに電解金メッキされたパッケージ基板。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、メッキ引込線なしにメッキされるパッケージ基板およびその製造方法に関し、さらに詳細には、ボールグリッドアレイ(Ball Grid Array；以下、'BGA'という)およびCSP(Chip Scale Package)などのパッケージ基板(PackageSubstrate)の電解金メッキにおいて、パッケージ基板に実装される半導体チップと接続されるボンДФインガー(bond finger)とソルダボールパッド(solder ball pad)の形成のための電解金メッキ工程がメッキ引込線なしになされるパッケージ基板およびその製造方法に関する。

## 【0002】

## 【従来の技術】

近来、集積回路は軽薄短小化しつつあるにもかかわらず、集積回路パッケージから出るリード(lead)数はむしろ増加する一方である。小型パッケージ用のキャリア上に多数のリードを設置することから起こる問題を解決する方法の一つは、ピングリッドアレイ(Pin Grid Array；PGA)を有するキャリアを使用することである。しかし、PGAキャリアは、小型キャリア上に多くのリードを設置することはできるが、ピンまたはリードが弱いので折れやすく、高密度集積に限界がある。

## 【0003】

このようなPGAにおける問題を解決するために、最近では、通常、BGAパッケージ基板を使用しているが、これは、ピン(pin)より微細なソルダボール(solder ball)を使用して基板の高密度化を容易に実現できるからであり、主として半導体チップを実装するパッケージ基板に適用している。

## 【0004】

このような従来のBGAパッケージ基板は、図1に示すように、従来ピン(pin)の代わりにソルダボール(solder ball)8が形成される構造を持つ。すなわち、銅張積層板(Copper Clad Laminate；以下、'CCL'という)4を多数枚用意し、各CCL4上に通常の写真エッチング工程を通じて内層回路を形成し、これら多数CCL4を加圧して積層させ、内層回路を導通させるためのビアホール2を加工した後、銅膜3のメッキ作業でビアホール2を導通させ、前記積層されたCCL構造の外側CCL4に半導体チップが接続されるボンДФインガー(bond finger)1を持つ外層回路6を写真エッチング工程を通じて形成

10

20

30

40

50

させ、前記外層回路 6 の反対側の C C L 構造の表面上に、ソルダボールパッド 7、ソルダマスク 5、ソルダボール 8 を順に形成させる。

【 0 0 0 5 】

この時、前記半導体チップの接続されるボンДФィンガー 1 とソルダボール 8 の接続されるパッド 7 との電気的な接続状態を向上させるメッキ作業を行うために金メッキ引込線 (Plating Lead Line) を形成する。つまり、各ソルダボール 8 が接続されるパッド 7 にそれぞれの金メッキ引込線を連結させると同時に、図示してはいないが、前記パッド 7 とビアホール 2 を通じてボンДФィンガー 1 に連結させる。図 2 は、従来の技術に係るメッキ引込線によりメッキされたパッケージ基板の平面図であって、ソルダボールパッド 8 が形成されているパッド 7 に、メッキ引込線 9 が連結されている例を示している。ここで、メッキ引込線 9 の形成される部分は、図 1 の A で表される部分である。しかし、これらメッキ引込線により回路の高密度化には制限がある。

10

【 0 0 0 6 】

一方、前記外層回路 6 が形成された C C L 4 には I / C チップが実装されて導線を介して前記外層回路 6 と連結され、その上側に充填材が塗布されて外部環境から保護され、したがって、B G A パッケージ基板 1 0 は、P G A 基板と違い、ピンにより主回路基板と連結されるのではなく、C C L 4 のパッド 7 にソルダボール 8 が形成されて主回路基板と導通されるので、B G A は P G A よりも小型化が容易で、結果として基板 1 0 の高密度化が可能になる。

【 0 0 0 7 】

しかし、このような従来のパッケージ基板 1 0 は、現在回路の高密度化およびこの回路を使用する装置の小型化によって前記 B G A パッケージ基板のソルダボール (solder ball) 8 のピッチ (pitch) (ソルダボールどうしの間隔) が極めて微細になるとともに、半導体チップが実装されるボンДФィンガー 1 周辺の回路が高密度化されることから、ボンДФィンガー 1 とパッド 7 の金メッキ作業に使用される金メッキ引込線の高密度化を達成し難いという問題を抱えている。

20

【 0 0 0 8 】

以下、図 3 a ないし図 3 f を参照して従来技術によってメッキ引込線により金メッキされるパッケージ基板の製造方法について説明する。

【 0 0 0 9 】

まず、パッケージ基板製品に回路を形成するためにベース基板の C C L にドライフィルム 1 5 をコーティング、露光および現像して回路パターンを形成する (図 3 a 参照)。ここで、前記 C C L は絶縁材 1 1 およびこの絶縁材 1 1 の上部および下部面に形成された銅箔 1 2 を含む。実質的には、前記 C C L に機械式ドリルを使って多数のビアホール 1 3 を形成した後に銅膜 1 4 のメッキを実施し、その後、前記ドライフィルム 1 5 をコーティング、露光、現像して回路パターンを形成する。

30

【 0 0 1 0 】

次いで、前記ドライフィルム 1 5 をエッチングレジストとして銅膜 1 4 および銅箔 1 2 を部分的にエッチングする。つまり、銅膜 1 4 および銅箔 1 2 の露出された部分がエッチング液によって除去され、回路が形成される。この時、後に金メッキが行われるとき使用されるメッキ引込線が同一方法で同時に形成される。ここで、参照符号 1 6 は露出された銅がエッチングされた部位を表す (図 3 b 参照)。

40

【 0 0 1 1 】

次いで、前記のエッチングの後にエッチングレジストに使用したドライフィルム 1 5 を剥離液を使用して除去する (図 3 c 参照)。

【 0 0 1 2 】

その後、ソルダレジスト 1 7 を塗布し、これを露光および現像した後、乾燥させる (図 3 d 参照)。

【 0 0 1 3 】

次いで、既に形成されたメッキ引込線を介して電流を印加しながら、それぞれの回路に含

50

まれているワイヤボンディングパッドとソルダボールパッドに金膜18をメッキする。この時のメッキは電解金メッキ(Ni-Au Plating)であって、メッキされる金の厚さは通常、 $0.5 \sim 1.0 \mu\text{m}$ 程度である(図3e参照)。

#### 【0014】

一般に、半導体チップなどが実装されるパッケージ基板を表面処理(Metal Finishing)するために、電解金メッキ(Electrolytic Au Plating)が主に適用されている。その理由は、信頼性の側面から、電解金メッキが無電解金メッキ(Electroless Au Plating)に比べて優れているためである。しかし、電解金メッキのためには、前述のように、メッキ引込線を製品に挿入して設計しなければならないが、これは、回路密集度(Line Density)を低下させ、高密度の回路製品の製造に問題を招く。

10

#### 【0015】

その後、ルータ(Router)やダイシング(Dicing)を使って前記メッキ引込線を切断する(図3f参照)。ここで、参照符号19はダイシングが行われる部分である。すなわち、前記電解金メッキ完了後にルータやダイシングでメッキ引込線を切断するが、この時、メッキ引込線がパッケージ基板に残留し、電気信号伝達に際してノイズ(Noise)を誘発し、製品の電気的特性(Electrical Performance)を劣化させる問題がある。

#### 【0016】

##### 【発明が解決しようとする課題】

本発明は、前記問題点に鑑みてなされたものであり、その目的は、パッケージ基板製品の回路配線密集度を向上させるためにメッキ引込線を使用しないパッケージ基板およびその製造方法を提供することにある。

20

#### 【0017】

また、本発明の他の目的は、正常的な電解金メッキを行った後、全てのメッキ引込線を除去してノイズ発生を抑制できるようにしたパッケージ基板およびその製造方法を提供することにある。

#### 【0018】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明に係るメッキ引込線なしに電解金メッキされるパッケージ基板の製造方法は、(1)銅メッキされたビアホールが形成されており、上・下面に銅箔が形成されているベース基板の前記上・下面に第1ドライフィルムを積層し、これを露光および現像して前記ベース基板の所定の上下面部分を露出させる段階；(2)前記第1ドライフィルムが積層された部分以外の部分の前記銅箔をエッチングにより除去して前記ベース基板の上面および下面にそれぞれ回路を形成する段階；(3)前記第1ドライフィルムを剥離し、前記ベース基板上の全部位にメッキ膜を無電解メッキする段階；(4)第2ドライフィルムを積層し、露光および現像して前記ベース基板のメッキされた上・下面の金メッキされる部分を露出させる段階；(5)前記金メッキされる部分に形成されている前記無電解メッキされたメッキ膜部分をエッチングにより除去する段階；(6)前記金メッキされるベース基板の上・下面部分を金メッキする段階；(7)前記第2ドライフィルムを剥離し、残存する無電解メッキされたメッキ膜部分をエッチングにより除去して前記ベース基板の上部および下部回路を露出させる段階；および、(8)ソルダレジストを、前記ベース基板の露出された上部および下部回路上に、それらの回路の所定部分を露出させる状態に塗布する段階；を含む。

30

40

#### 【0019】

ここで、前記第1および第2ドライフィルムはそれぞれエッチングレジスト(etch resist)として使用される。

#### 【0020】

好ましくは、前記無電解メッキは、段階(2)のエッチングの後、前記上部および下部回路のバスライン(bus line)が完全除去された状態で導体を化学メッキ(chemical plating)することによって行われるし、前記導体は、 $0.5 \sim 1.0 \mu\text{m}$ の銅(Cu)である。

50

## 【0021】

また、前記各エッチングは、フラッシュ(flash)エッチングであり得る。

好ましくは、前記無電解メッキにより形成されたメッキ膜は、前記金メッキされる部分の電解メッキ時に電流が流れるようにするメッキ引込線の役割をする導体である。

## 【0022】

また、前記金メッキされるベース基板の上面部分は、ボンドフィンガー(bond finger)であり、前記金メッキされるベース基板の下面部分は、ソルダボールパッド(solder ball pad)であり得る。

## 【0023】

また、本発明に係るメッキ引込線なしにパッケージ基板を電解金メッキする方法は、(1)銅メッキされたビアホールが形成されており、上・下面に銅箔が形成されているベース基板の前記上・下面に第1ドライフィルムを積層し、これを露光および現像して前記ベース基板の所定の上・下面部分を露出させる段階；(2)前記第1ドライフィルムが積層された部分以外の部分の前記銅箔をエッチングにより除去して前記ベース基板の上面および下面にそれぞれ回路を形成する段階；(3)前記第1ドライフィルムを剥離し、前記ベース基板上の全部位にメッキ膜を無電解メッキする段階；(4)第2ドライフィルムを積層し、露光および現像して前記ベース基板のメッキされた上・下面の金メッキされる部分を露出させる段階；(5)前記金メッキされる部分に形成されている前記無電解メッキされたメッキ膜部分をエッチングにより除去する段階；および、(6)前記金メッキされるベース基板の上・下面部分を金メッキする段階；を含む。

10

20

## 【0024】

好ましくは、前記無電解メッキは、前記段階(2)のエッチングの後、前記上部および下部回路のバスラインが完全除去された状態で導体を化学メッキすることによって行われるし、前記導体は、0.5~1.0 $\mu$ mの銅(Cu)である。

## 【0025】

前記無電解メッキにより形成されたメッキ膜は、前記金メッキされる部分の電解メッキ時に電流が流れるようにするメッキ引込線の役割をする導体である。

## 【0026】

また、本発明に係るメッキ引込線なしにパッケージ基板を電解金メッキする方法は、(1)銅メッキされたビアホールが形成されており、上・下面に銅箔が形成されているベース基板の前記上・下面に第1ドライフィルムを積層し、これを露光および現像して前記ベース基板の所定の上下面部分を露出させる段階；(2)前記第1ドライフィルムが積層された部分以外の部分の前記銅箔をエッチングにより除去して前記ベース基板の上面および下面にそれぞれ回路を形成する段階；(3)前記第1ドライフィルムを剥離し、前記ベース基板上の全部位にメッキ膜を無電解メッキする段階；(4)第2ドライフィルムを前記ベース基板のメッキされた上・下面にそれぞれ積層し、前記ベース基板のメッキされた上面上の第2ドライフィルムを露光および現像して前記ベース基板のメッキされた上面の所定部分を露出させると同時に、前記ビアホール上部をテンティング(tenting)する段階；(5)前記ベース基板の露出された上面部分のメッキ膜部分をエッチングにより除去する段階；(6)段階(5)の結果構造の上面上に第3ドライフィルムを積層し、これを露光および現像して前記ベース基板の上面の金メッキされる部分を露出させ、その露出されたベース基板の上面部分を金メッキする段階；(7)前記基板の下面の第2ドライフィルムおよび前記構造の上面に残存する第3ドライフィルムを剥離し、前記ベース基板の下面上に残存するメッキ膜部分をエッチングにより除去して前記ベース基板の上部および下部回路を露出させる段階；(8)前記ベース基板の露出された上部および下部回路上にソルダレジストを塗布し、露光および現像して前記上部および下部回路の所定部分を露出させる段階；および、(9)前記下部回路の露出された部分をOSP(Organic Solderability Preservative)を使用して表面処理する段階；を含む。

30

40

## 【0027】

また、本発明に係るメッキ引込線なしに電解金メッキされたパッケージ基板は、多数のピ

50

アホールが形成されているベース基板；前記ベース基板上の所定部分と前記ビアホール内に銅メッキされて、前記ベース基板の上・下面にそれぞれ回路パターンを形成する第1メッキ層；前記回路パターンの所定部分に無電解メッキされている第2メッキ層；前記第2メッキ層が存在しない回路パターン部位に形成された金メッキ層；および、前記回路パターンの金メッキ層部位以外の回路パターンの所定部位に塗布されるソルダレジスト；を含む。

【0028】

好ましくは、前記第2メッキ層は、前記上部および下部回路のバスラインが完全除去された状態で無電解化学メッキで形成された導体である。

【0029】

好ましくは、前記第2メッキ層は、前記金メッキ層の電解メッキ時に電流が流れるようにするメッキ引込線の役割をする。

【0030】

【発明の実施の形態】

以下、添付図面を参照しつつ、本発明の実施例によるメッキ引込線なしにメッキされるパッケージ基板およびその製造方法を具体的に説明する。

#### 第1実施例

図5 aないし図5 jは、本発明の第1実施例によるメッキ引込線なしにメッキされるパッケージ基板の製造工程を示す図であって、本発明によるメッキ引込線なしにメッキされるパッケージ基板およびその製造方法は、下記の通りとなる。

【0031】

まず、ベース基板である、銅膜のメッキされたビアホール24が形成されたCC Lの上・下面に第1ドライフィルム25を積層し、これを露光および現像してCC Lの一部を露出させる(図5 a参照)。

【0032】

ベース基板は、単層のCC L構造を有するものとして示されているが、多数のCC L(21+22)が積層される多層基板で構成してもいい。前記CC Lは、エポキシからなる基板に導電性接着剤として銅箔が一体に接合されることから銅箔積層板と通称し、参照符号21は絶縁材で、参照符号22は前記絶縁材21の上部および下部に積層された銅箔である。前記CC Lにはフィルムエッチング工程を通じて内層回路を形成し、この時、前記内層回路は、通常、接地パターンまたは信号処理パターンに構成される。前記ビアホール24はCC Lの上・下面にそれぞれ形成された回路を電氣的に連結する役割を果たす。これら回路を電氣的に連結するためには、銅メッキ作業を通じてビアホール24の内面および各銅箔22に銅からなる第1メッキ層23を形成し、この時、前記上・下部回路のいずれかは半導体チップが接続されるボンドフィンガーを含む。

【0033】

その後、前記第1ドライフィルム25の積層された部分以外の部分の第1メッキ層23および銅箔22をエッチングにより除去して前記ベース基板の上部および下部に回路を形成する(図5 b参照)。ここで、参照符号26は前記銅箔が除去された状態を表している。

【0034】

前記第1ドライフィルム25のエッチング工程は、大きく、銅箔上にエッチングレジストとして使用するドライフィルムを塗布および接合する作業と、前記エッチングレジストの一部領域をブロッキングした状態で光を照射して硬化し、前記エッチングレジストに現像液を用いて未硬化されたエッチングレジストを除去する現像作業と、エッチング剤を用いて前記エッチングレジストが除去された領域の銅箔をエッチングする剥離作業とからなる。

【0035】

次いで、前記第1ドライフィルム25を剥離した後(図5 c参照)、前記ベース基板上の全部位を無電解メッキして第2メッキ層27を形成する(図5 d参照)。

【0036】

10

20

30

40

50



前記無電解メッキは、前記エッチングの後、前記上部および下部回路のバスライン(bus line)が完全に除去された状態で導体を化学メッキ(chemical plating)することをいい、前記導体は $0.5 \sim 1.0 \mu\text{m}$ の銅(Cu)でありうる。前記無電解化学メッキにより形成された導体は、後に金メッキされる部分の電解メッキ時に電流が流れるようにするメッキ引込線の役割を果たす。

【0037】

次いで、第2メッキ層27上に第2ドライフィルム28を積層し、露光および現像して金メッキされる部分に対応する第2メッキ層27部分を露出させる(図5e参照)。

【0038】

その後、前記金メッキされる部分に形成されている第2メッキ層27の露出された部分をフラッシュ(flash)エッチングにより除去する(図5f参照)。ここで、参照符号29は前記無電解メッキされた第2メッキ層27部分がエッチングにより除去された状態を表す。 10

【0039】

次いで、前記金メッキされる領域に対応する上・下部回路部分を金メッキして金メッキ層30を形成する(図5g参照)。ここで、前記金メッキされる上部回路部分はボンドフィンガーであり、前記金メッキされる下部回路部分はソルダボールパッドである。

【0040】

その後、前記第2ドライフィルム28を剥離し(図5h参照)、残存する第2メッキ層部分をエッチングにより除去する(図5i参照)。この時もまた、フラッシュエッチングが使用される。すなわち、前記無電解メッキされた第2メッキ層27は前記メッキ層30を電解メッキするためのメッキ引込線として使用された後、いずれもエッチングにより除去される。 20

【0041】

最後に、結果構造の前面にソルダレジスト31を塗布およびパタニングして所定の上部および下部回路を有するパッケージ基板を完成する(図5j参照)。

## 第2実施例

図6aないし図6jは、本発明の第2実施例によるメッキ引込線なしにメッキされるパッケージ基板の製造工程を示す図である。

【0042】

まず、銅膜がメッキされたビアホール44が形成されたベース基板の上・下面に第1ドライフィルム45を積層し、これを露光および現像してベース基板の一部を露出させる(図6a参照)。ベース基板は、単層のCCL構造を有するものと示されているが、多数のCCLが積層される多層基板で構成してもいい。参照符号41は絶縁材で、参照符号42は前記絶縁材41の上部および下部に積層された銅箔である。 30

【0043】

前記ビアホール44はベース基板の上・下面にそれぞれ形成された回路を電氣的に連結する役割を果たす。前記ベース基板の上・下面に形成された回路を電氣的に連結するためには、銅メッキ作業を通じてビアホール44の内面および各銅箔42に銅からなる第1メッキ層43を形成し、この時、前記上・下部回路のいずれかは半導体チップが接続されるボンドフィンガーを含む。 40

【0044】

その後、前記第1ドライフィルム45が積層された部分以外の部分の第1メッキ層43および銅箔42をエッチングにより除去して前記ベース基板の上部および下部に回路を形成する(図6b参照)。ここで、参照符号46は前記銅箔が除去された状態を表している。

【0045】

前記第1ドライフィルム45のエッチング工程は、大きく、銅箔上にエッチングレジストとして使用するドライフィルムを塗布および接合する作業と、前記エッチングレジストの一部領域をブロックした状態で光を照射して硬化し、前記エッチングレジストに現像液を用いて未硬化されたエッチングレジストを除去する現像作業と、エッチング剤を用いて前記エッチングレジストが除去された領域の銅箔をエッチングする剥離作業とからなる 50

。

## 【0046】

次いで、前記第1ドライフィルム45を剥離し、エッチングレジストを適用して上部および下部パターンを形成する(図6c参照)。その後、前記ベース基板上の全部位を無電解メッキして第2メッキ層47を形成する(図6d参照)。

## 【0047】

前記無電解メッキは、前記エッチングの後、前記上部および下部回路のバスラインが完全に除去された状態で、導体を化学メッキすることをいい、前記導体は $0.5 \sim 1.0 \mu\text{m}$ の銅(Cu)でありうる。前記無電解化学メッキにより形成された導体は、後に金メッキされる部分の電解メッキ時に電流が流れるようにするメッキ引込線の役割を果たす。

10

## 【0048】

次いで、結果構造の上・下面上に第2ドライフィルム48aを積層し、上側の第2ドライフィルム48aを露光および現像して部分的に除去することによって第2メッキ層47を部分的に露出させる(図6e参照)。上側の第2ドライフィルム48aの残存部分は、フラッシュエッチングを適用するために予め前記ビアホール部分をテンティング(tenting)することになる。

## 【0049】

次いで、第2メッキ層47の露出部分をフラッシュエッチングにより除去する(図6f参照)。

次いで、金メッキされる部位の第1メッキ層43部分を露出させるために、第3ドライフィルム48bを積層し、これを露光および現像した後、金メッキを行う。このとき、金メッキは、ベース基板の下部面から電流を印加し、前記ベース基板の上部面を金メッキして第1メッキ層43の露出部分に金メッキ層49を形成する(図6g参照)。ここで、前記金メッキされる上部面はボンДФィンガーでありうる。

20

## 【0050】

その後、下部面の第2ドライフィルム48aおよび上部面の第3ドライフィルム48bを剥離し、無電解メッキされた部分をエッチングにより除去する(図6h参照)。この時もまた、フラッシュエッチングが使用される。

## 【0051】

その後、結果構造の全面にソルダレジスト50を塗布し、露光および現像を行って構造の上・下面の所定部位にのみソルダレジスト50が残存されるようにする(図6i参照)。

30

## 【0052】

最後に、結果構造の下部面の所定部位をOSP(Organic Solderability Preservative)薬品を使用して表面処理を施すことによってOSP膜60を形成する(図6j参照)。

## 【0053】

このように、前述した第2実施例は、第1実施例に比べ、上部面のビアホールをテンティングし、下部面から電流を印加して金メッキ層49を形成した後、メッキ引込線の役割をする下部面の露出された銅箔にOSPを用いて表面処理を行う。第2実施例は、第1実施例と同様に、メッキ引込線を外部に形成することなくメッキを施すことができるため、後にメッキ引込線部位をカットする必要がない。

40

## 【0054】

一方、図4は、本発明による、メッキ引込線なしにメッキされたパッケージ基板の平面図であって、本発明によるパッケージ基板は、従来技術による図2のパッケージ基板とは違い、ソルダボールパッド20に連結されるメッキ引込線を使用していない。

## 【0055】

図7aおよび図7bは、従来技術および本発明における回路の密集度を比較するための図である。図7aに示す従来技術では、パッケージ基板71上に形成されたソルダボールパッド72aどうしの中心間のボールパッドピッチはAで表され、参照符号73はメッキ引込線を表している。また、図7bに示す本発明では、パッケージ基板71上に形成されたソルダボールパッド72bどうしの中心間のボールパッドピッチはBとなり、前記従

50

来技術におけるボールパッドピッチAに比べて約0.1ないし0.15mmも縮まったことがわかる。つまり、図7a

におけるメッキ引込線73が省略されたため、同一面積のパッケージ基板上にさらに多いソルダボールパッドを形成することができ、回路密集度が向上されたことがわかる。

【0056】

図8および図9は、それぞれ従来技術および本発明を適用したときの写真であって、図8は従来技術によってメッキ引込線を使用して下部面に電解Au/Niを適用してメッキした場合の写真であり、図9は本発明によってメッキ引込線なしに金メッキした場合の写真である。

【0057】

図8を参照すれば、従来は、パッケージ基板の下部側に電解金メッキ工程を適用する場合、必ずメッキ引込線を必要とするとか、アルカリエッチング(Alkali Etching)を通じて作製しなければならなかったため、側壁(Side Wall)の参照符号52のような銅(Cu)が露出されるし、特に、参照符号53のようにニッケル(Ni)が成長して微細な短絡(micro short)が発生することがあった。

【0058】

つまり、全体銅層(銅箔層+メッキ層)が残存する状態で、ドライフィルムを露光し、前記ドライフィルムを現像した後、電解金メッキを施すが、この時、前記ドライフィルムが現像されて銅(Cu)の露出された部位にのみ金メッキが行われる。その後、前記ドライフィルムを除去した後、アルカリ薬品を利用したエッチングを通じて回路パターンを形成する。この時、Au/Niはアルカリと反応しないので、エッチングレジストの役割をする。

【0059】

前述の過程により形成されたパッドは、側面部位に銅が露出され、特に、前記ドライフィルムが残存する状態で金メッキを行う場合、前記ドライフィルムと銅の密着力が低下し、前記金メッキが前記ドライフィルムの下部に侵入して粗い部分(Burr)が発生してしまう。

【0060】

一方、エッチングにあたり、エッチングレジストとして適用された材料上の相違によってアルカリ(Alkali)および酸(Acid)に区分して適用するが、このため、パッドの形態が異なってしまう。

【0061】

しかし、図9のような本発明を適用すると、銅(Cu)が露出されなく、ニッケル(Ni)の侵入を防止することができる。ここで、参照符号51はソルダレジストを表し、参照符号54はAu/Niメッキ層を表す。また、本発明では、アルカリ溶液の代わりに酸溶液(Acid solution)をエッチング液として使用したが、この時、ニッケル(Ni)は酸によって腐食するため、アルカリエッチングレジストとして適用することができない。すなわち、本発明では、壁(Wall)自体がNi/Auでメッキされているし、また、前述した粗い部分などの潜在的な短絡(Short)要因が根本的に遮断されているのである。

【0062】

図10aおよび図10bは、本発明によるパッケージ基板上部のボンドフィンガーおよび下部のソルダボールパッドをそれぞれ表す写真であって、本発明によって得られたソルダレジスト工程前の形態をそれぞれ例示する写真である。図10aの参照符号55はボンドフィンガーを表し、図10bの参照符号56はソルダボールパッドを表す。

【0063】

要するに、本発明は、BGAおよびCSPなどのパッケージ基板の電解金メッキ時、メッキ引込線なしに金メッキすることによって、信号ノイズ発生を防止してパッケージ基板の電気的特性を向上させることができる。また、本発明は、メッキ引込線が要らないので、回路の設計自由度が向上されるし、ボールパッドピッチ(Pitch)を、従来技術によるボールパッドピッチに比べて約0.1~0.15mmも縮められるため、高密度回路製品の作製が可能となる。

以上では本発明を特定の実施例に上げて説明したが、特許請求の範囲によって定められた

10

20

30

40

50

本発明の思想や要旨をはずれない範囲内でさまざまに改造および変化できることは当業者にとって自明である。

【0064】

【発明の効果】

本発明によれば、電解金メッキ用引込線の残留による信号ノイズ発生を防ぐことができるため、パッケージ基板の電気的特性が向上される。

【0065】

また、本発明によれば、メッキ引込線が要らないため、回路の設計自由度が向上され、かつ、高集積回路を有する製品の作製に有利である。

【0066】

また、本発明によれば、ソルダボールパッドの表面処理を金メッキで施して銅(Cu)が露出されないようにしたため、パッケージ基板の特性を向上させることができる。

【図面の簡単な説明】

【図1】従来技術に係るBGAパッケージ基板を例示する図である。

【図2】従来技術に係るメッキ引込線によりメッキされたパッケージ基板の平面図である。

【図3】それぞれ従来技術に係るメッキ引込線によりメッキされるパッケージ基板の製造工程を示す図である。

【図4】本発明に係るメッキ引込線なしにメッキされるパッケージ基板の平面図である。

【図5】本発明の第1実施例に係るメッキ引込線なしにメッキされるパッケージ基板の製造工程を示す図である。

【図6】本発明の第2実施例に係るメッキ引込線なしにメッキされるパッケージ基板の製造工程を示す図である。

【図7】従来技術および本発明に係る回路の密集度を例示する図である。

【図8】それぞれ従来技術および本発明を適用した場合の写真である。

【図9】それぞれ従来技術および本発明を適用した場合の別の写真である。

【図10】本発明によるパッケージ基板上部のボンドフィンガーおよび下部のソルダボールパッドをそれぞれ表す写真である。

【符号の説明】

21 : CCLの絶縁材

22 : CCLの銅箔

23 : 第1メッキ層

24 : ビアホール

25 : 第1ドライフィルム

27 : 無電解化学メッキ層

28 : 第2ドライフィルム

30 : 金メッキ層

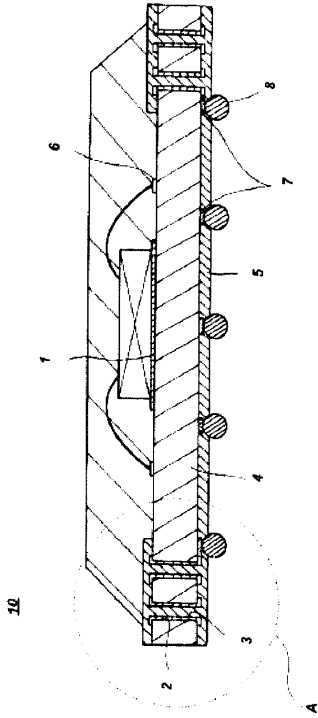
31 : ソルダレジスト

10

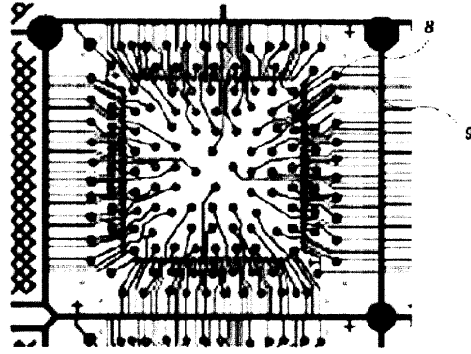
20

30

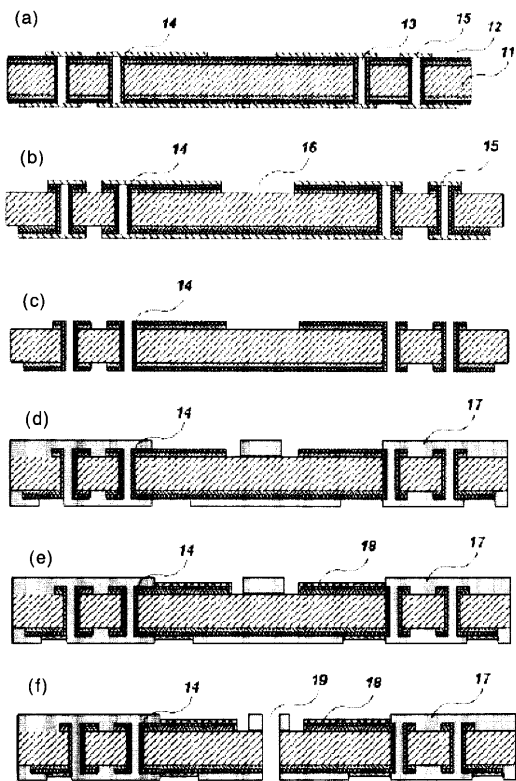
【 図 1 】



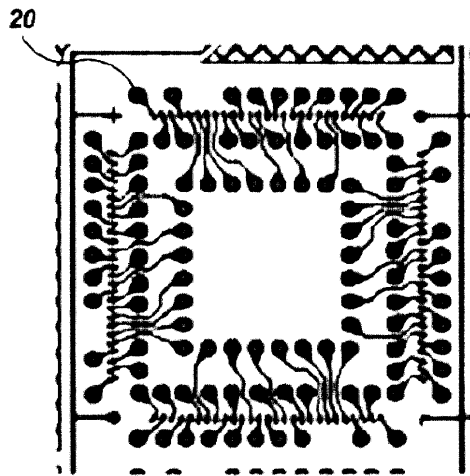
【 図 2 】



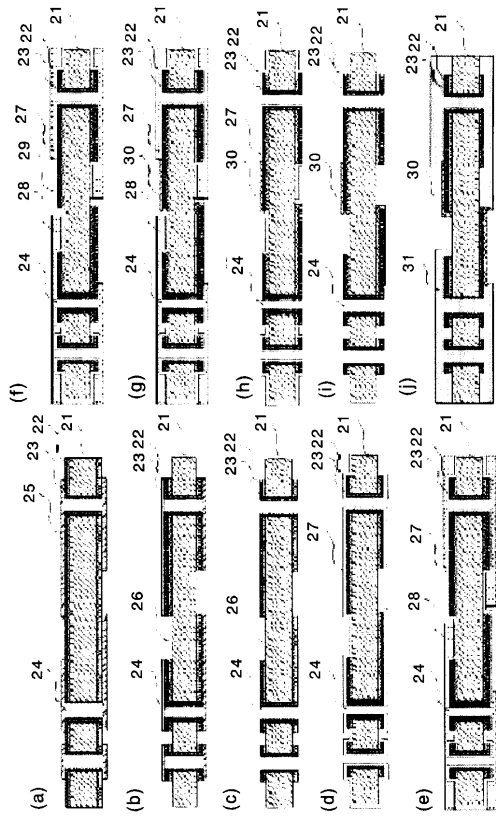
【 図 3 】



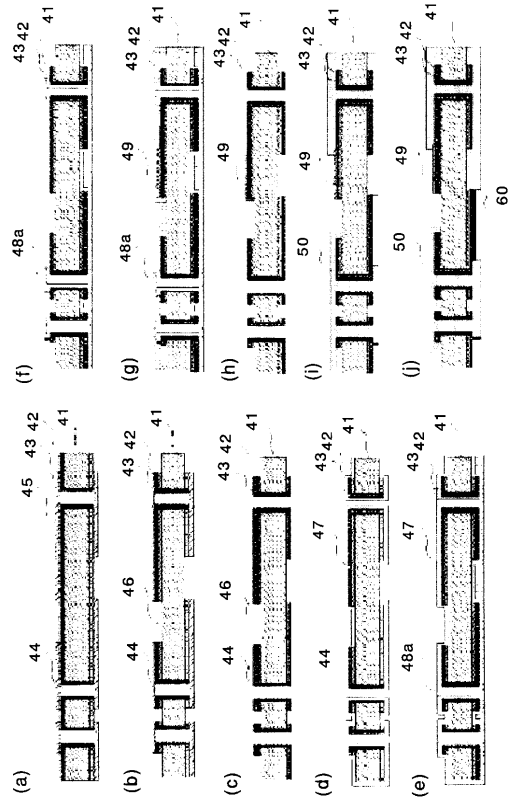
【 図 4 】



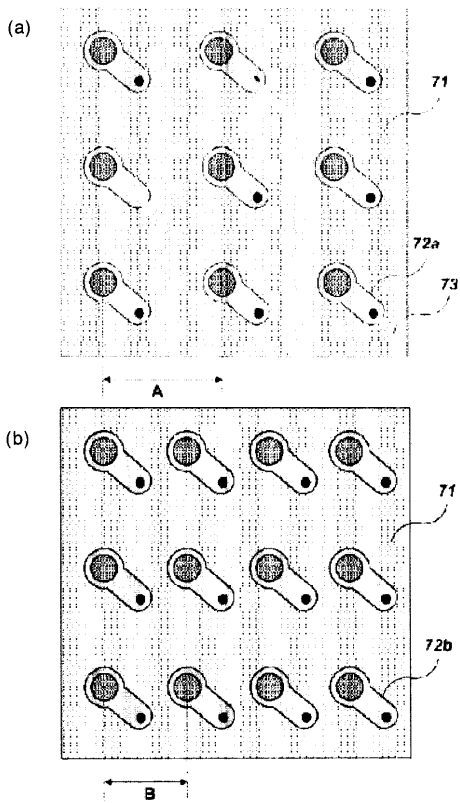
【 図 5 】



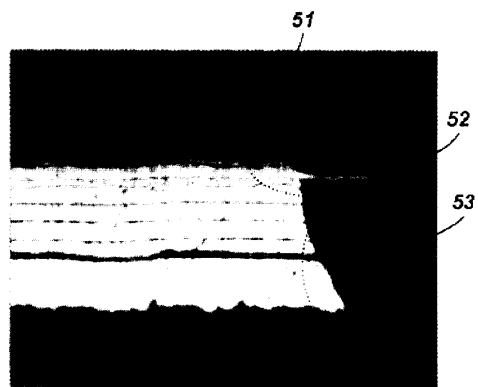
【 図 6 】



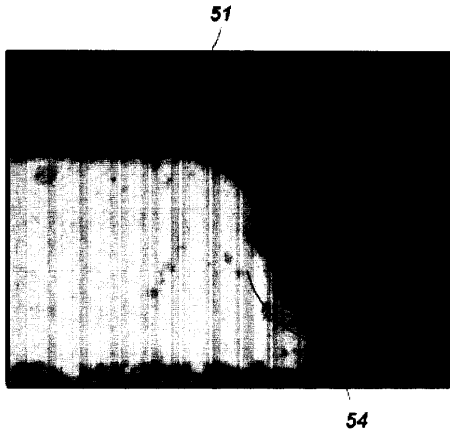
【 図 7 】



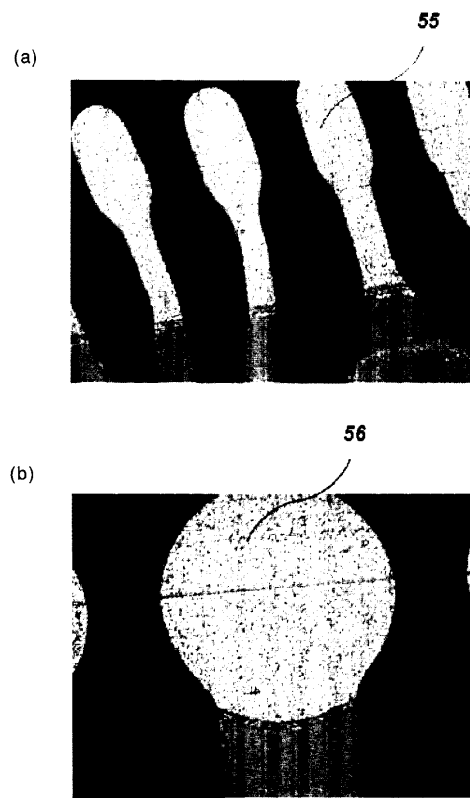
【 図 8 】



【 図 9 】



【 図 10 】



---

フロントページの続き

(72)発明者 キム、ゾン - ホ ( K I M , C h o n g - H o )

大韓民国、チュンチョンブック - ド、チョンジュ - シ、フンドッ - グ、ビハ - ドン、ヒョスン - ア  
パート、301 - 1204

(72)発明者 キム、テ - ギイ ( K I M , T a e - G u i )

大韓民国、チュンチョンブック - ド、チョンジュ - シ、フンドッ - グ、ボッデ - ドン、2978 -  
203

Fターム(参考) 4K024 AA09 AA11 AA14 AB02 AB17 BB11 BC02 DB10 FA07 FA08  
GA16