

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



WIPO | PCT



(10) Numéro de publication internationale
WO 2013/045101 A1

(51) Classification internationale des brevets :
G06F 12/02 (2006.01) *G11C 16/16* (2006.01)
G11C 16/14 (2006.01)

(21) Numéro de la demande internationale :
PCT/EP2012/004070

(22) Date de dépôt international :
28 septembre 2012 (28.09.2012)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
1102955 29 septembre 2011 (29.09.2011) FR

(71) Déposants (pour tous les États désignés sauf US) :
CONTINENTAL AUTOMOTIVE FRANCE [FR/FR];
Service Propriété Industrielle, 1, Avenue Paul Ourliac, F-31100 Toulouse (FR). **CONTINENTAL AUTOMOTIVE GMBH** [DE/DE]; Vahrenwalder Strasse 9, 30165 Hannover (DE).

(72) Inventeur; et

(71) Déposant (pour US seulement) : **CHICHER, Arnaud** [FR/FR]; 39, boulevard R., Appt 32, Bât B, F-31300 Toulouse (FR).

(74) Mandataire : **CONTINENTAL AUTOMOTIVE FRANCE**; Service Propriété Industrielle, 1, Avenue Paul Ourliac, F-31100 Toulouse (FR).

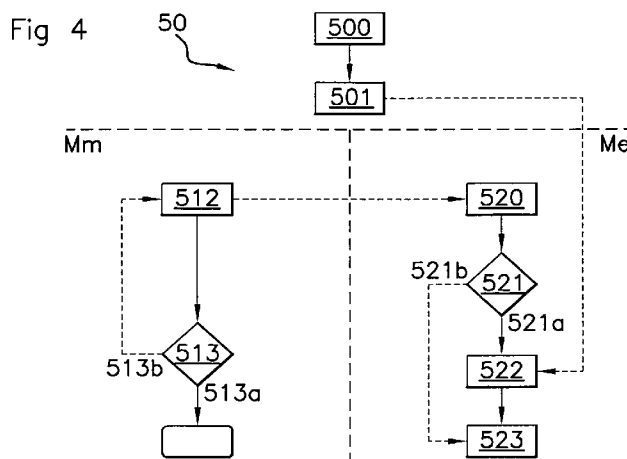
(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ,

[Suite sur la page suivante]

(54) Title : METHOD OF ERASING INFORMATION STORED IN A NONVOLATILE REWRITABLE MEMORY, STORAGE MEDIUM AND MOTOR VEHICLE COMPUTER

(54) Titre : PROCÉDE D'EFFACEMENT D'INFORMATIONS MEMORISEES DANS UNE MEMOIRE REINSCRIPTIBLE NON VOLATILE, SUPPORT DE MEMORISATION ET CALCULATEUR DE VEHICULE AUTOMOBILE



(57) Abstract : The present invention relates to a method (50) of erasing information stored in a non-volatile rewritable memory (102) of an electronic computer (10), in which a master module (Mm) sends erasure requests to a slave module (Me) of the computer, the memory (102) comprising at least two interleaved sectors. The method comprises a prior step (500) of determining a virtual memory addressing space associated with the memory (102), in which each sector extends over a specific span of consecutive virtual memory addresses, and a prior step (501) of establishing a first correspondence function making it possible to determine, on the basis of a span of virtual memory addresses, the sector of sectors whose content is to be erased. The method (50) of erasure also comprises, for each erasure request received by the slave module indicating a span of virtual memory addresses, a step (522) of determining the sector of sectors whose content is to be erased by the slave module. The memory (102) comprises several segments (S1, S2), each segment being decomposed into several sectors and at least two segments comprising interleaved physical

[Suite sur la page suivante]



TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale (Art. 21(3))

memory addresses, each erasure request sent by the master module being sent while indicating a span of virtual memory addresses corresponding to just a single segment of the memory (102). Two consecutive erasure requests sent by the master module indicate respectively spans of virtual memory addresses corresponding to different segments of the memory (102), these two consecutive erasure requests being aimed respectively at a first segment (S1) and a second segment (S2), the corresponding erasure operations being performed in parallel. The present invention also relates to an information storage medium and an electronic computer.

(57) Abrégé : La présente invention concerne un procédé (50) d'effacement d'informations mémorisées dans une mémoire réinscriptible non volatile (102) d'un calculateur (10) électronique, dans lequel un module maître (Mm) envoie des requêtes d'effacement à un module esclave (Me) du calculateur, la mémoire (102) comportant au moins deux secteurs entrelacés. Le procédé comporte une étape (500) préalable de détermination d'un espace d'adressage mémoire virtuel associé à la mémoire (102), dans lequel chaque secteur s'étend sur une plage spécifique d'adresses mémoire virtuelles consécutives, et une étape préalable (501) d'établissement d'une première fonction de correspondance permettant de déterminer, à partir d'une plage d'adresses mémoire virtuelles, le ou les secteurs dont le contenu doit être effacé. Le procédé (50) d'effacement comporte également, pour chaque requête d'effacement reçue par le module esclave indiquant une plage d'adresses mémoire virtuelles, une étape (522) de détermination du ou des secteurs dont le contenu doit être effacé par le module esclave. La mémoire (102) comporte plusieurs segments (S1, S2), chaque segment se décomposant en plusieurs secteurs et au moins deux segments comportant des adresses mémoire physiques entrelacées, chaque requête d'effacement envoyée par le module maître étant envoyée en indiquant une plage d'adresses mémoire virtuelles ne correspondant qu'à un seul segment de la mémoire (102). Deux requêtes d'effacement consécutives envoyées par le module maître indiquent respectivement des plages d'adresses mémoire virtuelles correspondant à des segments différents de la mémoire (102), ces deux requêtes d'effacement consécutives visant respectivement un premier segment (S1) et un second segment (S2), les opérations d'effacement correspondantes étant effectuées en parallèle. La présente invention concerne également un support de mémorisation d'informations et un calculateur électronique.

Procédé d'effacement d'informations mémorisées dans une mémoire réinscriptible non volatile, support de mémorisation et calculateur de véhicule automobile

La présente invention appartient au domaine des calculateurs électroniques, et concerne plus particulièrement un procédé d'effacement d'informations mémorisées dans une mémoire réinscriptible non volatile, un support de mémorisation d'informations, ainsi qu'un calculateur électronique comportant un tel support de mémorisation.

La présente invention trouve une application préférée, bien que nullement limitative, dans le cas de calculateurs de véhicules automobiles.

Les calculateurs électroniques de véhicules automobiles se présentent de manière connue sous la forme d'un microcontrôleur comportant, outre un ou plusieurs microprocesseurs, des mémoires électroniques (flash, EEPROM [« Electrically-Erasable Programmable Read-Only Memory »], RAM [« Random Access Memory »], etc.), des périphériques d'interface, etc.

Dans des mémoires non volatiles du calculateur sont mémorisés des programmes d'ordinateur, ou « logiciels », constitués d'un ensemble d'instructions de code de programme à exécuter par un microprocesseur afin de réaliser les différentes tâches dudit calculateur. Généralement, trois principaux types de logiciels sont mémorisés dans des mémoires non volatiles du calculateur :

- un logiciel d'amorçage, à exécuter notamment au démarrage du calculateur électronique pour initialiser celui-ci, connu dans la littérature anglo-saxonne sous le nom de « Boot Software »,
- un logiciel applicatif, à exécuter pour réaliser les tâches spécifiques du calculateur électronique, connu dans la littérature anglo-saxonne sous le nom de « Application Software »,
- un logiciel de reprogrammation permettant de modifier tout ou partie des informations (notamment les logiciels et/ou les données de calibration) mémorisées dans des mémoires réinscriptibles non volatiles du calculateur électronique, connu dans la littérature anglo-saxonne sous le nom de « Loader Software ».

Les logiciels d'amorçage et de reprogrammation peuvent être également un même logiciel, connu alors sous le nom de « Boot Loader ».

De nos jours, certains calculateurs électroniques de véhicules automobiles sont équipés de mémoires réinscriptibles non volatiles du type « mémoire flash ». De manière connue, une mémoire flash est généralement organisée en plusieurs segments sur lesquels des opérations peuvent s'effectuer en parallèle. Chaque segment est lui-même organisé en plusieurs secteurs, un secteur correspondant à la plus petite unité de

mémoire pouvant faire l'objet d'une opération d'effacement. En outre, chaque secteur est généralement organisé en plusieurs pages, une page correspondant à la plus petite unité de mémoire pouvant faire l'objet d'une opération d'écriture.

Pour effectuer une reprogrammation d'une mémoire flash, il faut en principe
5 effacer le contenu des secteurs des pages dans lesquelles de nouvelles informations doivent être écrites, puis écrire lesdites nouvelles informations dans les pages prévues.

Lorsque le contenu d'un secteur est effacé, il n'est plus possible de récupérer les informations qui étaient auparavant mémorisées dans ce secteur. On comprend donc que les opérations d'effacement doivent être effectuées avec précaution, afin d'assurer
10 que le contenu d'un ou plusieurs secteurs ne soit pas effacé par mégarde.

La figure 1 représente schématiquement l'organisation d'une mémoire flash comportant deux secteurs Sa et Sb dont les adresses mémoire physiques sont entrelacées.

En effet, on constate que les deux secteurs Sa et Sb se décomposent en
15 plusieurs éléments. Les éléments desdits secteurs Sa et Sb sont agencés de sorte que la mémoire flash comporte tout d'abord le premier élément du secteur Sa, puis le premier élément du secteur Sb, puis le second élément du secteur Sa, puis le second élément du secteur Sb, etc.

Traditionnellement, les requêtes d'effacement indiquent l'adresse mémoire
20 physique du début de la zone mémoire à effacer, ainsi que la taille de la zone mémoire à effacer à partir de cette adresse mémoire physique.

On comprend qu'une telle approche mise en œuvre pour effacer le contenu du secteur Sa entraînerait un risque d'effacer également le contenu du secteur Sb, du fait que ces secteurs sont entrelacés.

25 La présente invention vise à proposer une solution qui permette de diminuer les risques d'effacement par erreur de secteurs, dans le cas d'une mémoire réinscriptible non volatile dont au moins deux secteurs comportent des adresses mémoire physiques entrelacées.

La présente invention vise également à proposer une solution qui permette,
30 dans certains cas, de faciliter la parallélisation des opérations d'effacement et par conséquent diminuer la durée d'effacement de la mémoire réinscriptible non volatile dont le contenu doit être effacé.

En outre, la présente invention vise à proposer une solution qui permette d'avoir un module esclave, qui interagit directement avec la mémoire réinscriptible non
35 volatile et doit par conséquent en connaître l'organisation et le type, offrant une interface à un module maître, qui lui envoie des requêtes d'effacement, qui soit la même quel que

soit l'organisation et le type de la mémoire réinscriptible non volatile dont le contenu doit être effacé.

Selon un premier aspect, l'invention concerne un procédé d'effacement d'informations mémorisées dans une mémoire réinscriptible non volatile d'un calculateur électronique, dans lequel un module maître envoie des requêtes d'effacement à un module esclave dudit calculateur électronique, ladite mémoire réinscriptible non volatile étant organisée en secteurs correspondant à la plus petite unité mémoire pouvant faire l'objet d'une opération d'effacement, au moins deux secteurs comportant des adresses mémoire physiques entrelacées. En outre, le procédé d'effacement comporte les étapes préalables suivantes :

- détermination d'un espace d'adressage mémoire virtuel associé à la mémoire réinscriptible non volatile, dans lequel chaque secteur s'étend sur une plage spécifique d'adresses mémoire virtuelles consécutives,
- établissement d'une première fonction de correspondance permettant de déterminer, pour chaque plage d'adresses mémoires virtuelles de l'espace d'adressage mémoire virtuel, le ou les secteurs associés à une plage d'adresses mémoire virtuelles,

Ensuite, le procédé d'effacement selon l'invention comporte, pour chaque requête d'effacement reçue par le module esclave indiquant une plage d'adresses mémoire virtuelles, une étape de détermination, d'après la première fonction de correspondance et de la plage d'adresses mémoires virtuelles indiquée, du ou des secteurs dont le contenu doit être effacé par le module esclave.

En outre, selon le procédé d'effacement suivant l'invention, la mémoire réinscriptible non volatile comporte plusieurs segments, lesdits segments étant tels que des opérations d'effacement sur un segment peuvent être effectuées simultanément à des opérations d'effacement sur un autre segment, chaque segment se décomposant en plusieurs secteurs et au moins deux segments comportant des adresses mémoire physiques entrelacées. Chaque requête d'effacement envoyée par le module maître est en outre envoyée en indiquant une plage d'adresses mémoire virtuelles ne correspondant qu'à un seul segment de la mémoire réinscriptible non volatile.

En outre, selon le procédé d'effacement suivant l'invention, deux requêtes d'effacement consécutives envoyées par le module maître indiquent respectivement des plages d'adresses mémoire virtuelles correspondant à des segments différents de la mémoire réinscriptible non volatile, ces deux requêtes d'effacement consécutives visant respectivement un premier segment et un second segment, les opérations d'effacement correspondantes étant effectuées en parallèle.

Suivant des modes particuliers de mise en œuvre, le procédé d'effacement comporte l'une ou plusieurs des caractéristiques suivantes, prises isolément ou suivant toutes les combinaisons techniquement possibles.

De préférence, la plage d'adresses mémoire virtuelles est sans recouvrement
5 avec la plage d'adresses mémoire physiques réinscriptibles de la mémoire réinscriptible non volatile, et le procédé d'effacement comporte une étape de détection d'utilisation d'une plage d'adresses mémoire virtuelles, l'étape de détermination de secteur n'étant exécutée que si une plage d'adresses mémoire virtuelles a été détectée.

De préférence, lorsque plusieurs composants logiciels sont mémorisés dans
10 la mémoire réinscriptible non volatile, le procédé d'effacement comporte :

- une étape préalable d'établissement d'une seconde fonction de correspondance permettant de déterminer, pour chaque composant logiciel pouvant être effacé, la ou les plages d'adresses mémoire virtuelles associées à un composant logiciel,
- une étape d'envoi, par un outil de reprogrammation connecté au calculateur
15 électronique, d'une requête d'effacement d'un composant logiciel au module maître,
- une étape de conversion, par le module maître et d'après la seconde fonction de correspondance, de la requête d'effacement de composant logiciel en requête d'effacement de plage d'adresses mémoire virtuelles.

20 Selon un second aspect, l'invention concerne un support de mémorisation d'informations d'un calculateur électronique, mémorisant un module esclave adapté à effectuer des opérations d'effacement du contenu d'adresses mémoire physiques d'une mémoire réinscriptible non volatile organisée en secteurs correspondant à la plus petite unité mémoire pouvant faire l'objet d'une opération d'effacement. En outre, le support de
25 mémorisation mémorise une première fonction de correspondance permettant de déterminer, pour chaque plage d'adresses mémoires virtuelles d'un espace d'adressage mémoire virtuel prédéfini, le ou les secteurs associés à une plage d'adresses mémoire virtuelles, et le module esclave comporte des instructions qui, lorsqu'elles sont exécutées par ledit calculateur électronique, déterminent, à partir de la première fonction de
30 correspondance et d'une plage d'adresses mémoire virtuelle indiquée dans une requête d'effacement reçue par ledit module esclave, le ou les secteurs dont le contenu doit être effacé, la plage d'adresses mémoire virtuelles étant sans recouvrement avec la plage d'adresses mémoire physiques réinscriptibles de la mémoire réinscriptible non volatile, et le module esclave étant configuré pour n'exécuter les instructions de détermination de
35 secteur d'après la première fonction de correspondance que si une plage d'adresses mémoire virtuelles a été détectée.

Suivant des modes particuliers de réalisation, le support de mémorisation comporte l'une ou plusieurs des caractéristiques suivantes, prises isolément ou suivant toutes les combinaisons techniquement possibles.

De préférence, le support de mémorisation mémorise un module maître
5 configuré pour envoyer des requêtes d'effacement au module esclave, et une seconde fonction de correspondance permettant de déterminer, pour chaque composant logiciel mémorisé dans la mémoire réinscriptible non volatile, la ou les plages d'adresses mémoire virtuelles associées à un composant logiciel. En outre, le module maître comporte des instructions qui, lorsqu'elles sont exécutées par le calculateur électronique,
10 convertissent, d'après la seconde fonction de correspondance, une requête d'effacement de composant logiciel reçue par ledit module maître en une requête d'effacement de plage d'adresses mémoire virtuelles.

Selon un troisième aspect, l'invention concerne un calculateur électronique qui comporte un support de mémorisation d'informations selon l'un quelconque des modes de
15 réalisation de l'invention.

L'invention sera mieux comprise à la lecture de la description suivante, donnée à titre d'exemple nullement limitatif, et faite en se référant aux figures qui représentent :

- Figure 1 : déjà citée, une représentation schématique de deux secteurs
20 entrelacés d'une mémoire flash,
- Figure 2 : une représentation schématique d'un calculateur électronique de véhicule automobile,
- Figures 3a et 3b : un exemple illustrant l'élaboration d'un espace d'adressage virtuel selon l'invention,
- 25 – Figure 4 : un diagramme représentant les principales étapes d'un mode préféré de mise en œuvre d'un procédé d'effacement selon l'invention,
- Figure 5 : un diagramme représentant les principales étapes d'une variante préférée du procédé d'effacement de la figure 4.

La figure 2 représente de façon très schématique un calculateur
30 électronique de véhicule automobile.

De manière plus générale, il est à noter que l'invention est applicable à tout type de calculateur électronique devant être reprogrammé au moyen d'un outil
20 de reprogrammation externe.

De manière connue, le calculateur 10 électronique comporte un
35 microprocesseur 101 relié à des mémoires électroniques 102, 103, 104 par un bus de données 105.

Le calculateur 10 électronique comporte une mémoire réinscriptible non volatile 104, dans laquelle sont mémorisées des informations pouvant être reprogrammées. Ces informations peuvent être des instructions de code de programme, dites « logiciels », à exécuter pour effectuer les différentes tâches affectées audit
5 calculateur électronique, et/ou des données utilisées par lesdits différents logiciels, telles que des données de calibration.

Le calculateur 10 électronique comporte également une mémoire non volatile 103 dans laquelle est mémorisé un logiciel de reprogrammation qui, lorsqu'il est exécuté par le microprocesseur 101, permet de reprogrammer le contenu de la mémoire
10 réinscriptible non volatile 102.

La reprogrammation de la mémoire réinscriptible non volatile 102 comprend en principe l'effacement d'une zone mémoire de ladite mémoire réinscriptible non volatile, puis l'écriture de nouvelles informations dans cette zone mémoire. Dans la suite de l'exposé, on s'intéresse principalement aux opérations d'effacement, les opérations
15 d'écriture sortant du cadre de la présente invention.

Suivant d'autres modes de réalisation du calculateur 10 électronique, la mémoire réinscriptible non volatile 102 et la mémoire non volatile 103 sont confondues, le logiciel de reprogrammation étant alors mis en œuvre pour reprogrammer le contenu de la mémoire électronique dans laquelle il est lui-même mémorisé.

20 Le calculateur 10 électronique utilise également la mémoire volatile 104 (mémoire dite « RAM », acronyme anglais de « Random Access Memory » désignant une mémoire à accès direct), dans laquelle des informations sont copiées temporairement lors du fonctionnement du calculateur 10 électronique, en vue d'être exécutées par le microprocesseur 101. La mémoire réinscriptible non volatile 102 est du
25 type organisé en plusieurs secteurs. La mémoire réinscriptible non volatile 102 comporte au moins deux secteurs entrelacés. Dans la suite de la description, on se place de manière non limitative dans le cas où la mémoire réinscriptible non volatile 102 est une mémoire flash.

La présente invention concerne un procédé 50 (cf. Figures 4 et 5)
30 d'effacement d'informations mémorisées dans la mémoire flash 102, dont la mise en œuvre est assurée notamment, dans le présent exemple, par :

- un module maître Mm, pouvant être intégré dans le logiciel de reprogrammation ou dans un outil 20 de reprogrammation externe,
- un module esclave Me intégré dans le logiciel de reprogrammation.

35 Le module maître Mm et le module esclave Me sont des logiciels mémorisés par exemple dans la mémoire non volatile 103, comportant des instructions de code de

programme destinées à être exécutées par le microprocesseur 101 du calculateur 10 électronique.

Dans son principe, le procédé 50 d'effacement repose sur l'élaboration d'un espace d'adressage mémoire virtuel, associant une adresse mémoire virtuelle spécifique à chaque adresse mémoire physique de la mémoire flash.

Les adresses mémoires virtuelles sont associées aux adresses mémoire physiques de sorte que, dans l'espace d'adressage mémoire virtuel, chaque secteur de la mémoire flash 102 s'étend sur une plage spécifique d'adresses mémoire virtuelles consécutives.

Lorsque deux secteurs sont entrelacés, c'est-à-dire lorsque ces secteurs comportent des adresses mémoire physiques entrelacées, il n'existe pas de plage d'adresses mémoire physiques consécutives telle que :

- tous les éléments d'un de ces secteurs sont compris dans cette plage d'adresses mémoire physiques consécutives,
- aucun élément d'un autre secteur n'est compris dans cette plage d'adresses mémoire physiques consécutives.

Dans l'espace d'adressage mémoire virtuel, il existe au contraire, par construction, une plage spécifique d'adresses mémoire virtuelles consécutives pour chaque secteur de la mémoire flash 102 telle que :

- tous les éléments de ce secteur sont compris dans cette plage d'adresses mémoire virtuelles consécutives,
- aucun élément d'un autre secteur n'est compris dans cette plage d'adresses mémoire virtuelles consécutives.

On comprend donc qu'il est possible, dans l'espace d'adressage mémoire virtuel, d'identifier de manière non ambiguë un secteur dont le contenu doit être effacé par une plage d'adresses mémoire virtuelles consécutives. En outre, l'utilisation de l'espace d'adressage mémoire virtuel permet d'émettre des requêtes d'effacement en supposant que les secteurs de la mémoire flash 102 ne sont pas entrelacés.

A cet effet le procédé 50 d'effacement d'informations mémorisées dans la mémoire flash 102 comporte les étapes préalables suivantes :

- 500 : détermination d'un espace d'adressage mémoire virtuel dans lequel chaque secteur s'étend sur une plage spécifique d'adresses mémoire virtuelles consécutives,
- 501 : établissement d'une première fonction de correspondance permettant de déterminer, pour chaque plage d'adresses mémoire virtuelles de l'espace d'adressage mémoire virtuel, le ou les secteurs associés à une plage d'adresses mémoire virtuelles donnée. Pour effacer le contenu d'un ou de plusieurs

secteurs, le module maître Mm enverra au module esclave Me des requêtes d'effacement se référant à des plages d'adresses mémoire virtuelles de la mémoire flash 102.

Le procédé 50 d'effacement comporte alors, pour chaque requête
5 d'effacement reçue indiquant une plage d'adresses mémoire virtuelles, une étape 522 de détermination du ou des secteurs dont le contenu doit être effacé. Au cours de cette étape, le module esclave Me utilise la première fonction de correspondance, préalablement mémorisée par exemple dans la mémoire non volatile 103, pour déterminer le ou les secteurs associés à la plage d'adresses mémoire virtuelles indiquée dans la
10 requête d'effacement reçue.

Dans un mode particulier de mise en œuvre, l'espace d'adressage mémoire virtuel est tel que chaque segment de la mémoire flash 102 s'étend sur une plage spécifique d'adresses mémoire virtuelles consécutives.

Tel que décrit précédemment, les segments d'une mémoire flash 102 sont tels
15 que des opérations d'effacement effectuées sur un segment peuvent être effectuées simultanément à des opérations d'effacement sur un autre segment de la mémoire flash 102.

Avantageusement, le module maître Mm est configuré de sorte que chaque requête d'effacement qu'il émet indique une ou éventuellement plusieurs plages
20 d'adresses mémoire virtuelles qui correspondent toutes à un même segment de la mémoire flash 102. En d'autres termes, chaque requête d'effacement émise par le module maître Mm ne vise qu'un segment de la mémoire flash 102. En outre, le module maître Mm est configuré de sorte que, lorsque que des opérations d'effacement doivent être effectuées sur au moins deux segments de la mémoire flash 102, des requêtes
25 d'effacement envoyées consécutivement par le module maître Mm visent deux segments différents.

De telles dispositions permettent de paralléliser les opérations d'effacement relatives à deux requêtes d'effacement consécutives, puisque lesdites requêtes d'effacement consécutives visent deux segments différents. La durée d'effacement sera
30 avantageusement réduite du fait que de nombreuses opérations d'effacement pourront être effectuées sensiblement simultanément là où, selon l'art antérieur, ces opérations d'effacement étaient effectuées les unes à la suite des autres car effectuées d'abord pour tout un premier segment, puis pour tout un second segment, etc.

De préférence, les adresses mémoire virtuelles n'ont pas de signification
35 physique pour la mémoire flash 102. En d'autres termes, la plage d'adresses mémoire virtuelles ne présente pas de recouvrement avec la plage d'adresses mémoire physiques réinscriptibles de la mémoire flash 102. Ainsi, une adresse mémoire virtuelle, si elle est

interprétée comme étant une adresse mémoire physique de la mémoire flash 102, ne correspond pas à une adresse mémoire à laquelle des informations peuvent être écrites.

L'utilisation d'une plage d'adresses mémoire virtuelles distincte de la plage d'adresses mémoire physiques réinscriptibles de la mémoire flash 102 présente l'avantage que, au niveau du module esclave Me, il sera possible de détecter si une plage d'adresses mémoire virtuelles est utilisée ou non, et par conséquent si la première fonction de correspondance doit être utilisée ou non pour déterminer le ou les secteurs dont le contenu doit être effacé.

Par exemple, si la mémoire flash 102 comporte également des secteurs non entrelacés, l'effacement de ces secteurs peut éventuellement se faire en envoyant des requêtes d'effacement indiquant directement les plages d'adresses mémoire physiques de ces secteurs.

Les figures 3a et 3b représentent un exemple de détermination d'espace d'adressage mémoire virtuel associé à une mémoire flash 102.

La figure 3a représente schématiquement deux segments de la mémoire flash 102, désignés respectivement par S1 et S2. Le segment S1 comporte un secteur Sa et le segment S2 comporte un secteur Sb.

Les secteurs Sa et Sb sont en outre entrelacés. De manière non limitative, on considère que les secteurs Sa et Sb sont chacun de taille mémoire 64 octets.

Tel qu'illustré par la figure 3a, chaque secteur Sa, Sb se décompose en quatre éléments de taille mémoire 16 octets (16 o). L'adresse mémoire physique 0x00000000 correspond au premier élément du premier secteur Sa, l'adresse mémoire physique 0x00000010 correspond au premier élément du second secteur Sb, l'adresse mémoire physique 0x00000020 correspond au second élément du premier secteur Sa, l'adresse mémoire physique 0x00000030 correspond au second élément du second secteur Sb, etc.

La figure 3b représente schématiquement un exemple d'espace d'adressage mémoire virtuel pouvant être associé à la mémoire flash 102.

Dans cet exemple, la plage d'adresses mémoire virtuelles, associée à la plage d'adresses mémoire physique 0x00000000 à 0x0000007F, est comprise entre l'adresse mémoire virtuelle 0xA0000000 et l'adresse mémoire virtuelle 0xA000007F. Cette plage d'adresses mémoire virtuelles ne présente préférentiellement pas de recouvrement avec la plage d'adresses mémoire physique réinscriptibles de la mémoire flash 102, afin de pouvoir être facilement détectée au niveau du module esclave Me.

Dans l'exemple illustré par la figure 3b :

- l'adresse mémoire virtuelle 0xA0000000 est associée à l'adresse mémoire physique 0x00000000, soit au premier élément du premier secteur Sa,

- l'adresse mémoire virtuelle 0xA0000010 est associée à l'adresse mémoire physique 0x00000020, soit au second élément du premier secteur Sa,
- l'adresse mémoire virtuelle 0xA0000020 est associée à l'adresse mémoire physique 0x00000040, soit au troisième élément du premier secteur Sa,
- 5 • l'adresse mémoire virtuelle 0xA0000030 est associée à l'adresse mémoire physique 0x00000060, soit au quatrième élément du premier secteur Sa.

Ainsi les adresses mémoire virtuelles de la plage d'adresses mémoire virtuelles s'étendant de 0xA0000000 à 0xA000003F (adresse mémoire virtuelle de début 0xA0000000 et taille mémoire 64 octets) identifient chacune des adresses mémoire
10 physiques dudit premier secteur Sa. On comprend donc qu'une requête d'effacement de la plage d'adresses mémoire virtuelles 0xA0000000 à 0xA000003F peut être interprétée sans ambiguïté comme visant à effacer uniquement le contenu du premier secteur Sa. Dans ce cas, le module esclave Me efface le contenu des éléments de taille 16 octets d'adresses mémoire physiques 0x00000000, 0x00000020, 0x00000040, et 0x00000060.

15 De manière analogue :

- l'adresse mémoire virtuelle 0xA0000040 est associée à l'adresse mémoire physique 0x00000010, soit au premier élément du second secteur Sb,
- l'adresse mémoire virtuelle 0xA0000050 est associée à l'adresse mémoire physique 0x00000030, soit au second élément du second secteur Sb,
- 20 • l'adresse mémoire virtuelle 0xA0000060 est associée à l'adresse mémoire physique 0x00000050, soit au troisième élément du second secteur Sb,
- l'adresse mémoire virtuelle 0xA0000070 est associée à l'adresse mémoire physique 0x00000070, soit au quatrième élément du second secteur Sb.

Ainsi les adresses mémoire virtuelles de la plage d'adresses mémoire virtuelles s'étendant de 0xA0000040 à 0xA000007F (adresse mémoire virtuelle de
25 début 0xA0000040 et taille mémoire 64 octets) identifient chacune des adresses mémoire physiques du second secteur Sb. On comprend donc qu'une requête d'effacement de la plage d'adresses mémoire virtuelles 0xA0000040 à 0xA000007F peut être interprétée sans ambiguïté comme visant à effacer uniquement le contenu du second secteur Sb. Dans ce cas, le module esclave Me efface le contenu des éléments de taille 16 octets
30 d'adresses mémoire physiques 0x00000010, 0x00000030, 0x00000050 et 0x00000070.

Pour effacer le contenu à la fois du premier secteur Sa et du second secteur Sb, une première requête d'effacement pourra indiquer la plage d'adresses mémoire virtuelles 0xA0000000 à 0xA000003F tandis qu'une seconde requête
35 d'effacement pourra indiquer la plage d'adresses mémoire virtuelles 0xA0000040 à 0xA000007F. Ces deux requêtes d'effacement visant respectivement le premier

segment S1 et le second segment S2, les opérations d'effacement correspondantes pourront être effectuées en parallèle.

Il est à noter que, dans l'exemple illustré par les figures 3a et 3b, si les opérations d'effacement ne doivent pas nécessairement être effectuées en parallèle, rien n'exclut, pour effacer le contenu du premier secteur Sa et du second secteur Sb, d'envoyer une seule requête d'effacement indiquant la plage d'adresses mémoire virtuelles 0xA0000000 à 0xA000007F.

La première fonction de correspondance qui sera utilisée par le module esclave Me peut par exemple être mémorisée sous la forme d'une table de correspondance qui peut alors s'exprimer comme suit :

Plage d'adresses mémoire virtuelles	Secteur à effacer
0xA0000000 à 0xA000003F	Sa
0xA0000040 à 0xA000007F	Sb
etc.	etc.

On comprend que d'autres formats sont possibles pour la première table de correspondance, et qu'un choix particulier de format ne constitue qu'une variante de mise en œuvre du procédé 50 d'effacement.

La figure 4 représente schématiquement les principales étapes d'un mode préféré de mise en œuvre du procédé 50 d'effacement.

Les étapes 500, 501 préalables du procédé 50 d'effacement sont représentées dans la partie supérieure de la figure 4.

Pour effacer le contenu d'un ou de plusieurs secteurs de la mémoire flash 102, le procédé 50 d'effacement comporte plusieurs étapes. Les étapes représentées dans la partie gauche de la figure 4 sont exécutées par le module maître Mm, tandis que les étapes représentées dans la partie droite de la figure 4 sont exécutées par le module esclave Me.

Le procédé 50 d'effacement comporte tout d'abord une étape 512 d'envoi, par le module maître Mm, d'une requête d'effacement. La requête d'effacement indique une ou plusieurs plages d'adresses mémoire virtuelles.

Le procédé 50 d'effacement comporte ensuite une étape 520 de réception, par le module esclave Me, de la requête d'effacement.

De préférence, le module esclave Me exécute ensuite une étape 521 de détection d'utilisation de plage d'adresse mémoire virtuelle.

La requête d'effacement ayant été envoyée en indiquant plage d'adresses mémoire virtuelles, le module esclave Me détecte (référence 521a sur la figure 4) que la

première fonction de correspondance doit être utilisée pour déterminer le ou les secteurs dont le contenu doit être effacé.

Le procédé 50 d'effacement comporte ensuite l'étape 522 de détermination du ou des secteurs associés à chacune des plages d'adresses mémoire virtuelles indiquées
5 dans la requête d'effacement, d'après la première fonction de correspondance.

Le procédé 50 de reprogrammation comporte ensuite une étape 523 d'effacement du contenu du ou des secteurs déterminés d'après la première fonction de correspondance.

De préférence, si la plage d'adresses mémoire virtuelles indiquée est erronée
10 en ce qu'elle n'englobe pas un ou plusieurs secteurs complets, le module esclave Me pourra le détecter d'après la première fonction de correspondance et rejeter la requête d'effacement (éventuellement en le notifiant au module maître Mm). Cette étape de détermination si la plage d'adresses mémoire virtuelles est correcte et, le cas échéant, cette étape de rejet de la requête d'effacement ne sont pas représentées sur les figures.

15 Si la requête d'effacement avait été envoyée par le module maître en indiquant une plage d'adresses mémoire physiques, l'étape 521 de détection aurait déterminé que la plage d'adresses mémoire utilisée n'était pas une plage d'adresses mémoire virtuelles (référence 521b sur la figure 4), conduisant directement à l'exécution de l'étape 523 d'effacement du contenu du ou des secteurs associés à la plage
20 d'adresses mémoire physiques indiquée (par exemple dans le cas de secteurs non entrelacés).

Suite à l'envoi d'une requête d'effacement, le procédé 50 d'effacement comporte une étape 513, exécutée par le module maître Mm, de détermination si d'autres requêtes d'effacement doivent être envoyées. Si aucune autre requête d'effacement ne
25 doit être envoyée (référence 513a sur la figure 4), l'exécution du procédé 50 d'effacement prend fin.

Si d'autres requêtes d'effacement doivent être envoyées (référence 513b sur la figure 4), l'étape 512 d'envoi est à nouveau exécutée pour l'envoi de la requête d'effacement suivante. Les étapes suivantes du procédé, côté module esclave Me, sont
30 alors à nouveau exécutées pour la nouvelle requête d'effacement.

Il est à noter que le module esclave Me est intégré dans le calculateur 10 électronique. Le module maître Mm peut être soit intégré dans le calculateur 10 électronique, soit intégré dans un outil 20 de reprogrammation externe au calculateur 10 électronique et connecté à celui-ci par l'intermédiaire d'un bus de communication (CAN,
35 Ethernet, etc.).

La figure 5 représente schématiquement les principales étapes d'une variante préférée de mise en œuvre du procédé 50 d'effacement de la figure 4, dans le cas où un

outil 20 de reprogrammation externe envoie des requêtes d'effacement au module maître Mm intégré dans le calculateur 10 électronique.

Dans cette variante de mise en œuvre, on considère que la mémoire flash 102 mémorise plusieurs composants logiciels qui peuvent éventuellement être effacés, et
5 l'outil 20 de reprogrammation envoie des requêtes d'effacement indiquant des composants logiciels à effacer.

Ceci est avantageux car, de la sorte, l'outil 20 de reprogrammation n'a besoin de connaître que les différents composants logiciels qui peuvent être effacés, et n'a besoin de connaître ni l'espace d'adressage mémoire virtuel ni l'organisation des secteurs
10 de la mémoire flash 102.

A cet effet, outre toutes les étapes décrites en référence à la figure 4, le procédé 50 d'effacement illustré par la figure 5 comporte une étape 502 préalable d'établissement d'une seconde fonction de correspondance permettant de déterminer, pour chaque composant logiciel pouvant être effacé, la ou les plages d'adresses virtuelles
15 associées à un composant logiciel donné.

Le procédé 50 d'effacement comporte également une étape 530 d'envoi, par l'outil 20 de reprogrammation, d'une requête d'effacement d'un composant logiciel au module maître Mm.

Le procédé 50 d'effacement comporte également une étape 510 de réception, par le module maître Mm, de la requête d'effacement envoyée par l'outil 20 de reprogrammation.

Le procédé 50 d'effacement comporte ensuite une étape 511 de conversion, par le module maître Mm et d'après la seconde fonction de correspondance, de la requête d'effacement du composant logiciel en une requête d'effacement de plage d'adresses mémoire virtuelles associée à ce composant logiciel, qui est ensuite envoyée au module esclave Me au cours de l'étape 512 d'envoi.
25

Il est à noter que, au cours de l'étape 511 de conversion, le module maître Mm peut convertir la requête d'effacement de composant logiciel en une ou plusieurs requêtes d'effacement indiquant chacune une ou plusieurs plages d'adresses mémoire virtuelles.
30

La présente invention concerne également un support de mémorisation d'informations, en l'occurrence la mémoire non volatile 103, dans lequel est mémorisé un logiciel de reprogrammation comportant un module esclave Me adapté à mettre en œuvre des étapes du procédé 50 d'effacement.

35 Ainsi le module esclave Me comporte des instructions de code de programme qui, lorsqu'elles sont exécutées par le microprocesseur 101, mettent en œuvre notamment les étapes 520 de réception, 522 de détermination de secteur à effacer et 523

d'effacement. Le cas échéant, le module esclave Me comporte également des instructions dont l'exécution permet de mettre en œuvre l'étape 521 de détection.

Le cas échéant, le logiciel de reprogrammation, mémorisé dans le support de mémorisation, comporte également un module maître Mm adapté à mettre en œuvre des
5 étapes du procédé 50 d'effacement.

Ainsi le module maître Mm comporte des instructions de code de programme qui, lorsqu'elles sont exécutées par le microprocesseur 101, mettent en œuvre les étapes 512 d'envoi de requête d'effacement et 513 de détermination si d'autres requêtes d'effacement doivent être envoyées. Le cas échéant, le module maître Mm comporte
10 également des instructions dont l'exécution permet de mettre en œuvre les étapes 510 de réception et 511 de conversion.

Le support de mémorisation mémorise également la première fonction de correspondance et, le cas échéant, la seconde fonction de correspondance.

La présente invention concerne également un calculateur 10 électronique de
15 véhicule automobile comportant un support de mémorisation tel que décrit ci-avant.

De manière plus générale, la portée de la présente invention ne se limite pas aux modes de mise en œuvre et de réalisation décrits ci-dessus à titre d'exemples non limitatifs, mais s'étend au contraire à toutes les modifications à la portée de l'homme de l'art.

Notamment, on comprend que d'autres formats sont possibles pour chacune des première et seconde fonctions de correspondance qu'une table de correspondance, et qu'un choix particulier de format ne constitue qu'une variante de mise en œuvre du procédé 50 d'effacement. La première fonction de correspondance peut notamment se présenter sous la forme d'instructions de code de programme à exécuter pour déterminer
25 le ou les secteurs associés à une plage d'adresses mémoire virtuelles indiquée dans une requête d'effacement. De même, la seconde fonction de correspondance peut se présenter sous la forme d'instructions de code de programme à exécuter pour déterminer la ou les plages d'adresses mémoire virtuelles associées à un composant logiciel indiqué dans une requête d'effacement.

La description ci-avant illustre clairement que par ses différentes caractéristiques et leurs avantages, la présente invention atteint les objectifs qu'elle s'était fixés.

En particulier, du fait de l'utilisation d'un espace d'adressage mémoire virtuel dans lequel les secteurs de la mémoire flash 102 ne sont pas entrelacés, les secteurs à
35 effacer peuvent être identifiés de manière non ambiguë, limitant les risques d'effacer un ou plusieurs secteurs par erreur.

REVENDICATIONS

1. Procédé (50) d'effacement d'informations mémorisées dans une mémoire réinscriptible non volatile (102) d'un calculateur (10) électronique, dans lequel un module maître (Mm) envoie des requêtes d'effacement à un module esclave (Me) dudit calculateur (10) électronique, ladite mémoire réinscriptible non volatile (102) étant
5 organisée en secteurs (Sa, Sb) correspondant à la plus petite unité mémoire pouvant faire l'objet d'une opération d'effacement, au moins deux secteurs comportant des adresses mémoire physiques entrelacées, **caractérisé en ce que** ledit procédé comporte les étapes préalables suivantes :
- 10 • (500) : détermination d'un espace d'adressage mémoire virtuel associé à la mémoire réinscriptible non volatile (102), dans lequel chaque secteur s'étend sur une plage spécifique d'adresses mémoire virtuelles consécutives,
 - (501) : établissement d'une première fonction de correspondance permettant de déterminer, pour chaque plage d'adresses mémoires virtuelles de l'espace d'adressage mémoire virtuel, le ou les secteurs associés à une plage d'adresses
15 mémoire virtuelles,
- en ce que** le procédé (50) d'effacement comporte, pour chaque requête d'effacement reçue par le module esclave (Me) indiquant une plage d'adresses mémoire virtuelles, une étape (522) de détermination, d'après la première fonction de correspondance et de la
20 plage d'adresses mémoires virtuelles indiquée, du ou des secteurs dont le contenu doit être effacé par le module esclave (Me),
- en ce que** :
- la mémoire réinscriptible non volatile comporte plusieurs segments (S1, S2), chaque segment se décomposant en plusieurs secteurs et au moins deux segments comportant des adresses mémoire physiques entrelacées,
 - 25 • chaque requête d'effacement envoyée par le module maître (Mm) est envoyée en indiquant une plage d'adresses mémoire virtuelles ne correspondant qu'à un seul segment (S1, S2) de la mémoire réinscriptible non volatile (102),
- et en ce que** deux requêtes d'effacement consécutives envoyées par le module maître (Mm) indiquent respectivement des plages d'adresses mémoire virtuelles
30 correspondant à des segments différents de la mémoire réinscriptible non volatile (102), ces deux requêtes d'effacement consécutives visant respectivement un premier segment (S1) et un second segment (S2), les opérations d'effacement correspondantes étant effectuées en parallèle.

2. Procédé (50) selon la revendication 1, **caractérisé en ce que** la plage d'adresses mémoire virtuelles est sans recouvrement avec la plage d'adresses mémoire physiques réinscriptibles de la mémoire réinscriptible non volatile (102), et **en ce que** le procédé comporte une étape (521) de détection d'utilisation d'une plage d'adresses
- 5 mémoire virtuelles, l'étape (522) de détermination de secteur n'étant exécutée que si une plage d'adresses mémoire virtuelles a été détectée.
3. Procédé (50) selon l'une quelconque des revendications précédentes, **caractérisé en ce que**, plusieurs composants logiciels étant mémorisés dans la mémoire réinscriptible non volatile (102), ledit procédé comporte :
- 10 • une étape (502) préalable d'établissement d'une seconde fonction de correspondance permettant de déterminer, pour chaque composant logiciel pouvant être effacé, la ou les plages d'adresses mémoire virtuelles associées à un composant logiciel,
- une étape (530) d'envoi, par un outil (20) de reprogrammation connecté au
- 15 calculateur électronique, d'une requête d'effacement d'un composant logiciel au module maître (Mm),
- une étape (511) de conversion, par le module maître (Mm) et d'après la seconde fonction de correspondance, de la requête d'effacement de composant logiciel en requête d'effacement de plage d'adresses mémoire virtuelles.
- 20 4. Support (103) de mémorisation d'informations d'un calculateur (10) électronique, mémorisant un module esclave (Me) adapté à effectuer des opérations d'effacement du contenu d'adresses mémoire physiques d'une mémoire réinscriptible non volatile (102) organisée en secteurs correspondant à la plus petite unité mémoire pouvant faire l'objet d'une opération d'effacement, **caractérisé en ce qu'il** mémorise une première
- 25 fonction de correspondance permettant de déterminer, pour chaque plage d'adresses mémoires virtuelles d'un espace d'adressage mémoire virtuel prédéfini, le ou les secteurs associés à une plage d'adresses mémoire virtuelles, le module esclave (Me) comportant des instructions qui, lorsqu'elles sont exécutées par ledit calculateur (10) électronique, déterminent, à partir de la première fonction de correspondance et d'une plage d'adresses
- 30 mémoire virtuelle indiquée dans une requête d'effacement reçue par ledit module esclave, le ou les secteurs dont le contenu doit être effacé,
- en ce que** la plage d'adresses mémoire virtuelles est sans recouvrement avec la plage d'adresses mémoire physiques réinscriptibles de la mémoire réinscriptible non volatile, et **en ce que** le module esclave (Me) est configuré pour n'exécuter les instructions de

détermination de secteur d'après la première fonction de correspondance que si une plage d'adresses mémoire virtuelles a été détectée.

5. Support (103) de mémorisation selon la revendication 4, **caractérisé en ce qu'il mémorise :**

- 5
- un module maître (Mm) configuré pour envoyer des requêtes d'effacement au module esclave (Me),
 - une seconde fonction de correspondance permettant de déterminer, pour chaque composant logiciel mémorisé dans la mémoire réinscriptible non volatile, la ou les plages d'adresses mémoire virtuelles associées à un composant logiciel,

10 et **en ce que** le module maître (Mm) comporte des instructions qui, lorsqu'elles sont exécutées par le calculateur électronique, convertissent, d'après la seconde fonction de correspondance, une requête d'effacement de composant logiciel reçue par ledit module maître en une requête d'effacement de plage d'adresses mémoire virtuelles.

6. Calculateur (10) électronique, **caractérisé en ce qu'il** comporte un
15 support (103) de mémorisation d'informations selon l'une quelconque des revendications 4 ou 5.

1/3

Fig 1

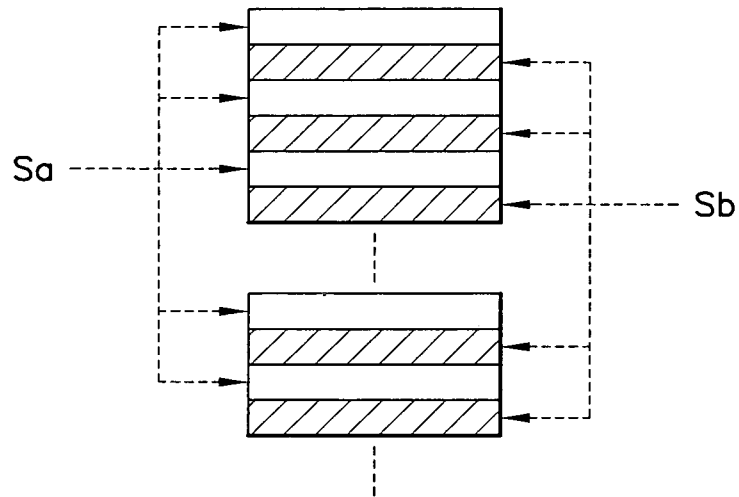
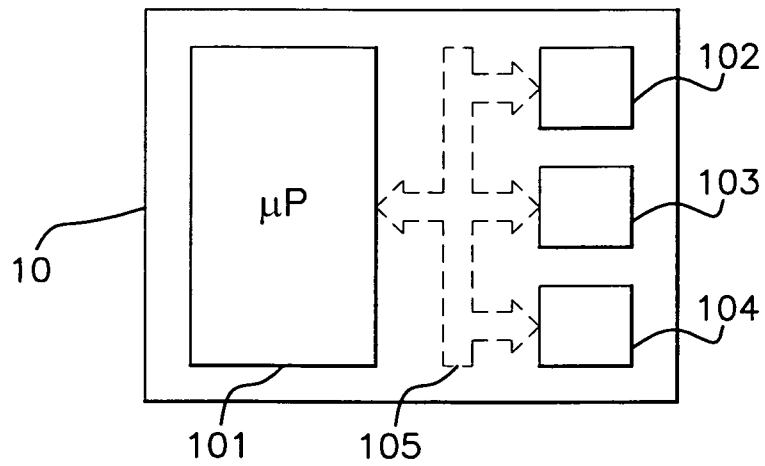


Fig 2



2/3

Fig 3a

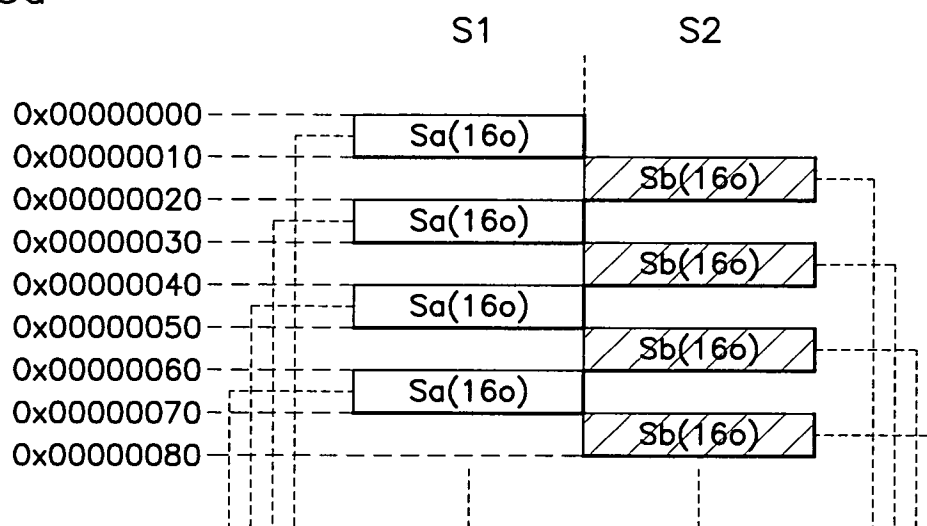
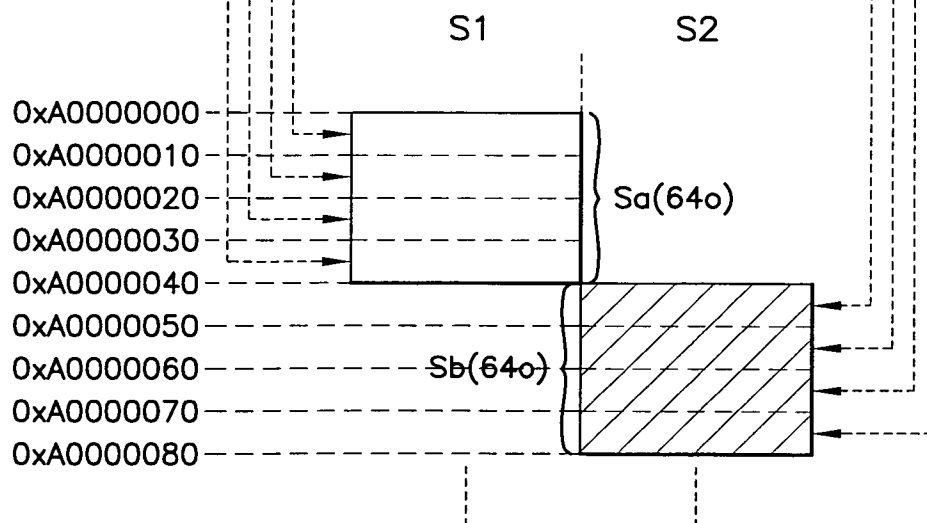


Fig 3b



3/3

Fig 4

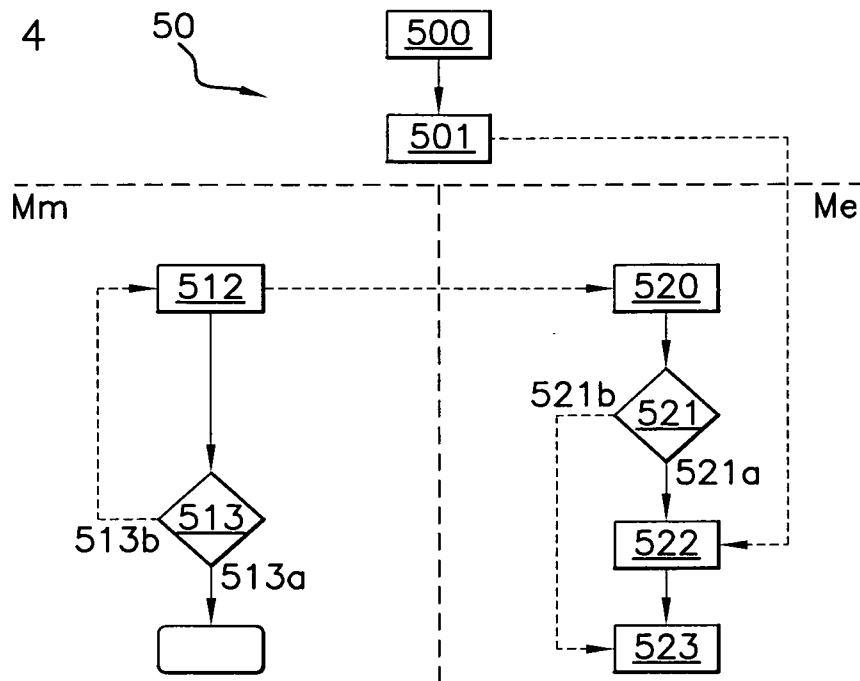
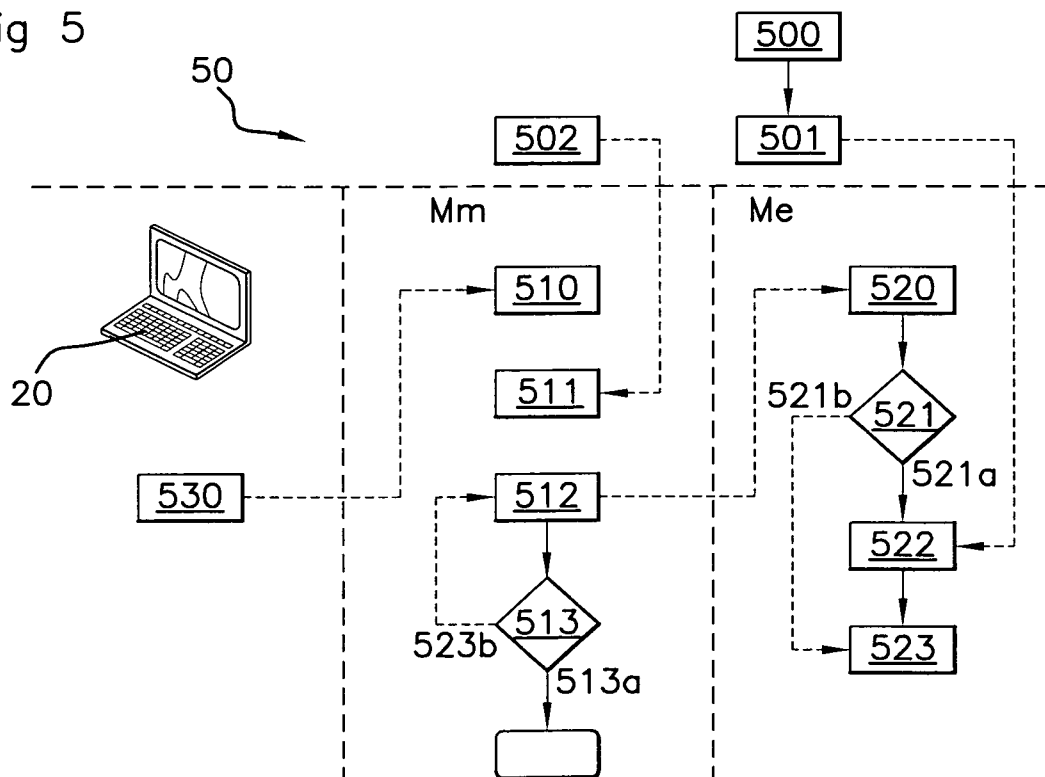


Fig 5



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2012/004070

A. CLASSIFICATION OF SUBJECT MATTER

INV. G06F12/02 G11C16/14 G11C16/16
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2007/113030 A1 (BENNETT ALAN D [GB] ET AL BENNETT ALAN DAVID [GB] ET AL) 17 May 2007 (2007-05-17) paragraphs [0049] - [0054]; figures 2, 4, 5, 10	1,4,5
A	EP 1 739 683 A1 (LEXAR MEDIA INC [US]) 3 January 2007 (2007-01-03) page 10, line 21 - line 48; figure 2	1,4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

5 December 2012

Date of mailing of the international search report

14/12/2012

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Vidal Verdú, Jorge

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2012/004070

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2007113030	A1	17-05-2007	NONE

EP 1739683	A1	03-01-2007	AT 415686 T 15-12-2008
			EP 1739683 A1 03-01-2007
			US 6034897 A 07-03-2000
			US 6134151 A 17-10-2000

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2012/004070

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
INV. G06F12/02 G11C16/14 G11C16/16
ADD.

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
G06F G11C

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 2007/113030 A1 (BENNETT ALAN D [GB] ET AL BENNETT ALAN DAVID [GB] ET AL) 17 mai 2007 (2007-05-17) alinéas [0049] - [0054]; figures 2, 4, 5, 10	1,4,5
A	----- EP 1 739 683 A1 (LEXAR MEDIA INC [US]) 3 janvier 2007 (2007-01-03) page 10, ligne 21 - ligne 48; figure 2 -----	1,4



Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

5 décembre 2012

Date d'expédition du présent rapport de recherche internationale

14/12/2012

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Vidal Verdú, Jorge

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2012/004070

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2007113030	A1	17-05-2007	AUCUN

EP 1739683	A1	03-01-2007	AT 415686 T 15-12-2008
			EP 1739683 A1 03-01-2007
			US 6034897 A 07-03-2000
			US 6134151 A 17-10-2000
