【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】令和6年11月11日(2024.11.11)

【国際公開番号】WO2023/166827
【出願番号】特願2024-504375(P2024-504375)
【国際特許分類】
H01L 29/06(2006.01)
H01L 29/78(2006.01)
H01L 29/739(2006.01)
H01L 21/336(2006.01)
H01L 29/861(2006.01)
【FI】
H01L 29/06 301G
H01L 29/06 301F
H01L 29/06 301V
H01L 29/78 652Q
H01L 29/78 652P
H01L 29/78 652D
H01L 29/78 653C
H01L 29/78 652J
H01L 29/78 655F
H01L 29/78 658F
H01L 29/78 658H
H01L 29/78 657D
H01L 29/78 655D
H01L 29/78 655B
H01L 29/78 652N
H01L 29/91 C
H01L 29/91 J
H01L 29/91 L

【手続補正書】
【提出日】令和6年4月12日(2024.4.12)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
素子構造を含む素子形成領域が形成された第１主面を有する半導体チップと、
前記半導体チップの前記第１主面において前記素子形成領域の周囲の周囲領域に形成され、前記素子構造の耐圧を保持する耐圧保持構造と、
前記半導体チップの前記第１主面に形成された層間絶縁層と、
前記第１主面上において互いに間隔を空けて形成された複数の第１導電層であって、前記層間絶縁層を通って前記耐圧保持構造に接続された複数の第１導電層と、
前記層間絶縁層によって前記半導体チップから絶縁され、平面視において隣り合う前記複数の第１導電層間のスペースに重なる第２導電層と、
前記複数の第１導電層および前記第２導電層を覆うように前記層間絶縁層上に形成され

た保護層とを含む、半導体装置。
【請求項２】
前記第２導電層は、前記層間絶縁層内に埋め込まれた埋め込み導電層を含み、
前記埋め込み導電層は、前記層間絶縁層の厚さ方向において前記複数の第１導電層間のスペースに対向している、請求項１に記載の半導体装置。
【請求項３】
前記第１導電層は、前記層間絶縁層上に形成された表層部と、前記表層部から前記層間絶縁層を通って前記耐圧保持構造に接続されたコンタクト部とを含み、
前記埋め込み導電層は、前記層間絶縁層の厚さ方向において前記第１導電層の前記表層部の一部に対向している、請求項２に記載の半導体装置。
【請求項４】
前記第１導電層は、前記層間絶縁層に形成されたコンタクト孔に設けられ、前記耐圧保持構造に接続されたコンタクト部と、前記コンタクト部から前記層間絶縁層の表面上に引き出され、平面視において前記埋め込み導電層に重なるオーバーラップ部とを含む、請求項２に記載の半導体装置。
【請求項５】
前記層間絶縁層は、前記埋め込み導電層よりも前記半導体チップ側の第１部分と、前記第１部分上に形成され、前記埋め込み導電層を被覆する第２部分とを含み、
前記第１導電層の前記コンタクト部は、前記埋め込み導電層に向かって前記第１部分上の領域に選択的に突出した突出部をさらに含む、請求項３または４に記載の半導体装置。
【請求項６】
前記層間絶縁層は、前記埋め込み導電層よりも前記半導体チップ側の第１部分と、前記第１部分上に形成され、前記埋め込み導電層を被覆する第２部分とを含み、
前記コンタクト部は、バリア層および前記バリア層を介して前記層間絶縁層の前記第１部分に埋め込まれたコンタクトプラグにより形成された第１埋め込み部と、前記層間絶縁層の前記第２部分に埋め込まれ、前記コンタクトプラグとは異なる導電材料により形成された第２埋め込み部とを含む、請求項２～４のいずれか一項に記載の半導体装置。
【請求項７】
前記層間絶縁層は、前記埋め込み導電層よりも前記半導体チップ側の第１部分と、前記第１部分上に形成され、前記埋め込み導電層を被覆する第２部分とを含み、
前記コンタクト部は、前記層間絶縁層の前記第１部分および前記第２部分に一体的に埋め込まれた単一の導電材料により形成された埋め込み部と、前記第１部分と前記埋め込み部との間に形成されたバリア層とを含む埋め込みコンタクトを含む、請求項２～４のいずれか一項に記載の半導体装置。
【請求項８】
前記層間絶縁層は、前記埋め込み導電層よりも前記半導体チップ側の第１部分と、前記第１部分上に形成され、前記埋め込み導電層を被覆する第２部分とを含み、
前記コンタクト部は、前記層間絶縁層の前記第１部分および前記第２部分に一体的に埋め込まれた単一の導電材料により形成され、前記耐圧保持構造に直接的に接続された埋め込みコンタクトを含む、請求項２～４のいずれか一項に記載の半導体装置。
【請求項９】
前記層間絶縁層の前記素子形成領域における厚さは、前記層間絶縁層の前記周囲領域における厚さよりも薄い、請求項１～４のいずれか一項に記載の半導体装置。
【請求項１０】
前記層間絶縁層の表面には、前記素子形成領域と前記周囲領域との境界部において段差が形成されている、請求項１～４のいずれか一項に記載の半導体装置。
【請求項１１】
前記素子形成領域において前記保護層から露出し、前記素子構造に接続された第１出力電極を含み、
前記半導体チップの前記第１主面から前記第１導電層の表面までの高さは、前記半導体

チップの前記第１主面から前記第１出力電極までの高さよりも高い、請求項１～４のいずれか一項に記載の半導体装置。
【請求項１２】
前記複数の第１導電層および前記第２導電層は共に、前記層間絶縁層上に形成されており、
前記第２導電層は、前記層間絶縁層の表面において前記複数の第１導電層間のスペースに設けられている、請求項１に記載の半導体装置。
【請求項１３】
前記半導体チップの前記第１主面において、複数の前記耐圧保持構造に挟まれた領域に形成されたＬＯＣＯＳ（Local oxidation of silicon）酸化膜をさらに含み、
前記第１導電層は前記耐圧保持構造の直上位置に設けられ、
前記第２導電層は前記ＬＯＣＯＳ酸化膜の直上位置に設けられている、請求項１２に記載の半導体装置。
【請求項１４】
前記複数の第１導電層間のスペースは平面視ライン状に形成されており、
前記第２導電層は、前記ライン状の前記スペースに沿って延びる平面視ライン状に形成されている、請求項１～４のいずれか一項に記載の半導体装置。
【請求項１５】
前記周囲領域は、前記素子形成領域を取り囲み、前記半導体チップの周端部に形成された外側領域を含む、請求項１～４のいずれか一項に記載の半導体装置。
【請求項１６】
前記半導体チップは、前記第１主面側に形成された第１導電型の第１不純物領域を含み、
前記耐圧保持構造は、前記第１不純物領域に第２導電型不純物を導入することによって形成された第２不純物領域を含む、請求項１～４のいずれか一項に記載の半導体装置。
【請求項１７】
前記耐圧保持構造は、前記素子形成領域を取り囲むＦＬＲ（Field Limiting Ring）構造およびリサーフ（RESURF：Reduced Surface Field）層の少なくとも一方を含む、請求項１６に記載の半導体装置。
【請求項１８】
前記素子構造は、ＩＧＢＴ（Insulated Gate Bipolar Transistor）構造、ダイオード構造およびＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）構造の少なくとも１つを含む、請求項１～４のいずれか一項に記載の半導体装置。
【請求項１９】
前記保護層は、ポリイミド樹脂またはＰＢＯ（Polybenzoxazole）樹脂により形成されている、請求項１～４のいずれか一項に記載の半導体装置。
【請求項２０】
前記半導体チップを封止する封止樹脂を含むディスクリート半導体である、請求項１～４のいずれか一項に記載の半導体装置。
【請求項２１】
樹脂製の筐体と、
前記筐体に設置され、請求項１～４のいずれか一項に記載の半導体装置を少なくとも１つ含む複数の半導体装置とを含む、半導体モジュール。