



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년05월24일
(11) 등록번호 10-1982209
(24) 등록일자 2019년05월20일

(51) 국제특허분류(Int. Cl.)

H03M 3/00 (2006.01)

(52) CPC특허분류

H03M 3/344 (2013.01)

H03M 3/39 (2013.01)

(21) 출원번호 10-2018-0068451

(22) 출원일자 2018년06월14일

심사청구일자 2018년06월14일

(56) 선행기술조사문헌

US20170288693 A1*

KR100276790 B1

JP2010526496 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울특별시 강남구 선릉로 221, 401동 1003호

임채강

인천광역시 남동구 선수촌로 75, 106동 702호

(74) 대리인

심경식, 홍성욱

전체 청구항 수 : 총 5 항

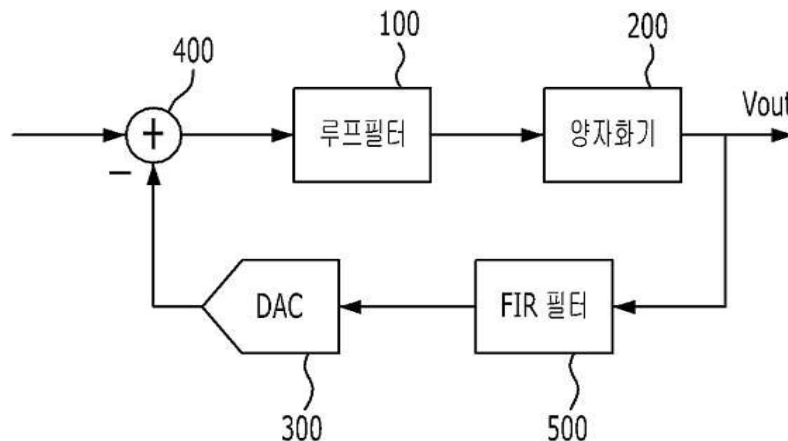
심사관 : 조준근

(54) 발명의 명칭 연속 시간 델타-시그마 변조기

(57) 요약

본 발명은 연속 시간 델타-시그마 변조기에 관한 것으로, 본 발명의 일 실시예에 따른 연속 시간 델타-시그마 변조기는, 입력 신호 및 피드백 신호의 차이를 적분하는 루프 필터(loop filter), 상기 루프 필터로부터 출력된 신호를 양자화하여 디지털 신호로 변환하는 양자화기, 상기 양자화기로부터 출력된 디지털 신호를 FIR 필터링 처리하는 FIR 필터(Finite Impulse Response Filter), 상기 FIR 필터로부터 출력된 신호를 아날로그 신호로 변환하고, 상기 변환된 아날로그 신호를 피드백 신호로 출력하는 디지털-아날로그 변환기를 포함한다.

대표도 - 도4



(52) CPC특허분류

H03M 2201/646 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711060727

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 개인기초연구(미래부)

연구과제명 해상도, 전압 및 동작 속도 조절 가능한 자동차 센서용 아날로그 IP 연구

기 여 율 1/1

주관기관 고려대학교

연구기간 2017.12.01 ~ 2018.09.30

명세서

청구범위

청구항 1

입력 신호 및 피드백 신호의 차이를 적분하는 루프 필터(loop filter);

상기 루프 필터로부터 출력된 신호를 양자화하여 디지털 신호로 변환하는 양자화기;

상기 양자화기로부터 출력된 디지털 신호를 FIR 필터링 처리하는 FIR 필터(Finite Impulse Response Filter); 및

상기 FIR 필터로부터 출력된 신호를 아날로그 신호로 변환하고, 상기 변환된 아날로그 신호를 피드백 신호로 출력하는 디지털-아날로그 변환기를 포함하되,

상기 루프 필터는,

적어도 하나 이상의 Gm-C 적분기로 구현되고,

상기 Gm-C 적분기는, 플러스 입력단자 및 마이너스 입력단자로 입력되는 입력전압의 차에 따라 플러스 출력단자 및 마이너스 출력단자를 통해 차동 출력전류를 생성하는 트랜스컨덕터; 및

상기 차동 출력전류를 입력받아 전하를 충전하여 적분전압을 생성하는 제1 및 제2 커패시터를 포함하는 것을 특징으로 하는 연속 시간 델타-시그마 변조기.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 트랜스컨덕터의 전단 또는 후단에 위치하며, 상기 Gm-C 적분기의 저주파 잡음을 제거하는 초퍼(chopper) 회로를 더 포함하는 연속 시간 델타-시그마 변조기.

청구항 4

제3항에 있어서,

상기 초퍼 회로는,

에일리어싱 에러 주파수 성분을 상기 FIR 필터의 노치(notch) 주파수로 설정하는 것을 특징으로 하는 연속 시간 델타-시그마 변조기.

청구항 5

제1 항에 있어서,

상기 변조기 입력 신호와 상기 피드백 신호의 차를 합산하여 상기 루프 필터로 출력하는 가산기를 더 포함하는 연속 시간 델타-시그마 변조기.

청구항 6

2개의 차동 입력단(Vinp, Vinn)으로 입력되는 입력전압의 차를 전류로 변환하여 출력하는 트랜스컨덕터(Gm);

상기 트랜스컨덕터에서 출력되는 전류에 의해 전하를 축적하는 제1 및 제2 커패시터(C); 및

상기 트랜스컨덕터의 전단 또는 후단에 위치하며, 저주파 잡음을 제거하는 초퍼(chopper) 회로

를 포함하는 루프 회로.

발명의 설명

기술 분야

[0001] 본 발명은 연속 시간 델타-시그마 변조기에 관한 것이다.

배경 기술

- [0002] 델타-시그마 변조기(Delta-Sigma Modulator)는 이산시간 방식 또는 연속시간 방식으로 구현될 수 있다. 이산시간 방식에 따른 델타-시그마 변조기는 스위치드 커패시터 기법에 기반하여, 입력 신호를 전하의 형태로 커패시터에 저장 및 전달하는 방식이다. 이산시간 델타-시그마 변조기가 입력 신호에 대해 샘플링 과정에 따라 동작하는 반면, 연속시간 방식에 따른 델타-시그마 변조기는 입력 신호에 대해 샘플링 과정 없이 동작할 수 있다.
- [0003] 연속시간 방식은 이산시간 방식과 비교하여, 적분기에 사용되는 증폭기의 설계 요구 조건이 낮아 델타-시그마 변조기의 저전력 및 고속 동작이 가능하다. 연속시간 델타-시그마 변조기는 적분기가 샘플링 동작을 수행하지 않음으로써, 안티-앨리어싱(Anti-Aliasing) 필터의 효과를 가질 수 있다.
- [0004] 연속시간 델타-시그마 변조기는 높은 신호대 잡음비(Signal to noise ratio, 이하: SNR)의 특성에 따라, 3GPP(3rd Generation Partnership Project), LTE(Long Term Evolution), 및 WiMAX(Worldwide Interoperability for Microwave Access) 등과 같은 무선 통신 시스템에 다양하게 사용될 수 있다.
- [0005] 종래의 연속 시간 델타 시그마 변조기 (CTDSM, Continuous-Time Delta-Sigma Modulator)의 front-end 단은 도 1과 같이 구현될 수 있다. 종래의 연속 시간 델타 시그마 변조기의 루프 필터를 구현하기 위해서는 적분기가 필요하다. Gm-C 적분기를 이용한 루프 필터는 개방 루프(open-loop)의 특성으로 증폭기의 입력 노드가 가상 접지로 잡히지 않아서 넓은 입력 전압 범위와 좋은 선형성을 얻기 힘들다. 또한, Gm-C 적분기를 사용하면, 변조기의 입력 전압과 디지털-아날로그 변환기의 출력을 적분기의 출력 단에서 차감한다. 이는 곧 연속 시간 델타-시그마 변조기의 입력 범위와 선형성을 제한하게 된다. 다시 말하면, Gm-C 적분기를 루프 필터에 사용하면, 변조기의 입력 범위가 적분기의 입력 범위와 같아져 변조기의 입력 범위가 적분기의 입력에 제한되고, 변조기의 선형성이 적분기의 선형성에 제한된다. 예를 들어, 적분기의 입력 범위가 0.3Vpp이고 선형성이 50dB라면, 변조기의 입력 범위는 0.3Vpp 이상 커질 수 없고, 변조기의 선형성도 50dB 이상 얻을 수 없다.
- [0006] 이에, 적분기의 선형성이 전체 변조기의 선형성을 제한하지 않고, 적분기의 입력 범위가 전체 변조기의 입력 범위를 제한하지 않은 연속 시간 델타 시그마 변조기에 대한 기술 개발이 요구되고 있다.
- [0007] 관련된 선행기술문헌으로서 아래 특허문헌 1이 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 한국공개특허공보 제 10-2015-0084267호 (2015.07.22)

발명의 내용

해결하려는 과제

- [0009] 본 발명이 해결하고자 하는 기술적 과제는 적분기의 선형성 문제가 전체 변조기의 선형성을 제한하지 않고, 적분기의 입력 범위가 전체 변조기의 입력 범위를 제한하지 않도록 하는 연속 시간 델타-시그마 변조기를 제공하는데 있다.
- [0010] 본 발명이 해결하고자 하는 다른 기술적 과제는 초퍼(chopper) 회로에서 생기는 기생 커패시터에 의한 에일리어

싱 에러를 제거할 수 있는 연속 시간 델타-시그마 변조기를 제공하는데 있다.

[0011] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0012] 본 발명의 일 실시예에 따른 연속 시간 델타-시그마 변조기는, 입력 신호 및 피드백 신호의 차이를 적분하는 루프 필터(loop filter), 상기 루프 필터로부터 출력된 신호를 양자화하여 디지털 신호로 변환하는 양자화기, 상기 양자화기로부터 출력된 디지털 신호를 FIR 필터링 처리하는 FIR 필터(Finite Impulse Response Filter), 상기 FIR 필터로부터 출력된 신호를 아날로그 신호로 변환하고, 상기 변환된 아날로그 신호를 피드백 신호로 출력하는 디지털-아날로그 변환기를 포함한다.

[0013] 바람직하게는, 상기 루프 필터는 적어도 하나 이상의 Gm-C 적분기로 구현되고, 상기 Gm-C 적분기는, 플러스 입력단자 및 마이너스 입력단자로 입력되는 입력전압의 차에 따라 플러스 출력단자 및 마이너스 출력단자를 통해 차동 출력전류를 생성하는 트랜스컨덕터, 상기 차동 출력전류를 입력받아 전하를 충전하여 적분전압을 생성하는 제1 및 제2 커패시터를 포함할 수 있다.

[0014] 바람직하게는, 상기 트랜스컨덕터의 전단 또는 후단에 위치하며, 상기 Gm-C 적분기의 저주파 잡음을 제거하는 초퍼(chopper) 회로를 더 포함할 수 있다.

[0015] 바람직하게는, 상기 초퍼 회로는, 에일리어싱 에러 주파수 성분을 상기 FIR 필터의 노치(notch) 주파수로 설정할 수 있다.

[0016] 바람직하게는 상기 연속시간 델타-시그마 변조기는 상기 변조기 입력 신호와 상기 피드백 신호의 차를 합산하여 상기 루프 필터로 출력하는 가산기를 더 포함할 수 있다.

[0017] 본 발명의 다른 실시예에 따른 루프 필터는 2개의 차동 입력단(Vinp, Vinn)으로 입력되는 입력전압의 차를 전류로 변환하여 출력하는 트랜스컨덕터(Gm), 상기 트랜스컨덕터에서 출력되는 전류에 의해 전하를 축적하는 제1 및 제2 커패시터(C), 상기 트랜스컨덕터의 전단 또는 후단에 위치하며, 저주파 잡음을 제거하는 초퍼(chopper) 회로를 포함한다.

발명의 효과

[0018] 본 발명에 따른 연속시간 델타-시그마 변조기는 변조기의 입력 신호와 디지털-아날로그 변환기 피드백 신호를 차감하여 적분기에 인가함으로써, 적분기의 입력 범위가 전체 변조기의 입력 범위를 제한하지 않고, 적분기의 선형성이 전체 변조기의 선형성을 제한하지 않는 효과가 있다.

[0019] 또한, 본 발명에 따르면, FIR 필터를 사용함으로써, 변조기의 입력 범위를 증가시킬 수 있고, 초퍼(chopper) 회로에서 생기는 기생 커패시터에 의한 에일리어싱 에러를 제거할 수 있다.

[0020] 본 발명의 효과들은 이상에서 언급한 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0021] 도 1은 종래의 연속 시간 델타-시그마 변조기의 front-end 단을 설명하기 위한 도면이다.

도 2는 본 발명의 일 실시예에 따른 연속 시간 델타-시그마 변조기를 설명하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 연속 시간 델타 시그마 변조기의 front-end 단을 설명하기 위한 도면이다.

도 4는 본 발명의 다른 실시예에 따른 연속 시간 델타 시그마 변조기를 나타낸 도면이다.

도 5은 본 발명의 다른 실시예에 따른 연속 시간 델타 시그마 변조기의 front-end 단을 설명하기 위한 도면이다.

도 6은 본 발명의 다른 실시예에 따른 15탭 FIR 디지털-아날로그 변환기의 예시이다.

도 7은 본 발명의 또 다른 실시예에 따른 연속 시간 델타-시그마 변조기의 front-end 단을 설명하기 위한 도면이다.

도 8은 종래 연속 시간 델타-시그마 변조기와 본 발명의 일 실시예에 따른 연속 시간 델타-시그마 변조기의 적분기 선형성을 비교한 그래프이다.

도 9는 종래 연속 시간 델타-시그마 변조기와 본 발명의 일 실시예에 따른 연속 시간 델타-시그마 변조기의 출력 스펙트럼을 비교한 그래프이다.

도 10은 본 발명의 다른 실시예에 따른 FIR 필터가 구비된 연속 시간 델타-시그마 변조기의 효과를 설명하기 위한 도면이다.

도 11은 본 발명의 또 다른 실시예에 따른 초과 회로가 추가된 경우의 디지털-아날로그 변환기의 출력 스펙트럼을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시 예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예들에 한정되지 않는다.
- [0023] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다. 따라서 앞서 설명한 참조 부호는 다른 도면에 서도 사용할 수 있다.
- [0024] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 과장되게 나타낼 수 있다.
- [0025] 도 2는 본 발명의 일 실시예에 따른 연속 시간 델타-시그마 변조기를 설명하기 위한 도면, 도 3은 본 발명의 일 실시예에 따른 연속 시간 델타 시그마 변조기의 front-end 단을 설명하기 위한 도면이다.
- [0026] 도 2를 참조하면 본 발명의 일 실시예에 따른 연속 시간 델타-시그마 변조기는 루프 필터(100), 양자화기(200), 디지털-아날로그 변환기(DAC, Digital to Analog Converter)(300)를 포함한다.
- [0027] 루프 필터(loop filter)(100)는 변조기 입력 신호($U(z)$) 및 디지털-아날로그 변환기로부터 출력된 피드백 신호(아날로그 신호)($V(z)$)의 차이를 적분한다. 이때, 변조기 입력 신호($U(z)$)와 피드백된 아날로그 신호의 차의 합산은 가산기(400)를 통해 수행될 수도 있다. 즉, 변조기 입력 신호와 피드백 신호(아날로그 신호)는 가산기(400)에 입력되고, 가산기(400)는 두 신호의 차의 합을 루프필터(100)에 입력한다.
- [0028] 루프 필터(100)는 도 3에 도시된 바와 같이 적어도 하나의 적분기(110)를 포함할 수 있고, 적분 연산을 수행한다. 루프 필터(100)는 예컨대, 1차, 2차, 3차 등 다차 적분기로 구성이 가능하다. 이때, 적분기(110)는 예컨대, Gm-C 적분기일 수 있고, Gm-C 적분기(110)는 트랜스컨덕터(Gm)(112)와 커패시터(114)로 구현될 수 있다. 즉, 적분기(110)는 2개의 차동 입력단(V_{inP} , V_{inN})으로 입력되는 입력전압의 차를 전류로 변환하여 출력하는 트랜스컨덕터(Gm)(112), 트랜스컨덕터(112)에서 출력되는 전류에 의해 전하를 축적하는 제1 커패시터($C1$)(114a) 및 제2 커패시터($C2$)(114b)를 포함한다. 구체적으로, 트랜스컨덕터(112)는 플러스 입력단자 및 마이너스 입력단자로 입력되는 입력전압의 차에 따라 플러스 출력단자 및 마이너스 출력단자를 통해 차동 출력전류를 생성한다. 즉, 트랜스컨덕터(112)는 입력으로 전압을 받고 출력으로 전류를 내보낸다. 제1 커패시터($C1$)(114a) 및 제2 커패시터($C2$)(114b)는 트랜스컨덕터(112)로부터 차동 출력전류를 입력받아 전하를 충전하여 적분전압을 생성한다.
- [0029] 상술한 바와 같이, Gm-C 적분기(110)는 가상 접지를 이용하지 않고 적분기(110)의 전단에서 입력 신호와 디지털-아날로그 변환기(300)의 출력(피드백 신호)을 차감한다. 이때, 차감하는 방식은 디지털-아날로그 변환기(300)를 저항 타입 또는 전류 타입으로 구현하여 수행할 수 있다. 입력 저항과 디지털-아날로그 변환기(300)의 출력 전압차를 이용하여 연산을 하고, 이는 곧 트랜스컨덕터 입력 전압(V_x)이 된다.
- [0030] 양자화기(200)는 루프 필터(100)로부터 출력된 신호를 양자화하여 디지털 신호로 변환한다. 즉, 양자화기(200)

는 루프 필터(100)의 출력을 받아 기준신호와 비교하여 로우(low)와 하이(high)로 양자화된 디지털 신호를 출력할 수 있다. 예컨대, 양자화기(200)는 루프 필터(100)의 출력을 입력받아 기준신호와 비교하여 디지털 출력하는 비교기로 이루어질 수 있다. 예시적으로, 양자화기(200)는 1-비트, 2비트, 멀티비트 등의 양자화기일 수 있다.

[0031] 또한, 양자화기(200)는 입력되는 신호를 아날로그-디지털 변환하여 양자화 잡음 신호(E)를 포함하는 양자화 신호를 출력할 수 있다.

[0032] DAC(300)는 양자화기(200)로부터 출력된 신호를 아날로그 형태로 변환하고, 그 변환된 아날로그 신호를 피드백 신호로 출력한다. 즉, DAC(300)는 디지털 신호(Vout)를 수신하며, 외부의 클럭 신호에 응답하여 수신된 디지털 신호(Vout)를 아날로그 신호로서 변환한다. 그런 후, DAC(300)는 변환된 아날로그 신호를 피드백 신호로 가산기(400)로 전달한다.

[0033] 이러한 구조의 연속 시간 델타-시그마 변조기는 가산기(400)를 통해, 입력 신호에서 DAC(300)로부터 출력된 피드백 신호를 빼주는 네거티브 피드백 구조일 수 있다.

[0034] 상기와 같은 구조의 연속 시간 델타-시그마 변조기는 변조기 입력 신호와 DAC(300)의 피드백 신호를 적분기(110)의 앞단에서 차감한다. 다시 말해, 변조기의 입력 신호와 DAC(300)에서 출력된 피드백 신호의 차이가 첫 번째 적분기(110)의 입력으로 들어간다. 따라서 연속 시간 델타-시그마 변조기의 입력 범위는 적분기(110)의 입력 범위에 직접 제한되지 않으며, 연속 시간 델타-시그마 변조기는 더 넓은 입력 범위를 가질 수 있다.

[0035] 본 발명에 따른 적분기(110)의 입력 노드를 전달 함수 식으로 표현하면, 아래 수학적 식 1과 같다.

[0036] [수학적 식 1]

$$U(z) - V(z) = -E(z)NTF(z) + U(z)(1 - STF(z))$$

[0037]

[0038] 여기서, U(z)는 변조기의 입력 전압, V(z)는 DAC로부터 출력된 피드백 전압, E(z)는 양자화기에서 발생하는 잡음, NTF(z)는 잡음 전달 함수(Noise Transfer Function, NTF), STF(z)는 신호 전달 함수(Signal Transfer Function, STF)를 의미한다.

[0039] 수학적 식 1을 통해 트랜스컨덕터(Gm)(적분기)에서 처리해야 할 신호의 크기가 U(z)에서 U(z)-V(z)로 줄어듦을 알 수 있다.

[0040] Inband에서 STF(z)는 '1'이므로, 수학적 식 1에서 STF(z)에 '1'을 적용하면, 적분기 입력 노드의 전달 함수 식은 아래 수학적 식 2와 같이 표현할 수 있다.

[0041] [수학적 식 2]

$$U(z) - V(z) \approx -E(z)NTF(z)$$

[0042]

[0043] 수학적 식 2를 참조하면, 성형된 양자화 잡음 E(z)NTF(z) 만이 적분기(110)의 입력으로 인가됨을 알 수 있다. 이를 통해, 변조기의 선형성이 적분기의 선형성에 제한되지 않고, 변조기의 입력 범위가 적분기의 입력 범위에 제한되지 않음을 알 수 있다.

[0044] 따라서, 본 발명의 일 실시예에 따른 델타-시그마 변조기는 변조기의 입력 신호와 DAC(300)에서 출력된 피드백 신호가 차감되어 적분기(110)로 인가되므로, 변조기의 선형성이 첫 번째 적분기의 선형성에 제한받지 않는다.

[0045] 도 4는 본 발명의 다른 실시예에 따른 연속 시간 델타 시그마 변조기를 나타낸 도면, 도 5은 본 발명의 다른 실시예에 따른 연속 시간 델타 시그마 변조기의 front-end 단을 설명하기 위한 도면, 도 6은 본 발명의 다른 실시예에 따른 15탭 FIR 디지털-아날로그 변환기의 예시이다.

[0046] 도 4 및 도 5를 참조하면, 본 발명의 다른 실시예에 따른 연속 시간 델타-시그마 변조기는 가산기(400), 루프 필터(100), 양자화기(200), FIR 필터(Finite Impulse Response Filter)(500), DAC(300)를 포함한다.

[0047] 가산기(400), 루프 필터(100), 양자화기(200)는 도 2에 도시된 가산기(400), 루프 필터(100), 양자화기(200)와 동일한 동작을 하므로, 상세한 설명은 생략하기로 한다.

[0048] FIR 필터(500)는 양자화기(200)로부터 출력된 디지털 신호를 FIR 필터링 처리한다.

[0049] DAC(300)는 FIR 필터(500)로부터 출력된 신호를 아날로그로 변환하고, 그 변환된 아날로그 신호를 피드백 신호로 출력한다. 즉, DAC(300)는 FIR 필터(500)로부터 FIR 필터링된 디지털 신호를 수신하며, 외부의 클럭 신호에 응답하여 수신된 디지털 신호를 아날로그 신호로서 변환한다. 그런 후, DAC(300)는 변환된 아날로그 신호를 피드백 신호로 가산기(400)로 전달한다. 이때, 피드백 신호는 수학식 3과 같을 수 있다.

[0050] [수학식 3]

$$V(z) = E(z)NTF(z) + U(z)STF(z)$$

[0052] 수학식 3과 같은 피드백 신호는 양자화 잡음이 high-pass shaped 된 신호($E(z)NTF(z)$)와 입력 신호 성분($U(z)STF(z)$)으로 구성된다. 이러한 피드백 신호에 의한 첫번째 적분기의 입력 노드를 전달 함수 식으로 표현하면, 아래 수학식 4와 같다.

[0053] [수학식 4]

$$U(z) - V(z)F(z) = -E(z)NTF(z)F(z) + U(z)(1 - STF(z))$$

[0054]

[0055] 여기서, $F(z)$ 는 FIR 필터의 전달 함수일 수 있다.

[0056] Inband에서 $STF(z)$ 는 '1'이므로, 수학식 4에서 $STF(z)$ 에 '1'을 적용하면, 적분기 입력 노드의 전달 함수 식은 아래 수학식 5와 같이 표현할 수 있다.

[0057] [수학식 5]

$$U(z) - V(z)F(z) \approx -E(z)NTF(z)F(z)$$

[0058]

[0059] 수학식 5를 통해 성형된 양자화 잡음 $E(z)NTF(z)$ 성분이 FIR 필터($F(z)$)를 거친후 적분기의 입력으로 인가됨을 알 수 있다.

[0060] 본 발명에 따른 델타-시그마 변조기는 도 8에 도시된 바와 같이 High-pass shaped 된 성분이 FIR 필터를 거쳐 다시 low-pass filtering 되는 것을 확인할 수 있다. 이에 따라, FIR 필터의 유무에 따라 입력 신호의 범위가 어떻게 변하는지 계산 해 볼 수 있다. 두개의 델타 시그마 변조기를 가정하여, 하나는 FIR 필터가 포함되지 않은 델타 시그마 변조기, 하나는 FIR 필터가 포함된 델타 시그마 변조기라고 하자. 각 델타 시그마 변조기의 첫번째 적분기의 입력 신호 크기를 동일하게 한다면, 아래 수학식 6과 같은 관계가 성립될 수 있다.

[0061] [수학식 6]

$$\begin{aligned} U_2(z) - V(z)F(z) &= U_1(z) - V(z) \\ U_2(z) - U_1(z) &= [F(z) - 1]V(z) \end{aligned}$$

[0062]

[0063] 여기서, $U_1(z)$ 는 FIR 필터가 포함되지 않은 델타 시그마 변조기 적분기의 입력 전압, $U_2(z)$ 는 FIR 필터가 적용된 델타 시그마 변조기의 적분기 입력 전압을 의미한다. $U_2(z) - V(z)F(z)$ 는 FIR DAC이 적용된 연속시간 델타 시그마 변조기 적분기 입력 노드 신호, $U_1(z) - V(z)$ 는 FIR DAC이 포함되지 않은 연속시간 델타 시그마 변조기 적분기의 입력노드 신호, $U_2(z) - U_1(z) = [F(z) - 1]V(z)$ 는 FIR 필터를 적용했을 때 증가하는 변조기의 입력 범위를 의미한다.

[0064] 수학식 6을 통해 FIR DAC을 적용했을 때, 연속 시간 델타-시그마 변조기의 입력 신호 범위가 $[F(z)-1]V(z)$ 만큼 더 커진다는 것을 알 수 있다.

[0065] 한편, 본 발명의 Gm-C 적분기(110)는 가상 접지를 이용하지 않고 적분기(110)의 전단에서 입력 신호와 디지털-아날로그 변환기(300)의 출력(피드백 신호)을 차감한다. 이때, 차감하는 방식은 디지털-아날로그 변환기(300)를 도 6의 (a)와 같은 저항 타입 또는 (b)와 같은 전류 타입으로 구현하여 수행할 수 있다. 입력 저항과 디지털-아날로그 변환기(300)의 출력 전압차를 이용하여 연산을 하고, 이는 곧 트랜스컨덕터 입력 전압(V_x)이 된다.

- [0066] 도 7은 본 발명의 또 다른 실시예에 따른 연속 시간 델타-시그마 변조기의 front-end 단을 설명하기 위한 도면이다.
- [0067] 도 7은 참조하면, 본 발명의 또 다른 실시예에 따른 연속 시간 델타 시그마 변조기는 가산기, 루프 필터, 양자화기, FIR 필터, DAC를 포함하는 구성으로, 가산기, 양자화기, FIR 필터, DAC는 도 4에 도시된 구성과 동일하고, 루프필터(100)는 적분기(110)의 저주파 잡음을 제거하는 초퍼(chopper) 회로(120)를 더 포함할 수 있다.
- [0068] 초퍼 회로(120)는 트랜스컨덕터의 전단 또는 후단에 위치하며, Gm-C 적분기(110)의 저주파수 잡음을 제거한다. 이때, 초퍼 회로(120)는 에일리어싱 에러 주파수 성분을 FIR 필터(500)의 노치(notch) 주파수로 설정할 수 있다. 즉, 초퍼 회로(120)에서 발생시키는 에일리어싱 에러(aliasing error)는 전체 변조기의 SNR(Signal-to-Noise Ratio)을 감소시킬 수 있다. 따라서, 에일리어싱 에러 주파수 성분을 FIR 필터(500)의 노치(notch) 주파수에 위치시키는 방법으로, 에러 성분을 크게 줄일 수 있다.
- [0069] 예를 들어, 변조기의 샘플링 주파수를 F_s , FIR 필터(500)의 tap 수를 N , 초퍼 주파수를 F_{chop} 이라고 한 경우, FIR 필터(500)의 notch는 F_s/N , $2F_s/N$, $3F_s/N$ 등 F_s 의 주파수 성분에 각각 존재한다. 이때, $2F_{chop} = F_s/N$ 으로 주파수를 일치시킨다. FIR 필터(500)의 notch에 의해 감소된 만큼의 주파수 성분이 초퍼 회로(120)에서 에일리어싱 된다. 결과적으로 FIR 필터(500)를 이용함으로써, 초퍼 에러를 줄일 수 있게 된다.
- [0070] 이러한 초퍼 회로(120)는 트랜스컨덕터(112) 전단에 위치하는 제1 초퍼 회로(120a), 트랜스컨덕터(112) 후단에 위치하는 제2 초퍼 회로(120b)를 포함한다.
- [0071] 제1 초퍼 회로(120a)는 변조기 입력신호와 피드백 신호의 차를 입력받고, 그 차 신호를 미리 정해진 초퍼 주파수(F_{chop})로 초핑하여 변조한다. 이때, $2F_{chop} = F_s/N$ 이므로, 초퍼 주파수(F_{chop})는 샘플링 주파수(F_s)의 $1/(2N)$ 배(여기서, N 은 1 이상인 자연수이다)일 수 있다. 특정 변형들에서, 초핑 주파수는 주어진 샘플링 주파수에 대해 가장 높은 초퍼 주파수를 감안하여, 샘플링 주파수의 $1/2$ 이다.
- [0072] 제1 초퍼 회로(120a)는 변조기 입력신호와 피드백 신호의 차 신호를 초퍼 주파수를 갖는 초퍼 변조신호를 이용하여 변조하여, 원하는 기저대역 신호의 초퍼 주파수 대역으로 옮긴다. 이때, 초퍼 주파수(f_{chop})는 수신된 차 신호를 대역필터링하는 대역폭(f_{band})의 주파수보다 높게 설정되어야 한다.
- [0073] 한편, 제1 초퍼 회로(120a)에서 출력되는 신호는 초퍼 주파수(f_{chop})의 홀수 하모닉으로 스펙트럼이 쉬프트된 신호이다.
- [0074] 트랜스컨덕터(112)는 제1 초퍼 회로(120a)에서 생성되는 홀수 하모닉의 주파수 스펙트럼 중 초퍼 주파수(F_{chop})의 신호만을 필터링하여 증폭한다. 즉, 트랜스컨덕터(112)는 $1/f$ 잡음의 영향을 받지 않는 주파수대에서 초퍼 주파수(F_{chop})를 증폭함으로써, $1/f$ 잡음에 의한 감도 열화를 최소화할 수 있다.
- [0075] 제2 초퍼 회로(120b)는 트랜스컨덕터(112)에서 증폭된 신호를 다시 기저대역으로 쉬프트시키며, 이 때, $1/f$ 잡음은 초퍼 주파수대로 시프트된다. 제2 초퍼회로(120b)에서 출력되는 신호는 $1/f$ 잡음의 영향을 받지 않고 원하는 기저대역 신호가 증폭된 것이다.
- [0076] 본 발명에 따르면, 제1 초퍼 회로(120a)를 이용하여 원하는 기저대역의 신호를 초퍼 주파수대로 이동시켜 증폭한 후, 제2 초퍼회로(120b)를 이용하여 증폭된 신호를 다시 기저 대역으로 변환함으로써 $1/f$ 잡음의 영향을 받지 않고 원하는 신호만을 선택적으로 증폭할 수 있다. 따라서, $1/f$ 잡음으로 인한 장치의 감도 열화를 최소화할 수 있다.
- [0077] 도 8은 종래 연속 시간 델타-시그마 변조기와 본 발명의 일 실시예에 따른 연속 시간 델타-시그마 변조기의 적분기 선형성을 비교한 그래프, 도 9는 종래 연속 시간 델타-시그마 변조기와 본 발명의 일 실시예에 따른 연속 시간 델타-시그마 변조기의 출력 스펙트럼을 비교한 그래프이다.
- [0078] 도 8 및 도 9를 참조하면, 본 발명에 따른 연속시간 델타-시그마 변조기는 변조기의 입력 신호와 디지털-아날로그 변환기 피드백 신호를 차감하여 적분기에 인가함으로써, 적분기의 입력 범위가 전체 변조기의 입력 범위를 제한하지 않고, 적분기의 선형성이 전체 변조기의 선형성을 제한하지 않음을 확인할 수 있다.

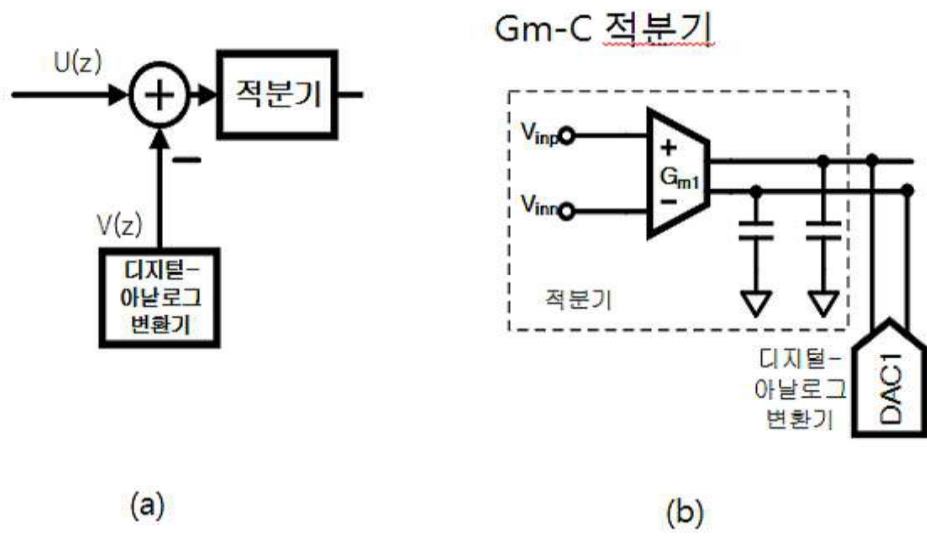
- [0079] 도 10은 본 발명의 다른 실시예에 따른 FIR 필터가 구비된 연속 시간 델타-시그마 변조기의 효과를 설명하기 위한 도면이다.
- [0080] 도 10에서 (a)는 FIR DAC을 거치기 전과 후의 스펙트럼, (b)는 15 tap FIR 필터의 notch를 도시한 예시도이다.
- [0081] 도 10을 참조하면, High-pass shaped 된 성분이 FIR filter를 거쳐 다시 low-pass filtering 되는 것을 확인할 수 있다. 또한, 수학적 6에 따르면 도 9의 청색, 적색 스펙트럼의 에너지 차이 만큼 변조기의 입력 범위가 커진다는 것을 알 수 있다.
- [0082] 도 11은 본 발명의 또 다른 실시예에 따른 초퍼 회로가 추가된 경우의 디지털-아날로그 변환기의 출력 스펙트럼을 나타낸 그래프이다.
- [0083] 도 11을 참조하면, 초퍼 회로는 적분기의 저주파수 잡음 제거를 위해 차용한다. 하지만, 초퍼 회로에서 발생시키는 에일리어싱 에러(aliasing error)는 전체 변조기의 SNR(Signal-to-Noise Ratio)을 감소시킬 수 있다. 이에, FIR 필터를 사용함으로써, 변조기의 입력 범위를 증가시킬 수 있고, 초퍼 주파수를 도 11의 notch에 위치시킴으로써, 초퍼(chopper) 회로에서 생기는 기생 커패시터에 의한 에일리어싱 에러를 제거할 수 있다는 것을 확인할 수 있다.
- [0084] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구 범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

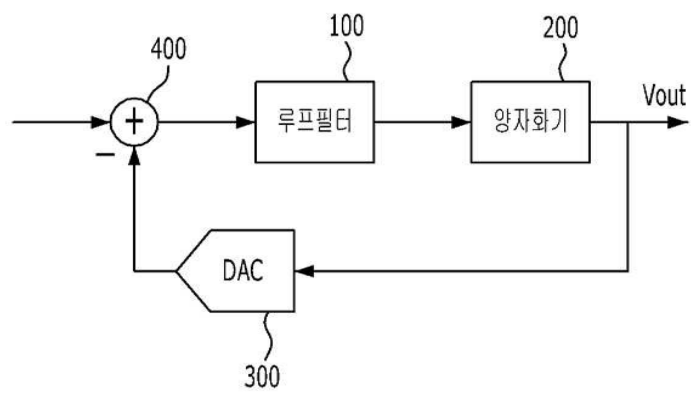
- [0085] 100 : 루프 필터
200 : 양자화기
300 : DAC
400 : 가산기
500 : FIR 필터

도면

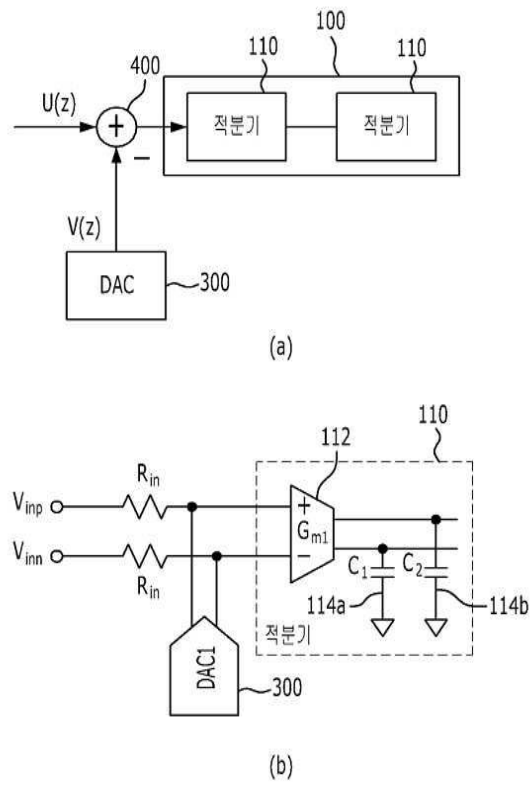
도면1



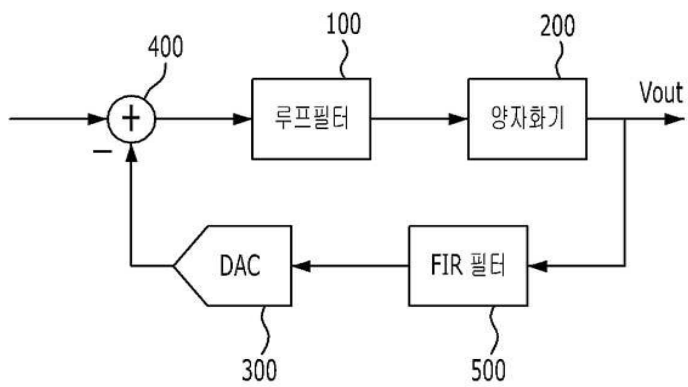
도면2



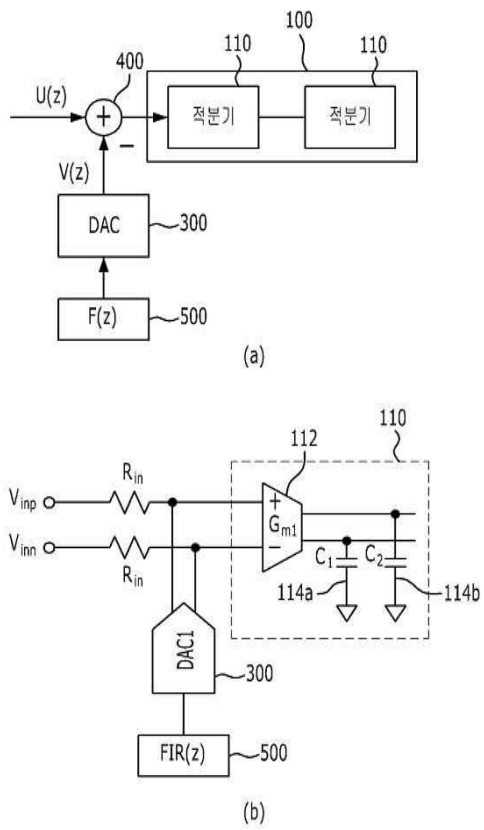
도면3



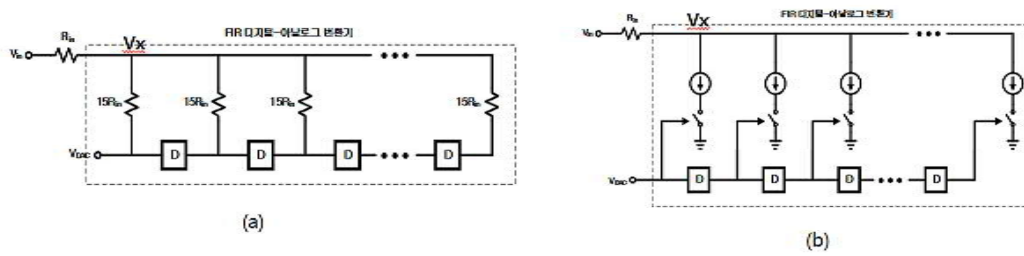
도면4



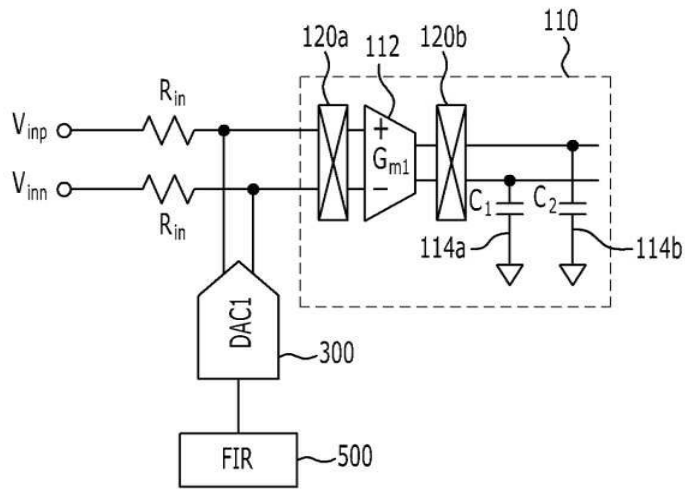
도면5



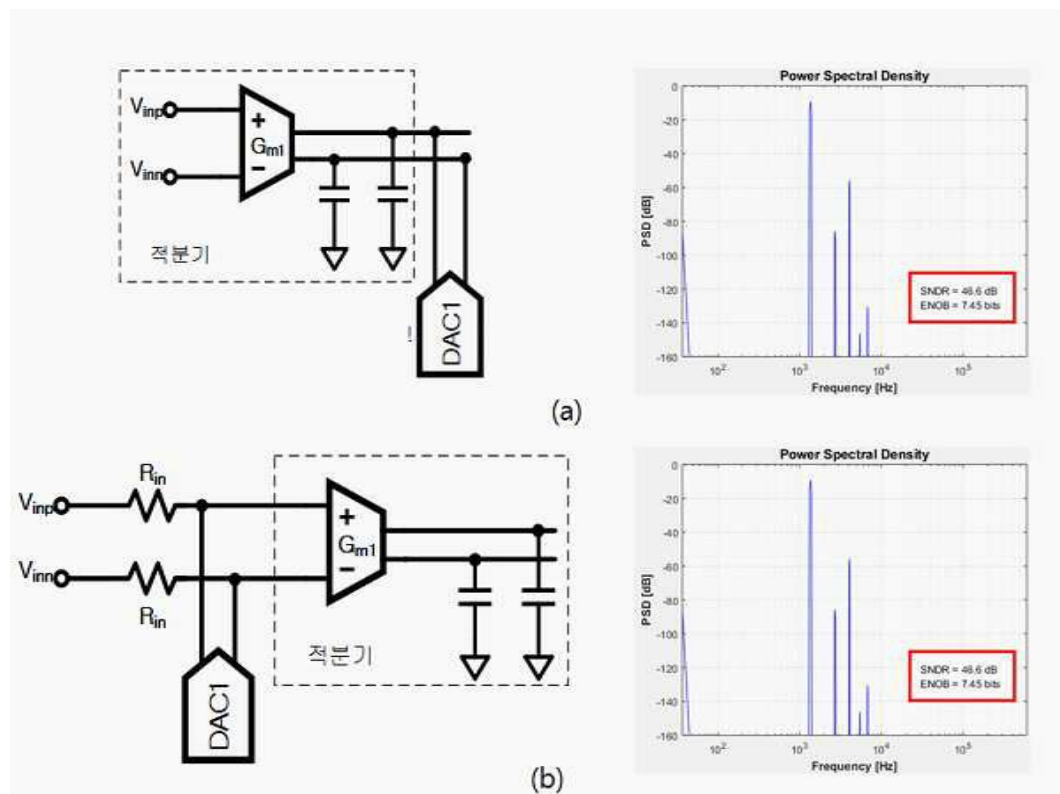
도면6



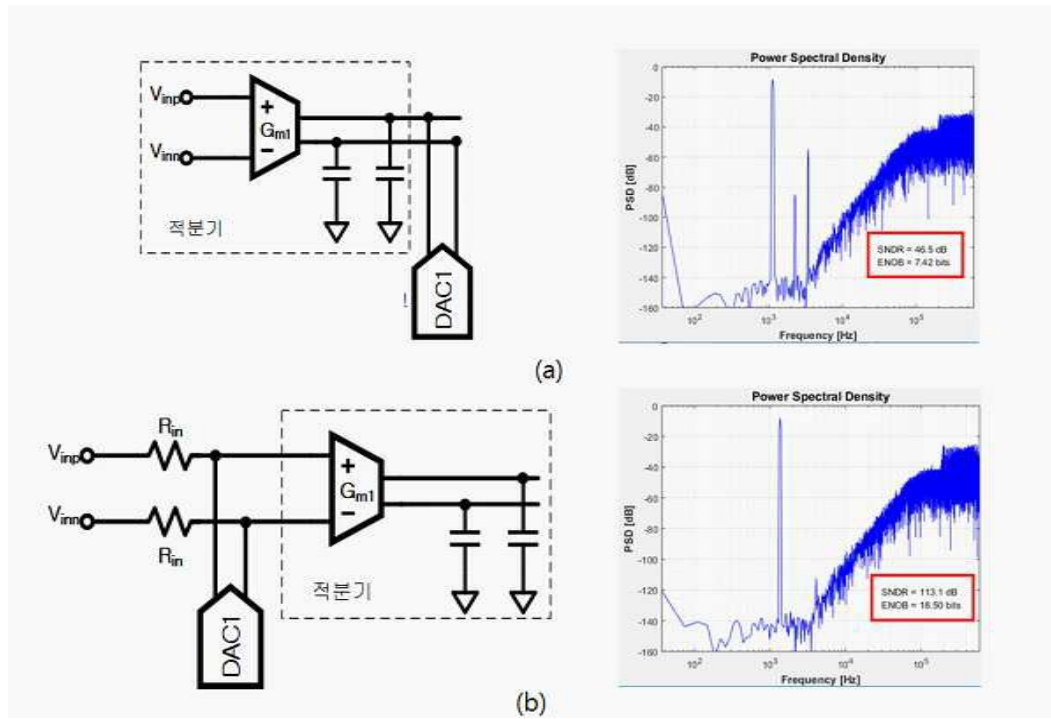
도면7



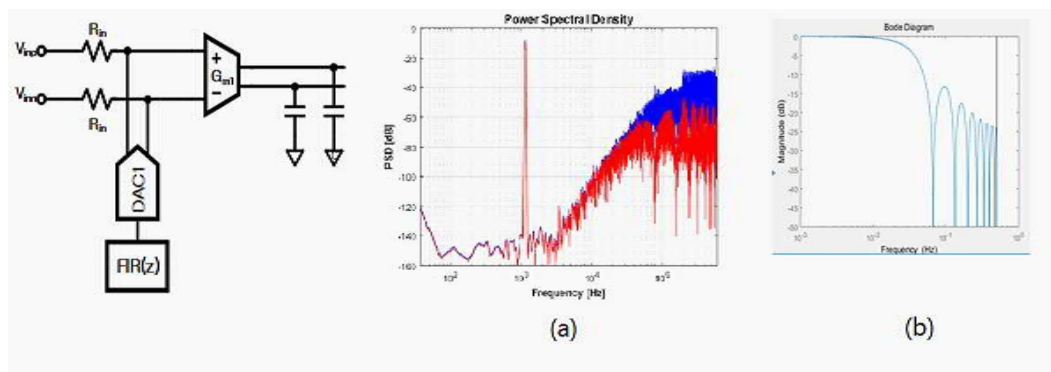
도면8



도면9



도면10



도면11

