

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 11 日(11.10.2012)



(10) 国際公開番号
WO 2012/137914 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/12* (2006.01)
- (21) 国際出願番号: PCT/JP2012/059489
- (22) 国際出願日: 2012 年 4 月 6 日(06.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-086008 2011 年 4 月 8 日(08.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 原田 祐一 (HARADA Yuichi) [JP/JP]; 〒3058569 茨城県つくば市小野川 1 6 - 1 独立行政法人産業技術総合

研究所内 Ibaraki (JP). 原田 信介(HARADA Shin-suke) [JP/JP]; 〒3058569 茨城県つくば市小野川 1 6 - 1 独立行政法人産業技術総合研究所内 Ibaraki (JP). 星 保幸(HOSHI Yasuyuki) [JP/JP]; 〒3058569 茨城県つくば市小野川 1 6 - 1 独立行政法人産業技術総合研究所内 Ibaraki (JP). 岩室 憲幸(IWAMURO Noriyuki) [JP/JP]; 〒3058569 茨城県つくば市小野川 1 6 - 1 独立行政法人産業技術総合研究所内 Ibaraki (JP).

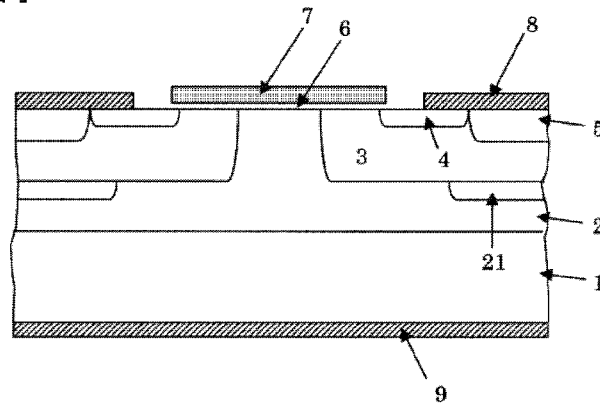
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SILICON CARBIDE VERTICAL FIELD EFFECT TRANSISTOR

(54) 発明の名称: 炭化珪素縦型電界効果トランジスタ

【図1】



(57) Abstract: The present invention addresses the problem of achieving a silicon carbide vertical field effect transistor capable of improving breakdown resistance of a gate insulating film without applying a large electric field to the gate insulating film when a high voltage is applied to a drain electrode. Disclosed is a silicon carbide vertical field effect transistor provided with a first conductive type silicon carbide substrate, a low concentration first conductive type silicon carbide layer which is formed on a surface of the first conductive type silicon carbide substrate, second conductive type regions which are selectively formed on a surface of the first conductive type silicon carbide layer, first conductive type source regions which are formed in the second conductive type regions, high concentration second conductive type regions which are formed between the first conductive type source regions in the second conductive type regions, source electrodes which are electrically connected to the high concentration second conductive type regions and the first conductive type source regions, a gate insulating film which is formed on the second conductive type regions and the first conductive type silicon carbide layer from the first conductive type source regions formed on the adjacent second conductive type regions, a gate electrode formed on the gate insulating film, and a drain electrode on a back surface side of the first conductive type silicon carbide substrate, wherein avalanche generation means are provided between the second conductive type regions and the first conductive type silicon carbide layer.

(57) 要約:

[続葉有]

WO 2012/137914 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、ドレイン電極に高電圧が印加された際に、ゲート絶縁膜に大きな電界が掛かることが無く、ゲート絶縁膜の破壊耐量を向上させることができる炭化珪素縦型電界効果トランジスタを実現することを課題とする。第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表面に選択的に形成された第2導電型領域と、該第2導電型領域内に形成された第1導電型ソース領域と、第2導電型領域内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型領域に形成された第1導電型ソース領域から第2導電型領域及び第1導電型炭化珪素層の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、第2導電型領域と第1導電型炭化珪素層との間にアバランシェ発生手段を設けたことを特徴とする炭化珪素縦型電界効果トランジスタ。

明 細 書

発明の名称：炭化珪素縦型電界効果トランジスタ

技術分野

[0001] 本発明は、炭化珪素縦型電界効果トランジスタに関するものである。

背景技術

[0002] 縦型のMOSFET（MOS電界効果トランジスタ）のような、炭化珪素縦型電界効果トランジスタ（例えば、特許文献1参照）は、炭化珪素基板上に形成したスイッチングデバイスとして、従来より半導体装置に用いられている。本明細書では炭化珪素縦型電界効果トランジスタとして炭化珪素縦型MOSFETを例示して説明するが、本発明はこれに限らないことはいうまでもないことである。

[0003] 従来の炭化珪素（以下、「SiC」と略称する。）電界効果トランジスタの1つである、NチャネルMOSFETの断面構造を図6に示す。

N型SiC基板1の表面にN型SiC層2が形成され、そのN型SiC層2の表面に複数のP型領域3が形成され、P型領域3の表面にはN型ソース領域4とP型コンタクト領域5が形成され、更にN型ソース領域4とP型コンタクト領域5との表面にソース電極8が形成されている。またN型ソース5の間のP型領域3とN型SiC層の表面にゲート絶縁膜6を介してゲート電極7が形成されている。また裏面側にはドレイン電極9が形成されている。

[0004] また、図7は表面にP型SiC層を用いて形成した他のNチャネルMOSFETの断面構造図である。N型SiC基板1の表面にN型のSiC層2が形成され、そのN型SiC層2の表面に複数のP型領域10が形成される。更に表面にP型SiC層11が形成される。更にP型領域10が形成されていないN型SiC層2上のP型SiC層11にN型領域12が形成され、更にP型炭化珪素層11の表面にはN型ソース領域4とP型コンタクト領域5形成され、更にN型ソース領域4とP型コンタクト領域5との表面にソース電

極 8 が形成されている。また N 型ソース 5 の間の P 型領域 3 と N 型炭化珪素層表面にゲート絶縁膜 6 を介してゲート電極 7 が形成されている。また裏面側にはドレイン電極 9 が形成されている。

[0005] 図 6 及び図 7 の構造の MOSFET において、ソース電極 8 に対しドレイン電極 9 に正の電圧が印可された状態でゲート電極 7 にゲート閾値以下の電圧が印可されている場合には、P 領域 3 と N 型 SiC 層 2 或いは P 型 SiC 層 11 と N 型領域 12 の間の PN 接合が逆バイアスされた状態であるため電流は流れない。

一方、ゲート電極 7 にゲート閾値以上の電圧を印可するとゲート電極 7 直下の P 型領域 3 又は P 型 SiC 層 11 の表面には反転層が形成されることにより電流が流れるため、ゲート電極 7 に印加する電圧によって MOSFET のスイッチング動作を行うことができる。

[0006] しかしながら、ドレイン電極に高電圧が印加された場合、特に MOSFET がオフする際などにはドレイン電極に高電圧が印加された状態になる。この際ゲート絶縁膜に大きな電界が掛かるとゲート絶縁膜の絶縁破壊や、ゲート絶縁膜の信頼性が著しく低下することがある。

先行技術文献

特許文献

[0007] 特許文献 1：特開平 11-121748 号公報

発明の概要

発明が解決しようとする課題

[0008] 本発明は、ドレイン電極に高電圧が印加された際に、ゲート絶縁膜に大きな電界が掛かることが無く、ゲート絶縁膜の破壊耐量を向上させることができる炭化珪素縦型電界効果トランジスタを実現することを課題とする。

課題を解決するための手段

[0009] 上記の課題は、以下の炭化珪素縦型電界効果トランジスタによって解決される。

(1) 第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表面に選択的に形成された第2導電型領域と、該第2導電型領域内に形成された第1導電型ソース領域と、第2導電型領域内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型領域に形成された第1導電型ソース領域から第2導電型領域及び第1導電型炭化珪素層の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、第2導電型領域と第1導電型炭化珪素層との間にアバランシェ発生手段を設けたことを特徴とする炭化珪素縦型電界効果トランジスタ。

(2) 第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表面に選択的に形成された第2導電型領域と、該第2導電型領域内に形成された第1導電型ソース領域と、第2導電型領域内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型領域に形成された第1導電型ソース領域から第2導電型領域及び第1導電型炭化珪素層の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、第2導電型領域下に高濃度の第2導電型領域を形成することを特徴とする炭化珪素縦型電界効果トランジスタ。

(3) 第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表面に選択的に形成された第2導電型領域と、該第1導電型炭化珪素層及び第2導電型領域の表面に形成された第2導電型炭化珪素層と、該第2導電型炭化珪素層の第1導電型炭化珪素層上に選択的に形成された第1導電型領域と、第2導

電型炭化珪素層内に形成された第1導電型ソース領域と、該第2導電型炭化珪素層内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型炭化珪素層に形成された第1導電型ソース領域から第2導電型炭化珪素層及び第1導電型領域の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、第1導電型炭化珪素層内に形成された第2導電型領域下に高濃度の第2導電型領域を形成することを特徴とする炭化珪素縦型電界効果トランジスタ。

(4) 第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表面に選択的に形成された第2導電型領域と、該第2導電型領域内に形成された第1導電型ソース領域と、第2導電型領域内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型領域に形成された第1導電型ソース領域から第2導電型領域及び第1導電型炭化珪素層の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、第2導電型領域の一部が浅く形成されていることを特徴とする炭化珪素縦型電界効果トランジスタ。

(5) 第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表面に選択的に形成された第2導電型領域と、該第1導電型炭化珪素層及び第2導電型領域の表面に形成された第2導電型炭化珪素層と、該第2導電型炭化珪素層の第1導電型炭化珪素層上に選択的に形成された第1導電型領域と、第2導電型炭化珪素層内に形成された第1導電型ソース領域と、該第2導電型炭化珪素層内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域

と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型炭化珪素層に形成された第1導電型ソース領域から第2導電型炭化珪素層及び第1導電型領域の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、第1導電型炭化珪素層に形成された第2導電型領域の一部が浅くなっていることを特徴とする炭化珪素縦型電界効果トランジスタ。

(6) 第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表面に選択的に形成された第2導電型領域と、該第1導電型炭化珪素層及び第2導電型領域の表面に形成された第2導電型炭化珪素層と、該第2導電型炭化珪素層の第1導電型炭化珪素層上に選択的に形成された第1導電型領域と、第2導電型炭化珪素層内に形成された第1導電型ソース領域と、該第2導電型炭化珪素層内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型炭化珪素層に形成された第1導電型ソース領域から第2導電型炭化珪素層及び第1導電型領域の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、該第1導電型炭化珪素層に形成された第2導電型領域が、第2導電型層に形成された第1導電型領域下にまで形成されていることを特徴とする炭化珪素縦型電界効果トランジスタ。

発明の効果

[0010] 本発明によれば、ドレイン電極に高電圧が印加された際に高濃度のP領域下や薄層に形成した領域でアバランシェを起こすようにすることで、ゲート絶縁膜に大きな電界が掛かることが無くなり、アバランシェ発生時のゲート絶縁膜の破壊耐量を向上させると共にゲート絶縁膜の信頼性を向上させることができる。

図面の簡単な説明

- [0011] [図1]本発明の実施例1におけるMOSFETの断面構造図
[図2]本発明の実施例2におけるMOSFETの断面構造図
[図3]本発明の実施例3におけるMOSFETの断面構造図
[図4]本発明の実施例4におけるMOSFETの断面構造図
[図5]本発明の実施例5におけるMOSFETの断面構造図
[図6]従来のMOSFETの断面構造図
[図7]従来の他のMOSFETの断面構造図

発明を実施するための形態

- [0012] 本発明に係る炭化珪素縦型電界効果トランジスタについて、実施例1～5を例示して詳細に説明する。

なお本発明は次の実施例1～5に限定されるものではなく、本発明の趣旨を逸脱することがなければ、種々の設計変更を行うことが可能である。

実施例 1

- [0013] 図1は、本発明の実施例1におけるMOSFET断面構造である。実施例では第1導電型をN型、第2導電型をP型としているがこれを逆に形成することも可能である。

図1では、N型SiC基板1の表面にN型SiC層2が形成され、そのN型SiC層2の表面にP型領域3が複数形成されている。

- [0014] またP型領域3の表面にはN型ソース領域4とP型コンタクト領域5が形成されている。さらにN型ソース領域4とP型コンタクト領域5との表面にソース電極8が形成されている。

また、P型領域3下には高濃度のP型領域21が形成されている。さらにP型領域3表面のN型ソース領域4と該P型領域3とは別のP型領域3表面のN型ソース領域4に挟まれたP型領域3とN型SiC層2の表面にはゲート絶縁膜6を介してゲート電極7が形成され、裏面側にドレイン電極9が形成されている。

- [0015] 実施例1の構造におけるMOSFETは、従来MOSFETと同様にゲー

ト電極にしきい電圧以上の電圧を印加しP型領域表面に反転層を形成することでオンさせることができる。

このように形成されたMOSFETにおいて、ドレイン電極に高電圧が印加された高濃度のN型SiC層2とP型領域21のPN接合部分でアバランシェを起こすようになり、これによりゲート酸化膜に大きな電界が掛かることがなくなり、ドレイン電極に高電圧印加された場合のゲート絶縁膜の絶縁破壊耐量を向上させることができると共にゲート絶縁膜の信頼性を向上させることができる。

実施例 2

[0016] 図2に本発明の実施例2におけるMOSFETの断面図を示す。

N型炭化SiC基板1の表面にN型SiC層2が形成され、そのN型SiC層2の表面にP型領域3が複数形成されている。更にその表面にはP型SiC層11が形成されている。P型SiC層11にはN型SiC層2にまで達するようにN型領域12が形成されている。

また、P型SiC層11の表面にはN型ソース領域4とP型コンタクト領域5が形成されている。さらにN型ソース領域4とP型コンタクト領域5との表面にソース電極8が形成されている。

[0017] また、P型領域3下には高濃度のP型領域21が形成されている。更にP型領域3表面のN型ソース領域4と該P型領域3とは別のP型領域3表面のN型ソース領域4に挟まれたP型領域3とN型SiC層2の表面にはゲート絶縁膜6を介してゲート電極7が形成され、裏面側にドレイン電極9が形成されている。

このように形成されたMOSFETにおいても、ドレイン電極に高電圧が印加された高濃度のN型SiC層2とP型領域21のPN接合部分でアバランシェを起こすようになり、ゲート酸化膜に大きな電界が掛かることがなくなり、ゲート絶縁膜の絶縁破壊耐量及び信頼性は実施例1と同様の特性を示す。

実施例 3

[0018] 図3に本発明の実施例3におけるMOSFETの断面図を示す。

基本的な構造は実施例1と同様であるが、実施例1と異なる点は高濃度のP型領域21を形成せずにP型領域3の一部を薄いP型領域22を形成する点である。

このように形成されたMOSFETにおいても、ドレイン電極に高電圧が印加された高濃度のN型SiC層2と薄いP型領域22のPN接合部分でアバランシェを起こすようになり、ゲート酸化膜に大きな電界が掛かることがなくなりゲート絶縁膜の絶縁破壊耐量及び信頼性は実施例1と同様の特性を示す。

実施例 4

[0019] 図4に本発明の実施例4におけるMOSFETの断面図を示す。

基本的な構造は実施例2と同様であるが、実施例2と異なる点は高濃度のP型領域21を形成せずにP型領域3の一部を薄いP型領域22を形成する点である。

このように形成されたMOSFETにおいても、ドレイン電極に高電圧が印加された高濃度のN型SiC層2と薄いP型領域22のPN接合部分でアバランシェを起こすようになり、ゲート酸化膜に大きな電界が掛かることがなくなりゲート絶縁膜の絶縁破壊耐量及び信頼性は実施例1と同様の特性を示す。

実施例 5

[0020] 図5に本発明の実施例5におけるMOSFETの断面図を示す。

基本的な構造は実施例2と同様であるが、実施例2と異なる点は、高濃度のP型領域21を形成せずにP型領域3がN型領域12の下まで張り出すように形成している点である。

このように形成されたMOSFETにおいても、ドレイン電極に高電圧が印加された高濃度のN型SiC層2とN型領域12下まで張り出した部分のP型領域3のPN接合部分でアバランシェを起こすようになり、ゲート酸化膜に大きな電界が掛かることがなくなりゲート絶縁膜の絶縁破壊耐量及び信

頼性は実施例 1 と同様の特性を示す。

符号の説明

- [0021]
- 1 N型炭化珪素基板
 - 2 N型炭化珪素層
 - 3 P型領域
 - 4 Nソース領域
 - 5 Pコンタクト領域
 - 6 ゲート絶縁膜
 - 7 ゲート電極
 - 8 ソース電極
 - 9 ドレイン電極
 - 10 P型ベース領域
 - 11 P型炭化珪素層
 - 12 N型領域
 - 21 高濃度 P 型領域
 - 22 薄層 P 型領域

請求の範囲

- [請求項1] 第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表面に選択的に形成された第2導電型領域と、該第2導電型領域内に形成された第1導電型ソース領域と、第2導電型領域内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型領域に形成された第1導電型ソース領域から第2導電型領域及び第1導電型炭化珪素層の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、第2導電型領域と第1導電型炭化珪素層との間にアバランシェ発生手段を設けたことを特徴とする炭化珪素縦型電界効果トランジスタ。
- [請求項2] 第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表面に選択的に形成された第2導電型領域と、該第2導電型領域内に形成された第1導電型ソース領域と、第2導電型領域内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型領域に形成された第1導電型ソース領域から第2導電型領域及び第1導電型炭化珪素層の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、第2導電型領域下に高濃度の第2導電型領域を形成することを特徴とする炭化珪素縦型電界効果トランジスタ。
- [請求項3] 第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表

面に選択的に形成された第2導電型領域と、該第1導電型炭化珪素層及び第2導電型領域の表面に形成された第2導電型炭化珪素層と、該第2導電型炭化珪素層の第1導電型炭化珪素層上に選択的に形成された第1導電型領域と、第2導電型炭化珪素層内に形成された第1導電型ソース領域と、該第2導電型炭化珪素層内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型炭化珪素層に形成された第1導電型ソース領域から第2導電型炭化珪素層及び第1導電型領域の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、第1導電型炭化珪素層内に形成された第2導電型領域下に高濃度の第2導電型領域を形成することを特徴とする炭化珪素縦型電界効果トランジスタ。

[請求項4] 第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表面に選択的に形成された第2導電型領域と、該第2導電型領域内に形成された第1導電型ソース領域と、第2導電型領域内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型領域に形成された第1導電型ソース領域から第2導電型領域及び第1導電型炭化珪素層の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、第2導電型領域の一部が浅く形成されていることを特徴とする炭化珪素縦型電界効果トランジスタ。

[請求項5] 第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表

面に選択的に形成された第2導電型領域と、該第1導電型炭化珪素層及び第2導電型領域の表面に形成された第2導電型炭化珪素層と、該第2導電型炭化珪素層の第1導電型炭化珪素層上に選択的に形成された第1導電型領域と、第2導電型炭化珪素層内に形成された第1導電型ソース領域と、該第2導電型炭化珪素層内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型炭化珪素層に形成された第1導電型ソース領域から第2導電型炭化珪素層及び第1導電型領域の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、第1導電型炭化珪素層に形成された第2導電型領域の一部が浅くなっていることを特徴とする炭化珪素縦型電界効果トランジスタ。

[請求項6] 第1導電型の炭化珪素基板と該第1導電型炭化珪素基板表面に形成された低濃度の第1導電型炭化珪素層と、該第1導電型炭化珪素層表面に選択的に形成された第2導電型領域と、該第1導電型炭化珪素層及び第2導電型領域の表面に形成された第2導電型炭化珪素層と、該第2導電型炭化珪素層の第1導電型炭化珪素層上に選択的に形成された第1導電型領域と、第2導電型炭化珪素層内に形成された第1導電型ソース領域と、該第2導電型炭化珪素層内の第1導電型ソース領域の間に形成された高濃度の第2導電型領域と、該高濃度の第2導電型領域及び第1導電型ソース領域に電氣的に接続するソース電極と、隣接する第2導電型炭化珪素層に形成された第1導電型ソース領域から第2導電型炭化珪素層及び第1導電型領域の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、第1導電型炭化珪素基板の裏面側にドレイン電極を備えた炭化珪素縦型電界効果トランジスタにおいて、該第1導電型炭化珪素層に形成された第2導電

型領域が、第2導電型層に形成された第1導電型領域下にまで形成されていることを特徴とする炭化珪素縦型電界効果トランジスタ。

A cross-sectional view of a multi-layered structure. The structure consists of several layers and components labeled with numbers 1 through 9. At the bottom is a thick, hatched layer labeled 9. Above it is a thin layer labeled 1. Above layer 1 is a large, white, irregularly shaped region labeled 21. Above region 21 is a thin layer labeled 2. Above layer 2 is a white, irregularly shaped region labeled 3. Above region 3 is a thin layer labeled 4. Above layer 4 is a thin layer labeled 5. Above layer 5 is a thin layer labeled 6. Above layer 6 is a thin layer labeled 7. Above layer 7 is a thin layer labeled 8. The top surface of the structure is hatched. Arrows point from the labels to the corresponding layers or regions.

A cross-sectional diagram of a multi-layered structure. The structure consists of several horizontal layers. At the bottom is a thick, hatched layer labeled 9. Above it is a layer labeled 1. Above layer 1 is a layer labeled 2. Above layer 2 is a layer labeled 4. Above layer 4 is a layer labeled 10. Above layer 10 is a layer labeled 11. Above layer 11 is a layer labeled 12. Above layer 12 is a layer labeled 5. Above layer 5 is a layer labeled 6. Above layer 6 is a layer labeled 7. Above layer 7 is a layer labeled 8. The layers are separated by interfaces, some of which are indicated by arrows. The layers are labeled with numbers 1 through 12.

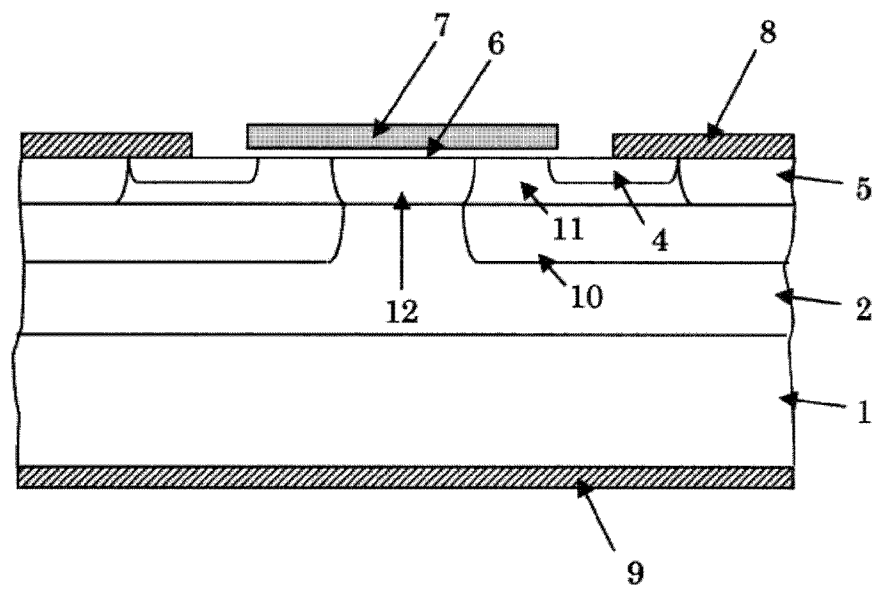
A cross-sectional diagram of a multi-layered structure. The structure consists of several layers and features. At the bottom is a thick, hatched layer labeled 9. Above this is a large, white rectangular region labeled 1. To the right of this region is a vertical boundary labeled 2. Above the white region is a thin, wavy layer labeled 22. Above this is a series of three rectangular blocks labeled 3, 4, and 5 from left to right. Above these blocks is a thin, hatched layer labeled 8. Above this is a thin, white layer labeled 6. Above the white layer is a thin, hatched layer labeled 7. The top surface of the structure is indicated by a dashed line.

A cross-sectional diagram of a multi-layered structure. The structure consists of several horizontal layers. At the bottom is a thick, hatched layer labeled 9. Above it is a thin layer labeled 1. The next layer is a thick, hatched layer labeled 2. Above this is a layer with a wavy, undulating top surface, labeled 4. This layer contains several rectangular features labeled 10 and 11. Above the wavy layer is a thin layer labeled 5. The topmost layer is a thick, hatched layer labeled 8. Within this top layer, there are two rectangular features labeled 6 and 7. A label 12 points to the wavy layer 4. A label 22 points to the thin layer 5.

A cross-sectional diagram of a multi-layered structure. The structure consists of several horizontal layers. At the bottom is a thick layer labeled 9. Above it is a layer labeled 1. Above layer 1 is a layer labeled 2. Above layer 2 is a layer labeled 4. Above layer 4 is a layer labeled 5. On top of layer 5 are three rectangular blocks: a hatched block on the left labeled 8, a central block labeled 6, and a hatched block on the right labeled 7. Below the central block 6, there is a dashed rectangular outline labeled 12. To the right of the dashed outline, there are two arrows pointing to the interface between layer 4 and layer 5, labeled 10 and 11 respectively. The entire structure is shown in a cross-section with hatched areas indicating specific materials or interfaces.

A cross-sectional view of a multi-layered structure. The structure consists of several layers and components labeled with numbers 1 through 9. At the bottom is a thick, hatched layer labeled 9. Above this is a large, white rectangular region labeled 1. Above region 1 is a thin, white layer labeled 2. Above layer 2 is a large, white rectangular region labeled 3. Above region 3 is a thin, white layer labeled 4. Above layer 4 is a thin, white layer labeled 5. Above layer 5 are three distinct components: a hatched layer on the left labeled 7, a central rectangular block labeled 6, and a hatched layer on the right labeled 8. Arrows point from each label to its corresponding component.

[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/059489

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i, H01L29/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 05-259443 A (Fuji Electric Co., Ltd.), 08 October 1993 (08.10.1993), paragraphs [0028] to [0036]; fig. 1, 2 & JP 2004-6940 A	1-6
Y	JP 2004-288890 A (Nissan Motor Co., Ltd.), 14 October 2004 (14.10.2004), paragraphs [0012] to [0031]; fig. 1 (Family: none)	1-6
Y	JP 2001-094097 A (Denso Corp.), 06 April 2001 (06.04.2001), paragraphs [0042] to [0110]; fig. 1 to 10 (Family: none)	3-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 June, 2012 (18.06.12)

Date of mailing of the international search report
26 June, 2012 (26.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/059489

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-098536 A (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY), 24 April 2008 (24.04.2008), paragraphs [0022] to [0033]; fig. 1 to 6 & US 2010/0012951 A1 & EP 2075847 A1 & WO 2008/047522 A1	3, 5, 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/059489

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Document 1: JP 05-259443 A (Fuji Electric Co., Ltd.), 08 October 1993 (08.10.1993), paragraphs [0028] to [0036]; fig. 1, 2

Document 2: JP 2004-288890 A (Nissan Motor Co., Ltd.), 14 October 2004 (14.10.2004), paragraphs [0012] to [0031]; fig. 1

(Continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

Document 1 discloses an MOSFET comprising: an n^+ -type SiC substrate (corresponding to the silicon carbide substrate of a first conduction type in claims 1 and 2; the same applies hereinafter); first and second n^- -type SiC drain layers formed on a surface of the substrate (first-conduction-type silicon carbide layer); p-type base layers selectively formed on the surface thereof (second-conduction-type regions); n-type source layers formed in the base layers; a p^+ -type well region formed between the source layers within each base layer (high-concentration regions of the second conduction type); a source electrode connected to a well region and a source layer (source electrode); a gate insulating film formed on the base layers and the SiC drain layers between the source layers (gate insulating film); a gate electrode formed on the gate insulating film (gate electrode); a drain electrode formed on the back surface of the SiC substrate (drain electrode); and p^+ -type buried layers disposed under the base layers and between each base layer and an SiC drain layer (avalanche generation means; high-concentration regions of the second condition type under the second-conduction-type regions). An MOSFET in which drain layers have been united is known as apparent from, for example, document 2. To form the SiC drain layers of document 1 as a united layer is hence the mere addition or substitution of a known technique.

Therefore, the inventions of claims 1 and 2 have no special technical feature in the light of the invention disclosed in the document 1.

Consequently, four inventions (invention groups) each having a special technical feature indicated below are involved in claims.

Meanwhile, the inventions of claims 1 and 2 having no special technical feature are classified into invention 1.

(Invention 1) the inventions of claims 1 and 2

The inventions of claims 1 and 2 have no special technical feature.

(Invention 2) the invention of claim 3

A transistor which has "a second-conduction-type silicon carbide layer formed on the surface of the first-conduction-type silicon carbide layer and second-conduction-type regions, a first-conduction-type region selectively formed in the part of the second-conduction-type silicon carbide layer which lies on the first-conduction-type silicon carbide layer, and first-conduction-type source regions formed in the second-conduction-type silicon carbide layer".

(Invention 3) the inventions of claims 4 and 5

A transistor in which "some of the second-conduction-type regions have been formed thinly".

(Invention 4) the invention of claim 6

A transistor in which "the second-conduction-type regions formed on the first-conduction-type silicon carbide layer each extend to under the first-conduction-type region formed in the second-conduction-type layer".

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/78(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 05-259443 A（富士電機株式会社）1993.10.08, 【0028】－ 【0036】及び第1, 2図 & JP 2004-6940 A	1-6
Y	JP 2004-288890 A（日産自動車株式会社）2004.10.14, 【0012】 －【0031】及び第1図（ファミリーなし）	1-6
Y	JP 2001-094097 A（株式会社デンソー）2001.04.06, 【0042】 －【0110】及び第1－10図（ファミリーなし）	3-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
18.06.2012

国際調査報告の発送日
26.06.2012

国際調査機関の名称及びあて先
日本国特許庁（I S A/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員） 境 周一	50	3654
電話番号 03-3581-1101 内線 3559		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-098536 A (独立行政法人産業総合研究所) 2008.04.24, 【0022】－【0033】及び第1－6図 & US 2010/0012951 A1 & EP 2075847 A1 & WO 2008/047522 A1	3, 5, 6

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献1：JP 05-259443 A（富士電機株式会社）1993.10.08，【0028】－【0036】及び第1，2図

文献2：JP 2004-288890 A（日産自動車株式会社）2004.10.14，【0012】－【0031】及び第1図

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付はあったが、異議申立てはなかった。

<第 III 欄の続き>

文献 1 には、 $n+$ 型の SiC 基板（請求項 1，2 における第 1 導電型の炭化珪素基板に相当。以下同様。）と、その表面に形成された n -型の第 1，第 2 の SiC ドレイン層（第 1 導電型炭化珪素層）と、その表面に選択的に形成された p 型のベース層（第 2 導電型領域）と、ベース層内に形成された n 型のソース層と、ベース層内のソース層間に形成された $p+$ 型のウェル領域（高濃度の第 2 導電型領域）と、ウェル領域及びソース層に接続されるソース電極（ソース電極）と、ソース層間にベース層及び SiC ドレイン層の上に形成されたゲート絶縁膜（ゲート絶縁膜）と、ゲート絶縁膜上に形成されたゲート電極（ゲート電極）と、SiC 基板の裏側に形成されたドレイン電極（ドレイン電極）と、ベース層の下部であってベース層と SiC ドレイン層との間に設けられた $p+$ 型の埋め込み層（アバランシェ発生手段、第 2 導電型領域下の高濃度の第 2 導電型領域）とを有する MOSFET が記載されており、例えば文献 2 に記載されているようにドレイン層を一体としたものは周知であるから、文献 1 の SiC ドレイン層についても一体とすることは周知技術の単なる付加・置換に過ぎない。

したがって、請求項 1，2 に係る発明は、文献 1 に記載された発明に対して特別な技術的特徴を有しない。したがって、請求の範囲には、以下の特別な技術的特徴を有する 4 の発明（群）が含まれる。

なお、特別な技術的特徴を有しない請求項 1，2 に係る発明は、発明 1 に区分する。

（発明 1）請求項 1，2 に係る発明

請求項 1，2 に係る発明は特別な技術的特徴を有しない。

（発明 2）請求項 3 に係る発明

「該第 1 導電型炭化珪素層及び第 2 導電型領域の表面に形成された第 2 導電型炭化珪素層と、該第 2 導電型炭化珪素層の第 1 導電型炭化珪素層上に選択的に形成された第 1 導電型領域と、第 2 導電型炭化珪素層内に形成された第 1 導電型ソース領域」を有するもの。

（発明 3）請求項 4，5 に係る発明

「第 2 導電型領域の一部が浅く形成されている」もの。

（発明 4）請求項 6 に係る発明

「該第 1 導電型炭化珪素層に形成された第 2 導電型領域が、第 2 導電型層に形成された第 1 導電型領域下にまで形成されている」もの。