



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I521663 B

(45) 公告日：中華民國 105 (2016) 年 02 月 11 日

(21) 申請案號：102124487

(22) 申請日：中華民國 102 (2013) 年 07 月 09 日

(51) Int. Cl. : *H01L23/52 (2006.01)**H01L27/04 (2006.01)**H01L21/768 (2006.01)*

(30) 優先權：2012/08/02 美國

13/565,748

(71) 申請人：格羅方德半導體私人有限公司 (新加坡) GLOBALFOUNDRIES SINGAPORE PTE. LTD. (SG)

新加坡

(72) 發明人：陳元文 TAN, JUANBOON (MY)；林耀慶 LIM, YEOW KHENG (SG)；謝素云 SIAH, SOH YUN (SG)；劉威 LIU, WEI (CN)；龔順強 GONG, SHUNQIANG (CN)

(74) 代理人：洪武雄；陳昭誠

(56) 參考文獻：

US 20110316140A1

審查人員：林弘恩

申請專利範圍項數：18 項 圖式數：5 共 27 頁

(54) 名稱

整合電源供應之設備

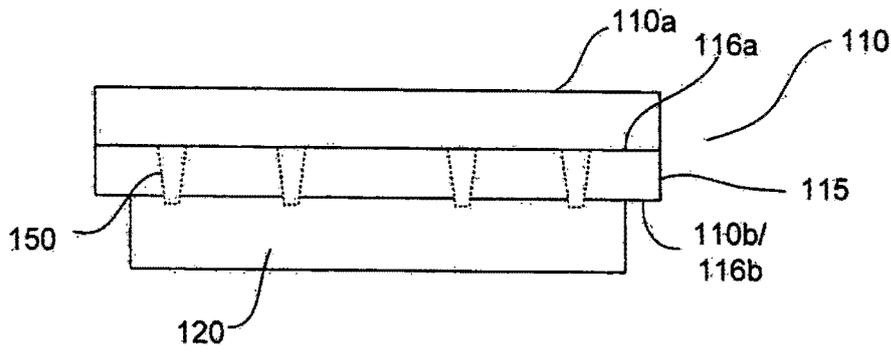
DEVICE WITH INTEGRATED POWER SUPPLY

(57) 摘要

本文涉及一種具有整合電源供應的設備，所揭露的是半導體設備及用於形成半導體設備的方法。半導體設備包含晶粒。晶粒包含具有第一與第二主表面的晶粒基板。半導體設備包含置於晶粒基板的第二主表面下方的電源模組。電源模組是透過矽穿孔接點電耦合於晶粒。

Semiconductor devices and methods for forming a semiconductor device are disclosed. The semiconductor device includes a die. The die includes a die substrate having first and second major surfaces. The semiconductor device includes a power module disposed below the second major surface of the die substrate. The power module is electrically coupled to the die through through silicon via (TSV) contacts.

指定代表圖：



100

第1a圖

符號簡單說明：

100 . . . 半導體設備

110 . . . 晶粒

110a . . . 頂部晶粒表面

110b . . . 底部晶粒表面

115 . . . 晶粒基板

116a . . . 第一主基板表面

116b . . . 第二主表面

120 . . . 電源模組

150 . . . 矽穿孔

(TSV)接點

發明摘要

公告本

※ 申請案號：102124487

※ 申請日：102.7.9

※IPC 分類：

H01L 23/52 (2006.01)

H01L 27/04 (2006.01)

H01L 21/768 (2006.01)

【發明名稱】(中文/英文)

整合電源供應之設備

DEVICE WITH INTEGRATED POWER SUPPLY

【中文】

本文涉及一種具有整合電源供應的設備，所揭露的是半導體設備及用於形成半導體設備的方法。半導體設備包含晶粒。晶粒包含具有第一與第二主表面的晶粒基板。半導體設備包含置於晶粒基板的第二主表面下方的電源模組。電源模組是透過矽穿孔接點電耦合於晶粒。

【英文】

Semiconductor devices and methods for forming a semiconductor device are disclosed.

The semiconductor device includes a die. The die includes a die substrate having first and second major surfaces. The semiconductor device includes a power module disposed below the second major surface of the die substrate. The power module is electrically coupled to the die through through silicon via (TSV) contacts.

【代表圖】

【本案指定代表圖】：第（ 1 a ）圖。

【本代表圖之符號簡單說明】：

100	半導體設備	110	晶粒
110a	頂部晶粒表面	110b	底部晶粒表面
115	晶粒基板	116a	第一主基板表面
116b	第二主表面	120	電源模組
150	矽穿孔(TSV)接點		

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

整合電源供應之設備

DEVICE WITH INTEGRATED POWER SUPPLY

【技術領域】

【0001】本發明係關於一種整合電源供應之設備。

【先前技術】

【0002】隨著技術演變進入次微米時代，有期望將不同的電路元件整合到單一晶片或積體電路(IC)內。也有期望將不同晶片同時垂直地並且水準地整合到單一封裝以形成 2.5D 或 3D IC 封裝。然而，要將這些不同類型的設備整合在單一晶片或單一封裝內是有困難。尤其是，這些設備中有某些可具有不同的電源需求。有時候，額外的穩壓器(voltage regulators)或電荷泵(charge pumps)等可用於迎合需要不同電源供應的不同電路。因此，一般地使用額外的電路及長電源供應線以提供電源供應至整個晶片或封裝。這些不合意地消耗大量電源以及晶片或封裝空間並且對於提供電源至不同設備沒有效果。

【0003】由前述說明，期望提供具有高電路效能的設備，其所需要的功耗較少及/或晶片或封裝尺寸得以縮減。也期望提供強化可攜性(portability)的較小產品。另外，期望提供製程以供形成與未來用於形成 2.5D 與 3D IC 或封裝的製程完全相容的設備。

【發明內容】

【0004】具體實施例普遍地是關於半導體設備。在一具體實

施例中，揭露的是半導體設備。半導體設備包含晶粒。晶粒包含具有第一與第二主表面的晶粒基板。半導體設備包含置於晶粒基板的第二主表面下方的電源模組。電源模組是經由矽穿孔(TSV)接點電耦合於晶粒。

【0005】在另一具體實施例中，呈現的是用於形成半導體設備的方法。本方法包含提供晶粒。晶粒包含具有第一與第二主表面的晶粒基板。在晶粒基板的第二主表面下方提供電源模組。電源模組是經由矽穿孔(TSV)接點電耦合於晶粒。

【0006】在又一具體實施例中，呈現的是用於形成半導體設備的方法。本方法包含提供具有第一與第二主表面的晶圓。在晶圓的第二主表面下方提供電源模組。電源模組是經由矽穿孔(TSV)接點電耦合於晶圓。

【0007】透過參考底下說明及附圖，本文所揭露具體實施例的這些及其它優點及特徵將明顯。另外，應理解的是，本文所述各種具體實施例的特徵不互斥並且可存在於各種組合及排列中。

【圖式簡單說明】

【0008】

在附圖中，相同的參考元件符號在不同視圖中普遍地意指相同的部分。還有，附圖未必依照比例，反而在描述本發明的原理時普遍地予以強調。本發明的各個具體實施例是參考底下附圖予以說明。

第 1a 至 1c 圖表示半導體設備的一具體實施例的各種視圖；

第 2 圖表示半導體的另一具體實施例；

第 3a 至 3c 圖表示半導體設備的其他具體實施例；以及

第 4 至 5 圖表示用於形成半導體設備的製程的各個具體實施例的流程圖。

【實施方式】

【0009】具體實施例是關於半導體設備或積體電路(IC)。半導體設備可包含一顆或多顆晶粒。對於超過一顆晶粒的情況，可將晶粒列置(arrange)在平面配置(arrangement)、垂直配置、或其組合中。例如，晶粒可包含記憶體設備、邏輯設備、通訊設備、光電設備、數位元信號處理器(DPS)、微控制器、系統晶片(SOC)以及其他種設備或其組合。可將此半導體設備合併到如電話、電腦、行動智慧型產品等電子產品或設備內。

【0010】第 1a 圖表示半導體設備 100 的一具體實施例的簡化側視圖，而第 1b 圖則表示半導體設備的剖面圖。請參閱第 1a 至 1b 圖，半導體設備是具有晶粒 110 的設備封裝。晶粒可為單粒化晶粒(singulated die)。例如，處理晶圓以具有複數個晶粒。切割經處理的晶圓以使晶粒單粒化。

【0011】晶粒包含晶粒基板 115。晶粒基板可為半導體基板。例如，晶粒基板可為矽基板。其他種半導體基板也可有作用。例如，晶粒基板可為上覆矽絕緣體(silicon-on-insulator)、矽鍺或其他種半導體基板。晶粒基板包含第一與第二主基板表面 116a、116b。第一主基板表面 116a 例如可稱為前端或主動(active)基板表面，以及第二主表面 116b 例如可稱為背端或非主動(inactive)基板表面。表面的其他名稱(designation)也可有作用。

【0012】非主動基板表面可當作底部晶粒表面 110b。底部晶粒表面可與介電層 170 連結(lined)。主動表面為電路元件 140 形成

於其上的基板的表面。元件例如包含具有柵極和源極/汲極(s/d)區的電晶體。提供其他種電路元件也可有作用。例如，基板可包含主動(active)及被動(passive)元件的組合。

【0013】組件可藉由設置於一或複數個金屬層級 160 (metal level)的互連件 164 (interconnect)予以互連。金屬層級例如是設置於基板的第一表面上的介電層 130 之上。介電層作用為預金屬介電(pre-metal dielectric, PMD)層。PMD 層例如可為矽氧化物。其他種介電材料也可作用為 PMD 層。通常地，接點是用於將如電晶體的源極/汲極與柵極的前端設備連接至互連金屬層(interconnect metal layer)。接點例如是鎢接點。其他種導電材料可作用為接點。第一金屬層級（例如，M0）是設置在 PMD 層上。第一金屬層級包含形成於內金屬介電(intra-metal dielectric, IMD)層中的互連件 164。互連件例如是銅或銅合金互連件。如鋁(Al)等的其他種導電材料可用於形成互連件。

【0014】可於第一金屬層級之上設置額外的金屬層級。在互連介電(ICD)層中形成金屬層級。ICD 層例如包含下與上部位。下部位作用為互層介電(inter-level dielectric, ILD)層，而上部位作用為內金屬 IMD 層。IMD 層包含金屬層級(metal level) M_x 的互連件 164 以及 ILD 包含導孔層級(via level) V_x 的導孔接點 162 (via contact)，其中 x 相當於金屬層級的數目。例如， x 是由 1 至頂部金屬層級。導孔層級 V_x 的導孔接點將 M_x 的互連件耦合至下方金屬層級 M_{x-1} 的互連件。層級或層的其他配置或名稱也可有作用。

【0015】ILD 層可為單一層或多層化介電堆疊。例如，單一層可用於作用為 ILD 與 IMD 兩者或分離層(separate layers)是用於

ILD 與 IMD。可在 ILD 與 IMD 層之間以及 ICD 層之間提供蝕刻中止層。對於多層化 ICD，ILD 與 IMD 可包含相同或不同的材料。

【0016】ICD 的介電材料可包含低介電常數(LK)或超低介電常數(ULK)介電材料。可使用各種低介電常數或超低介電常數材料，如有機矽酸鹽玻璃(OSG)、摻氟矽酸鹽玻璃(FSG)或 SiCOH。其他種介電材料也可有作用。例如，介電層可包含矽氧化物、如氟化矽氧化物(FSG)之類的摻矽氧化物、如硼磷酸鹽矽酸鹽玻璃(BPSG)與磷酸鹽矽酸鹽玻璃(PSG)之類的無摻雜或有摻雜矽酸鹽玻璃、無摻雜或有摻雜熱生長矽氧化物、無摻雜或有摻雜 TEOS 沉積矽氧化物。

【0017】頂部晶粒表面 110a 可包含耦合於金屬層級中互連件的晶粒接觸墊(die contact pad)。在一具體實施例中，接觸墊可包含形成覆晶(flip chip)的球塊(ball bump)。

【0018】電源模組 120 是整合在設備封裝內。電源模組包含電源 122。電源在一具體實施例中為電池 (battery cell)。單電池例如是鋰電池。在另一具體實施例中，電源是太陽能電池。如鎳金屬氫化物(NiMH)電池之類的其他種電源也可有作用。電源可提供電壓以操作 IC 或晶粒。電源模組也可提供用於操作 IC 的複數個電壓。例如，複數個電源可用於提供複數個電壓。取決於設備需求及應用，可連接複數個電源以提供複數個電壓。電源可串聯連接以達到較高電壓，或並聯連接以提升電源電流。如串並聯連接來源的組合之類的其他電源領先(lead)配置也可有作用。

【0019】電源模組至少包含第一與第二端子 126 與 128 (terminal)。例如，電源模組包含第一與第二端子。端子的一個為

正端子以及另一個為負端子。在藉由電源模組提供複數個(n)電壓的情況下，其包含 $n+1$ 個端子。例如，提供 n 個正端子以及 1 個負端子。電源模組在一具體實施例中是設置在晶粒的第二表面上。例如，電源模組是設置在晶粒的第二表面上並且接觸。在一具體實施例中，電源是設置在晶粒的非主動表面上。如圖所示，端子的引線(leads)是設置於電源的相對的表面(opposing surfaces)上。如在電源的一表面上提供引線之類的其他配置也可有作用。

【0020】晶粒在一具體實施中包含矽穿孔(TSV)接點 150。TSV 接點是在該些矽穿孔(TSVs)中形成的。

【0021】可藉由透過例如 ICD 層或金屬層級的互連件使 TSV 接點延伸至頂部晶粒表面。在其他具體實施例中，TSV 接點可經由晶粒表面延伸。TSV 接點的其他配置也可有作用。可在頂部晶粒表面上設置重分佈層(RDL)。RDL 包含將 TSV 接點耦合至晶粒接觸墊的導電跡線(conductive trace)。可提供絕緣襯 157 (insulating liner)以排列(line)TSVs 的側壁。

【0022】TSVs 是直接耦合至設置在晶粒背側上的電源模組的端子。提供任何適當數目的 TSV 接點也可有作用。TSV 接點是藉由例如 RDL 層以耦合至晶粒接墊。致使電源模組直接對一個晶粒或複數個晶粒供應一個電壓或複數個電壓。

【0023】第 1c 圖表示晶粒 110 的一具體實施例的簡化佈局。如圖所示，晶粒是 SOC 晶片。SOC 晶片包含形成於晶粒基板上的複數個功能模組。例如，SOC 晶片可包含複數個記憶體模組，如 SRAM 與快閃 EPROM 模組 130a、130b、邏輯模組 131、I/O 匯流排模組 132、處理器模組 133、微控制器模組 134、電荷泵(charge

pump)模組 135、類比對數位轉換器(analog-to-digital converter)模組 136a 以及數位對類比轉換器(digital-to-analog converter)模組 136b。SOC 晶片可包含其他種模組。這些模組是藉由設置在晶片或晶粒的背側上的電池直接地互連及供電，在晶粒上形成系統。其他種晶片設計也可使用類似設計概念。

【0024】第 2 圖描述半導體設備 200 的另一個具體實施例。半導體設備類似於第 1a 至 1b 圖中所述。如此，共通的元件可不予以說明或細述。半導體設備 200 在一具體實施例中包含晶粒堆疊。晶粒堆疊包含 x 顆晶粒，其中 x 大於或等於 2。例如，晶粒堆疊包含晶粒 $100_{i..x}$ 。解說性地，晶粒堆疊包含兩顆晶粒，底部晶粒 110_1 與頂部晶粒 110_2 。提供具有其他晶粒數目的堆疊也可有作用。對於具有多於 2 顆晶粒的堆疊，中間晶粒 $110_{2..(x-1)}$ 是設置在頂部與底部晶粒之間。晶粒堆疊裏的晶粒可具有相同的類型及/或尺寸。提供具有不同類型及/或尺寸的晶片的晶粒堆疊也有作用。

【0025】晶粒例如包含 TSV 接點 150 並且用於耦合至電源模組 120 的端子。電源模組是設置在底部晶粒的底部晶粒表面 $110b_1$ 上。RDL 層可設置在頂部晶粒表面上用於將導孔接點耦合至晶粒接墊。另外，晶粒的 RDL 提供上方對晶粒的 TSV 接點的連接。例如，第 i 顆晶粒的 RDL 對第 $i+1$ 顆晶粒的 TSV 接點提供連接。應理解的，不是所有晶粒都必需具有相同的配置。例如，底部晶粒包含用於連接至電源的 TSV 接點，其他晶粒包含用於將第 i 顆晶粒連接至第 $i+1$ 顆晶粒的晶粒接墊的 TSV 接點和 RDLs，以及頂部接墊的 RDL 將電源連接至頂部晶粒接墊。

【0026】第 3a 至 3c 圖描述半導體設備 300 的其他具體實施

例。請參閱第 3a 圖，半導體設備 300 包含整合在晶粒 110 內的電源模組 120。在一具體實施例中，電源模組包含電源 122 以及插入件(interposer) 380。插入件作用為電源設置於其上的支撐構件 (support member)。插入件可由例如矽所形成。其他適用類型的材料也可用於形成插入件。

【0027】插入件包含第一與第二插入件表面 380a、380b。介電層 (圖未示) 可排列插入件的主表面。如圖所示，電源是設置在第二插入件表面上，而晶粒則設置在第一插入件表面上。在一具體實施例中，插入件包含透過其表面所形成矽穿孔中形成的插入件接點。插入件接點例如類似於第 1a 至 1b 圖中所述的 TSV 接點。插入件接點能藉由第一插入件表面上所設置的晶粒致使對第二插入件表面上所設置電源的端子的連接。

【0028】晶粒例如可包含 TSV 接點，在其底部表面 110b 提供對頂部晶粒表面 110a 上的晶粒接墊的連接。可在第一主表面上設置 RDL，提供插入件接點到晶粒的 TSV 接點之間的連接。

【0029】如圖所示，在第一主表面上提供單一晶粒。得以理解可在第一插入件表面上提供晶粒堆疊，如第 2 圖所示。例如，可藉由 TSV 接點將晶粒堆疊的晶粒耦合至插入件。在其他具體實施例中，可藉由 TSV 接點耦合晶粒，而藉由互連金屬層及凸塊連接件(bump connection)將晶粒堆疊的頂部晶粒耦合至插入件接點。

【0030】在替代具體實施例中，如第 3b 圖中所示，在第一插入件表面上設置複數個晶粒。例如，可以非堆疊配置來設置 m 顆晶粒。解說性地，在第一插入件表面上設置三顆晶粒 110_{1-3} (例如， $m=3$)。晶粒在一具體實施例中包含 TSV 型晶粒。可藉由 TSV 接

點將晶粒耦合至電源。在其他具體實施例中，晶粒可包含非 TSV 型晶粒，如第 3c 圖中所示。在此等具體實施例中，藉由凸塊連接件 370 將晶粒耦合至插入件接點。其他晶粒配置也可有作用。在某些具體實施例中，如第 2 圖及第 3a 圖中所示，設備可包含設置在第一插入件表面上的晶粒堆疊。還有，在第一插入件表面上提供晶粒堆疊及晶粒的組合也可有作用。

【0031】如所述，晶粒或一組晶粒是與其自身的電源模組整合。提供整合電源模組有利地避免長電源供應線的使用以提供電源到至少一個晶粒。另外，此配置進一步降低互連匯流排長度及/或免除某些穩壓電路的使用。因此，可大幅降低功耗。另外，上述配置也能致使形成更精巧的設備。這容許生產合併設備的更小產品，從而增強可攜性。

【0032】第 4 圖表示流程圖，其描述用於形成半導體設備 400 的製程的一個具體實施例。製程包含提供如大型積體電路(LSI)晶圓之類的晶圓，是在步驟 410 處理。晶圓在一具體實施例中包含類似或相同於以上關於第 1a 至 1c 圖所述的 TSV 型晶粒。如此，不說明或細述共通元件。例如，以矽穿孔(TSVs)製備晶圓。晶圓包含具有第一（主動）及第二（非主動）主表面的晶圓基板。晶粒例如包含形成於晶粒基板的第一或主動表面上的電路元件或複數個電路元件。在一具體實施例中，晶粒包含在晶粒基板內的矽穿孔(TSVs)中所形成的複數個矽穿孔(TSV)接點。TSVs 例如可藉由深反應型離子蝕刻(DRIE)或雷射鑽孔製程予以形成。其他合適的技術也可用於形成 TSVs。例如，可形成絕緣襯（insulation liner）以排列 TSVs 的側壁。TSVs 在一具體實施例中是藉由電渡製程以

銅(Cu)之類的導電材料予以填充，並且使用化學機械研磨(CMP)平整化以形成 TSV 接點。其他合適的技術和材料也可用於形成 TSV 接點。

【0033】藉由薄化晶圓的第二表面或非主動表面繼續製程以縮減晶圓的厚度。例如，藉由如研磨、CMP、RIE 等製程或其組合薄化晶圓的第二表面。例如背磨製程(backgrinding process)於步驟 412 暴露 TSV 接點的底部。

【0034】於步驟 414，在晶圓的第二主表面上提供電源模組。電源模組包含類似於關於第 1a 至 1b 圖中所述的電源。如所述，電源在一具體實施例中是電池。電池例如是鋰電池。在另一具體實施例中，電源是太陽能電池。如 NiMH 電池之類的其他種電源也可有作用。在一具體實施例中，電源模組是整體地(integrally)形成或建立在晶圓的第二主表面上。在其他具體實施例中，電源模組可予以分離形成並附著於晶圓的第二主表面。製程包含於步驟 414，透過 TSV 接點電耦合晶圓的第一或主表面上的電源模組及電路元件。

【0035】製程可進一步或另外包含用以完成半導體設備製造的處理步驟。例如，於步驟 416，晶圓可予以切割或單粒化以將晶圓分成具有整合電源模組的單獨晶粒並且進一步予以處理以形成如第 1a 至 1b 圖中所示的設備封裝。製程在其他具體實施例中可進一步包含在單粒化晶粒的頂部上安裝額外一個晶粒或複數個晶粒以形成如第 2 圖中所示具有整合電源模組的晶粒堆疊。

【0036】如所述，電源模組是整合在封裝的設備內。晶粒的主表面上的電路元件是透過 TSV 接點與設置於晶粒背側的電池直

接互連並且供電。此有利地避免使用長電源供應線以提供電源至晶粒。再者，此配置進一步縮減互連匯流排長度及/或免除某些穩壓器電路的使用。因此，可大幅降低功耗。另外，上述配置也能致使形成更精巧的設備。這允許生產合併設備的更小產品，從而強化可攜性。關於第 4 圖所述的具體實施例是與未來形成 3D ICs 或封裝的製程完全相容的製程。

【0037】第 5 圖表示流程圖，其描述用於形成半導體設備 500 的製程的另一具體實施例。製程包含提供具有第一與第二主表面的晶圓。於步驟 510，晶圓在一具體實施例中作用為插入件晶圓。插入件晶圓在一具體實施例中包含具有複數個插入件接點的矽晶圓。插入件接點例如類似於第 4 圖中所述的 TSV 接點。插入件接點例如可藉由針對第 4 圖的 TSV 接點所述的類似製程予以形成。如此，不說明或詳述共通元件。

【0038】薄化插入件晶圓的第二或底部表面以縮減晶圓的厚度。例如，藉由如研磨、CMP、RIE 等製程或其組合薄化插入件晶圓的第二表面。於步驟 512，例如背磨製程暴露插入件接點的底部。

【0039】於步驟 514，在插入件晶圓的第二主表面上提供電源模組。電源模組包含關於第 1a 至 1b 圖所述類似的電源。如所述，電源在一具體實施例中是電池。電池例如是鋰電池。在另一具體實施例中，電源是太陽能電池。如 NiMH 電池之類的其他種電源也可有作用。在一具體實施例中，在插入件晶圓的第二主表面上整體地形成或建立電源模組。在其他具體實施例中，電源模組可予以分離形成並且附著於插入件晶圓的第二主表面。

【0040】製程也包含於步驟 514 在插入件晶圓的第一表面上提供一個晶粒或複數個晶粒。在一具體實施例中，晶粒可包含關於以上第 1a 至 1c 圖所述相同或類似的 TSV 型晶粒。在其他具體實施例中，晶粒可包含非 TSV 型晶粒。在插入件晶圓的第一主表面上安裝具有 TSV 接點的一個或多個晶粒。於步驟 514，製程包含透過插入件晶圓的插入件接點電耦合電源模組及晶粒。

【0041】製程可進一步或另外包含用以完成半導體設備製造的處理步驟。例如，於步驟 516，插入件晶圓可予以切割或單粒化以分離晶圓並且予以進一步處理以形成如第 3a 至 3c 圖中所示具有整合電源模組的單獨設備封裝。製程在其他具體實施例中也可包含在設備封裝的頂部上安裝額外的一個晶粒或複數個晶粒以形成具有整合電源模組的晶粒堆疊。

【0042】如關於第 5 圖所述的具體實施例包含如關於第 4 圖所述的某些或所有優點。如此，將不說明或詳述這些優點。

【0043】可用其他特定形式體現本發明而不違背其精神或實質特徵。因此，在所有方面要思考前述具體實施例屬描述性質而非限制本文所述的發明。本發明的範疇從而藉由附加的申請專利範圍而非藉由前述說明予以指出，並且意圖將落在申請專利範圍均等意義及範圍內的所改變更都含括在其中。

【符號說明】

【0044】

100、200、300、400、500 半導體設備

110 晶粒 110a 頂部晶粒表面

110b、110b₁ 底部晶粒表面 110_i 底部晶粒

110 ₂	頂部晶粒	110 _{2-(x-1)}	中間晶粒
115	晶粒基板	116a	第一主基板表面
116b	第二主表面	120	電源模組
122	電源	126	第一端子
128	第二端子	130	介電層
130a	SRAM	130b	快閃 EPROM 模組
131	邏輯模組	132	I/O 匯流排模組
133	處理器模組	134	微控制器模組
135	電荷泵模組	136a	類比對數位轉換器模組
136b	數位對類比轉換器模組		
140	電路組件	150	矽穿孔(TSV)接點
157	絕緣襯	160	金屬級
164	互連件	170	介電層
370	凸塊連接件	380	插入件
380a	第一插入件表面	380b	第二插入件表面
410、412、414、416、510、512、514、516	步驟		
M _x	金屬層級	V _x	導孔層級

申請專利範圍

104年10月01日修正
對照頁(參)

1. 一種半導體設備，包括：
 - 包含具有第一與第二主表面的晶粒基板的晶粒；
 - 設置在該晶粒基板的該第二主表面下方的電源模組；以及
 - 設置於該晶粒與該電源模組之間具有第一與第二插入件表面的插入件，其中，該電源模組透過矽穿孔(TSV)接點電耦合於該晶粒。
2. 如申請專利範圍第 1 項所述之半導體設備，其中，該 TSV 接點係設置在該晶粒基板內。
3. 如申請專利範圍第 2 項所述之半導體設備，其中，該第一主表面係主動基板表面，而該第二主表面係非主動基板表面。
4. 如申請專利範圍第 3 項所述之半導體設備，其中，電路元件係設置在該第一主表面上。
5. 如申請專利範圍第 2 項所述之半導體設備，其中：
 - 該電源模組包含至少第一與第二端子；以及
 - 該 TSV 接點係耦合於該第一與第二端子。
6. 如申請專利範圍第 5 項所述之半導體設備，其中，該至少第一與第二端子之一直接接觸該晶粒基板的該第二主表面。
7. 如申請專利範圍第 5 項所述之半導體設備，其中，該電源模組包含鋰電池、太陽能電池或鎳金屬氫化物(NiMH)電池。
8. 如申請專利範圍第 1 項所述之半導體設備，其中，該 TSV 接點係設置於該插入件內。
9. 如申請專利範圍第 1 項所述之半導體設備，其中，該晶粒係設置在該第一插入件表面上，而該電源模組係設置在該第二插入

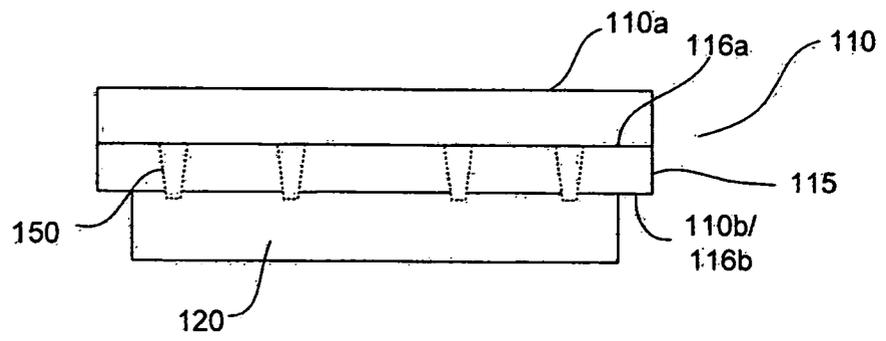
件表面上。

104年10月01日
修正
劃線
頁(茶)

10. 如申請專利範圍第 8 項所述之半導體設備，其中，該晶粒係藉由該晶粒基板內的 TSV 接點或該第一插入件表面上的凸塊連接件耦合至該插入件。
11. 一種用於形成半導體設備的方法，包括：
 - 提供包含具有第一與第二主表面的晶粒基板的晶粒；
 - 提供在該晶粒基板的該第二主表面下方的電源模組；以及在該晶粒基板內形成矽穿孔(TSV)接點，
 - 其中，該電源模組係透過該矽穿孔(TSV)接點電耦合至該晶粒。
12. 如申請專利範圍第 11 項所述之方法，包括在該晶粒與該電源模組之間提供插入件。
13. 如申請專利範圍第 11 項所述之方法，包括在該插入件內形成該 TSV 接點。
14. 一種用於形成半導體設備的方法，包括：
 - 提供具有第一與第二主表面的晶圓；以及
 - 提供在該晶圓的該第二主表面下方的電源模組，其中，該電源模組係透過矽穿孔(TSV)接點電耦合至該晶圓，
 - 其中，該晶圓經過處理而具有複數個晶粒，該複數個晶粒在該晶圓的該第一主表面上具有電路元件。
15. 如申請專利範圍第 14 項所述之方法，包括：
 - 在該晶圓內形成 TSV 接點；以及
 - 薄化該晶圓的該第二主表面，以暴露該 TSV 接點的底部表面。

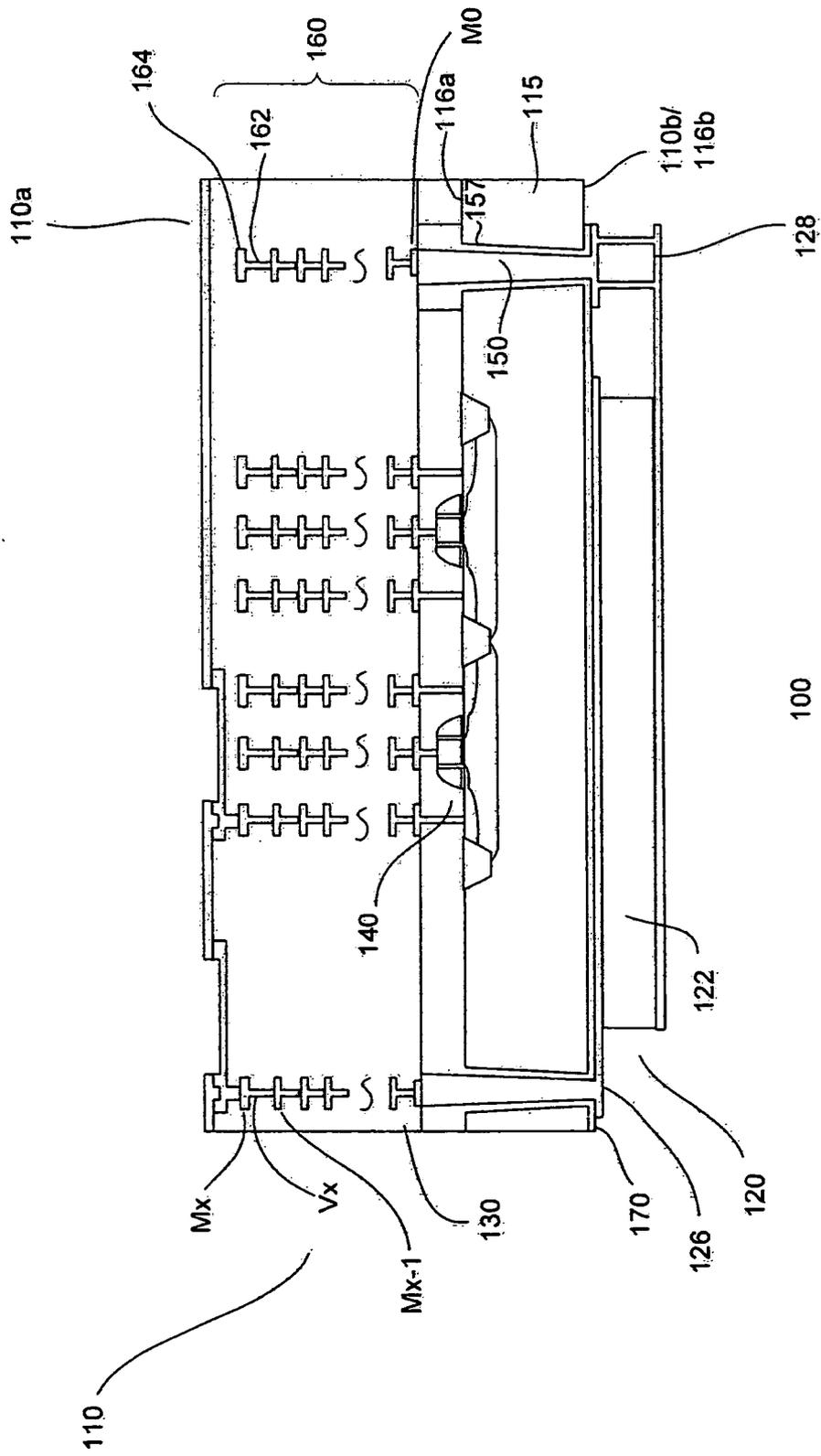
16. 如申請專利範圍第 14 項所述之方法，其中，提供該電源模組包括在該晶圓的該第二主表面上整體地形成該電源模組。
17. 如申請專利範圍第 14 項所述之方法，其中：
該晶圓作用為插入件晶圓，以及包括
在該插入件晶圓內形成該 TSV 接點。
18. 如申請專利範圍第 16 項所述之方法，還包含在該插入件晶圓的該第一主表面上提供一個或多個晶粒。

圖式

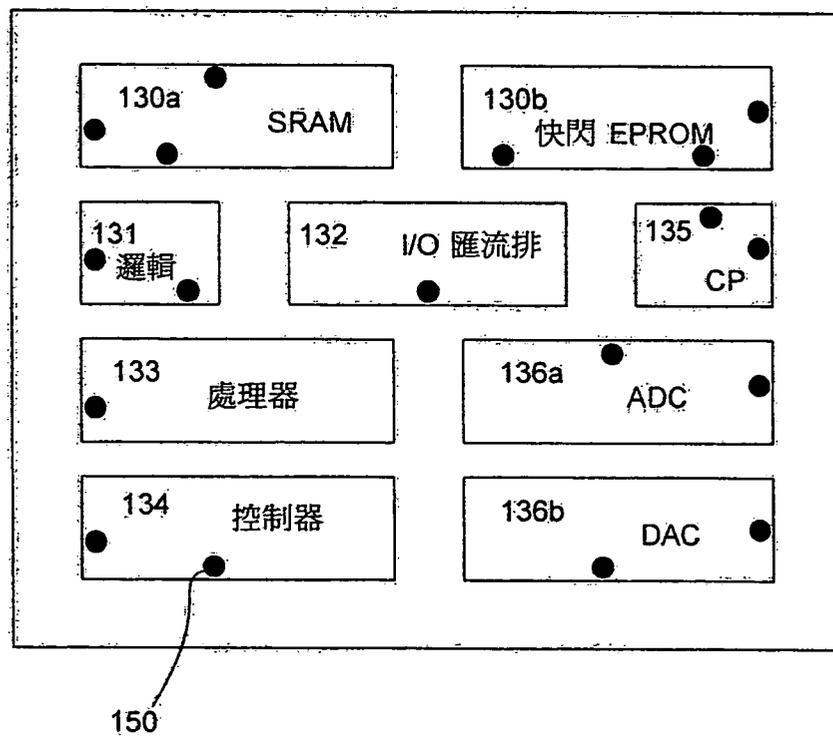


100

第1a圖

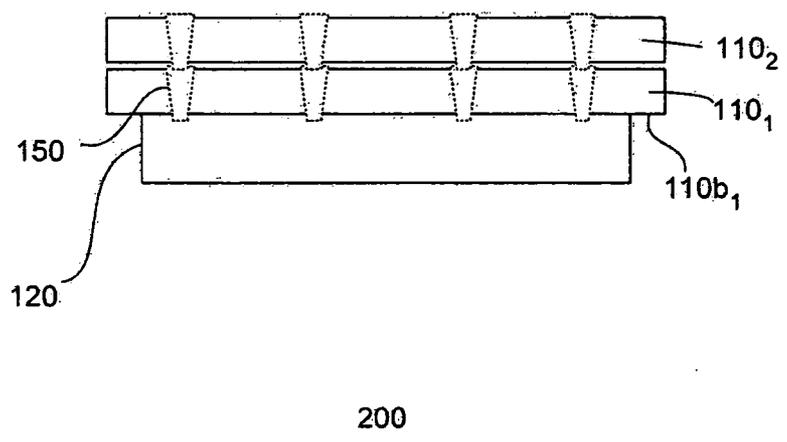


第1b圖

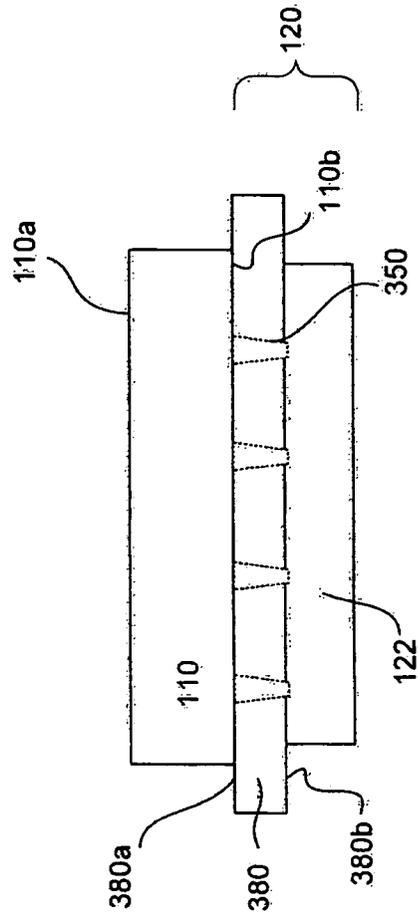


110

第1c圖

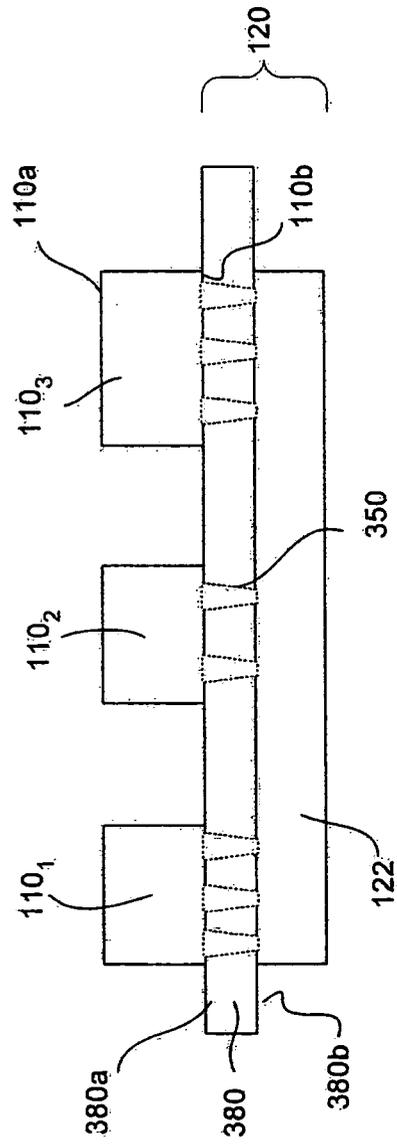


第2圖



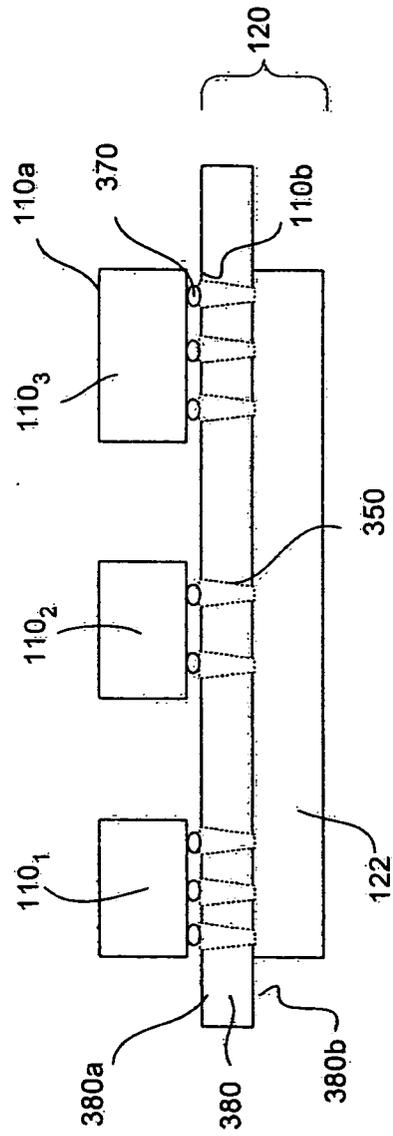
300

第3a圖



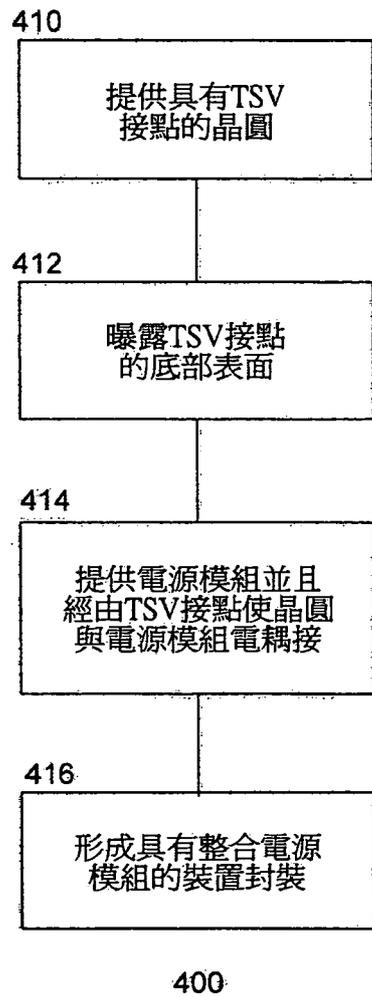
300

第3b圖

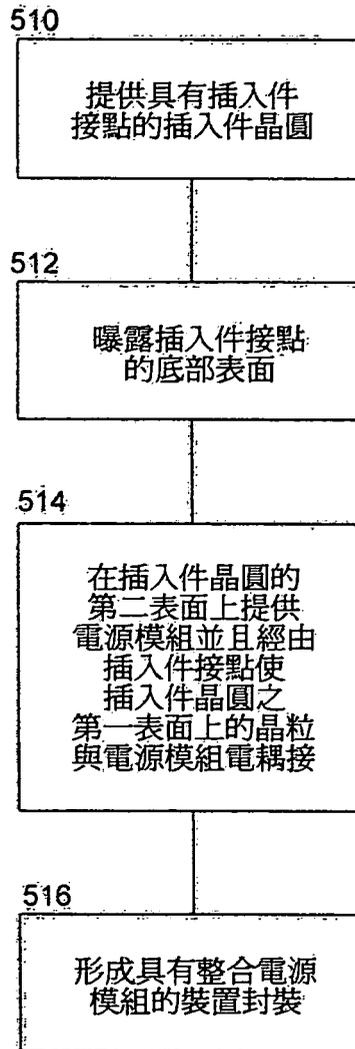


300

第3c圖



第4圖



500

第5圖