



(12) 发明专利申请

(10) 申请公布号 CN 105009293 A

(43) 申请公布日 2015. 10. 28

(21) 申请号 201380072798. 4

B81B 7/00(2006. 01)

(22) 申请日 2013. 03. 14

(85) PCT国际申请进入国家阶段日
2015. 08. 12

(86) PCT国际申请的申请数据
PCT/US2013/031607 2013. 03. 14

(87) PCT国际申请的公布数据
W02014/142910 EN 2014. 09. 18

(71) 申请人 英特尔公司
地址 美国加利福尼亚

(72) 发明人 C·帕瓦申 R·金 S·金 K·库恩
S·马尼帕特鲁尼 R·里奥斯
I·A·扬 K·林 A·乔杜里

(74) 专利代理机构 永新专利商标代理有限公司
72002
代理人 王英 陈松涛

(51) Int. Cl.
H01L 29/00(2006. 01)

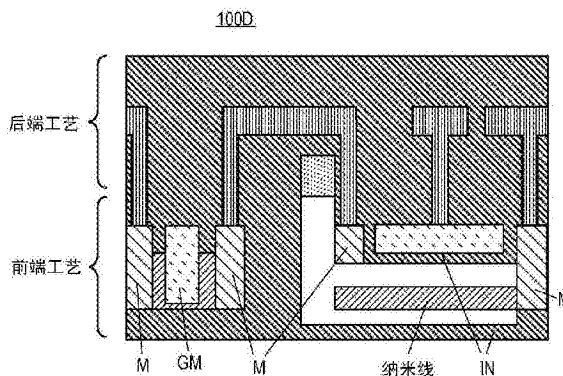
权利要求书3页 说明书17页 附图23页

(54) 发明名称

基于纳米线的机械开关器件

(57) 摘要

描述了基于纳米线的机械开关器件。例如，纳米线继电器包括设置在空隙中的纳米线，空隙被设置在衬底上方。纳米线具有锚定部分和悬浮部分。第一栅极电极被设置为邻近空隙并与纳米线间隔开。第一导电区被设置为邻近第一栅极电极并邻近空隙，并且与纳米线间隔开。



1. 一种纳米线继电器,包括:

设置于空隙中的纳米线,所述空隙被设置在衬底上方,所述纳米线具有锚定部分和悬浮部分;

第一栅极电极,所述第一栅极电极被设置为邻近所述空隙并与所述纳米线间隔开;以及

第一导电区,所述第一导电区被设置为邻近所述第一栅极电极并邻近所述空隙,并且与所述纳米线间隔开。

2. 根据权利要求 1 所述的纳米线继电器,其中,所述纳米线是单锚定的纳米线,并且所述纳米线的所述锚定部分仅包括所述纳米线的一端,并且其中,所述纳米线的所述一端耦合到第二导电区,所述第二导电区被设置为邻近所述第一栅极电极并通过所述第一栅极电极与所述第一导电区分隔开。

3. 根据权利要求 2 所述的纳米线继电器,其中,所述第一导电区和所述第二导电区包括金属材料或半导体材料。

4. 根据权利要求 1 所述的纳米线继电器,其中,所述纳米线是双锚定的纳米线,并且所述纳米线的所述锚定部分包括所述纳米线的第一端和所述纳米线的第二端,其中,所述纳米线的所述第一端耦合到第二导电区,所述第二导电区被设置为邻近所述第一栅极电极并通过所述第一栅极电极与所述第一导电区分隔开,并且其中,所述纳米线的所述第二端耦合到锚定区,所述锚定区被设置为邻近第二栅极电极,所述第二栅极电极被设置为邻近所述第一导电区并邻近所述空隙,所述第二栅极电极与所述纳米线间隔开并通过所述第一导电区与所述第一栅极电极分隔开。

5. 根据权利要求 4 所述的纳米线继电器,其中,所述第一导电区和所述第二导电区包括金属材料或半导体材料,并且其中,所述锚定区包括导电材料或绝缘材料。

6. 根据权利要求 1 所述的纳米线继电器,其中,所述纳米线的取向与所述衬底平行。

7. 根据权利要求 1 所述的纳米线继电器,其中,所述纳米线的取向与所述衬底垂直。

8. 根据权利要求 1 所述的纳米线继电器,其中,所述空隙包括真空,填充有气体或填充有液体。

9. 根据权利要求 8 所述的纳米线继电器,其中,所述空隙被密闭性密封。

10. 根据权利要求 1 所述的纳米线继电器,所述纳米线继电器包含在选自由以下器件构成的组的器件中:机械逻辑开关、基本逻辑开关、具有非线性弹簧的机械逻辑开关、用于互补型逻辑的器件、抓放继电器、具有断开的源极的混合式 MOS- 继电器晶体管、功率门控继电器、非易失性存储器件、电子隧穿继电器以及机械谐振振荡器。

11. 一种将纳米线继电器从断开位置切换到闭合位置的方法,所述纳米线继电器包括纳米线、栅极电极和输出端子电极,所述纳米线具有设置在空隙中的悬浮部分并被参考电压电极锚定,所述栅极电极被设置为邻近所述空隙,所述输出端子电极被设置为邻近所述栅极电极并邻近所述空隙,所述方法包括:

设置所述栅极电极的电压 (V_g), 以使得 V_g 与所述参考电压电极的电压 (V_{ref}) 之间的绝对差大于阈值电压;

在所述纳米线与所述栅极电极之间感应静电力以将所述纳米线的所述悬浮部分朝向所述栅极电极和所述输出端子电极移动;以及

使所述纳米线的所述悬浮部分接触所述输出端子电极以在所述输出端子电极与所述参考电压电极之间创建电路路径。

12. 根据权利要求 11 所述的方法, 其中, 使所述纳米线的所述悬浮部分接触所述输出端子电极以在所述输出端子电极与所述参考电压电极之间创建所述电路路径使得所述输出端子电极的所述电压 (V_{out}) 变为 V_{ref} 。

13. 根据权利要求 11 所述的方法, 其中, 使所述纳米线的所述悬浮部分接触所述输出端子电极还包括使所述纳米线的所述悬浮部分接触所述栅极电极, 但是其中, 在所述参考电压电极与所述栅极电极之间不创建电路路径。

14. 根据权利要求 11 所述的方法, 其中, 使所述纳米线的所述悬浮部分接触所述输出端子电极包括使所述纳米线的未锚定端接触所述输出端子电极。

15. 根据权利要求 14 所述的方法, 其中, 使所述纳米线的所述未锚定端接触所述输出端子电极包括由机械停止件来限制所述纳米线的运动, 所述机械停止件位于所述纳米线上的在所述纳米线的所述未锚定端与锚定端之间的部分。

16. 根据权利要求 15 所述的方法, 其中, 选择所述纳米线上的在所述纳米线的所述未锚定端与所述锚定端之间的所述部分的位置, 以使得所述纳米线的弹簧回复力最大化。

17. 根据权利要求 11 所述的方法, 其中, 使所述纳米线的所述悬浮部分接触所述输出端子电极包括接触所述纳米线上的在所述纳米线的未锚定端与锚定端之间的部分。

18. 根据权利要求 17 所述的方法, 其中, 选择所述纳米线上的在所述纳米线的所述未锚定端与所述锚定端之间的所述部分的位置, 以使得所述纳米线的弹簧回复力最大化。

19. 一种将纳米线继电器从闭合位置切换到断开位置的方法, 所述纳米线继电器包括纳米线、栅极电极和输出端子电极, 所述纳米线具有设置在空隙中的悬浮部分并被参考电压电极锚定, 所述栅极电极被设置为邻近所述空隙, 所述输出端子电极被设置为邻近所述栅极电极并邻近所述空隙, 所述方法包括:

设置所述栅极电极的电压 (V_g), 以使得 V_g 与所述参考电压电极的电压 (V_{ref}) 之间的绝对差小于阈值电压;

减小所述纳米线与所述栅极电极之间的静电力以将所述纳米线的所述悬浮部分远离所述栅极电极和所述输出端子电极移动; 以及

将所述纳米线的所述悬浮部分从所述输出端子电极断开。

20. 根据权利要求 19 所述的方法, 其中, 将所述纳米线的所述悬浮部分从所述输出端子电极断开还包括将所述纳米线的所述悬浮部分从所述栅极电极断开。

21. 根据权利要求 19 所述的方法, 其中, 将所述纳米线的所述悬浮部分从所述输出端子电极断开包括保持所述纳米线的所述悬浮部分与所述栅极电极之间的接触, 但是其中, 在所述参考电压电极与所述栅极电极之间不创建电路路径。

22. 根据权利要求 21 所述的方法, 其中, 在所述断开位置保持所述纳米线的所述悬浮部分与所述栅极电极之间的接触提供了塌陷模式, 相对于包括将所述纳米线的所述悬浮部分从所述栅极电极断开的断开位置, 所述塌陷模式具有较短的开关时间。

23. 一种半导体器件, 包括:

纳米线, 所述纳米线具有设置在源极区与漏极区之间的悬浮部分; 以及

栅极电极, 所述栅极电极被设置在所述源极电极与所述漏极电极之间, 并接近于所述

纳米线的所述悬浮区但与所述纳米线的所述悬浮区间隔开。

24. 根据权利要求 23 所述的半导体器件,其中,所述纳米线的所述悬浮部分在处于所述源极区与所述漏极区之间的非线性几何结构中时,并不实质上应变。

25. 根据权利要求 23 所述的半导体器件,其中,所述纳米线的所述悬浮部分在处于所述源极区与所述漏极区之间的线性几何结构中时,压缩应变。

基于纳米线的机械开关器件

技术领域

[0001] 本发明的实施例涉及半导体器件工艺的领域,并且具体涉及基于纳米线的机械开关器件。

背景技术

[0002] 今天的消费类电子市场往往需求需要非常错综复杂的电路的复杂功能。缩放成越来越小的基本构建块(例如晶体管)已经使得能够在具有每个进步的一代的单个管芯上并入更多错综复杂的电路。半导体封装件用于保护集成电路(IC)芯片或管芯,并且还用于为管芯提供到外部电路的电气接口。随着对较小的电子设备的需求的增长,半导体封装件被设计得更加紧凑并且必须支持较大的电路密度。例如,一些半导体封装件现在使用无芯基板,该无芯基板不包括通常在常规基板中发现的厚树脂芯层。此外,对较高性能设备的需求导致了需要改进的半导体封装件,该改进的半导体封装件使得与随后的组装工艺相兼容的薄的封装轮廓以及低的整体翘曲成为可能。

[0003] 此外,对于过去的几年,微机电系统(MEMS)结构已经在消费类产品中扮演日益重要的角色。例如,在从车辆中用于安全气囊触发器的惯性传感器到视觉艺术产业中用于显示的微镜的产品中,以及最近在诸如用于高度感测的气压传感器之类的移动应用中可以发现MEMS器件(例如传感器和致动器)。随着这些技术成熟,在MEMS结构精度和功能性上的需求已经逐步上升。例如,最佳的性能可能依赖于对这些MEMS结构的各个组件的特性进行微调的能力。此外,对于MEMS器件(内部器件和器件与器件两者)性能的一致性要求通常指示用于制备这样的MEMS器件的工艺需要极其精细。

[0004] 然而,在MEMS(以及更小的)器件的制备和操作领域中,仍然需要显著的改进。

附图说明

[0005] 图1例示了根据本发明的实施例的(a)锚定在一侧上的纳米线继电器和(b)锚定在两侧上的纳米线继电器的平面视图,以及(c)锚定在一侧上的纳米线继电器的第一制备步骤和(d)锚定在一侧上的纳米线继电器的第二制备步骤的横截面视图。

[0006] 图2例示了根据本发明的实施例的(a)处于初始断开位置的纳米线继电器开关,(b)处于闭合位置的继电器,以及(c)处于替代的断开位置的继电器的平面视图。

[0007] 图3是根据本发明的实施例使源极-漏极接触具有 1nm^2 面积的机械逻辑或功率开关的I-V关系的模拟图。

[0008] 图4是根据本发明的实施例说明了纳机械开关从断开状态改变到闭合状态(在时间 $t=0$ 施加栅极电压)的瞬态行为的图示。

[0009] 图5是根据本发明的实施例说明了对于机械开关中 1nm^2 的触点,力的关系与分隔距离的图示。

[0010] 图6是根据本发明的实施例例示了具有接触电极被放置在末端处的继电器与具有接触电极被放置于较接近固支边缘以加大弹簧回复力的继电器相比较的断开和闭合位

置的示意图。

[0011] 图 7 包括根据本发明的实施例的 (a) 致动电压相对于接触电极位置的图示以及 (b) 弹簧回复力相对于接触电极位置的图示。

[0012] 图 8 包括根据本发明的实施例的具有机械停止件的非线性梁的示意图, 以及说明在未增加致动电压的情况下加大弹簧回复力的相对应的图示。

[0013] 图 9 是根据本发明的实施例例示了对 (a) 不具有机械停止件的悬臂与 (b) 具有机械停止件的悬臂进行比较的示意图。

[0014] 图 10 是根据本发明的实施例示出了针对具有机械凸块的弹簧几何结构的分析结果的图示。

[0015] 图 11 是根据本发明的实施例例示了使用机械凸块的非线性弹簧可能的几何变化的示意图。

[0016] 图 12 是根据本发明的实施例例示了互补型继电器反相器的示意图, 其中 (a) 输入断开并且输出闭合, 以及 (b) 输入闭合并且输出断开。

[0017] 图 13 是根据本发明的实施例例示了利用每个继电器多个栅极 (输入) 的互补型逻辑 (a) NOR, (b) NAND, 以及 (c) XNOR 继电器的示意图。

[0018] 图 14 是根据本发明的实施例例示了在抓放结构中使用梁中所储存的能量来减小致动电压和开关能量的优势的示意图。

[0019] 图 15 是根据本发明的实施例的抓放继电器的时序图和相对应的示意图。

[0020] 图 16 是根据本发明的实施例, 根据针对单固支悬臂梁的抓放策略来对致动电压的减小进行估计的图示。

[0021] 图 17 是根据本发明的实施例例示了混合式 MOS- 继电器晶体管 (a) 处于禁用状态, (b) 其中 MOS 栅极被激活并形成反型沟道, 以及 (c) 其中纳米线与源极接触, 启用晶体管的示意图。

[0022] 图 18 是根据本发明的实施例, 继电器控制功率到两个 CMOS 反相器的电路图。

[0023] 图 19 是根据本发明的实施例例示了机械 NVM 器件处于 (a) 存储单元的初始断开状态, (b) 位线连接到参考电压的闭合状态, 以及 (c) 替代的断开状态的示意图。

[0024] 图 20 是根据本发明的实施例例示了几种电子隧穿继电器几何结构的示意图, 其中示意图的左边部分例示了继电器的断开状态, 并且示意图的右边部分例示了继电器的闭合状态。

[0025] 图 21 是根据本发明的实施例的粘附力与继电器电流随着隧道结的距离变化的标准化图示, 隧道结的距离基于所包括的继电器示意图。

[0026] 图 22 是根据本发明的实施例例示了可用于增加电子隧穿的表面积的不同结的几何结构的示意图。

[0027] 图 23 是根据本发明的实施例例示了使用 (a) 锚定在一侧上以及 (b) 锚定在两侧上的纳米线的机械谐振振荡器的示意图。

[0028] 图 24 包括根据本发明的实施例的 (a) 纳机械谐振器的小信号电气等同电路图, 以及 (b) 针对被锚定在一侧上并具有从 50nm 到 1 μ m 的各长度和 5nm 与 10nm 厚度的纳米线的固有频率 (第 1 种和第 2 种模式) 的计算结果的图示。

[0029] 图 25 包括根据本发明的实施例的 (a) 对于锚定在一侧 (A-F) 上和锚定在两侧

(A-A) 上的线,小信号谐振频率(第1种模式)相对于DC极化电压的图示,以及(b)对于A-A结构,AC电流幅度的频率响应的图示。

[0030] 图26是根据本发明的实施例例示了栅极偏置如何在继电器与栅极电极之间引入引力的示意图,在继电器与栅极电极之间引入引力改变了机械梁的应变并调制电流通过梁和源极/漏极电极。

[0031] 图27是根据本发明的实施例例示了两种情形的示意图,其中(结构A)使源极/漏极电极进入压缩应变的状态,梁将“扣住”以缓解应变,并且当施加电压时,梁变直并呈现压缩应变,以及其中(结构B)使源极/漏极电极进入压缩应变(但没有足够的压力来扣住)的状态,并且当施加电压时,梁变直并呈现跨沟道的应变减小。

[0032] 图28包括根据本发明的实施例说明了对于不同的掺杂和晶体取向,10nm宽并且5nm厚的硅纳继电器的电阻随着所施加的DC电压变化的图示,以及说明了在纳继电器的机械谐振频率附近,电阻随着频率变化的图示。

[0033] 图29例示了根据本发明的一个实施例的计算设备。

具体实施方式

[0034] 描述了基于纳米线的机械开关器件。在下面的描述中,阐述了许多具体细节(例如纳米机电系统的MEMS的具体工作模式),以便提供对本发明实施例的透彻理解。对本领域技术人员来说将显而易见的是,没有这些具体细节也可以实施本发明的实施例。在其它实例中,在其它实例中,并没有详细描述公知的特征(例如集成工艺制备流程),以使得不会不必要地混淆本发明的实施例。此外,要理解的是,在附图中所示出的各个实施例是例示的表示,而不是必须要按比例绘制。

[0035] 本发明的一个或多个实施例涉及基于纳米线的机械开关器件。应用包括(但不限于)微/纳机电系统,非易失性存储设备、射频振荡器、继电器和开关器件。

[0036] 为了提供背景,已经使用现代的纳制备技术将静电致动的机械器件(并且尤其是继电器)按比例缩小到几百纳米。与现有方法相比,本发明的实施例通过以下继电器中的一个或多个继电器与以往研究中所展示的继电器不同:(1)本文所描述的继电器使用纳米线制备工艺来制备,(2)本文所描述的继电器与前端CMOS工艺兼容,或者(3)本文所描述的继电器使用封盖和钝化工艺来制备,覆盖和钝化工艺容许在继电器制备之后继续后端工艺。此外,本文描述了独特类型的器件和应用。

[0037] 通常,本发明的一个或多个实施例涉及纳机械结构(例如,独立的纳米线),该纳机械结构可以借助静电力来移动,并且可以使该纳机械结构进入或退出与导电表面接触的状态。该结构可以使用用于CMOS晶体管沟道制备的相同的硅层来制备,容许单片集成。这种纳机械结构或这样的器件可以以使用当前CMOS工艺高容量可制造的方式来促进应用,这些应用包括继电器(例如,机械闭合-断开开关)、非易失性存储(NVM)设备以及振荡器。机械器件超过类似的CMOS器件的大体优势可以包括(但不限于)由于切换器件状态而引起的显著降低的能量损失,以及在器件的断开状态中几乎零泄漏。如本文所描述的可与CMOS单片集成的机械器件的优势可以包括(但不限于)使用已建立的高容量CMOS制造来在具有小几何结构的大阵列中制备纳机械器件,并且可以构造混合CMOS/机械器件,其可以提供能量消耗的优势。与机械继电器的先前工作相比,本文所描述的器件可以具有以

下优势,例如(但不限于)与半导体前端集成的兼容性、根据 Si 或 SiGe 纳米线工艺的器件制备(其容许与 CMOS 器件的无缝集成)。至于可扩展性,随着器件接近纳米尺寸的域,粘附力变得显著并限制致动电压的缩放。使用如本文所描述的半导体材料,出现在金属-金属结中的粘附力被最小化。一个或多个实施例在设计中包括电子隧穿器件以及缓和粘附力的“塌陷模式”的继电器。应用可以包括(但不限于)可用于非易失性存储器、用于电路应用的振荡器以及混合 CMOS-机械晶体管的独特的基于继电器的解决方案。此外,在一个或多个实施例中,描述了针对互补型逻辑门的继电器拓扑结构。

[0038] 更具体地说,在实施例中,本文所描述的纳继电器结构可适用于(但不限于)CMOS 功率门控、非易失性存储器和振荡器。下面更详细地分别详述了针对每种应用的纳继电器器件的优势。

[0039] 关于纳继电器结构针对非易失性存储器的应用,在实施例中,非易失性通过将存储器编码为机械元件的位置来实现,并利用界面的粘附和表面之间的功函数差,非易失性可以在没有持续能量输入的情况下保持存储状态。在一个或多个实施例中,用于实现实际的非易失性存储器的方法包括与 CMOS 读取和写入电路进行细粒度集成、制造大阵列的存储设备,对于这种机械存储设备与诸如闪存或熔丝之类的基于电气的存储设备比较的安全性优势。例如,如与熔丝类型的存储器相反,机械存储设备可以被再编程(然而,其可以被制作为非再编程的)。

[0040] 关于纳继电器结构对于功率门控 CMOS 电路的应用,在实施例中,尤其在低吞吐量应用中,机械开关可以使用较低的功率利用。在一个这种实施例中,纳机械开关被用作到 CMOS 电路的功率门控器件,其可以在细粒度级别与 CMOS 进行集成,并导致提高的能量效率。此外,根据一个实施例,本文描述了自门控晶体管,其是自动将源极与漏极物理断开(抑制断开状态泄漏)的 CMOS-机械混合式晶体管。当器件没有被使用时,器件自动地“睡眠”,实现了细粒度功率门控而不牺牲器件面积,并消除了决定何时至门功率的复杂性。

[0041] 关于纳继电器结构针对振荡器的应用,在实施例中,除了静态开关操作之外,纳机械结构可以示出具有 AC 输入的谐振行为,其可以用于针对移动和 SoC 应用的 RF 滤波器和振荡器。当跨电容器(例如,由气隙所分隔开的纳米线和电极)施加 AC 电压时,由于时变电压而内在地产生 AC 电流。在纳米线的谐振频率处,AC 电流可以示出来自线的机械谐振的大的增强,其引起时变电容和另外的 AC 电流源。CMOS-兼容的纳机械振荡器的优势可以包括(但不限于)具有前端集成的片上单片 RF 组件,并通过调整 DC 偏置条件来使得频率范围能够优化,并且器件结构使得电可调的谐振器中心频率能够实现。此外,器件可以在大阵列中制备,以便增强输出信号并提高相位噪声和沟道选择性。其它应用包括在谐振器的情况中对管芯上的温度进行感测。在这种情况下,温度改变使得器件的谐振频率偏移,这种偏移可以被测量到。基于继电器的温度传感器比芯片上的温度传感器有利,因为这种器件可以被制备得小得多。

[0042] 如下面结合图 1 所描述的,在实施例中,纳机械器件被制备在硅晶圆上。器件包括在一端或两端上耦合(附接)到材料的纳米线,并悬浮在空隙中。空隙可以是真空的,填充有气体的或填充有液体的。纳米线的一端或两端连接到固体材料,该固体材料是其锚定点。因此,可以制备单锚纳米线或双锚纳米线。锚可以由导电材料组成,创建到纳米线的电路径。锚还可以具有与其耦合的多条纳米线。

[0043] 图 1 例示了根据本发明的实施例的 (a) 锚定在一侧上的纳米线继电器 100A 和 (b) 锚定在两侧上的纳米线继电器 100B 的平面视图, 以及 (c) 锚定在一侧上的纳米线继电器的第一制备步骤 100C 和 (d) 锚定在一侧上的纳米线继电器的第二制备步骤 100D 的横截面视图。参考图 1, 标记为“IN”的区域是绝缘体。标记为“M”的区域是金属或半导体。标记为“GM”的区域是在绝缘层与纳米线之间具有绝缘层的金属或半导体。标记为“A”的区域是锚定材料, 并可以是导电或绝缘材料。“空隙”区域不包含固体材料, 但可以包含气体、液体或者可以是真空。器件可以相对于下层衬底取向为与页面平行或垂直。在图 1 的 (c) 部分, 纳米线中继器被示出为邻近 CMOS 晶体管制备, 具有随后形成的密封件 (例如, 针对由盖构造进行密闭性密封描绘了示例性工艺)。因此, 在一个这种实施例中, 密封可以是封盖工艺, 其中绝缘材料或金属被沉积具有差的方向性。金属填充端口, 并随后使用 CMP 来进行平面化。如在图 1 的 (d) 中所描绘的, 诸如互连构造之类的另外的线后端工艺随后可以例如通过标准的后端 CMOS 工艺来执行。要理解的是, 如果选择几何结构以使得继电器不会短路到栅极 (例如, 对于振荡器或具有机械停止件的继电器), 则可以不必要使栅极绝缘。或者, 代替在栅极电极上具有绝缘件, 绝缘件还可以位于纳米线上。并且, 可能的情况是, 如果挑选几何结构以使得继电器在“闭合”位置不接触栅极, 则不必需要绝缘件。

[0044] 再次参考图 1, 在实施例中, 纳米线由半导体材料或者半导体、金属和 / 或绝缘体的复合材料组成。半导体材料可以在下层晶圆的其它区域内与常规 MOS 晶体管共享。在一个实施例中, 可以将其中包住纳米线的空隙的壁划分成不同的功能区。区域可以包括金属或半导体 (例如, 可选地在金属或半导体与纳米线之间具有绝缘层) 或绝缘体。此外, 在一个实施例中, 空隙的壁形成了矩形盒体, 并且功能区被设置在盒体的任意可用的一侧上。要理解的是, 如下面更详细描述, 对上面所描述区域的选择和配线可以提供功能器件, 例如逻辑开关、功率开关或存储器件。

[0045] 在实施例中, 再次参考图 1, 为了创建空隙, 对于这样的纳机械器件通常执行释放蚀刻, 其中对先前沉积的牺牲材料进行蚀刻。由于纳米线可以是单晶, 诸如外延生长工艺之类的兼容工艺被用于纳米线材料。这里, 用于 CMOS 晶体管的本领域中公知的纳米线制备可以被延伸到制备基于纳米线的纳机械器件, 并提供工艺路径来变得可与那些晶体管集成用于高容量的制造。这种方法提供了本发明的一个或多个实施例中所描述的器件的独特特征, 其中, 可以实现机械和 CMOS 器件的细粒度混合。如结合图 1 的 (c) 部分所描述的, 在实施例中, 接着继电器的制造, 对结构进行钝化以使得气隙被密封。如结合图 1 的 (d) 部分所描述的, 在这种钝化之后, 使用标准后端 CMOS 工艺来继续互连件的制造。

[0046] 总的来说, 根据本发明的一个或多个实施例, 下面更详细描述了十一个示例性的纳机械器件。这些器件包括机械逻辑开关、优化接触电极和栅极几何结构的基本逻辑开关、具有非线性弹簧的机械逻辑开关、用于互补型逻辑的器件、抓放中继器、具有断开的源极的混合式 MOS- 继电器晶体管、功率门控继电器、非易失性存储设备、电子隧穿继电器、机械谐振振荡器以及通过硅的压阻性质的电流调制。

[0047] 在第一个方面, 根据本发明的实施例, 下面结合图 2 描述了机械逻辑开关, 图 2 例示了 (a) 处于初始断开位置的纳米线继电器开关 200A, (b) 处于闭合位置的继电器 200B, 以及 (c) 处于替代的断开位置的继电器 200C 的平面视图。参考图 2, 区域 GM 对应于栅极, 具有电压 V_g 并具有涂覆栅极的电气绝缘层。区域 M1 对应于输出端子, 具有电压 V_{out} 。区

域 M2 对应于参考电压, V_{ref} , 其电气连接到纳米线。在闭合位置, M1 和 M2 具有电气连接。

[0048] 为了将继电器从断开位置 (图 2(a) 或图 2(c)) 切换到闭合位置 (图 2(b)), 设置 V_g 以使得在 V_g 与 V_{ref} 之间的绝对差大于某个阈值电压。在纳米线与 GM 之间感应静电力, 引起纳米线朝向 GM 和 M1 移动。纳米线接触 M1, 在 M1 与 M2 之间创建了电路路径, 引起 V_{out} 转到 V_{ref} 。这是开关的闭合状态。由于绝缘层, GM 和纳米线不具有电路路径。

[0049] 为了将继电器从闭合位置 (图 2(b)) 切换到断开位置 (图 2(a) 或图 2(c)), 设置 V_g 以使得在 V_g 与 V_{ref} 之间的绝对差小于某个阈值电压。减小在 GM 与纳米线之间的静电力, 造成纳米线移动远离 M1 并从 M2 断开。这是开关的断开状态。取决于 V_g 以及绝缘体和纳米线触点的粘附性质, 纳米线可以回到图 2(a) 或图 2(c) 中的断开状态。

[0050] 在实施例中, 与 CMOS 晶体管作为开关相比, 图 2 的器件的优势包括纳米线继电器具有较低的开关能量、在断开状态下几乎没有漏电流通过源极端子和漏极端子、以及当进行开关时具有接近垂直的电流 - 电压关系。与其它现有的机械开关相比, 纳米线继电器可以与 CMOS 晶体管单片地进行制备、较小、并且由于较小而开关地较快。超过现有工作的另一个优势是在“塌陷”模式下工作的可能性, 该“塌陷”模式是在图 2(c) 中所示出的替代的断开状态。这种状态通过对纳米线界面的粘附性质进行控制来实现, 并且这种状态是有利的, 因为减小了在断开到闭合状态之间的开关时间, 提高了开关的瞬态性能。

[0051] 已经开发了数值模拟来测试纳机械器件的操作, 其指示了图 2 的器件的可行性。所模拟的纳米线是 100nm 长、10nm 宽、5nm 厚、具有 100GPa 的弹性模数、5nm 的断开状态间隙距离, 10zJ 的 Hamaker 常数, 以及 1nm² 的实际接触面积。下面所描述的图 3 示出了闭合和断开时的 I-V 关系。下面还描述的图 4 示出了当开关从其断开状态切换到闭合状态时开关的瞬态响应。使用对量子隧穿的 WKB 估计并利用对朝向源极电极移动的纳米线进行动态多重物理量有限元分析, 给出纳米线相对于源极导体的位置来确定电流值。下面所描述的图 5 示出了力的关系随着间隙分隔距离而变化, 示出了线中的弹簧力 (取自基础梁理论)、静电拉入力 (被估计为一组平行板电容器) 以及界面的粘附力 (使用 Hamaker 理论来计算)。

[0052] 图 3 是根据本发明的实施例, 对于使源极 - 漏极接触具有 1nm² 面积的机械逻辑开关或功率开关的 I-V 关系模拟图 300。图示 300 显示了几乎无限的斜率和可忽略的断开状态电流, 这些是超过 CMOS 开关的改进。参考图 2, I_{ds} 对应于 M1 与 M2 之间的电流, 并且 V_{gd} 是 GM 与 M2 之间的电压差。滞后由于静电力的 r^{-2} 依赖性和触点的粘附性而存在。这种情况中的电流转移是由于隧穿而引起, 并且由于触点中原子的钝化而得到 0.44nm, 1eV 的势垒。

[0053] 图 4 是根据本发明的实施例说明了纳机械开关从断开状态改变到闭合状态 (在时间 = 0 施加栅极电压) 的瞬态行为的图示 400。参考图示 400, 示出了针对跨越 1nm² 接触界面的两个不同势垒的隧穿电流。在源极与漏极之间的最小距离是大约 0.44nm, 对应于最大的 I_{ds} 。在该图示中 $V_{ds} = 1V$ 。电流的波动是由于当继电器切换时整个接触面积和分隔距离的小变化, 这种小变化是机械位置的函数。

[0054] 图 5 是根据本发明的实施例说明了对于机械开关中 1nm² 的触点, 力的关系相对于分隔距离的图示 500。图示 500 示出了由栅极所施加的静电力 ($F_{静电}$ (Felectrostatic)), 从开关断开到闭合状态以及从闭合到断开状态的梁的有效弹簧力 ($F_{弹簧}$ (Fspring)), 以及触点的粘附力 ($F_{粘附}$ (Fadh))。对应的开关是可操作的, 因为静电力大于弹簧力, 容许发生拉

入。此外,闭合到断开的弹簧力大于粘附力,允许发生拉出。工作电压是 1V。如果利用“塌陷的”操作(如在图 2(c)中),那么闭合到断开的弹簧力可以小于触点处的粘附力,实现了较低电压的操作。

[0055] 在第二个方面中,根据本发明的另一个实施例,描述了具有优化的接触电极和栅极几何结构的机械逻辑开关。图 6 是根据本发明的实施例例示了具有接触电极被放置在末端处的继电器与具有接触电极被放置于较接近固支边缘以加大弹簧回复力的继电器相比较的断开和闭合位置的示意图 600。

[0056] 参考图 6,继电器结构具有栅极电极和接触电极。栅极电极机械地致动悬臂,以使得悬臂与接触电极接触,并且电流传导通过源极和漏极。足够高的弹簧回复力允许继电器克服粘附并回到其断开的断开状态。接触电极可以被策略性放置,以使得弹簧回复力最大化。通过找出悬臂的机械弹簧常数以及悬臂从其中立位置偏转的距离来确定弹簧回复力。由于机械弹簧常数的值与有效长度的立方成比例,因此缩短有效长度大幅增加弹簧常数。为了缩短悬臂的有效长度,在实施例中,接触电极未被放置在悬臂的末端处。这种方法具有为栅极电极分配空间以远离悬臂的固支端而放置的额外益处,增加了静电致动力的有效性并降低了致动电压。

[0057] 在实施例中,通过优化接触电极的位置,悬臂可以被设计为更具柔性,同时保持相同的弹簧回复力以克服粘附力。这样做时,可能使用较低的工作电压来致动继电器。图 7 包括根据本发明的实施例的 (a) 致动电压与接触电极位置比较的图示 700A 以及 (b) 弹簧回复力与接触电极位置比较的图示 700B。参考图 7,接触电极位置的策略性放置减小了致动电压并增加了弹簧回复力。在实施例中,类似的优化方案被用于双固支继电器。

[0058] 在第三个方面中,根据本发明的另一个实施例,描述了具有非线性弹簧的机械逻辑开关。作为示例,图 8 包括根据本发明的实施例的具有机械停止件的非线性梁的示意图 800 和展示了在未增加致动电压的情况下加大弹簧回复力的相对应的图示 802。在其它实施例中,非线性弹簧的概念可以延伸到除了机械逻辑开关以外的器件(例如,存储器件、功率开关)。

[0059] 参考图 8,施加到悬臂系统的电压引入了使电极较为靠近在一起的引力。所施加的电压还使机械系统进行了移动并引入了弹簧回复力。当静电力和机械回复力平衡时,系统处于均衡状态。其中对于所有“间隙”静电力大于机械力的电压被称为拉入电压。在常规继电器系统下,静电力与间隙距离的平方的倒数成比例增加,而弹簧回复力与间隙距离成比例增加。当间隙是初始间隙距离的 $2/3$ 时,出现拉入电压。对于小于该距离的所有电极距离,静电力大于机械回复力。

[0060] 非线性弹簧类似于线性弹簧直到发生拉入的间隙距离为止。因此,拉入电压并未改变。然而,在拉入之后的距离,弹簧回复力非线性地增加,以使得在触点处,机械弹簧回复力大于线性系统的机械弹簧回复力。非线性弹簧可以通过多种系统来构建,包括引入一个或多个机械停止件,以使得当悬臂碰到机械停止件时,有效悬臂长度缩短并且有效弹簧常数增大。然而这种几何结构引入了需要克服粘附的另一个界面,在实施例中,机械停止件被放置于较靠近悬臂的固支端,以使得有效梁长度较短并且机械回复力较大。

[0061] 在实施例中,结合图 8 所描述的几何结构的额外益处是,将对电气接触的需求与对机械接触的需求分隔开。在传统的悬臂继电器几何结构中,应当将电气接触表面最大化

以使得接触电阻最小化。然而,将电气接触面积最大化还将增大不期望的粘附力。此外,具有期望的电气特性的金属-金属接触还显示高的粘附力。根据本发明的实施例,具有非线性弹簧的几何结构,可以对机械触点的几何结构和材料进行优化以使得粘附力最小化,并且在电气触点处的有效回复点远远大于传统几何结构的电气触点处的有效回复力。

[0062] 图 9 是根据本发明的实施例例示了对 (a) 不具有机械停止件的悬臂与 (b) 具有机械停止件的悬臂进行比较的示意图 900。参考图 9,描绘了当容许大的电气接触面积时,根据使用机械停止件来优化机械凸块的粘附特性的优势。

[0063] 在图 10 中示出了对典型的纳继电器系统的模拟,其包括示出了根据本发明的实施例的针对具有机械凸块的弹簧几何结构的分析结果的图示 1000。悬臂梁具有 300nm 的长度、10nm 的宽度和 10nm 的高度。机械停止件被放置于离悬臂的固支边缘 100nm、150nm、170nm 以及 200nm,并且在悬臂的中和平面下方 5nm。分析结果示出,对于将机械停止件放置在 150nm 和 170nm 处,在不增大拉入电压的情况下,回复力增大。

[0064] 上面所描述的概念可以类似地被实施用于双固支悬臂(也被称为桥)。此外,若干机械凸块可以用于进一步优化几何结构,作为示例,图 11 是根据本发明的实施例示出了使用机械凸块的非线性弹簧可能的几何变化。

[0065] 在第四个方面中,根据本发明的另一个实施例,描述了用于互补型逻辑的一个或多个器件。通过对比,图 6 示出了利用根据图 2 的两个纳米线继电器(标记为 P-继电器和 N-继电器)的互补型反相器的操作。两个继电器的所有栅极(M3 和 M4)电气连接并且是反相器的输入,被标记为 V_{in1} 。继电器与 M5 接触,M5 是反相器的输出并被标记为 V_{out} 。“P”继电器(M2)连接到参考闭合状态电压,并且“N”继电器(M1)连接到参考断开状态电压。对每个继电器的物理操作与图 2 中的简单继电器开关类似。图 12 是根据本发明的实施例例示了互补型继电器反相器的示意图 1200,其中 (a) 输入断开并且输出闭合,以及 (b) 输入闭合并且输出断开。

[0066] 参考图 12(a),具有断开状态电压的输入使得 P-继电器闭合(将输出 M5 连接到 M2)并且 N-继电器断开,导致输出具有闭合状态电压(从输入进行反相)。如在图 12(b) 中所示出的,具有闭合状态电压的输入使得 N-继电器闭合(将输出 M5 连接到 M1)并且 P-继电器断开,导致输出具有断开状态电压(从输入进行反相)。在图 12 中所示出的断开状态对应于图 2(c) 中的断开状态,但其还可以是图 2(a) 中的断开状态。

[0067] 在实施例中,上面的优势包括:为反相器提供互补型版图实现了器件的输出在不需连接到电阻负载的情况下总是能被限定到参考电势,将输出连接到电阻负载可能是另外的能量损失来源。这种行为类似于超过简单的只有 n 型或只有 p 型的 MOS 反相器的典型 CMOS 反相器。另外,在实施例中,有可能通过使用包含每个继电器多个栅极的结构来制备只有两个继电器的互补型 NAND、NOR 和 XNOR。作为示例,图 13 是根据本发明的实施例例示了利用每个继电器多个栅极(输入)的互补型逻辑 (a) NOR, (b) NAND, 以及 (c) XNOR 继电器。

[0068] 参考图 13,与传统 CMOS 逻辑相比减小了复杂性。设计使用了不同尺寸的梁,以使得可能采用一个或多个栅极来拉入继电器。例如,对于 NOR 逻辑继电器,连接到 VDD 的继电器具有大的弹簧常数(是刚性的)以使得需要来自 V_{in1} 与 V_{in2} 两者的电势差来接合,而连接到 GND 的继电器具有小的弹簧常数(是柔性的),因此其可以当 V_{in1} 或 V_{in2} 时接合。因此,输出只有当 $V_{in1} = 0$ 并且 $V_{in2} = 0$ 时连接到 VDD。对于其它场景,输出连接到 GND。

类似的方法用于 NAND 和 XNOR。在实施例中,使用每个继电器多个栅极的概念可以通过将所有的输入放置在梁下方来延伸到三个或更多个输入,并且非反向逻辑 (AND、OR、XOR) 也是类似的情形。

[0069] 根据本发明的另一个实施例,在第五个方面中,描述了抓放继电器。作为示例,图 14 是根据本发明的实施例例示了在抓放结构中使用梁中所储存的能量来减小致动电压和开关能量的优势的示意图 1400。图 15 是根据本发明的实施例的抓放继电器的时序图 1500 和相对应的示意图 1502。

[0070] 参考图 14 和图 15,抓放继电器结构可以包括单固支或双固支悬臂梁,具有两个栅极,这两个栅极在相反的方向上致动继电器。结构还包括顶部和底部触点,以使得当梁触碰到任一触点时建立电流路径。当机械继电器被致动时,能量被储存为梁中的势能。在典型的继电器配置中,当继电器进行开关时,所储存的能量被耗散,以使得继电器开关能量被计算为储存在梁中的能量。然而,在一个实施例中,双栅极继电器结构可以再用该能量中的大部分能量。随着将梁从一个触点进行释放,所储存的势能转换成动能,这有助于使梁较靠近相对的触点,并且显著地降低结构的开关能量和致动电压。机械结构通常具有超过 100 的“Q”因子,意味着每次振荡有小于百分之 1 的能量被耗散,并且因此继电器所储存的能量中的大多数能量可以被再用。要理解的是,当机械继电器被致动时,机械继电器由于其运动而获得动能。在典型的继电器配置中,当继电器进行开关时,该动能被耗散,并且其是继电器开关能量损失中的组成部分。在开关周期中,不是必须要“损失”继电器中弹簧的弹性势能,而是损失动能。继电器开关能量的其它组成部分是来自充电的容性能量,其在开关周期中损失。

[0071] 用于提供梁处于初始状态的相关联的致动电压和能量高于随后的抓放操作。然而,在实施例中,随后的致动需要低得多的电压。由于降低致动电压可以有助于避开对纳机械继电器来说是固有的“粘附特性”,因此弹簧可以被设计得较为刚性以具有足够的弹簧回复力,并且还具低电压致动用于随后的致动。抓放继电器可以在反相器或逻辑门器件中使用。较低电压的致动可以致使器件与前端 CMOS 工艺较为兼容。

[0072] 为了进一步的说明,图 16 是根据本发明的实施例,根据针对单固支悬臂梁的抓放策略对致动电压的减小进行估计的图示 1600。V1 是初始致动(以及如果不采用抓放机构的随后的致动)所需要的电压,并且 V2 是用于“抓住”梁所需要的减小的电压。

[0073] 在第六个方面中,根据本发明的另一个实施例,描述了具有断开的源极的混合式 MOS-继电器晶体管。作为示例,图 17 是根据本发明的实施例例示了混合式 MOS-继电器晶体管 (a) 处于禁用状态,(b) 其中 MOS 栅极被激活并形成反型沟道,以及 (c) 其中纳米线与源极接触,启用晶体管的示意图 1700。

[0074] 参考图 17,示出了混合式 MOS 继电器,其中,常规 MOS 栅极(具有电压 V_g)和漏极(具有电压 V_d)被放置在针对纳米线的锚定区中。MOS 栅极和漏极可以环绕纳米线。在实施例中,纳米线是掺杂半导体,在 MOS 栅极下方的区域中具有相反掺杂(在图 17 中示出了 p 型掺杂)。在初始的断开状态,晶体管的源极并不连接到纳米线。继电器栅极(具有电压 V_r)连接到参考电压。然而,在实施例中,继电器栅极是可选的并可以使用较大的源极区来代替。

[0075] 再次参考图 17,为了将纳米线连接到源极,启用晶体管,将 V_d 设置为参考漏极电

压,并将 V_r 设置为与 V_d 不同的参考电压,例如地电压。如在图 7(b) 中所示出的,设置 V_g 以使得在 MOS 栅极下面的纳米线中形成反型层。这种布置使得在继电器栅极与源极之间形成相对于纳米线的电势差。如在图 17(c) 中所示出的,纳米线朝向源极移动并接触源极。接触创建了从源极到漏极的导电路径。MOS 栅极随后可以用作典型的晶体管栅极。然而,如果反型层被移除得太久,则纳米线将从源极断开。由于电气开关可以发生得比机械动作快得多,因此在实施例中,假设反型层存在超过临界工作时间,则纳米线依然连接到源极。

[0076] 为了将纳米线从源极断开,禁用晶体管,改变 V_g 以使得纳米线中的下层反型层被移除足够长的一段时间。这使得纳米线的电势朝向源极和继电器栅极的电势移动(如果存在的话)。由于电势差被减小或移除,因而支撑纳米线的力被减小或移除。因此,纳米线移动远离源极,从源极断开并回到其在图 17(a) 中的初始位置。在该点,从源极到漏极不存在导电路径。

[0077] 在实施例中,与传统 CMOS 晶体管相比的优势包括,这种混合式晶体管具有从源极到漏极几乎是零的断开状态电流,因为导电元件(例如,纳米线)从源极物理地断开。与机械开关(例如,如在图 2 中)相比,由于开关机制来自于改变 MOS 晶体管中的电子能级(其是相对迅速的过程),因此混合式晶体管开关得较快。

[0078] 在第七个方面中,根据本发明的实施例,描述了具有纳米线继电器的功率门控 MOS 晶体管。作为示例,图 18 是根据本发明的实施例,继电器控制功率到两个 CMOS 反相器的电路图 1800。

[0079] 参考图 18,示出了根据图 2 的纳米线继电器正在门控功率到两个 CMOS 反相器(INV1 和 INV2)的可能的电路。然而,要理解的是,可以使用任何类型和任意数量的电路(例如,如果继电器可以运载足够的电流)。纳米线继电器上的 RG、RD 和 RS 分别与图 2 中的栅极、端子 1 和端子 2 相对应。 V_{cc} 是电源电压。当继电器断开时,没有功率被提供到 MOS 晶体管。当继电器闭合时,提供了到 MOS 晶体管的功率,并且器件类似于典型 CMOS 反相器来工作。在实施例中,继电器中的纳米线可以采用与 MOS 晶体管相同的半导体材料来制造。

[0080] 在实施例中,优势包括使用纳米线继电器而非 MOS 晶体管来门控功率到 MOS 电路,以实现较低的能量使用。因为继电器具有比 MOS 门控晶体管小的开关能量,并且当处于断开状态时并不从其端子泄漏电流,因此利用了较少的能量。较低的能量利用还导致了热量上较凉的开关。此外,使用这种纳米线继电器可以实现细粒度功率门控,因为制备工艺类似于 MOS 晶体管并且主要元件可以是在 MOS 器件中所使用的首要半导体材料。

[0081] 在第八个方面中,根据本发明的实施例,描述了非易失性纳机械存储器件。作为示例,图 19 是根据本发明的实施例例示了机械 NVM 器件处于 (a) 存储单元的初始断开状态, (b) 位线连接到参考电压的闭合状态,以及 (c) 替代的断开状态的示意图 1900。

[0082] 参考图 19,示出了作为非易失性存储(NVM)器件工作的纳米线继电器。M1 是位线,具有电压 V_{out} 。这是存储单元的位状态。M2 连接到参考闭合状态电压, V_{ref} 。GM1 是写入线,并且 GM2 是擦除线。为了将存储单元的位状态设置为开启,利用写入线将电压施加到 GM1 上,在 GM1 与 M2 之间创建了电压差。如在图 9(b) 中所示出的,纳米线朝向 GM1 移动并接触 M1,将 M1 连接到 M2。M1 上的电压现在是 V_{ref} ,并且位状态开启。如果 GM1 与 M2 之间的电压差被移除(例如,如果失去了到器件的功率),则纳米线由于所构建的界面粘附而将保持粘在 M1。因此,该状态是非易失性的。

[0083] 为了将存储单元的位状态设置为关闭,利用擦除线将电压施加到 GM2 上,在 GM2 与 M2 之间创建了电压差。如在图 19(c) 中所示出的,纳米线朝向 GM2 移动,从 M1 断开。因为 M1 不再连接到 M2,因此位状态关闭。如果 GM2 与 M2 之间的电压差被移除(例如,如果失去了到器件的功率),则取决于器件参数,纳米线可以由于界面粘附而保持连接到 GM2 侧,或者其可以回到图 19(a) 中的状态。在任一种情况中,M1 和 M2 不具有导电路径,并且位单元保持在关闭状态。因此,该状态是非易失性的。

[0084] 图 19 中的器件被示出有两种可能的状态。然而,要理解的是,如果存在另外的围绕纳米线的位线和写入线,则可以存在更多状态。作为示例,在一个实施例中,如果在页面后面和页面上方的视角中包括另外的位线和写入线,则可以实现四种存储状态。此外,器件可以耦合到 CMOS 电路用于提供读取和写入能力,并由于类似的制备工艺而可以被紧密地集成。在实施例中,优势包括制备 NVM 继电器器件具有每个位状态不保留电荷的安全优势。这防止了来自读取状态的侵略性的逆向工程方法(例如 SEM 无源电压对比)。

[0085] 在第九个方面中,根据本发明的另一个实施例,描述了电子隧穿继电器。作为示例,图 20 是根据本发明的实施例例示了几种电子隧穿继电器几何结构的示意图 2000,其中示意图的左边部分例示了继电器的断开状态,并且示意图的右边部分例示了继电器的闭合状态。对于每幅图,继电器致动电压被指示为在栅极电极的下面。

[0086] 参考图 29,电气触点之间的表面粘附力使得开关对于继电器结构来说较为困难。为了缓和这个问题,可以设计继电器几何结构,以使得一个或多个梁足够接近以通过电子隧穿来允许电流传导,但仍然离得足够远以使得表面粘附力最小化。电子隧穿允许电子在两个电极之间不存在物理接触的情况下穿过有限的势垒(例如空气)。由于梁并不需要克服表面粘附力来释放结构,这些结构可以被设计为具有柔性的弹簧和低的致动电压。正如典型的继电器结构,因为继电器不需要大的机械位移来闭合,因此进一步减小了致动电压。

[0087] 图 21 是根据本发明的实施例的粘附力与继电器电流随着隧道结的距离变化的标准化图示 2100,隧道结的距离基于所包括的继电器示意图 2102。设计点在于在保持通过继电器的类似电流的同时可以减小粘附力。图 22 是根据本发明的实施例例示了可用于增加电子隧穿的表面积的不同结的几何结构的示意图 2200。

[0088] 参考图 21,示出了具有隧道结的继电器的模拟和模型。通过继电器的电阻是通过梁的电阻与通过隧道结的电阻之和。对于电子隧穿可能发生的短距离,继电器电阻由通过梁的电阻主导,然而对于长距离,电子隧穿电阻是主导的。图 21 还描述了范德华粘附力随间隙距离变化。在实施例中,存在可以显著减小粘附力而不影响通过继电器的电阻的设计点。如在图 22 中所示出的,不同的继电器接触结构还可用于增加隧道结的表面积。

[0089] 在第十个方面中,根据本发明的另一个实施例,描述了机械谐振振荡器。作为示例,图 23 是根据本发明的实施例例示了使用 (a) 锚定在一侧上以及 (b) 锚定在两侧上的纳米线的机械谐振振荡器的示意图 2300。在 DC 极化偏置之上施加小的 AC 输入,DC 极化偏置小于拉入电压。在谐振频率,由于线的机械谐振,可以在纳米线与栅极之间产生较大的电抗电流(表示为箭头)。

[0090] 随后参考图 23,示出了纳机械结构作为 RF 谐振器的另一种可能的应用。跨越栅极 (GM) 和纳米线施加小于拉入电压的 DC 极化电压,以使得线少量偏转。纳米线偏转的量是小的,以使得其无法与栅极接触(栅极上的绝缘体并不是严格必须的)。叠加在 DC 电压

上的是小的 AC 电压,施加 AC 电压是用于激起纳米线的机械谐振模式。在谐振频率,除了由于时变电压而引起的穿过电阻器的固有 AC 电流以外,由于纳米线的谐振移动,可以产生较大的无功电流,其导致了时变电抗。

[0091] 图 24 包括根据本发明的实施例的纳机械谐振器的小信号电气等同电路图 2400,以及 (b) 针对被锚定在一侧上并具有从 50nm 到 1 μm 的各长度和 5nm 与 10nm 的厚度的纳米线的固有频率 (第 1 种和第 2 种模式) 的计算结果的图示 2402。

[0092] 参考图 24(a),示出了纳机械谐振器的电气等同电路。对于 t 时刻的 AC 电压 v(t),除了通过静态电容器 C0 的正常电流路径以外,还存在通过具有分别为 L_m、C_m 和 R_m 的电感、电容和电阻的谐振电路的平行电流路径。下标 m 表示它们源于纳米线的机械运动。在小信号的限制下, L_m = M/η² 并且 C_m = η²/K, 其中 M 和 K 分别是梁的弹簧质量常数和有效弹簧系数。η 是被定义为 η = εAV_p/g² 的机电转导因子,其中 ε 是介电常数, A 是电容器面积, V_p 是 DC 极化电压, 并且 g 是间隙厚度。纳米线的固有频率被表示为 $1/2\pi\sqrt{L_m C_m}$ 。

应当指出,电阻来自阻尼为 $R_m = \sqrt{KM}/Q\eta^2$, 其中 Q 是品质因数。对于具有厚度 a、宽度 b 和长度 L 的矩形线, M = ρabL, ρ 是质量密度, 并且经典梁理论给出 K = Eba³an⁴/12L³, 其中 E 是弹性模数, 并且 an 是第 n 个波数。

[0093] 工作频率可以通过改变器件结构、线的尺寸和 DC 偏置来调整。对于相同的纳米线尺寸,锚定在一侧上的谐振器 (见图 23(a)) 示出了比锚定在两侧上的谐振器 (见图 23(b)) 低的拉入电压和谐振频率。谐振频率还通过 DC 极化电压来调制,因为形状和有效刚度随着纳米线偏转而改变。这使得电可调的谐振器中心频率能够实现。谐振频率还关键取决于梁的物理尺寸,例如长度和厚度。图 24(b) 示出了针对锚定在一侧上并具有不同长度和厚度的纳米线的第 1 和第 2 固有频率的计算结果。所有其它纳米线参数与图 3 中的纳米线参数相同。值得注意的是,固有频率随着长度减小和厚度增加而加大。

[0094] 在实施例中,纳机械振荡器的优势包括 (但不限于) 与 CMOS 片上单片 RF 滤波器和振荡器组件集成的能力。工作频率可以通过跨越宽范围改变梁尺寸和锚定条件来选择,并且还可以通过 DC 偏置条件来调整。大容量 CMOS 兼容的工艺还使得能够实施大阵列的谐振器件,以便其可以增强输出信号。

[0095] 图 25 包括根据本发明的实施例的 (a) 针对锚定在一侧 (A-F) 上和锚定在两侧 (A-A) 上的线,小信号谐振频率 (第 1 种模式) 与 DC 极化电压比较的图示 2500, 以及 (b) 对于 A-A 结构, AC 电流幅度的频率响应的图示 2502。A-A 结构示出了较高的拉入电压 (较大范围的 DC 偏置) 和谐振频率。在两种情况中,谐振频率随着 DC 偏置增大而降低。在谐振频率附近, AC 电流幅度示出了由于线的机械谐振而引起的大峰值,并且响应随着增大 Q 而增大。

[0096] 随后参考图 25,示出了针对纳机械谐振器的数值模拟结果。线的尺寸和模数与结合图 2 的器件所描述的模拟中的那些尺寸和模数相同。在图 25(a) 中,针对两种情况示出了谐振频率 (第 1 种模式) 与 DC 极化电压比较,线被锚定在一侧上 (锚定-自由,“A-F”) 以及线被锚定在两侧上 (锚定-锚定,“A-A”)。在 A-A 中的拉入电压和谐振频率比在 A-F 中高。在两种情况中,谐振频率随着 DC 偏置增大而降低。图 25(b) 示出了对于 A-A 结构具有 V_p = 1V 并且 AC 电压具有幅度 v_{ac} = 20mV 的 AC 电流幅度的频率响应。响应与 C0dv/dt

进行比较, $C0dv/dt$ 表示对于相同的 AC 输入, 流过静态平行板电容器的 AC 电流。在谐振频率附近 (大约 3.37GHz), 谐振器示出了除了由于线的机械谐振而引起的背景电流以外的大 AC 电流, 并且响应随着 Q 增大而增大。

[0097] 在第十一个方面中, 根据本发明的另一个实施例, 描述了通过硅的压阻特性进行电流调制。作为示例, 图 26 是根据本发明的实施例例示了栅极偏置如何在继电器与栅极电极之间引入引力的示意图 2600, 在继电器与栅极电极之间的引入引力改变了机械梁的应变并调制电流通过梁和源极 / 漏极电极。

[0098] 在实施例中, 通常, 类似于悬臂的器件可以使用机械移动或变形来转换通过梁的电阻变化, 这改变了流过器件的电流。与栅极电极如何致动类似于继电器的器件相似, 机械移动或变形可以通过栅极电极来静电控制。这种器件使用了硅的压阻特性, 其中机械变形改变了梁上的应变, 这种应变转换成通过梁以及源极电极和漏极电极的电阻 (和电流) 变化。一个实施例包括具有用于调制机械结构的栅极电极以及连接悬臂两端的源极电极和漏极电极的器件。再次参考图 26, 器件并不需要金属电极之间的物理接触, 这减小了表面粘附力并增加了器件可靠性。器件还可以用作谐振器器件, 其中栅极电极用于将梁驱动到谐振中 (AC 信号), 并从固有频率改变到谐振频率 (DC 信号)。通过对梁的电阻调制来获得感测信号。

[0099] 图 27 是根据本发明的实施例例示了两种情形的示意图 2700, 其中 (结构 A) 使源极 / 漏极电极进入压缩应变的状态, 梁将“扣住”以缓解应变, 并且当施加电压时, 梁变直并呈现压缩应变, 以及其中 (结构 B) 使源极 / 漏极电极进入压缩应变 (但没有足够的压力来扣住) 的状态, 并且当施加电压时, 梁变直并呈现跨沟道的应变减小。

[0100] 对于最大的信号转换, 可以使梁预先应变。如针对结构 A 所示出的, 源极电极和漏极电极处于压缩应变, 以使得结构扣住以缓解应变。由于通过栅极电极来施加电压, 梁变直并且整个梁随后处于压缩应力。结构 B 示出了类似的概念, 其中, 对梁加压以使得其无法扣住, 但呈现压缩应力。在实施例中, 在栅极电极与梁之间施加电压减小了压缩应力并调制电流通过结构。要理解的是, 预先应变或者未应变的位置可能仍然具有某种应变, 只是并非大量应变。例如, 梁可以具有某种非零的最小应变, 这种应变是拉伸的或者压缩的应变, 但是整体的应变能量小于如果梁处于“线性”配置中的应变能量 (因为梁是扣住的)。

[0101] 图 28 包括根据本发明的实施例展示了对于不同的掺杂和晶体取向, 10nm 宽并且 5nm 厚的硅纳继电器的电阻随着所施加的 DC 电压变化的图示 2800, 以及展示了在纳继电器的机械谐振频率附近, 电阻随着频率变化的图示 2802。

[0102] 参考图 28, 示出了对于采用根据图 27 的结构 B 中几何结构的 200nm 长、10nm 宽并且 5nm 厚的硅纳继电器, 绘出电阻随着所施加的电压变化的模拟结果。取决于晶体取向和掺杂分布, 施加 DC 电压可以增大或减小所感测的电阻。由于结构在机械谐振频率附近被激发, 因此响应加大。因为信号是非线性的, 因此有可能使用大的 DC 信号对继电器施加偏置, 并随后在偏置点附近施加小的 AC 信号来提高线性度。

[0103] 在实施例中, 本文所描述的纳米线可以被设置为线或者带的尺寸, 并可以具有做成方形或圆形的角。在实施例中, 纳米线由诸如 (但不限于) 硅、锗、或者它们的组合, 或者 III-V 族材料的组合之类的材料组成。在一个这种实施例中, 纳米线是单晶。例如, 对于硅纳米线, 单晶纳米线可以基于 (100) 全局硅取向, 例如, 在 z 方向上具有 $\langle 100 \rangle$ 平面。在实

施例中,从横截面的视角来看,这些纳米线的尺寸位于纳米级。例如,在具体实施例中,纳米线的最小尺寸小于大约 20 纳米。本文所描述的纳米线可以使用如在本领域中所公知的半导体工艺方法来制备。在其它实施例中,继电器不限于方形和圆形角,而可以使用其它几何形状,例如(但不限于)蝴蝶结的几何形状、三角形、不规则四边形或六边形等等。

[0104] 术语“微机电系统(MEMS)和“纳机电系统”通常指代并入某种机械结构的装置,这种机械结构具有分别与微电子或纳电子器件可比较的尺寸比例。机械结构通常能够进行某种形式的机械运动。因此,在实施例中,本文所预期的 MEMS 和纳机电系统结构是落入 MEMS 或纳机电系统技术的范围内的任何器件。例如, MEMS 或纳机电系统结构可以是在衬底上使用光刻、沉积和蚀刻工艺所制备的任何机械和电子结构。根据本发明的实施例, MEMS 或纳机电系统结构是诸如(但不限于)谐振器、传感器、检测器、滤波器或反射镜之类的器件。在一个实施例中, MEMS 或纳机电系统结构是谐振器。在具体实施例中,谐振器是诸如(但不限于)梁、板和音叉或者悬臂辐之类的谐振器。

[0105] 图 29 例示了根据本发明的一个实施例的计算设备 2900。计算设备 2900 承载板 2902。板 2902 可以包括多个组件,包括但不限于处理器 2904 和至少一个通信芯片 2906。处理器 2904 物理和电气地耦合到板 2902。在某些实施方式中,至少一个通信芯片 2906 还物理和电气地耦合到板 2902。在另外的实施方式中,通信芯片 2906 是处理器 2904 的部分。

[0106] 取决于其应用,计算设备 2900 可以包括其它组件,这些组件可以物理和电气耦合到板 2902,也可以不存在这样的耦合。这些其它组件包括但不限于易失性存储器(例如, DRAM)、非易失性存储器(例如, ROM)、闪存、图形处理器、数字信号处理器、密码协处理器、芯片组、天线、显示器、触摸屏显示器、触摸屏控制器、电池、音频编解码器、视频编解码器、功率放大器、全球定位系统(GPS)设备、罗盘、加速计、陀螺仪、扬声器、照相机和大容量储存设备(例如硬盘驱动、压缩盘(CD)、数字多功能盘(DVD)等等)。

[0107] 通信芯片 2906 实现了无线通信,以便将数据传送到计算设备 2900 以及从计算设备 2900 传送数据。术语“无线”及其派生词可用于描述可通过非固态介质通过使用调制电磁辐射来传送数据的电路、设备、系统、方法、技术、通信信道等。该术语并不暗示所关联的设备不包含任何导线,虽然在某些实施例中它们可能不含有。通信芯片 2906 可以实施多个无线标准或协议中的任何标准或协议,这些标准或协议包括但不限于 Wi-Fi (IEEE802. 11 系列)、WiMAX (IEEE 802. 16 系列)、IEEE 802. 20、长期演进(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、及其衍生物,以及被命名为 3G、4G、5G 及之后的任何其它无线协议。计算设备 2900 可以包括多个通信芯片 2906。例如,第一通信芯片 2906 可以专用于较短距离无线通信(例如 Wi-Fi 和蓝牙),并且第二通信芯片 2906 可以专用于较长距离无线通信(例如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 以及其它)。

[0108] 计算设备 2900 的处理器 2904 包括封装在处理器 2904 内的集成电路管芯。在本发明的一些实施方式中,处理器的集成电路管芯包括根据本发明的实施例所构建的一个或多个基于纳米线的机械开关器件。术语“处理器”可以指代对来自寄存器和/或存储器的电子数据进行处理以便将该电子数据转换成可以储存在寄存器和/或存储器中的其它电子数据的任何器件或器件的一部分。

[0109] 通信芯片 2906 还包括封装在通信芯片 2906 内的集成电路管芯。根据本发明的另一种实施方式,通信芯片的集成电路管芯可以包括根据本发明的实施例所构建的一个或多

个基于纳米线的机械开关器件。

[0110] 在另外的实施方式中,在计算设备 2900 内所承载的另一个组件可以包括独立的集成电路存储器管芯,该独立的集成电路存储器管芯包括根据本发明的实施例所构建的一个或多个基于纳米线的机械开关器件。

[0111] 在各种实施方式中,计算设备 2900 可以是膝上计算机、上网本、笔记本、超极本、智能电话、平板电脑、个人数字助理 (PDA)、超级移动 PC、移动电话、台式计算机、服务器、打印机、扫描仪、监视器、机顶盒、娱乐控制单元、数码相机、便携式音乐播放器或数字视频录像机。在另外的实施方式中,计算设备 2900 可以是处理数据的任何其它电子设备。

[0112] 因此,本发明的实施例包括基于纳米线的机械开关器件。

[0113] 在实施例中,纳米线继电器包括纳米线,所述纳米线被设置在空隙中,所述空隙被设置在衬底上方。所述纳米线具有锚定部分和悬浮部分;第一栅极电极,所述第一栅极电极被设置为邻近所述空隙并与所述纳米线间隔开;以及第一导电区,所述第一导电区被设置为邻近所述第一栅极电极并邻近所述空隙,并与所述纳米线间隔开。

[0114] 在一个实施例中,所述纳米线是单锚定的纳米线,并且所述纳米线的所述锚定部分仅包括所述纳米线的一端。所述纳米线的所述一端耦合到第二导电区,所述第二导电区被设置为邻近所述第一栅极电极,并通过所述第一栅极电极与所述第一导电区分隔开。

[0115] 在一个实施例中,所述第一导电区和所述第二导电区由金属材料或半导体材料组成。

[0116] 在一个实施例中,纳米线是双锚定的纳米线,并且所述纳米线的所述锚定部分包括所述纳米线的第一端和所述纳米线的第二端。所述纳米线的所述一端耦合到第二导电区,所述第二导电区被设置为邻近所述第一栅极电极并通过所述第一栅极电极与所述第一导电区分隔开。所述纳米线的所述第二端耦合到锚定区,所述锚定区被设置为邻近第二栅极电极,所述第二栅极电极被设置为邻近所述第一导电区并邻近所述空隙。所述第二栅极电极与所述纳米线间隔开,并通过所述第一导电区与所述第一栅极电极分隔开。

[0117] 在一个实施例中,所述第一导电区和所述第二导电区由金属材料或半导体材料组成,并且所述锚定区由导电材料或绝缘材料组成。

[0118] 在一个实施例中,所述纳米线被取向为与所述衬底平行。

[0119] 在一个实施例中,所述纳米线被取向为与所述衬底垂直。

[0120] 在一个实施例中,所述空隙包括真空的空隙、填充有气体的空隙或者填充有液体的空隙。

[0121] 在一个实施例中,所述空隙被密闭性密封。

[0122] 在一个实施例中,所述纳米线继电器包括在例如但不限于以下的器件中:机械逻辑开关、基本逻辑开关、具有非线性弹簧的机械逻辑开关、用于互补型逻辑的器件、抓放继电器、具有断开的源极的混合式 MOS- 继电器晶体管、功率门控继电器、非易失性存储器件、电子隧穿继电器或者机械谐振振荡器。

[0123] 在实施例中,方法包括将纳米线继电器从断开位置切换到闭合位置。所述纳米线继电器包括纳米线、栅极电极和输出端子电极,所述纳米线具有设置在空隙中的悬浮部分并被参考电压电极锚定,所述栅极电极被设置为邻近所述空隙,所述输出端子电极被设置为邻近所述栅极电极并邻近所述空隙。所述方法涉及设置所述栅极电极的电压 (V_g),以使

得 V_g 与所述参考电压电极的电压 (V_{ref}) 之间的绝对差大于阈值电压。在所述纳米线与所述栅极电极之间感应静电力以移动所述纳米线的所述悬浮部分朝向所述栅极电极和所述输出端子电极。使所述纳米线的所述悬浮部分接触所述输出端子电极以便在所述输出端子电极与所述参考电压电极之间创建电路径。

[0124] 在一个实施例中,使所述纳米线的所述悬浮部分接触所述输出端子电极以便在所述输出端子电极与所述参考电压电极之间创建所述电路径使得所述输出端子电极的所述电压 (V_{out}) 变为 V_{ref} 。

[0125] 在一个实施例中,使所述纳米线的所述悬浮部分接触所述输出端子电极还涉及使所述纳米线的所述悬浮部分接触所述栅极电极,但在所述参考电压电极与所述栅极电极之间不创建电路径。

[0126] 在一个实施例中,使所述纳米线的所述悬浮部分接触所述输出端子电极涉及使所述纳米线的未锚定端接触所述输出端子电极。

[0127] 在一个实施例中,使所述纳米线的所述未锚定端接触所述输出端子电极涉及由机械停止件来限制所述纳米线的运动,所述机械停止件位于所述纳米线上的在所述纳米线的所述未锚定端与锚定端之间的部分。这可以被推广为非线性弹簧(其可以利用机械停止件来实现)、非线性材料或几何结构变化(例如双固支梁)。

[0128] 在一个实施例中,选择所述纳米线上的在所述纳米线的所述未锚定端与所述锚定端之间的所述部分的位置,以使得所述纳米线的弹簧回复力最大化。

[0129] 在一个实施例中,使所述纳米线的所述悬浮部分接触所述输出端子电极涉及接触在所述纳米线的未锚定端与锚定端之间的所述纳米线的部分。

[0130] 在一个实施例中,选择所述纳米线上的在所述纳米线的所述未锚定端与所述锚定端之间的所述部分的位置,以使得所述纳米线的弹簧回复力最大化。

[0131] 在实施例中,方法包括将纳米线继电器从断开位置切换到闭合位置。所述纳米线继电器包括纳米线、栅极电压和输出端子电极,所述纳米线具有设置在空隙中的悬浮部分并被参考电压电极锚定,所述栅极电极被设置为邻近所述空隙,所述输出端子电极被设置为邻近所述栅极电极并邻近所述空隙,所述方法包括:设置所述栅极电极的电压 (V_g),以使得 V_g 与所述参考电压电极的电压 (V_{ref}) 之间的绝对差小于阈值电压;减小所述纳米线与所述栅极电极之间的静电力以移动所述纳米线的所述悬浮部分远离所述栅极电极和所述输出端子电极;将所述纳米线的所述悬浮部分从所述输出端子电极断开。

[0132] 在一个实施例中,将所述纳米线的所述悬浮部分从所述输出端子电极断开还涉及将所述纳米线的所述悬浮部分从所述栅极电极断开。

[0133] 在一个实施例中,将所述纳米线的所述悬浮部分从所述输出端子电极断开涉及保持所述纳米线的所述悬浮部分与所述栅极电极之间的接触,但在所述参考电压电极与所述栅极电极之间不创建电路径。

[0134] 在一个实施例中,在断开位置保持所述纳米线的所述悬浮部分与所述栅极电极之间的接触提供了塌陷模式,相对于将所述纳米线的所述悬浮部分从所述栅极电极断开的断开位置,所述塌陷模式具有较短的开关时间。

[0135] 在实施例中,半导体器件包括纳米线,所述纳米线具有设置在源极区与漏极区之间的悬浮部分。栅极电极被设置在源极电极与漏极电极之间,并接近于所述纳米线的所述

悬浮区但与所述纳米线的所述悬浮区间隔开。

[0136] 在一个实施例中,所述纳米线的所述悬浮部分在处于所述源极区与所述漏极区之间的非线性几何结构中时,没有应变。

[0137] 在一个实施例中,所述纳米线的所述悬浮部分在处于所述源极区与所述漏极区之间的线性几何结构中时,压缩应变。

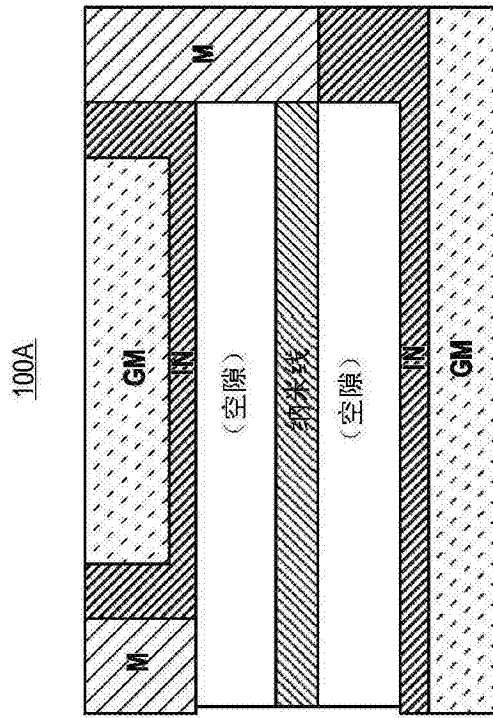


图 1A

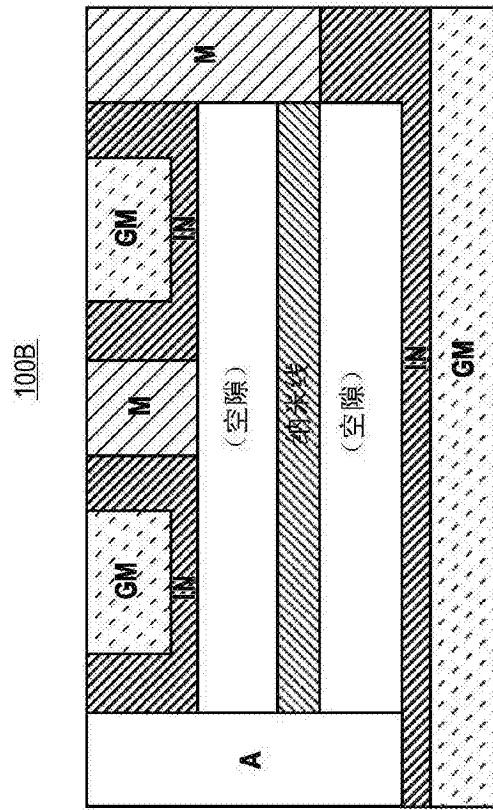


图 1B

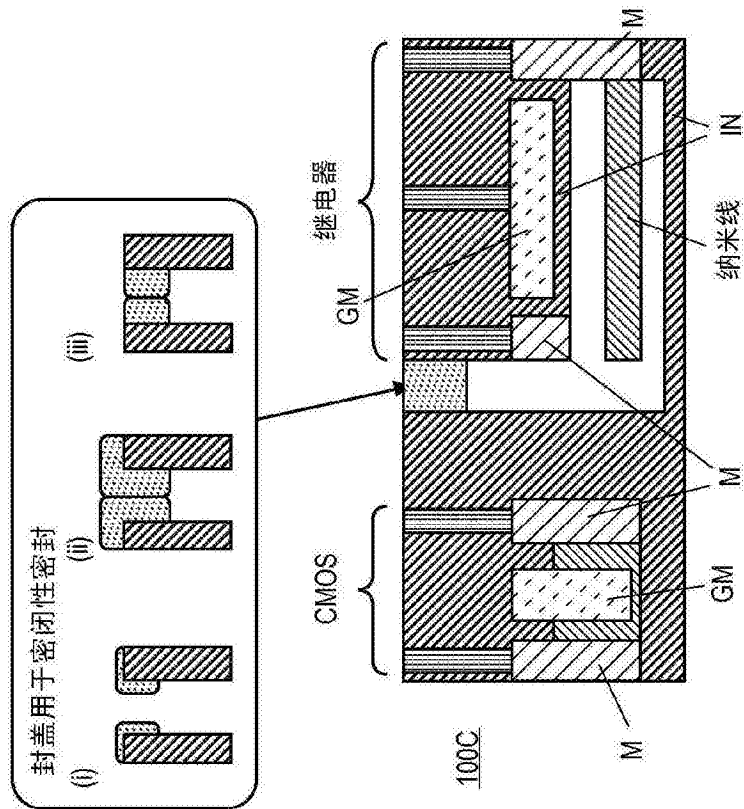


图 1C

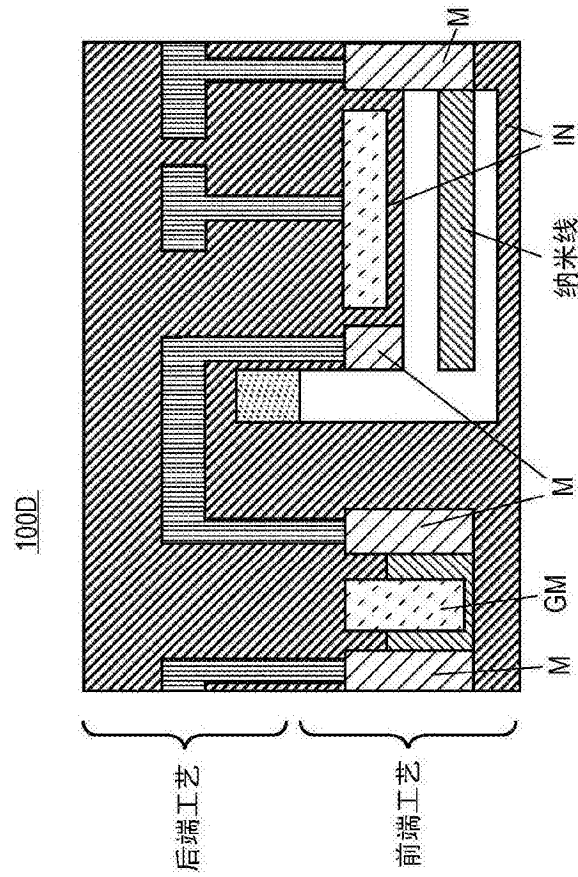


图 1D

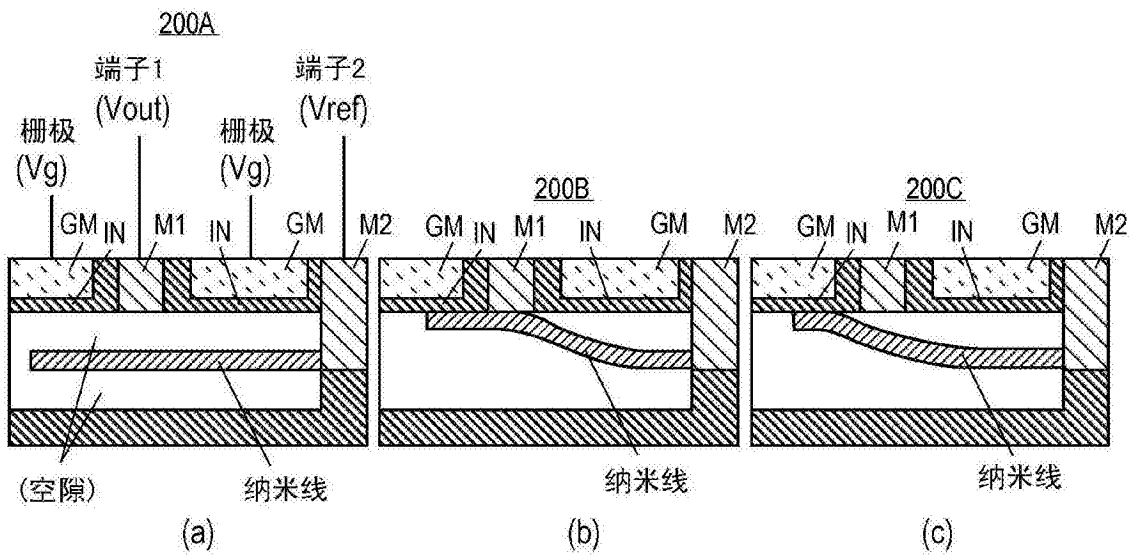


图 2

300

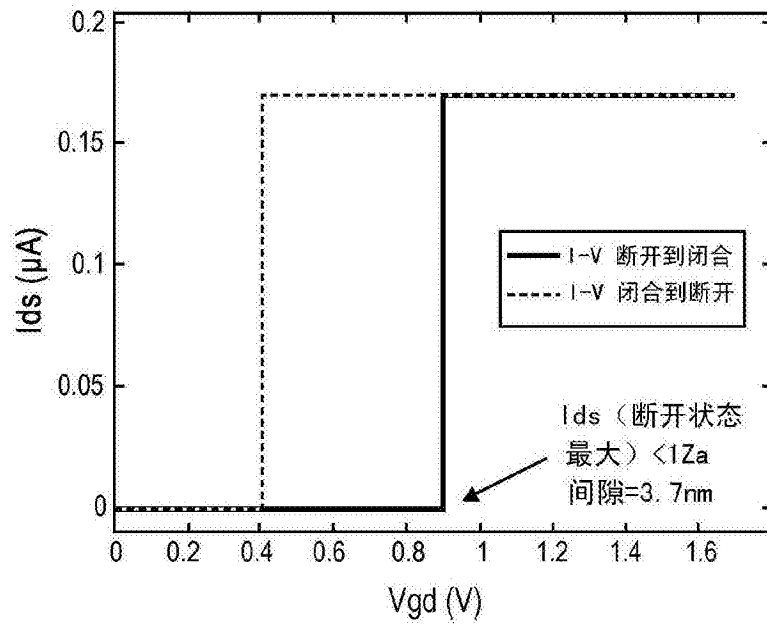


图 3

400

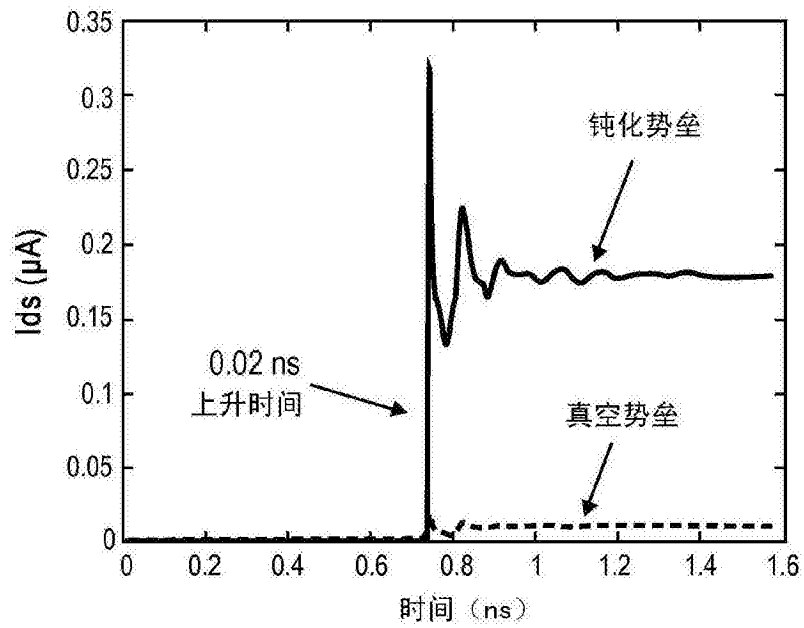


图 4

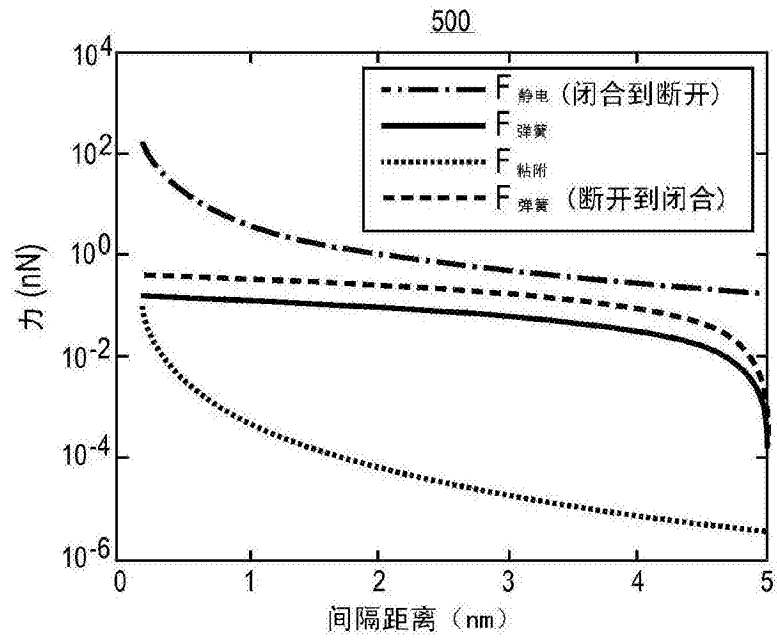


图 5

600

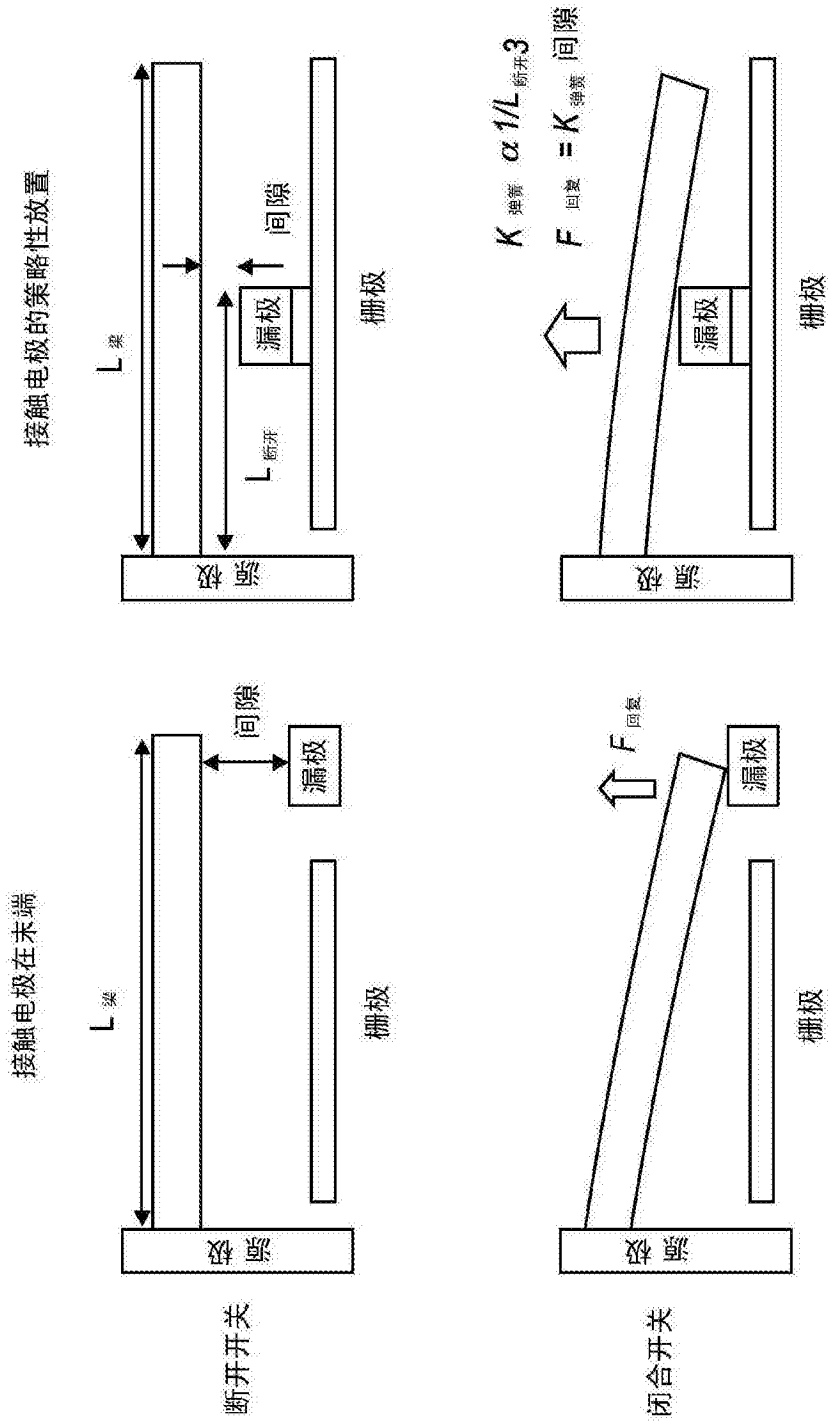


图 6

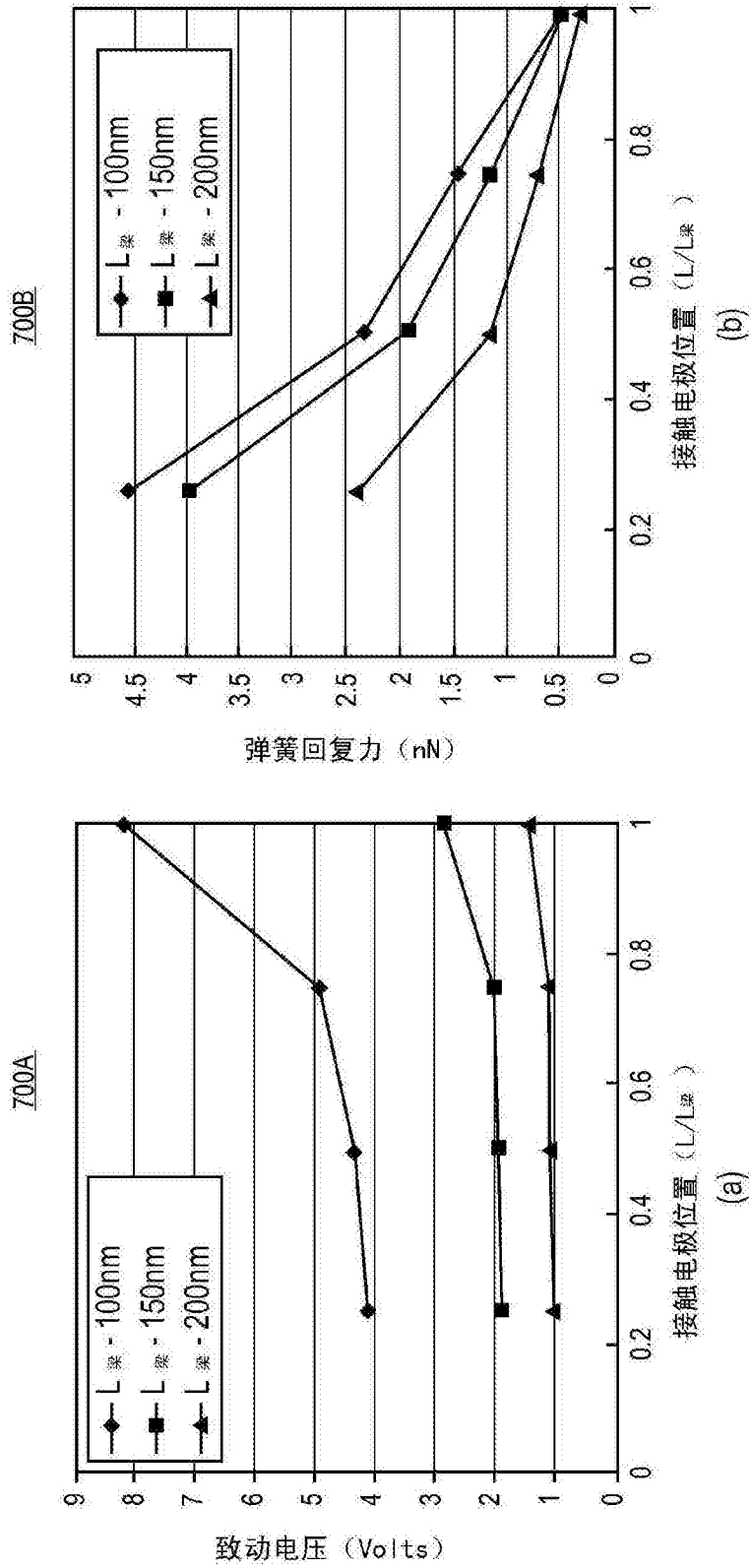


图 7

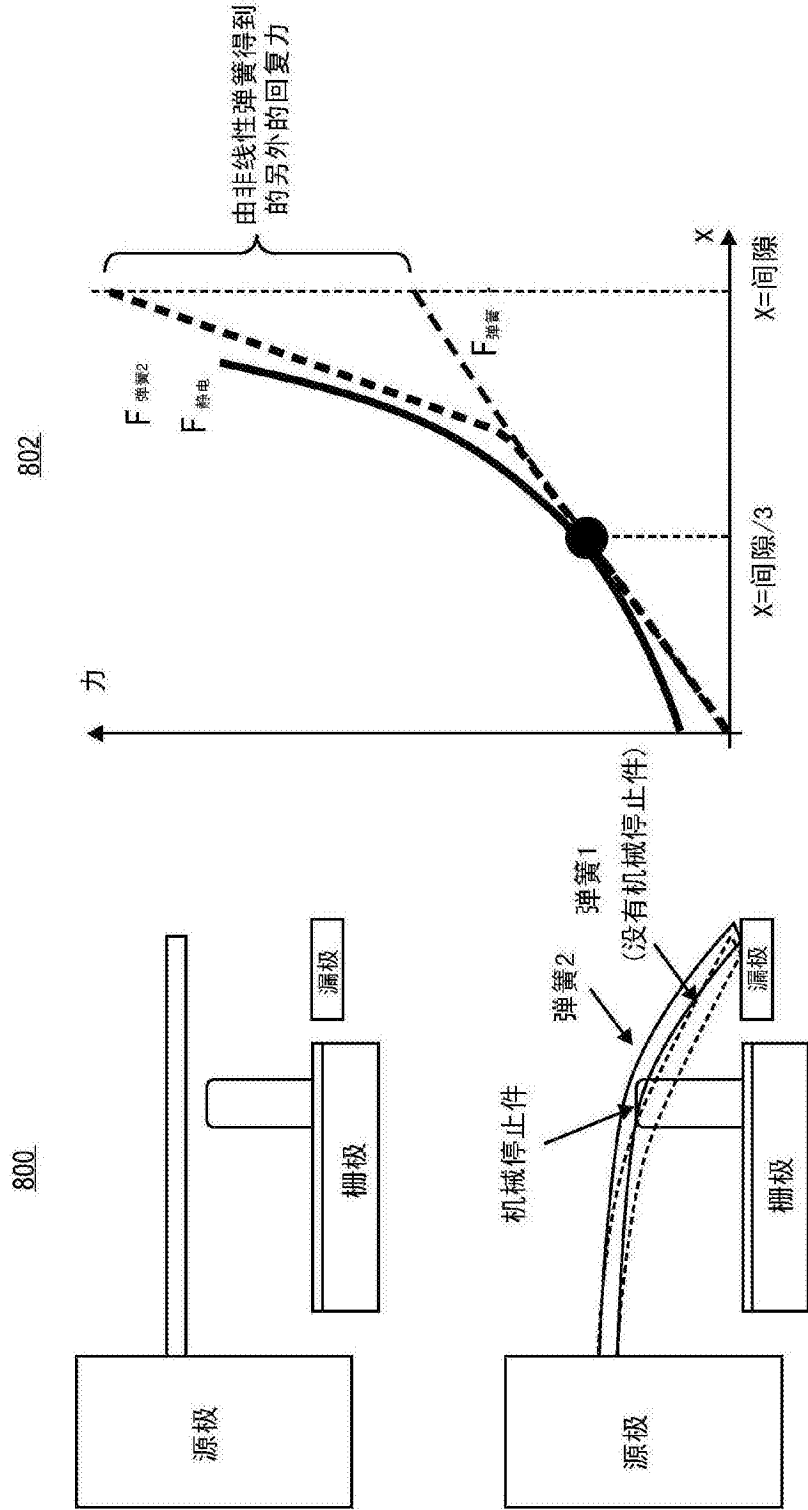


图 8

900

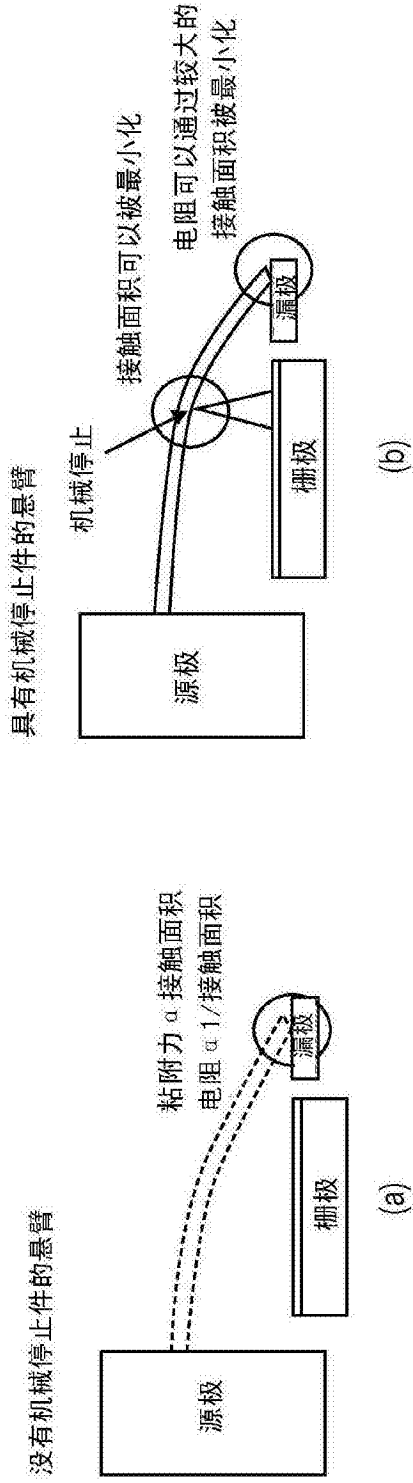


图 9

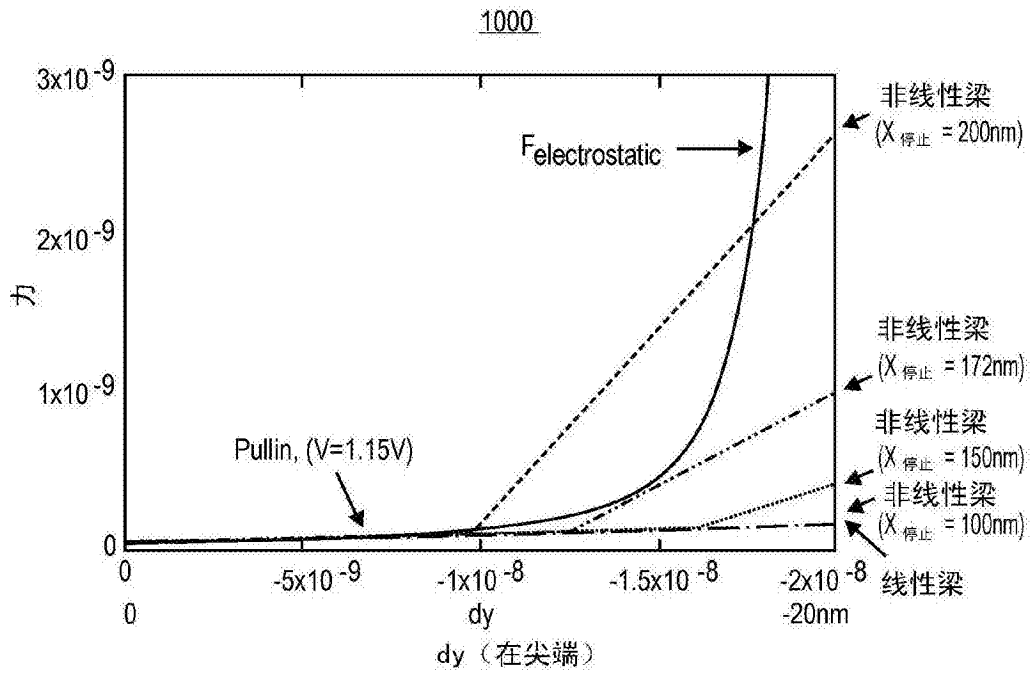


图 10

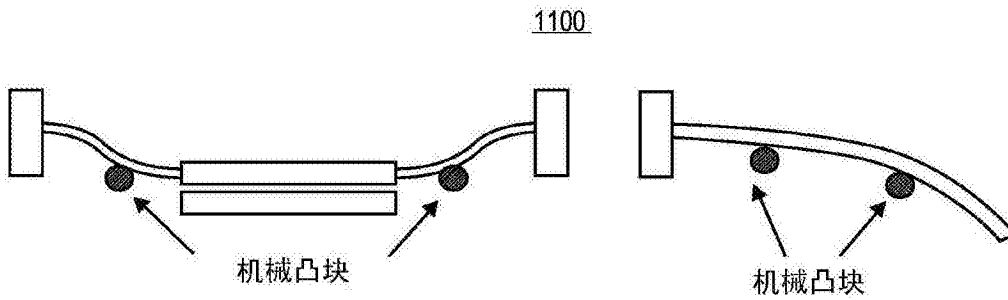


图 11

1200

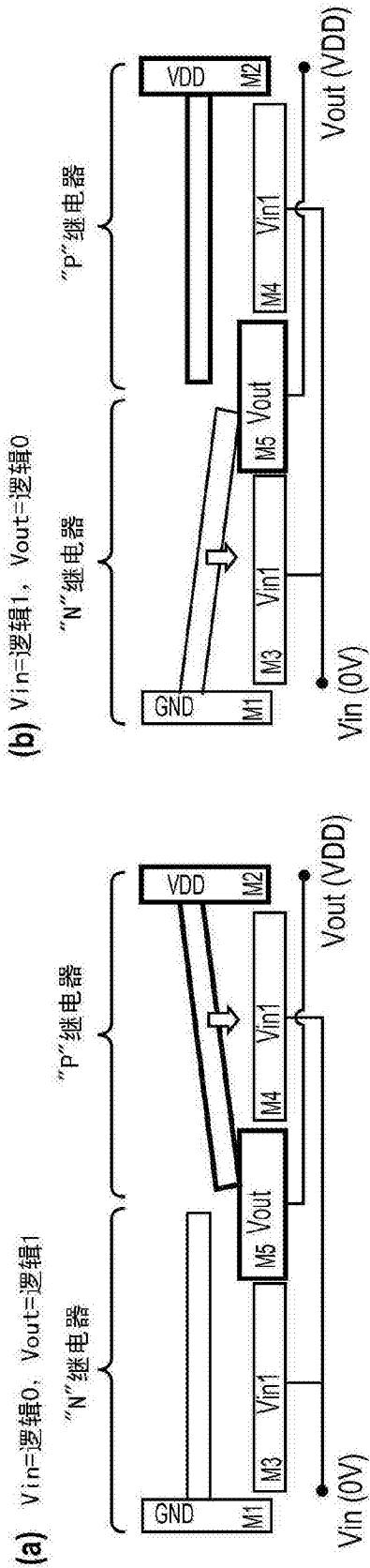


图 12

1300

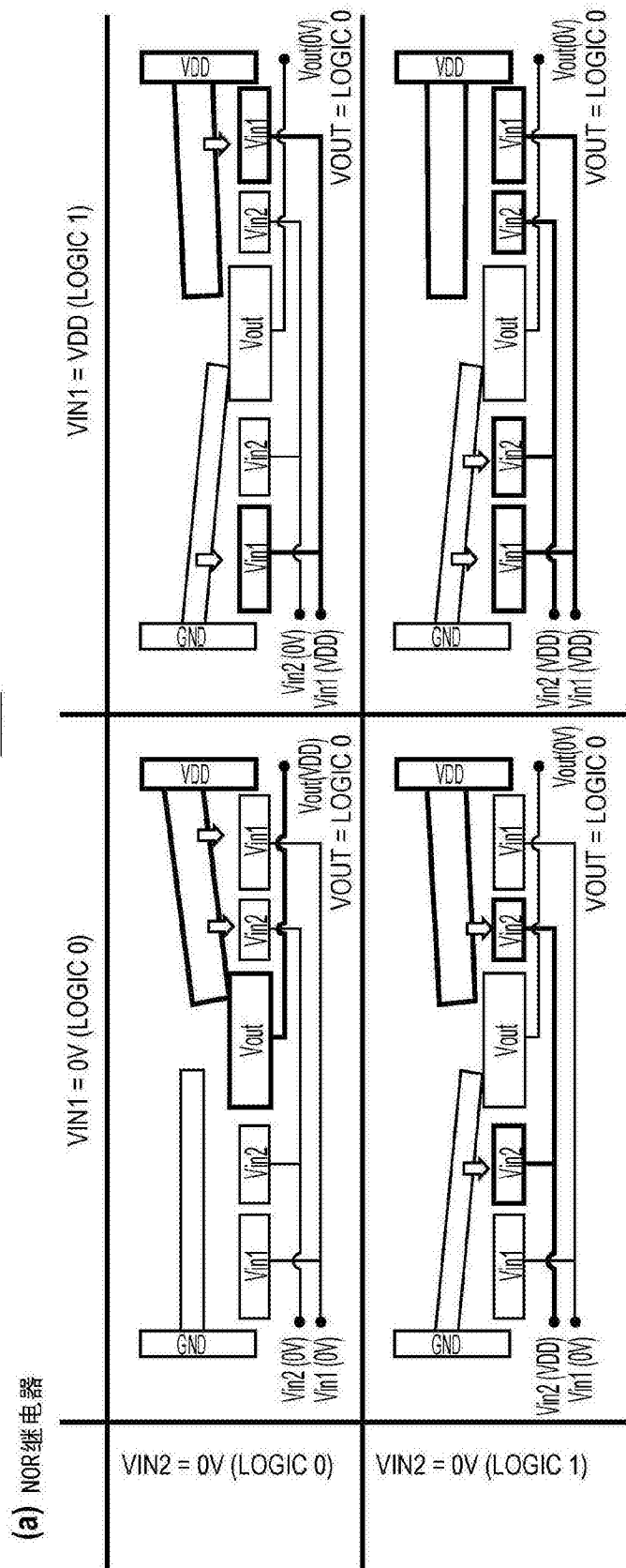


图 13A

1300

(b) NAND继电器

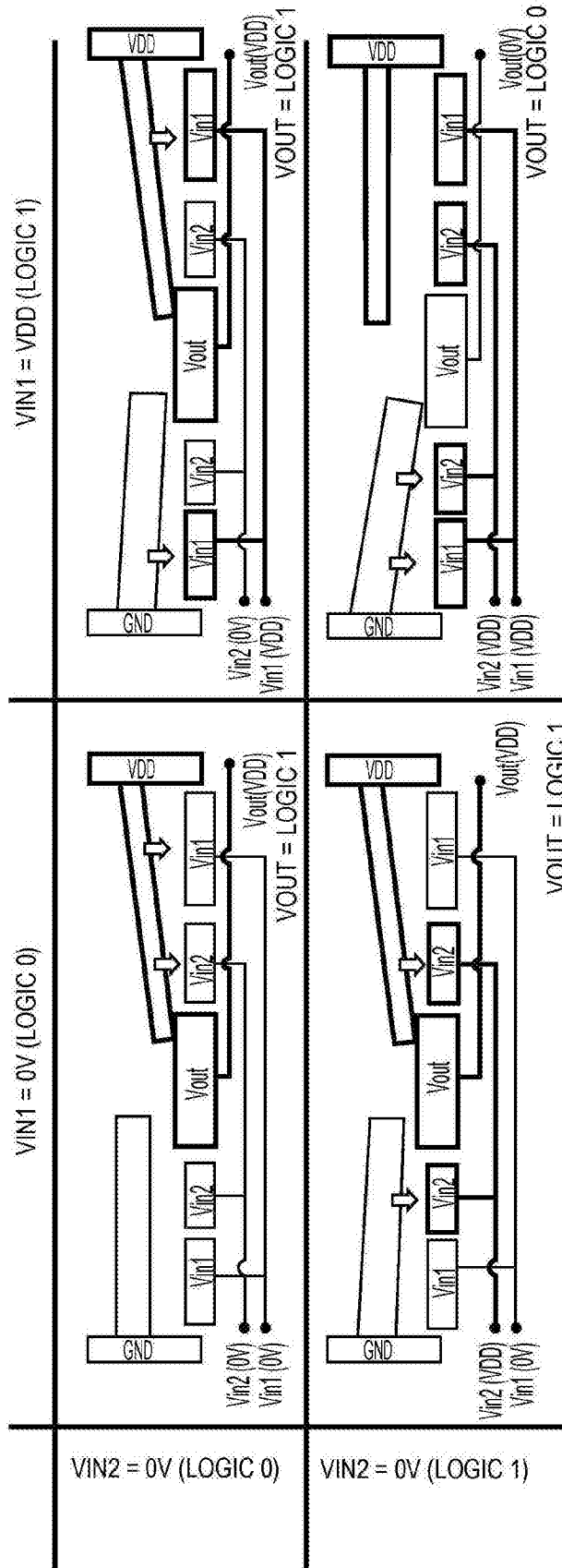


图 13B

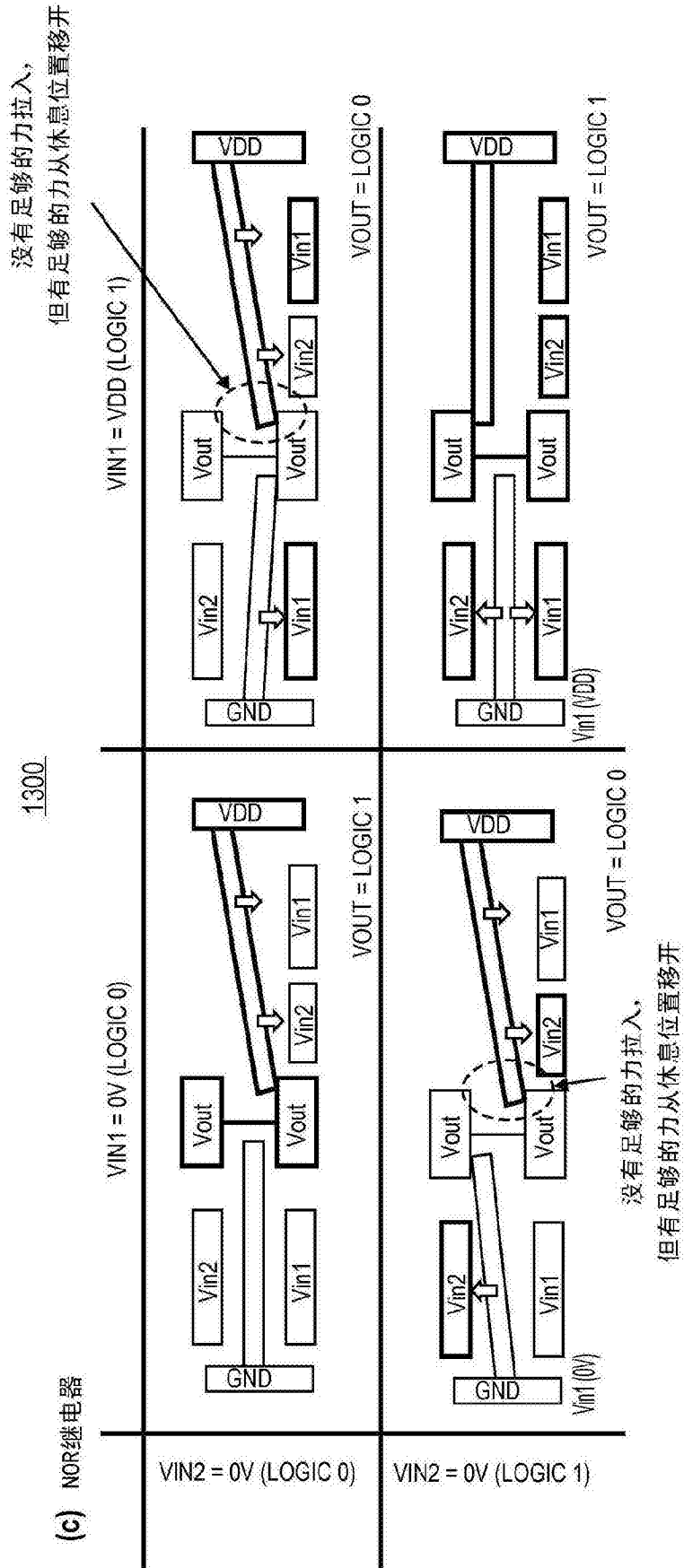


图 13C

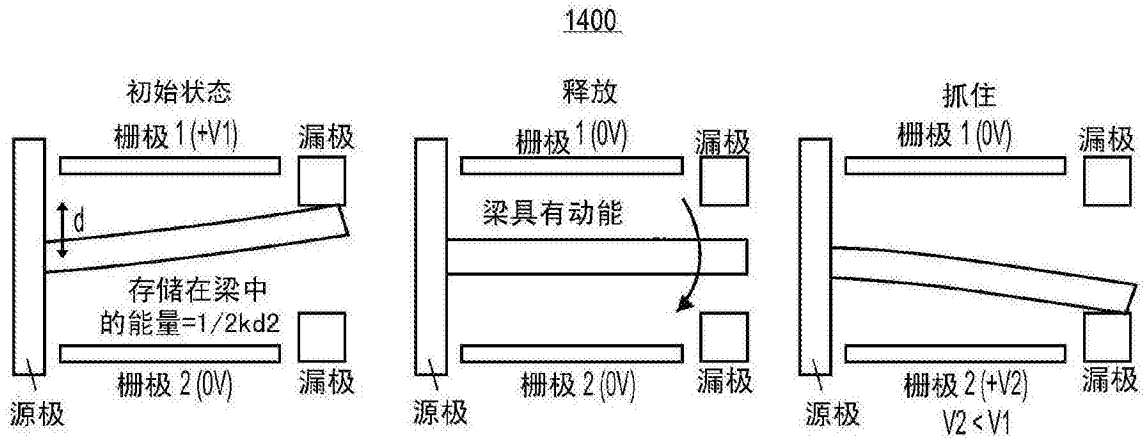


图 14

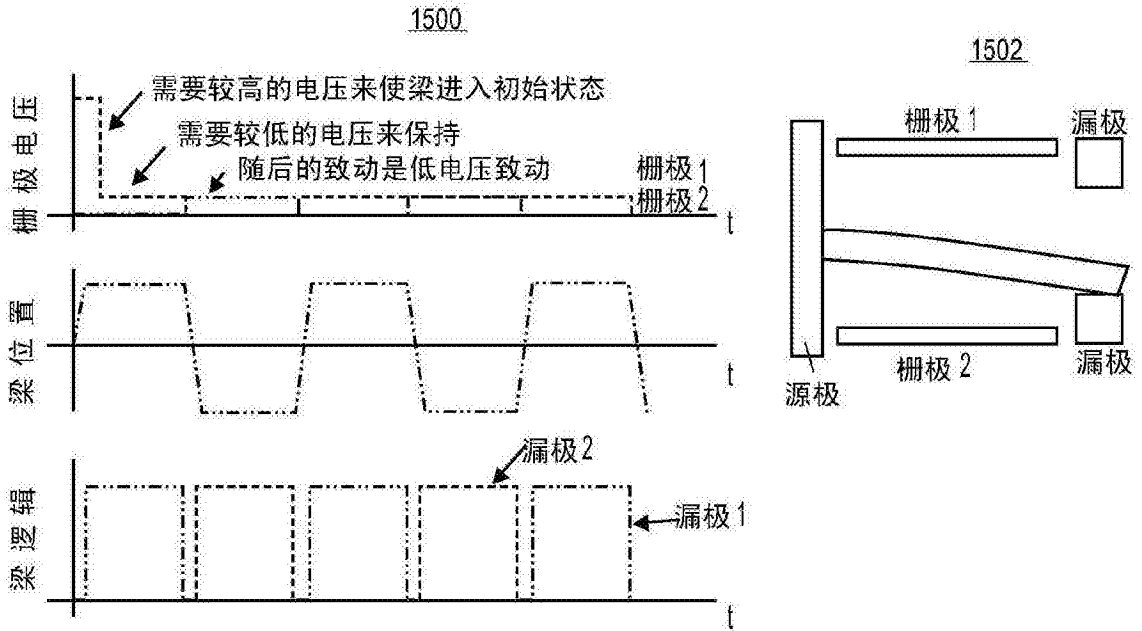


图 15

1600

根据抓放策略的致动电压减小

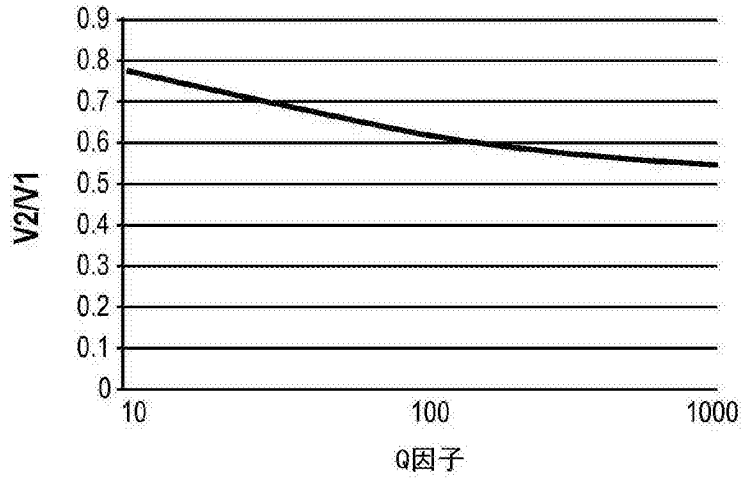


图 16

1700

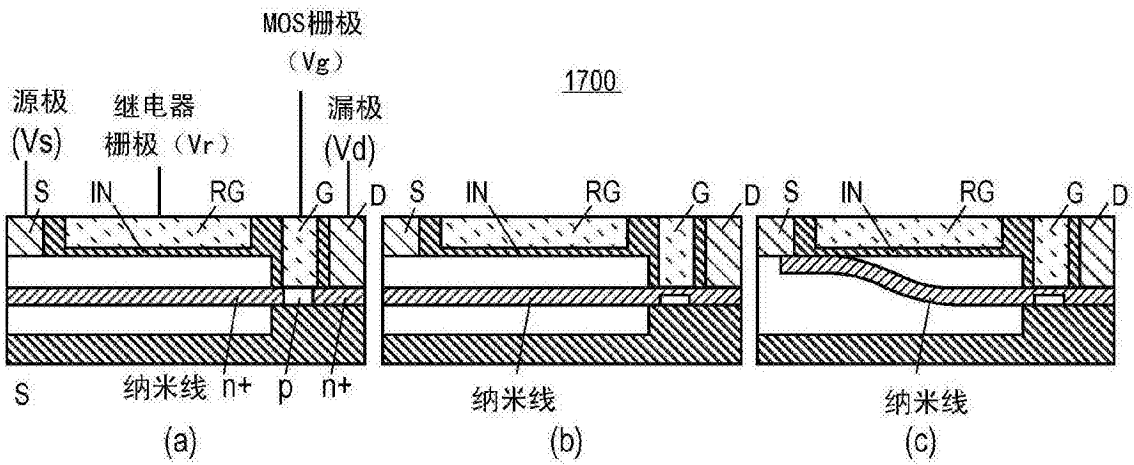


图 17

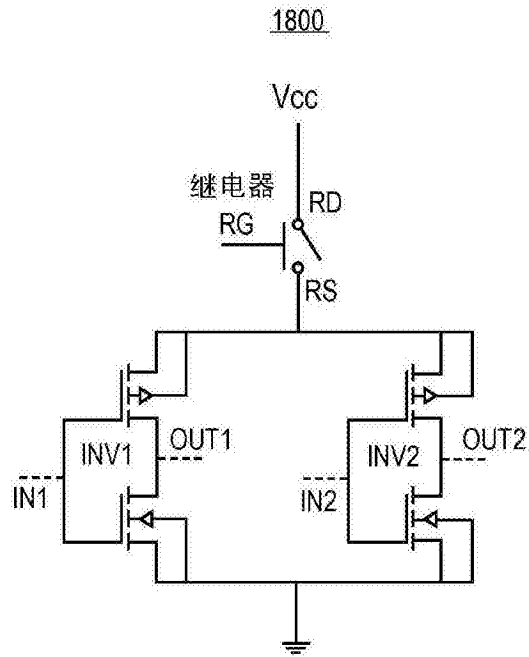


图 18

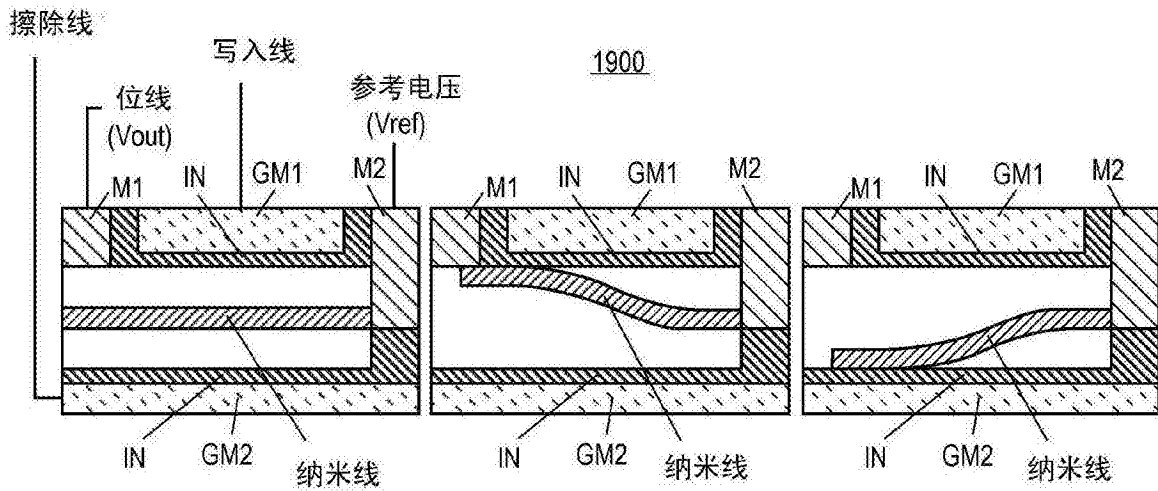


图 19

2000

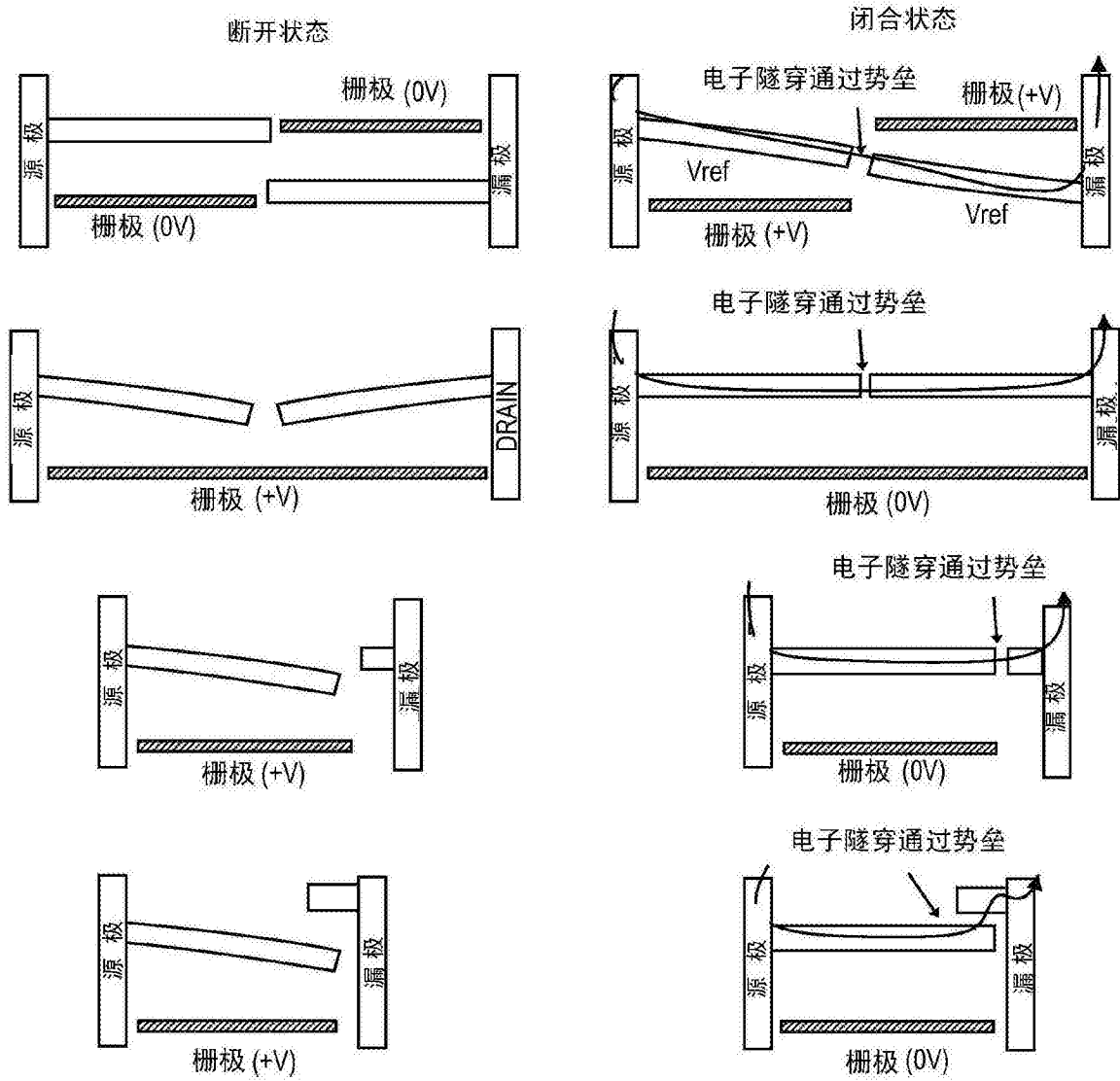


图 20

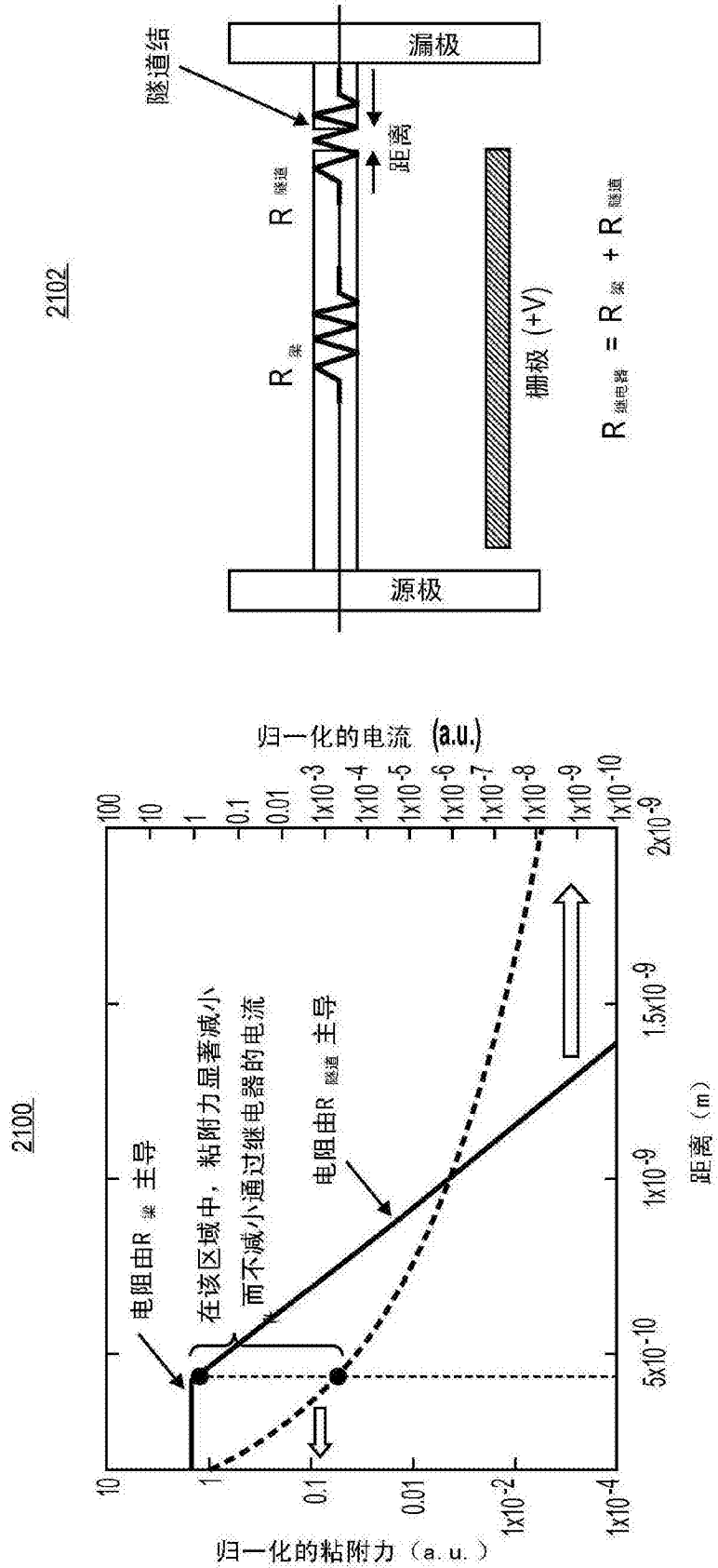


图 21

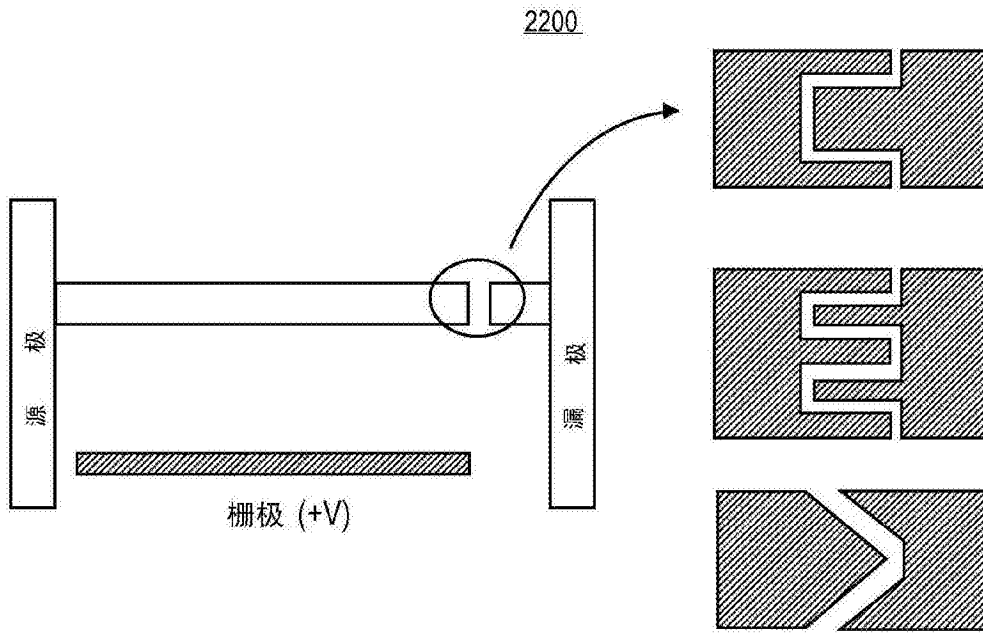


图 22

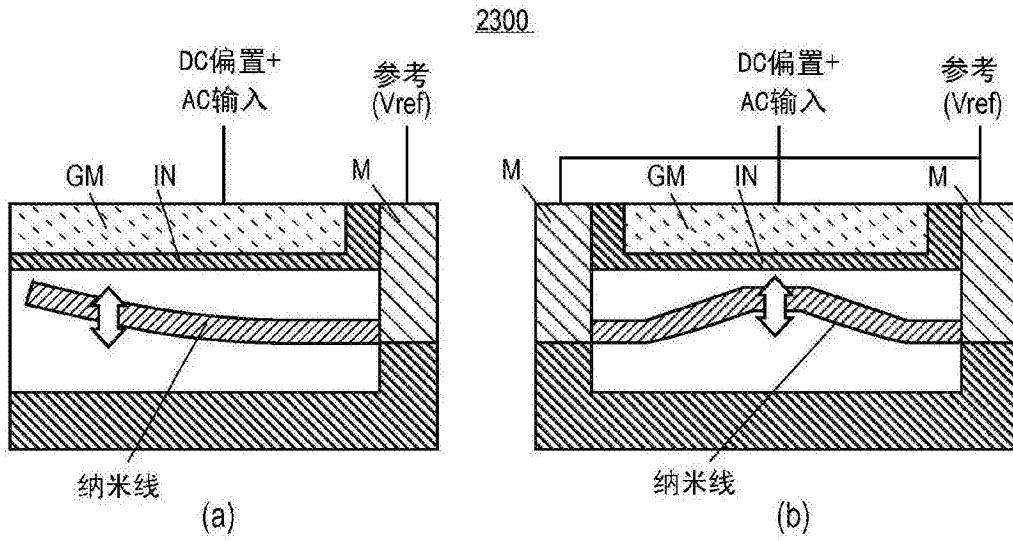


图 23

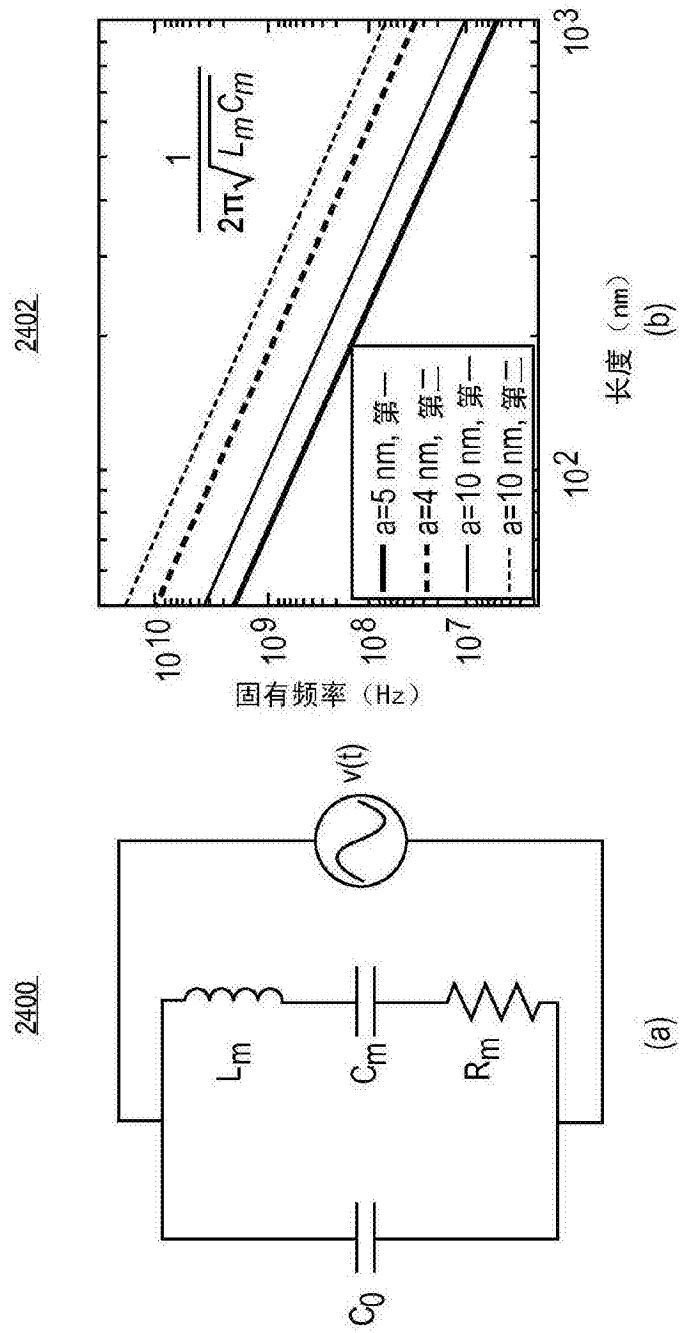


图 24

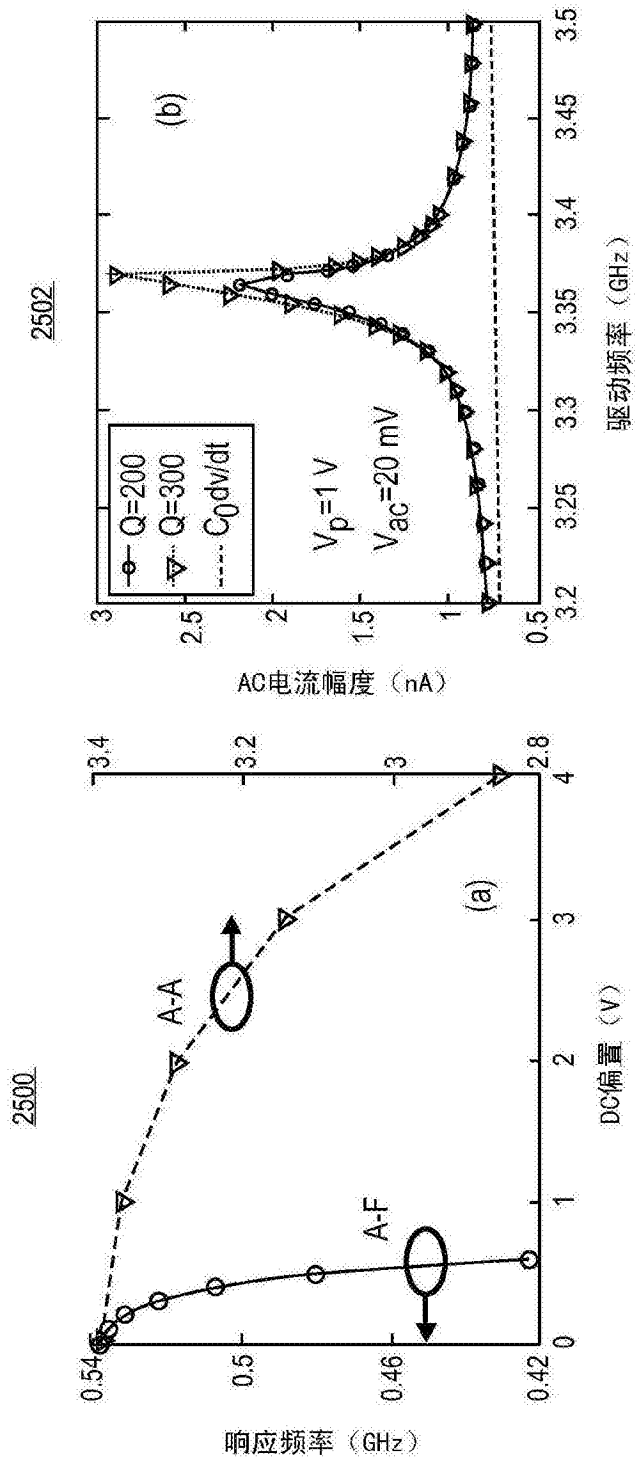


图 25

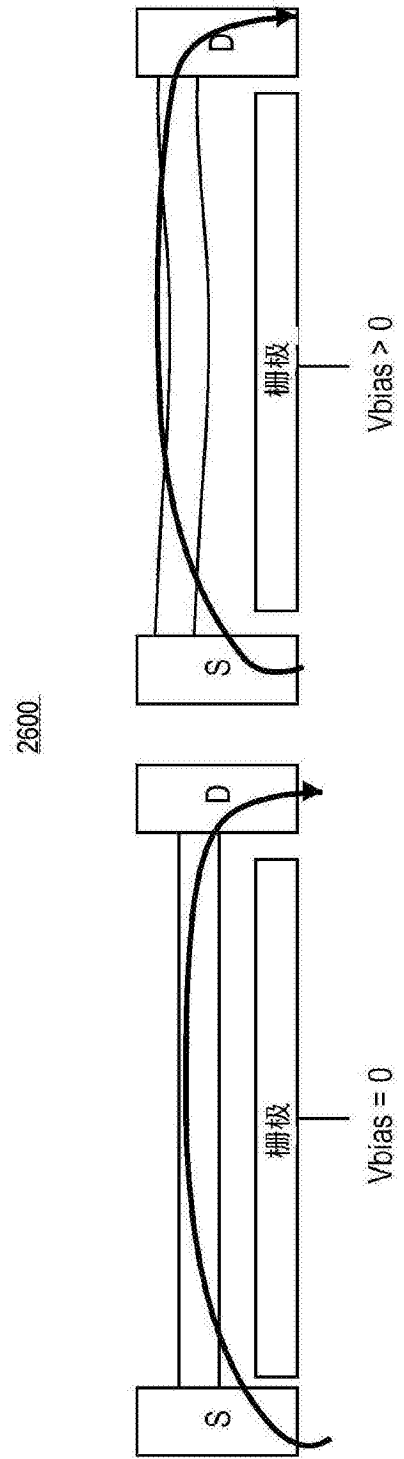


图 26

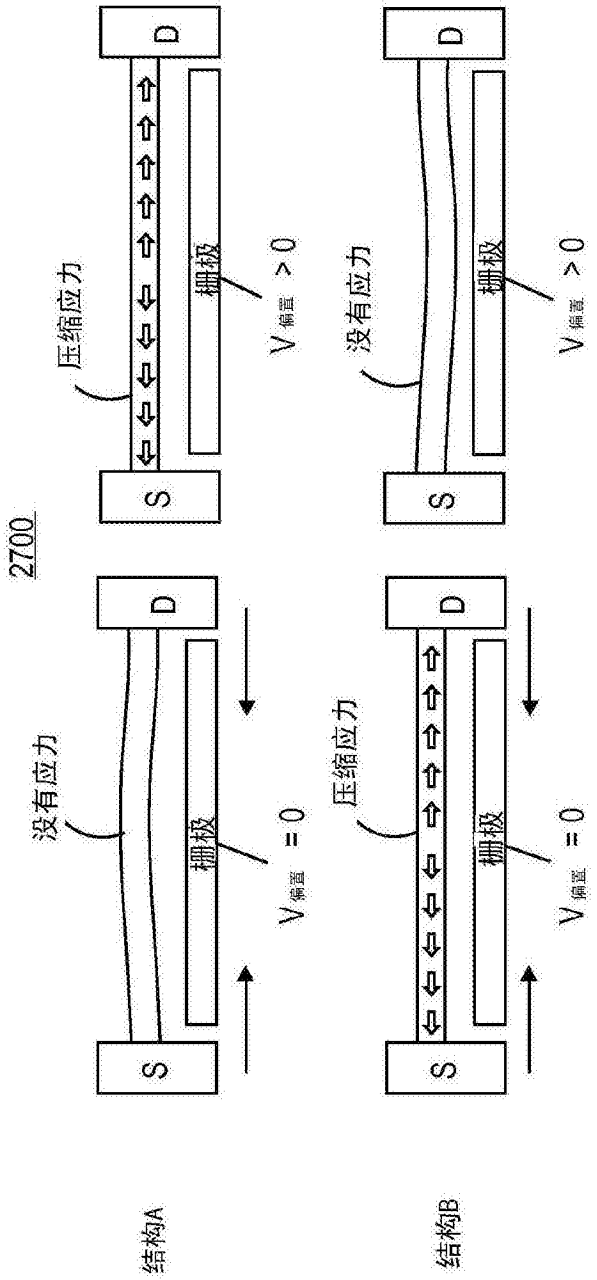


图 27

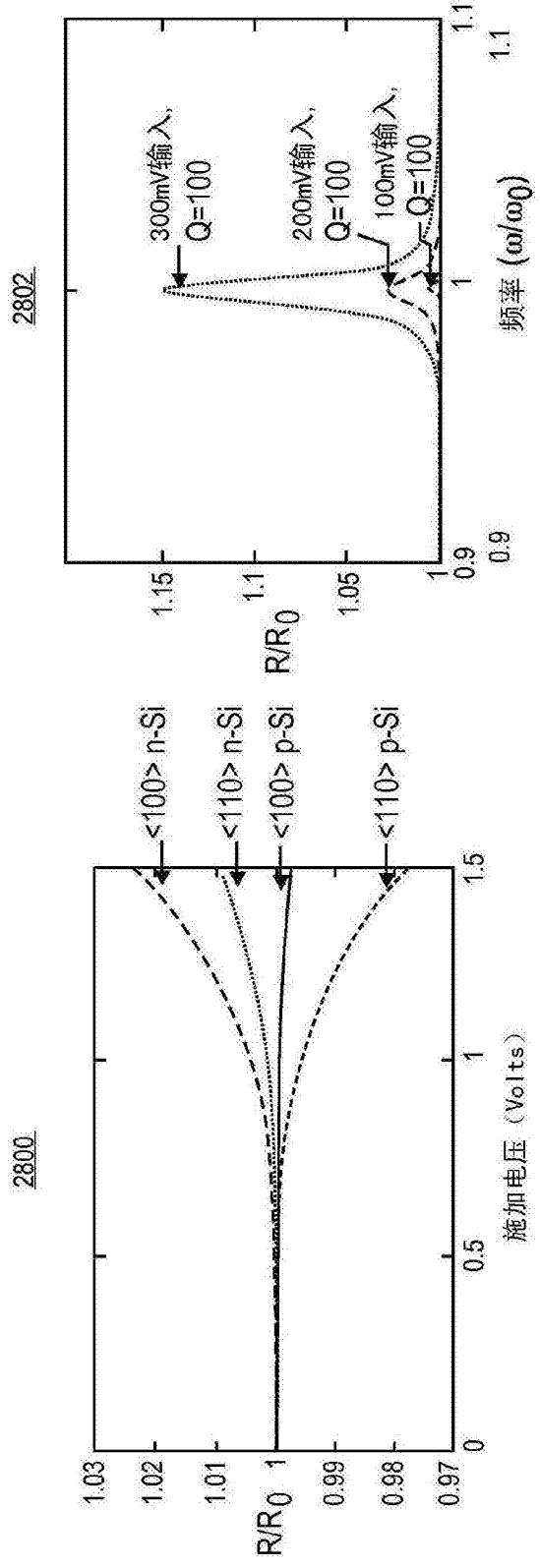


图 28

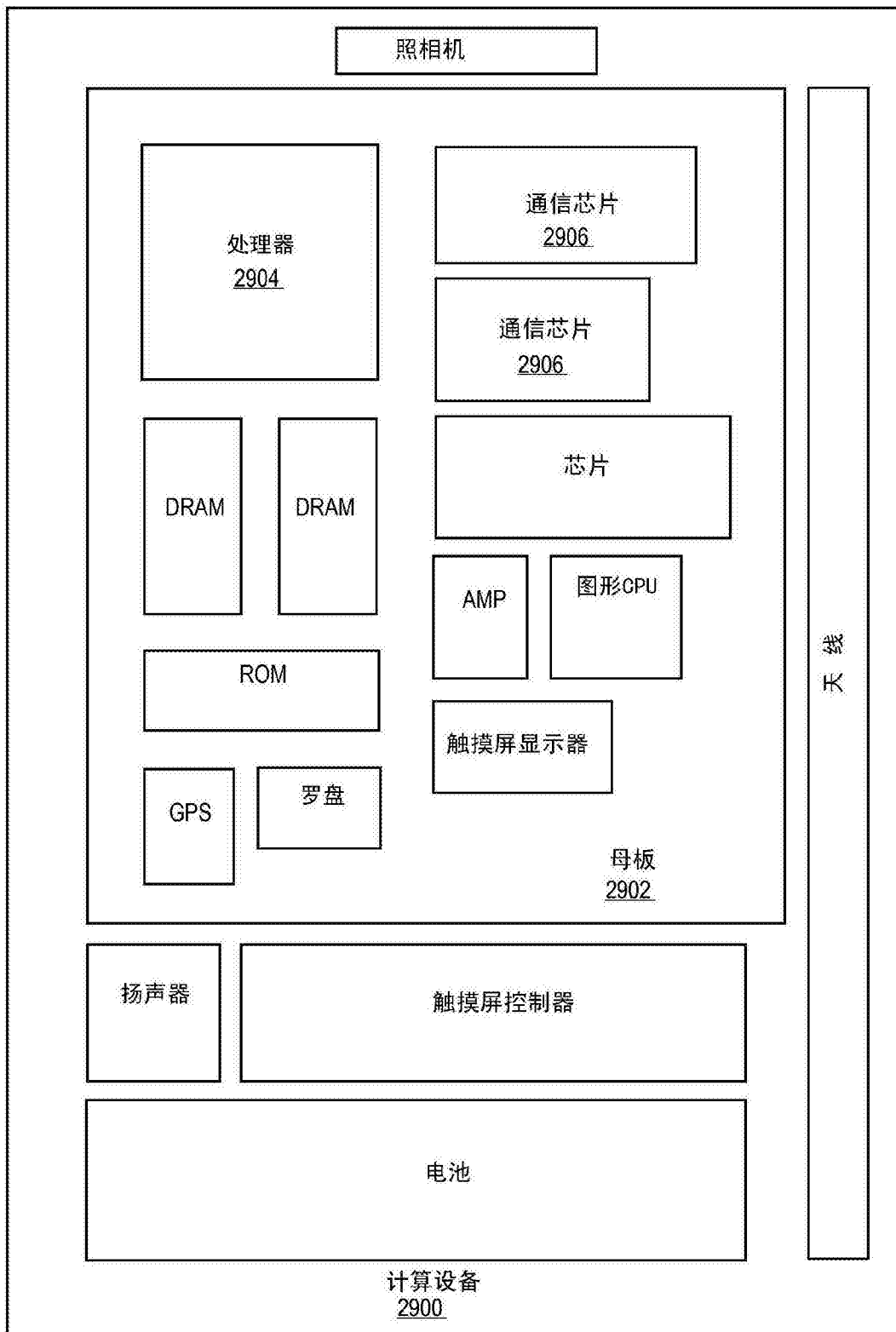


图 29