

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5572962号
(P5572962)

(45) 発行日 平成26年8月20日 (2014. 8. 20)

(24) 登録日 平成26年7月11日 (2014. 7. 11)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78 6 5 2 T

H O 1 L 29/12 (2006. 01)

H O 1 L 29/78 6 5 7 D

H O 1 L 27/04 (2006. 01)

H O 1 L 27/06 1 0 2 A

H O 1 L 27/06 (2006. 01)

H O 1 L 29/80 C

H O 1 L 21/8234 (2006. 01)

H O 1 L 27/06 1 0 1 D

請求項の数 9 (全 42 頁) 最終頁に続く

(21) 出願番号 特願2009-38091 (P2009-38091)
 (22) 出願日 平成21年2月20日 (2009. 2. 20)
 (65) 公開番号 特開2010-192827 (P2010-192827A)
 (43) 公開日 平成22年9月2日 (2010. 9. 2)
 審査請求日 平成23年12月19日 (2011. 12. 19)

(73) 特許権者 000003997
 日産自動車株式会社
 神奈川県横浜市神奈川区宝町2番地
 (74) 代理人 100083806
 弁理士 三好 秀和
 (74) 代理人 100100712
 弁理士 岩▲崎▼ 幸邦
 (74) 代理人 100100929
 弁理士 川又 澄雄
 (74) 代理人 100095500
 弁理士 伊藤 正和
 (74) 代理人 100101247
 弁理士 高橋 俊一
 (74) 代理人 100098327
 弁理士 高松 俊雄

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

ユニポーラ動作をする還流ダイオードと、
 前記還流ダイオードに対し並列に接続された、少なくともキャパシタと抵抗を含むスナバ回路と、

前記還流ダイオードに対し並列に接続されたスイッチング素子とを備え、
 前記環流ダイオードと前記スイッチング素子の遮断状態における静電容量の総和に対する前記キャパシタの静電容量の比が0.1以上であることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、前記スナバ回路は、半導体基体又は前記半導体基体上に形成された抵抗部と、前記半導体基体又は前記半導体基体上に形成された静電容量部とを有する半導体チップにより形成され、前記抵抗部及び前記静電容量部がそれぞれ前記抵抗及び前記キャパシタとして機能することを特徴とする半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置において、前記半導体チップが前記還流ダイオードが形成されている半導体チップと一体で形成されていることを特徴とする半導体装置。

【請求項 4】

請求項 2 に記載の半導体装置において、前記半導体チップが前記スイッチング素子が形成されている半導体チップと一体で形成されていることを特徴とする半導体装置。

【請求項 5】

10

20

請求項 1 乃至請求項 4 のうち、いずれか 1 項に記載の半導体装置において、
前記環流ダイオードがワイドバンドギャップ半導体により形成されていることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のうち、いずれか 1 項に記載の半導体装置において、
前記環流ダイオードがショットキーバリアダイオードであることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 5 のうち、いずれか 1 項に記載の半導体装置において、
前記環流ダイオードがヘテロ接合ダイオードであることを特徴とする半導体装置。

10

【請求項 8】

請求項 1 乃至請求項 7 のうち、いずれか 1 項に記載の半導体装置において、
前記スイッチング素子が絶縁ゲート電極を有する三極端子素子により形成されていることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 7 のうち、いずれか 1 項に記載の半導体装置において、
前記スイッチング素子が J F E T であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、還流ダイオードを有する半導体装置に関する。

【背景技術】

【0002】

従来より、環流ダイオードの逆回復動作時に発生する電流及び電圧の振動現象を抑制するために、所定の大きさの容量を有するキャパシタを環流ダイオードに対し並列に接続させた半導体装置が知られている（特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2004 - 281462 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来の半導体装置によれば、電流及び電圧の振動の振幅を小さくすることはできるが、振動現象の収束時間を短縮することはできない。このため従来の半導体装置では、電流及び電圧の振動に起因するノイズによって、サージ電圧による素子の破壊、振動動作中の損失の増大、周辺回路の誤動作等の不具合が引き起こされ、安定動作の阻害要因となる可能性がある。

【0005】

本発明は上記課題に鑑みてなされたものであり、その目的は環流ダイオードの逆回復動作時に発生する電流及び電圧の振動現象の収束時間を短縮可能な半導体装置を提供することにある。

40

【課題を解決するための手段】

【0006】

本発明は、還流ダイオードに対し並列に接続された、少なくともキャパシタと抵抗を有するスナバ回路と、還流ダイオードに対し並列に接続されたスイッチング素子とを備え、環流ダイオードとスイッチング素子の遮断状態における静電容量の総和に対するキャパシタの静電容量の比が 0.1 以上に設定されている。

【発明の効果】

【0007】

50

本発明によれば、振動現象の収束効果が高くなるように環流ダイオードに対し並列に接続されたキャパシタの静電容量が設定されているので、環流ダイオードの逆回復動作時に発生する電流及び電圧の振動現象の収束時間を短縮することができる。

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】本発明の第 1 の実施形態となる半導体装置の構成を示す回路図である。

【図 2】図 1 に示す半導体装置の上面図である。

【図 3】図 1 に示す環流ダイオードの構成を示す断面図である。

【図 4】図 1 に示す半導体スナバの構成を示す断面図である。

【図 5】図 1 に示す半導体装置の変形例の構成を示す回路図である。

10

【図 6】図 4 に示す半導体スナバの変形例の構成を示す断面図である。

【図 7】コンバータ回路の一例を示す回路図である。

【図 8】インバータ回路の一例を示す回路図である。

【図 9】振動現象の減衰波形のシミュレーション結果を示す図である。

【図 10】容量比と振動現象収束時間比及び過渡損失の増加代の関係を示す図である。

【図 11】容量比と振動現象収束時間比及び振動現象収束効果率の関係を示す図である。

【図 12】容量比と振動現象収束時間比と過渡損失の増加代の積の関係を示す図である。

【図 13】図 1 に示す半導体装置の変形例の構成を示す回路図である。

【図 14】図 2 に示す半導体装置の変形例の構成を示す上面図である。

【図 15】図 4 に示す半導体スナバの変形例の構成を示す断面図である。

20

【図 16】図 4 に示す半導体スナバの変形例の構成を示す断面図である。

【図 17】図 4 に示す半導体スナバの変形例の構成を示す断面図である。

【図 18】図 4 に示す半導体スナバの変形例の構成を示す断面図である。

【図 19】図 4 に示す半導体スナバの変形例の構成を示す断面図である。

【図 20】図 4 に示す半導体スナバの変形例の構成を示す断面図である。

【図 21】図 4 に示す半導体スナバの変形例の構成を示す断面図である。

【図 22】本発明の第 2 の実施形態となる半導体装置の構成を示す回路図である。

【図 23】本発明の第 2 の実施形態となる半導体装置の構成を示す上面図である。

【図 24】図 2 に示すスイッチング素子の構成を示す断面図である。

【図 25】インバータ回路の一例を示す回路図である。

30

【図 26】ハーフブリッジ回路の一例を示す回路図である。

【図 27】本発明の第 3 の実施形態となる半導体装置における環流ダイオードの構成を示す断面図である。

【図 28】本発明の第 3 の実施形態となる半導体装置におけるスイッチング素子の構成を示す断面図である。

【図 29】本発明の第 4 の実施形態となる半導体装置におけるスイッチング素子の構成を示す断面図である。

【図 30】本発明の第 5 の実施形態となる半導体装置におけるスイッチング素子の構成を示す断面図である。

【図 31】本発明の第 6 の実施形態となる半導体装置における環流ダイオードの構成を示す断面図である。

40

【図 32】本発明の第 7 の実施形態となる半導体装置の上面図である。

【図 33】本発明の第 7 の実施形態となる半導体装置の構成を示す断面図である。

【図 34】図 33 に示す半導体装置の変形例の構成を示す断面図である。

【図 35】図 33 に示す半導体装置の変形例の構成を示す断面図である。

【図 36】図 33 に示す半導体装置の変形例の構成を示す断面図である。

【図 37】図 33 に示す半導体装置の変形例の構成を示す断面図である。

【図 38】図 33 に示す半導体装置の変形例の構成を示す断面図である。

【図 39】図 33 に示す半導体装置の変形例の構成を示す断面図である。

【図 40】本発明の第 8 の実施形態となる半導体装置の上面図である。

50

【図４１】本発明の第８の実施形態となる半導体装置の構成を示す断面図である。

【図４２】図４１に示す半導体装置の変形例の構成を示す断面図である。

【図４３】図４１に示す半導体装置の変形例の構成を示す断面図である。

【図４４】図４１に示す半導体装置の変形例の構成を示す断面図である。

【発明を実施するための形態】

【０００９】

以下、図面を参照して、本発明の実施形態となる半導体装置の構成について説明する。

【００１０】

〔第１の実施形態〕

始めに、図１乃至図２１を参照して、本発明の第１の実施形態となる半導体装置の構成について説明する。

【００１１】

〔半導体装置の回路構成〕

本発明の第１の実施形態となる半導体装置１は、図１に示すように、ユニポーラ動作をする還流ダイオードＤと、環流ダイオードＤに対し並列に接続された半導体スナバ２（スナバ回路）を有する。環流ダイオードＤのアノード電極及びカソード電極はそれぞれ端子Ｔ２及び端子Ｔ１に接続されている。半導体スナバ２は、抵抗ＲとキャパシタＣの直列回路（いわゆるＲＣスナバ回路）を有する半導体チップにより構成され、その抵抗Ｒ及びキャパシタＣはそれぞれ端子Ｔ１及び端子Ｔ２に接続されている。本実施形態では、抵抗Ｒ及びキャパシタＣはそれぞれ端子Ｔ１及び端子Ｔ２に接続されているとしたが、図５に示すように、抵抗Ｒ及びキャパシタＣにそれぞれ端子Ｔ２及び端子Ｔ１を接続してもよい。また抵抗ＲとキャパシタＣは直列接続していれば複数の部位に分割されていても良いし、例えば交互に形成されていても良い。なお、ユニポーラ動作には、ｐｎ接合型のダイオードであっても、例えばソフトリカバリダイオードのようにユニポーラ動作と同等の特性を有するものも含み、具体的な実施例については後述する。

【００１２】

〔半導体装置の実装構造〕

半導体装置１は、図２に示すように、絶縁性を有し、且つ、支持体として機能するセラミック基板等の絶縁基板３と、絶縁基板３上に形成された銅やアルミニウム等の金属材料からなるアノード側金属膜４ａ及びカソード側金属膜４ｂを備える。還流ダイオードＤと半導体スナバ２はカソード側金属膜４ｂ上に配置され、還流ダイオードＤのカソード電極と半導体スナバ２の抵抗Ｒは半田やろう材等の接合材料を介してカソード側金属膜４ｂに接続されている。還流ダイオードＤのアノード電極と半導体スナバ２のキャパシタＣはアルミニウムワイヤやアルミニウムリボン等の金属配線５ａ、５ｂを介してアノード側金属膜４ａに接続されている。アノード側金属膜４ａ及びカソード側金属膜４ｂにはそれぞれ端子Ｔ２及び端子Ｔ１が接続されている。

【００１３】

〔環流ダイオードの断面構造〕

環流ダイオードＤは、図３に示すように、ポリタイプが４Ｈタイプの N^+ 型炭化珪素からなる基板領域１１上に N^- 型炭化珪素からなるドリフト領域１２が形成された基板材料により構成されている。基板領域１１としては抵抗率が数～数 $10\text{ m}[\Omega \cdot \text{cm}]$ 、厚さが数 $10 \sim$ 数 $100[\mu\text{m}]$ 程度の一般的な低抵抗基板を用いることができる。基板領域１１の抵抗率や厚さは、素子構造や必要となる耐圧の大きさに応じて上記範囲外となっても良いが、一般に抵抗率及び厚さが小さい方が導通時の損失を低減できるため、可能な限り小さい方が望ましい。

【００１４】

ドリフト領域１２としては N 型の不純物密度が $10^{15} \sim 10^{18}[\text{cm}^{-3}]$ 、厚さが $0.1 \sim$ 数 $10[\mu\text{m}]$ のものをを用いることができる。ドリフト領域１２の抵抗率や厚さは素子構造や必要となる耐圧の大きさに応じて上記範囲外となっても良い。本実施形態ではドリフト領域１２として不純物密度が $10^{16}[\text{cm}^{-3}]$ 、厚さが $5[\mu\text{m}]$ で耐圧が

10

20

30

40

50

600[V]クラスのものを用いた。本実施形態では、基板材料は基板領域11とドリフト領域12の2層構造からなるとしたが、基板領域11のみで形成された基板やより多層の基板を使用してもかまわない。またドリフト領域12として耐圧が600[V]クラスのものを用いたが、耐圧クラスはこれに限定されることはない。また基板材料を炭化珪素で形成したが、シリコン等の他の半導体材料で形成してもよい。

【0015】

ドリフト領域12の基板領域11との接合面に対向する主面には表面電極13が形成され、表面電極13に対向し、且つ、基板領域11と接するように裏面電極14が形成されている。表面電極13は、ドリフト領域12との間にショットキー障壁を形成する金属材料を少なくとも含む単層又は多層の金属材料により形成されている。ショットキー障壁を形成する金属材料としては、チタン、ニッケル、モリブデン、金、白金を例示できる。表面電極13はアノード電極として端子T2に接続するために、最表面にアルミニウム、銅、金、ニッケル、銀等の金属材料を用いて多層構造としても良い。裏面電極14は基板領域11とオーミック接続する電極材料により形成されている。オーミック接続する電極材料としては、ニッケルシリサイドやチタンを例示できる。裏面電極14はカソード電極として端子T1と接続し、最表面にアルミニウム、銅、金、ニッケル、銀等の金属材料を用いて多層構造としても良い。このようにして還流ダイオードDは、表面電極13をアノード電極、裏面電極14をカソード電極とするショットキーバリアダイオードとして機能する。

【0016】

〔半導体スナバの断面構造〕

半導体スナバ2は、図4に示すように、N⁻型シリコンからなる基板領域21と、基板領域21上に形成されたシリコン酸化膜からなる誘電領域22とを有する。基板領域21は抵抗Rとして機能し、誘電領域22はキャパシタCとして機能する。基板領域21の抵抗率や厚さは必要な抵抗値の大きさに応じて決めることができ、抵抗率が数～数100m[Ω・cm]、厚さが数10～数100[μm]程度のものを用いることができる。本実施形態では、基板領域21の抵抗値が少なくとも還流ダイオードDの抵抗値よりも大きくなるように、抵抗率が100[Ω・cm]、厚さが300[μm]のものを用いた。また本実施形態では、基板領域21は単一の抵抗率により形成されているが、複数の抵抗率を有していても良い。また基板領域21の導電性をN型としているがP型としても良い。

【0017】

誘電領域22の厚さや面積は必要となる耐圧及びキャパシタCの容量の大きさに応じて決めることができる。耐圧は、誘電領域22の破壊防止のために還流ダイオードDの耐圧よりも高いことが望ましい。キャパシタCの容量は、遮断状態時（高電圧印加時）に還流ダイオードDに生じる空乏層のキャパシタ容量に対し100分の1から100倍程度の範囲内で選ぶことができるが、十分なスナバ機能を発揮し、且つ、損失の増加を極力抑え、必要となるチップ面積を考慮すると、後述する計算結果が示すように、0.1以上にすることが望ましい。

【0018】

本実施形態では、還流ダイオードDよりも耐圧が高くなるように誘電領域22の厚さは1[μm]とし、キャパシタCの容量は還流ダイオードDの遮断状態時に形成される空乏層容量と同程度とした。誘電領域22は、シリコン酸化膜以外の材料であっても、所定の耐圧を有し、且つ、キャパシタCとして機能する誘電材料であればどのような材料でも良いが、絶縁破壊電界と比誘電率との積の値がシリコン酸化膜の値よりも大きい材料であることが望ましい。このような材料を用いた場合には、誘電領域22の絶縁耐圧を維持しつつ少ない面積で必要な静電容量を得ることができる。具体的には、シリコン酸化膜を用いた場合、絶縁破壊電界が 1×10^9 [V/m]、比誘電率が3.9であるとする、シリコン酸化膜の厚さが1[μm]の場合の1[cm²]あたりの静電容量は約3.4[nF]程度になる。これに対しシリコン酸化膜の代わりにSi₃N₄を用いた場合、絶縁破壊電界が 1×10^9 [V/m]、比誘電率が7.5であるとする、厚さが1[μm]で同

等の耐圧を確保することができる。このとき Si_3N_4 を用いた場合の $1 [\text{cm}^2]$ あたりの静電容量は $6.6 [\text{nF}]$ 程度になる。

【0019】

このように Si_3N_4 を用いた方が静電容量が約2倍程度大きくなり、誘電領域22の絶縁耐圧を維持しつつより大きな静電容量を得ることができる。従って面積効率が向上し、ウエハコストを低減することができる。この効果は誘電領域22の材料の絶縁破壊電界と比誘電率の積で比較することができ、シリコン酸化膜の値と Si_3N_4 の値を比較すると約2倍程度になっている。さらに誘電領域22の材料が BaTiO_3 のような強誘電体であれば、その値がシリコン酸化膜の約1.3倍となり、より少ない面積にすることができる。その他にも強誘電体膜として $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$, $\text{SrBi}_2\text{Ta}_2\text{O}_9$, $\text{Ti}_4\text{Ti}_3\text{O}_{12}$ 等があるが、絶縁破壊電界と比誘電率の積がシリコン酸化膜の値よりも大きければいずれでもよい。また誘電領域22は単一の誘電材料とは限らず複数の誘電材料を積層したものをを用いても良い。具体的には、図6に示すように Si_3N_4 をシリコン酸化膜により挟持したONO構造により誘電領域22を形成した場合には、 Si_3N_4 のリーク電流をシリコン酸化膜により最小限にすることができる。

【0020】

誘電領域22の表面には表面電極23が形成され、表面電極23に対向し、且つ、基板領域21と接するように裏面電極24が形成されている。表面電極23は端子T2と電氣的に接続するように金属材料により形成されている。表面電極23は最表面にアルミニウム、銅、金、ニッケル、銀等の金属材料を用いた単層/多層の構造としても良い。裏面電極24は、端子T1と電氣的に接続するように金属材料により形成されている。裏面電極24は最表面にアルミニウム、銅、金、ニッケル、銀等の金属材料を用いた単層/多層の構造としても良い。このようにして半導体スナバ2は、表面電極23及び裏面電極24がそれぞれ還流ダイオードDのアノード電極及びカソード電極に接続する半導体RCスナバ回路として機能する。

【0021】

〔動作〕

半導体装置1は、図7や図8に示すような電力エネルギーの変換手段の1つとして一般的に使用されるコンバータ回路(図7)やインバータ回路(図8)等の電力変換装置において、電源電圧(+V)に対し逆バイアス接続になるように接続され、電流を還流する受動素子として使用される。半導体装置1の動作モードはMOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)やIGBT(Insulated Gate Bipolar Transistor)等のスイッチング素子Sのスイッチング動作に連動して電流を遮断する遮断状態と電流を還流する導通状態との間で変化する。電力変換装置においては、電流を還流する受動素子に対してもスイッチング素子Sと同様に低損失、且つ、誤動作等が起こりにくい安定動作が求められる。本実施形態では、図7に示すコンバータ回路を一例として半導体装置の動作を説明する。また以下では、図7に示すスイッチング素子SがIGBTにより構成されているものとする。

【0022】

始めにスイッチング素子Sがオンし、スイッチング素子Sに電流が流れている状態においては、半導体装置1は逆バイアス状態となり遮断状態になる。すなわち還流ダイオードDでは、端子T2と端子T1間に逆バイアス電圧が印加されるため、ドリフト領域12中には表面電極13とのショットキー接合部から伸びた空乏層が生じ遮断状態が維持される。また半導体スナバ2では、キャパシタCとして機能する誘電領域22が高電圧により充電された状態になっており、遮断状態を維持する。

【0023】

次にスイッチング素子Sがオフし、スイッチング素子Sがオフ状態に移行するのに連動して、半導体装置1は順バイアス状態となり導通状態に移行する。すなわち還流ダイオードDのドリフト領域12中に広がっていた空乏層が後退し、表面電極13とドリフト領域12との間に形成されているショットキー接合部にショットキー障壁高さに応じた順バイ

10

20

30

40

50

アス電圧が印加されると、還流ダイオードDは導通状態となる。このとき、還流ダイオードDに流れる電流はほぼ裏面電極14側から供給される電子電流のみで構成されるので、環流ダイオードDはユニポーラ動作をする。また半導体スナバ2においても、還流ダイオードDと同様、高電圧の逆バイアス状態から低電圧の順バイアス状態に移行するため、誘電領域22に充電されていた電荷が放電され、過渡電流が流れる。

【0024】

本実施形態では、誘電領域22のキャパシタ容量が還流ダイオードDの遮断時に形成される空乏層容量と同程度と非常に小容量であるため、放電によって流れる過渡電流の大きさは、並列接続された還流ダイオードDに流れる順バイアス電流に比べて非常に小さく、動作にはほとんど影響しない。そして半導体スナバ2は、バイアス電圧の変化に伴う過渡電流が流れた後は、順バイアス状態と定常状態に移行するため遮断状態となり、還流ダイオードDのみが導通状態となる。このとき本実施形態では、還流ダイオードDが炭化珪素材料からなるショットキーバリアダイオードで構成されているため、一般的なシリコン材料からなるPN接合ダイオードに比べて、ドリフト領域12の抵抗をより低抵抗で形成することができ、導通損失を低減することができる。

【0025】

次に、スイッチング素子Sがターンオンし、スイッチング素子Sがオン状態に移行するのに連動して、半導体装置1は逆バイアス状態となり遮断状態に移行する。すなわち環流ダイオードDでは、裏面電極14側からドリフト領域12中に供給されていた電子電流が順バイアス電圧の低下と共に減少する。そして順バイアス電圧がショットキー接合部のショットキー障壁高さに応じた電圧以下になり、さらにはショットキー接合部に逆バイアス電圧が印加されはじめると、ドリフト領域12中には表面電極13とのショットキー接合部から伸びた空乏層が広がり遮断状態へと移行する。この導通状態から遮断状態に移行する際、還流ダイオードDの素子内部に蓄積されていた過剰キャリアが消滅する過程において過渡的に発生する電流が逆回復電流である。この逆回復電流は、半導体装置1及びスイッチング素子Sに過渡電流として流れ、それぞれの素子において損失（ここでは逆回復損失と呼ぶ）が発生する。このことから、還流ダイオードDで発生する逆回復電流は極力小さいほうが良い。

【0026】

本実施形態では、還流ダイオードDは、炭化珪素からなるショットキーバリアダイオードにより形成されていることから、一般的なシリコンで形成されたPN接合ダイオードに比べるとこの逆回復電流は格段に小さい。つまり、逆回復損失を大幅に低減することができる。この逆回復損失の違いは、両者の遮断・導通のメカニズムの違いで説明することができる。すなわち、シリコンにより形成された一般的なPN接合ダイオードは、順バイアス導通時には少数キャリア注入によるドリフト領域の伝導度変調効果があるため、導通損失を極力低減しつつ耐圧を確保するため、ドリフト領域の厚さを小さく、且つ、不純物濃度を低く形成することが一般的である。そして、例えば600[V]クラスのPN接合ダイオードを実現しようとする、低不純物濃度の実現性の制限から例えばドリフト領域の不純物密度を $10^{14} [\text{cm}^{-3}]$ 程度とした場合、厚さが50[μm]程度と比較的ドリフト領域の厚い基板を使用する必要がある。また導通時にはバイポーラ動作の伝導度変調効果によって、流れる電流の大きさに応じて少数キャリアと多数キャリアがほぼ同等の濃度になるようにドリフト領域に注入されるため、低抵抗を得ることができる。例えば数100[A/cm²]程度の順バイアス電流が流れた場合、多数キャリア（電子）及び少数キャリア（ホール）の濃度が共に $10^{17} [\text{cm}^{-3}]$ 台となる程度までキャリアが注入され、それらが過剰キャリアとなって動作する。

【0027】

一方、ショットキーバリアダイオードでは、導通時に流れる電流が多数キャリアである電子のみで構成されるために、遮断状態に移行する際に発生する過剰なキャリアはほぼ還流ダイオードDに空乏層が形成される際に空乏層中から排出されるキャリアの量のみしか発生しない。つまり、例えば600[V]クラスとして不純物密度が $10^{16} [\text{cm}^{-3}]$

10

20

30

40

50

、厚さが $5[\mu\text{m}]$ のドリフト領域が全域空乏化した場合にも、PN接合ダイオードと単純に比較してキャリア密度が10分の1、キャリアの分布しているドリフト領域の厚さが10分の1となるため、トータルで100分の1程度の過剰キャリアしか発生しない。このことから、還流ダイオードDをユニポーラ動作をする素子で形成することにより逆回復電流を大幅に低減し、その結果、逆回復損失を大幅に低減することができる。

【0028】

半導体装置1は、逆回復動作時の電流/電圧の振動現象を抑制する機能を有する。この振動現象は、還流ダイオードDが組み込まれたインバータ回路等の電力変換装置の回路中に生じる寄生インダクタンス L_s と還流ダイオードDの逆回復動作時の逆回復電流 I_r の遮断速度 (dI_r/dt) の相互作用とによって生じるサージ電圧 V_s を起点として発生する。この振動現象は、サージ電圧による素子の破壊、振動動作中の損失の増大、周辺回路の誤動作等を引き起こし、半導体装置の安定動作の阻害要因となるために抑制することが求められる。この振動現象を低減するためには、逆回復動作時の電流の遮断速度 (dI_r/dt) を緩和することと、さらには振動している電流をいち早く減衰し振動を収束させる機構が必要となる。しかしながら、ユニポーラ動作をするショットキーバリアダイオードのみでは、逆回復電流 I_r の成分が多数キャリアで構成されているため、過剰キャリアによる逆回復電流 I_r は大きく減るものの、空乏層の形成速度でほぼ決まる逆回復時間 t がほとんど制御できない。このため、電流/電圧に振動現象が生じやすく、その振動も容易に減衰しない。その理由として大きく分けて以下の2つが挙げられる。

【0029】

第1の理由は、ショットキーバリアダイオードでは、遮断状態から導通状態に注入される過剰キャリアの量が、遮断時にドリフト領域中に形成される空乏領域を補充する多数キャリアのみで構成されているためである。つまり、ショットキーバリアダイオードの逆回復電流の遮断速度 (dI_r/dt) はほとんど空乏領域の形成速度にのみ依存し、且つ、少数キャリアがほとんど存在しないため、PN接合ダイオードのように過剰キャリアの主成分である少数キャリアのライフタイムを制御することにより逆回復時間を制御する方法をそのまま用いることができない。このため、ショットキーバリアダイオードのみを用いる場合、スイッチング素子のスイッチング速度を向上して過渡損失を低減しようとする、より激しい振動現象が発生し、過渡損失の低減と振動現象の抑制の間にはトレードオフの関係がある。

【0030】

第2の理由は、ショットキーバリアダイオードは導通時にほぼ多数キャリアのみで動作するため、導通時も遮断直前においても、素子内部の抵抗はドリフト領域の厚さ及び不純物濃度に準じた抵抗で変わらないためである。上述したように、PN接合ダイオードは、導通時は伝導度変調効果によって低抵抗になるものの、伝導度変調が解除される逆回復動作時にはドリフト領域は高抵抗となり、逆回復電流 I_r を抵抗制限する機構を有している。これに対しショットキーバリアダイオードは、それ自体の抵抗成分としては導通時も遮断直前においても低抵抗であり、逆回復電流 I_r を抵抗制限する機構を有していない。このため、電流及び電圧に振動現象が生じやすく、その振動も容易に減衰しない。さらに、半導体材料として炭化珪素等のワイドギャップ半導体を用いることで素子自体の抵抗が小さいため導通損失を低減できる反面、振動現象がより起きやすくなっている。このことから、ショットキーバリアダイオードのみを用いる場合、導通時の損失と振動現象の抑制との間にトレードオフの関係がある。

【0031】

これに対して、本実施形態では、還流ダイオードDと半導体スナバ2を並列接続する簡便な構成により、過渡損失並びに導通損失を低減しつつ、且つ、振動現象を抑制することができる。すなわち本実施形態では、還流ダイオードDにおいて、順バイアス電流が減少し、順バイアス電流がゼロになると、ドリフト領域12中に逆バイアス電圧による空乏層が形成され、過剰キャリアで構成される逆回復電流が流れ始める。またこの逆バイアス電圧が印加されるのとほぼ同時に、半導体スナバ2中の誘電領域22からなるキャパシタC

にも同等の逆バイアス電圧が印加され、半導体スナバ2中にも相応の過渡電流が流れ始める。この半導体スナバ2に流れる過渡電流は、誘電領域22からなるキャパシタCの大きさと基板領域21の抵抗Rの大きさに決まり、自由に設計することができる。並列接続された半導体スナバ2による効果は3つある。

【0032】

第1の効果は、半導体スナバ2は電圧の過渡変動がないと動作しないため、スイッチング素子Sのスイッチング速度には影響を与えず、スイッチング速度に依存する損失は従来と同様に低く抑えることができることである。つまり、還流ダイオードDに流れる順バイアス電流の遮断速度を高速に設定することができるため、メイン電流の遮断に伴う損失を低減できる。第2の効果は、還流ダイオードDが逆回復動作に入った時に還流ダイオードDに並列接続された半導体スナバ2のキャパシタC及び抵抗Rが作動し、逆回復電流の遮断速度(dI_r/dt)を緩和することができ、サージ電圧そのものを低減できることである。第3の効果は、半導体スナバ2に流れた電流を基板領域21の抵抗Rで電力消費するため、寄生インダクタンス L_s で生じたエネルギーを吸収し、振動現象を素早く収束することができることである。

【0033】

このようにして本発明の第1の実施形態となる半導体装置1によれば、還流ダイオードDが有する過渡損失及び導通損失を低減する性能を有すると同時に、ユニポーラ動作ならではの本質的な振動現象を半導体スナバ2を用いることで解決することができる。一般に、RCスナバは回路として見れば従来から知られた回路であるが、スナバ回路を半導体基板上に形成する半導体スナバ2は、ユニポーラ動作を有する還流ダイオードDと組み合わせることで、初めてスナバ回路として十分な機能を果たすことができる。つまり、インバータ等の電力変換装置に一般的に用いられてきたシリコンからなるPN接合ダイオードにおいては、電力容量の制限で半導体チップ上のスナバ回路は事実上困難であり、ディスクリット部品であるフィルムコンデンサ等からなるキャパシタとメタルクラッド抵抗等からなる抵抗を電力変換装置の半導体パッケージの内側又は外側のメイン電流が流れる経路に配置する必要があるためである。その理由として、スナバ回路が十分機能を果たすためには、逆回復電流の遮断速度(dI_r/dt)を緩和するために、ダイオードに流れる逆回復電流と同程度の過渡電流が流れるような容量を持つキャパシタが必要であることと、振動現象を減衰するためにそのキャパシタに流れる電流を電力消費可能な電力容量を有する抵抗が必要であることが挙げられる。

【0034】

上述したように、PN接合ダイオードは還流する電流の大きさによって、逆回復電流の大きさが変化し、上記一例ではユニポーラ動作のショットキーバリアダイオードに比べて100倍もの逆回復電流が発生する。ダイオードに流れる電流密度がさらに大きくなったり、また耐圧クラスが大きくなったりするほど、導通時に注入される過剰キャリアはさらに増大し、逆回復電流も大きくなる。このため、キャパシタを半導体チップ上に形成しようとする、厚さは必要耐圧で制限されることから、単純に計算して面積を100倍にする必要がある。また抵抗に関しても消費すべき電力が100倍となるため体積を100倍にする必要があり、結果としてチップサイズが100倍必要となる。このことから、従来技術の延長では電力変換装置におけるスナバ回路を半導体チップで形成するという発想は事実上困難であった。

【0035】

これに対して本実施形態では、還流ダイオードDに流れる過渡電流がドリフト領域12に空乏層が形成される際に発生するキャリアのみからなる過渡電流であることに着目し、スナバ回路を小容量の半導体スナバ2で形成しているところが従来技術と異なる点である。さらにこの構成により、過渡損失と導通損失を低減する性能と振動現象を抑制する上で、従来技術にはない新たな効果を得ることができる。

【0036】

第1の効果は、ユニポーラ動作をする還流ダイオードDに所定のキャパシタ容量及び抵

抗値をもつ半導体スナバ2を一旦並列接続すると、還流ダイオードDが動作する全電流範囲及び全温度範囲において、スナバ機能が有効に働くということである。上述したように、ショットキーバリアダイオードの逆回復電流は、逆バイアス電圧によって空乏層が生じた際に発生する過剰キャリアのみで構成されているため、還流動作時に流れていた電流の大きさによらず、毎度ほぼ一定の逆回復電流が流れるためである。また同様の理由で、還流ダイオードDの動作温度にもほとんど影響を受けず、ほぼ一定の逆回復電流が流れるためである。このため、全ての電流範囲及び温度範囲において、過渡損失を低減し且つ振動現象を抑制することができる。これらは、一般的なPN接合ダイオードとの組み合わせでは得られない効果である。

【0037】

第2の効果は、スナバ回路を半導体スナバ2で形成することにより図2に示すようにスナバ回路を還流ダイオードDの直近に低インダクタンスで実装することができ、さらに過渡損失を低減し且つ振動現象を抑制することである。これは、還流ダイオードDにスナバ回路を並列接続する際に生じる寄生インダクタンスが小さいほど、スナバ回路に流れる過渡電流が流れやすく、還流ダイオードDに流れる逆回復電流の遮断速度(dI_r/dt)を緩和しやすくなることと、スナバ回路中のキャパシタCに印加される電圧に重畳される寄生インダクタンスで発生する逆起電力が小さいため、キャパシタCの耐圧範囲でスイッチング時間を速くすることによる。このことから、本実施形態によれば、従来のディスクリット部品であるフィルムコンデンサ等からなるキャパシタとメタルクラッド抵抗等からなる抵抗とを用いるスナバ回路の場合に比べて、寄生インダクタンスを低減すること

【0038】

またスナバ回路を還流ダイオードDの直近に実装することは、不要なノイズ放射を低減することにもなる。従来のディスクリット部品であるフィルムコンデンサ等からなるキャパシタとメタルクラッド抵抗等からなる抵抗とを用いるスナバ回路の場合では、還流ダイオードDで発生した振動電流はこれらの部品を通り、還流ダイオードDに戻る経路を通る。その際に抵抗により振動電流が抑制されていくが、それまでの間にこの電流経路が作る面が一種のループアンテナとして働き、ノイズを放射する。これに対して、スナバ回路を半導体スナバ2で形成した場合には、還流ダイオードDの直近に実装していることから、振動電流の電流経路が作る面の大きさがディスクリット部品を用いた場合よりも格段に小さくなり、振動電流によるノイズ放射が低減される。これにより、ノイズによる制御回路等の誤動作を防ぐことができる。

【0039】

また本実施形態では、スナバ回路を半導体スナバ2で形成することで、還流ダイオードDと同様の実装工程を用いて電力変換装置を構成することができるため、簡便で且つ容易に振動現象を抑制できると共に、従来技術のスナバ回路に比べて必要な体積も大幅に低減できる。また半導体スナバ2の抵抗Rを半導体基体で形成し図2に示すような半導体パッケージに直接実装することができるため、高い放熱性を得ることができる。このため、外付けの抵抗等に比べて、より高密度の抵抗設計が可能となる。つまり、破壊に対する耐性が高くより小型化が実現可能である。また還流ダイオードDを炭化珪素からなるショットキーバリアダイオードで構成することにより、本発明の効果を最大限に引き出すことができる。つまり所定の耐圧を得るために、ワイドバンドギャップにより空乏層の厚さを小さくできるほど、還流ダイオードD自体の抵抗が小さく低導通損失を低減できるが、その反面、逆回復電流の遮断速度(dI_r/dt)が高くなり且つ振動エネルギーが消費されないため、振動現象がより顕著となる性質を有しているからである。例えば、還流ダイオードDとしてシリコンからなるショットキーバリアダイオードを用いた場合には、本発明の効果として一定レベルの効果は得られるものの、ドリフト領域12の不純物濃度や厚さの制限により、炭化珪素材料に比べてダイオード自体に大きな抵抗成分を有するため、ダイオード自体で振動エネルギーを消費し減衰しやすい。このことから、還流ダイ

10

20

30

40

50

オードDが炭化珪素等のワイドバンドギャップ半導体で構成することで、より顕著に導通損失の低減と振動現象の緩和を両立することができる。本実施形態では、還流ダイオードDの半導体材料を炭化珪素とした場合で説明しているが、窒化ガリウムやダイヤモンド等のワイドギャップ半導体を用いても同様の効果が得られる。

【0040】

〔キャパシタの容量〕

図9乃至図12はキャパシタCの容量の大きさと振動現象の収束時間の短縮効果及びキャパシタCに流れる過渡電流による損失の増加代との関係を回路シミュレータを用いて計算した結果を示す。スナバ回路の振動低減は、回路中の寄生インダクタンス L_s と還流ダイオードDのキャパシタ容量成分 C_0 と還流ダイオードに並列接続されたスナバ回路のキャパシタ容量Cと抵抗Rで構成された簡単な回路で計算できる。例えば、本計算では、回路中の寄生インダクタンス L_s を99[nH]、抵抗の抵抗値Rを40[Ω]に固定して、容量比(C/C_0)の大きさによって振動現象の減衰時間やスナバ回路で発生する過渡損失の増加代の変化を検証した。なお還流ダイオードDのキャパシタ容量 C_0 は150[pF]とした。

【0041】

図9の振動現象の減衰波形が示すように、容量比(C/C_0)が大きくなるほど、振動現象の減衰時間は小さくなる。図10の左側の軸は、スナバ回路がない場合において電圧又は電流振動が1/10に減衰するまでの時間を t_0 、スナバ回路を追加した際にスナバ回路がない場合と同等の振動となるまでの時間を t とした場合の振動現象収束時間比(t/t_0)を示す。また図10の右側の軸には、還流ダイオードDに流れる過渡電流で発生する損失を E_0 、スナバ回路に形成するキャパシタ容量Cに流れる過渡電流で発生する損失をEとした場合の過渡損失の増加代 E/E_0 を示す。

【0042】

図10の左側の軸である振動現象収束時間比(t/t_0)について見ると、容量比(C/C_0)の値が所定の値から振動現象収束時間比(t/t_0)が急激に小さくなっている。図11に振動現象収束時間比(t/t_0)を振動現象の収束効果率 $\tau (= 1 - t/t_0)$ に置き換えて容量比(C/C_0)との相関関係をみると、容量比(C/C_0)が1、つまり概ね $C = C_0$ を境にして振動現象の減衰の傾きが異なっていることがわかる。容量比(C/C_0)が1より小さい場合においては、振動現象の収束効果率が立ち上がる容量比(C/C_0)を近似式から求めると、 $C/C_0 = 0.1$ で顕著な効果が得られることがわかった。容量比(C/C_0)が1より小さい場合においては、容量比(C/C_0)の増加に伴いスナバ回路に形成するキャパシタ容量Cに流れる過渡電流が還流ダイオードDのキャパシタ容量成分 C_0 に流れる過渡電流に近づくため、これまで還流ダイオードD自身で消費すべき振動現象のエネルギーをスナバ回路側で消費することができるためである。

【0043】

一方、容量比(C/C_0)が1より大きい場合においては、振動現象の収束効果率の傾きは大きく鈍化しており、振動現象の収束効果率が頭打ちになる容量比(C/C_0)を近似式から求めると、 $C/C_0 = 20$ でほとんど効果が頭打ちになることがわかった。容量比(C/C_0)が1より大きい場合においては、所定の容量比(C/C_0)を超えると、スナバ回路に形成するキャパシタ容量Cに流れる過渡電流の方が還流ダイオードDのキャパシタ容量成分 C_0 に流れる過渡電流に比べて支配的になり、振動現象を収束させるべく消費しなければならないエネルギーがスナバ回路に形成したキャパシタCにほぼ比例するようになるためである。

【0044】

このことから、振動現象の収束効果率という観点においては、スナバ回路に用いるキャパシタ容量Cの大きさは、容量比(C/C_0)が少なくとも0.1以上、20以下が望ましいことが明らかになった。なお本計算においては、抵抗値Rを所定の値に固定して計算しているが、抵抗値Rはエネルギー消費の大小関係に影響を及ぼすため、振動現象の収束

10

20

30

40

50

効果率の上限値は変動するものの、振動現象の収束効果率にとっての最適な容量比 (C/C_0) の範囲はおおむね 0.1 以上、20 以下となる。また現実的に有効な容量比 (C/C_0) の範囲を考えた場合に、容量比 (C/C_0) の増加に伴う過渡損失の増加代 (E/E_0) を考慮する必要がある。図 10 の右側の軸に示すように、過渡損失の増加代 (E/E_0) は容量比 (C/C_0) の増加に比例して増加する。つまり、スナバ回路による振動現象の収束性向上は、過渡損失の増加代 (E/E_0) に対して効果的な範囲で用いる必要がある。

【0045】

図 12 は横軸の容量比 (C/C_0) に対して、縦軸は図 10 の左右の軸で示した振動現象収束時間比と過渡損失の増加代の積 (t/t_0) $\times$ (E/E_0) を示している。また、図 12 中の 2 つの近時線は振動現象収束時間比と過渡損失の増加代の積 (t/t_0) $\times$ (E/E_0) が容量比 (C/C_0) に比例する場合の傾きを示している。この振動現象収束時間比と過渡損失の増加代の積 (t/t_0) $\times$ (E/E_0) が容量比 (C/C_0) に比例する関係の場合においては、もともと (E/E_0) が (C/C_0) に比例するため、(t/t_0) が一定、つまり、ほとんど振動現象の収束時間低減に寄与していない領域といえる。すなわち、容量比 (C/C_0) の増加に対しほぼ (E/E_0) の増加のデメリットが大きい領域であるといえる。しかしながら、図 12 中の容量比 (C/C_0) が 8 程度より小さい領域においては、(t/t_0) $\times$ (E/E_0) が (C/C_0) に比例しなくなる。つまり、図 12 中の容量比 (C/C_0) が 10 以下においては、過渡損失の増加代と比較して振動現象収束時間比 (t/t_0) が小さくなる効果が大きい領域であることがわかった。

【0046】

このことから、本実施の形態で用いるスナバ回路のキャパシタ容量 C の大きさは還流ダイオード D の遮断状態におけるキャパシタ成分の容量 C_0 の大きさに比べて、1/10 倍以上、好ましくは 10 倍以下の範囲で容量を選択することで、損失の増加を抑えつつ、より顕著に振動現象を低減することができる。

【0047】

以上の説明から明らかなように、本発明の実施形態となる半導体装置 1 は、還流ダイオード D と、還流ダイオード D に対し並列に接続され、且つ、キャパシタ C と抵抗 R を有する半導体スナバ 2 を備え、環流ダイオード D の遮断状態における静電容量に対するキャパシタ C の静電容量の比が 0.1 以上になっている。このような構成によれば、振動現象の収束効果が高くなるように半導体スナバ 2 を構成するキャパシタ C の静電容量が設定されているので、環流ダイオード D の逆回復動作時に発生する電流及び電圧の振動現象の収束時間を短縮することができる。また本発明の第 1 の実施形態となる半導体装置によれば、環流ダイオード D に流れる電流経路で発生する損失に比べて、半導体スナバ 2 では大幅に小さい損失しか発生しないため、従来環流ダイオードに流れる経路にしか設置できなかったスナバ回路を熱的な容量の小さいゲート駆動回路に設置することができる。そしてスナバ回路をゲート駆動回路に組み込むことにより、電力変換装置を小型化及び低コスト化することができる。

【0048】

本実施形態では、半導体スナバ 2 の構成として図 1 に示す構成を用いたが、本発明はこの構成に限定されることはなく、図 13 に示すような抵抗 R に並列に接続するようにダイオード D_1 を有する構成であっても良い。これは、キャパシタ C と抵抗 R を少なくとも有するように構成された半導体スナバ 2 であれば、上記と同様の効果を得ることができるためである。また図 2 に示すセラミック基板を用いた半導体パッケージ以外にも、図 14 に示すように金属基材 25 を支持基材及びカソード端子とし、アノード端子 26 とモールド樹脂 27 からなるような、いわゆるモールドパッケージ型の実装形態としてもよい。本実施形態においては、還流ダイオード D と半導体スナバ 2 がそれぞれ 1 チップにより構成されているとしたが、一方又は両方が複数のチップで構成されていても良い。図 2 及び図 14 はカソード端子側の裏面電極 14, 24 を半田等で実装し、アノード端子側は金属配線

5 a , 5 b を配線する場合の例であるが、カソード端子及びアノード端子の両面を半田等で実装する方式としても良い。両面を半田等で実装することで冷却性能が向上するため、還流ダイオード D の放熱性及び半導体スナバ 2 の抵抗 R の放熱性が増し、より高密度に実装することができる。

【 0 0 4 9 】

本実施形態を説明するにあたって半導体スナバ 2 の構造の一例として図 4 を用いて説明したが、図 1 5 乃至図 2 1 に示すようにキャパシタ C 及び抵抗 R を別の構成で形成しても良い。図 1 5 は、図 4 で示したシリコン酸化膜からなる誘電領域 2 2 の代わりに P 型の反対導電型領域 2 8 を形成した場合を示す。図 4 に示す構成では、還流ダイオード D が逆回復動作する際に印加される電圧を誘電領域 2 2 のキャパシタ C に充電することで振動現象を抑制していたのに対して、図 1 5 に示す構成では、P 型の反対導電型領域 2 8 と N 型の基板領域 2 1 との間に形成される空乏層をキャパシタ C として使用する。空乏層をキャパシタ C の成分として用いる利点としては、シリコン酸化膜等の誘電領域 2 2 に比べると、過渡電流による劣化が比較的少ない点である。つまり長期信頼性の点で有利である。

【 0 0 5 0 】

基板領域 2 1 に空乏層を形成する他の構成として、図 1 6 に示すように基板領域 2 1 上に基板領域 2 1 とショットキー接合を形成する金属材料からなる表面電極 2 3 を形成する方法も用いることができる。ショットキー接合以外にもヘテロ接合等、逆バイアス電圧が印加されると空乏層が形成される構成であれば、どのような構成でも同様の効果を得ることができる。図 1 5 及び図 1 6 に示す構成では、順バイアス時に順方向電流が流れることが懸念されるが、図 1 5 及び図 1 6 に示す基板領域 2 1 の抵抗値は還流ダイオード D のドリフト領域 1 2 の抵抗に比べて大きいことから、電流の大部分は低抵抗の還流ダイオード D に流れるため順バイアス時の導通損失にはほとんど影響しない。

【 0 0 5 1 】

図 1 7 , 図 1 8 に示すように、キャパシタ C を構成する部位として、複数の領域が直列又は並列に形成されていても良い。図 1 7 は、図 4 に示す誘電領域 2 2 によるキャパシタ C の成分と図 1 5 に示す反対導電型領域 2 8 を形成することで得られる空乏層を利用したキャパシタ C の成分を直列に接続した場合である。図 1 8 は、誘電領域 2 2 によるキャパシタ C の成分と、図 1 6 で説明した空乏層によるキャパシタ C の成分とを並列に接続した場合を示す。いずれの場合もキャパシタ C の成分を抵抗 R と直列接続するように形成されていれば、どのような領域で構成しても良い。

【 0 0 5 2 】

図 1 9 は、図 4 で示した基板領域 2 1 からなる抵抗 R の成分を基板領域 2 1 以外で形成した場合を示す。図 1 9 に示す構成では、図 4 で用いた基板領域 2 1 を N⁺ 型の低抵抗基板で構成された低抵抗基板領域 2 9 で形成し、抵抗 R の成分を誘電領域 2 2 上に形成された多結晶シリコンからなる抵抗領域 3 0 で形成している。多結晶シリコンからなる抵抗領域 3 0 の厚さ及び不純物濃度を変えることで抵抗 R の抵抗値を自由に換えられることが利点として挙げられる。つまり、支持基体として基板領域を選ぶ際にどのような基板を用いても半導体スナバ 2 を形成できるため、実現性の自由度をあげることが可能となる。抵抗領域 3 0 は多結晶シリコン以外でも、どのような材料を用いても良いが、抵抗領域 3 0 をシリコンよりも高い絶縁破壊電界を持つ材料で構成するとなお良く、抵抗領域 3 0 の製作プロセスをさらに容易にする効果がある。例えば、逆回復動作時に還流ダイオード D の両端にサージ電圧として 1 0 0 [V] が印加された場合、半導体スナバ 2 においては、キャパシタ C に過渡電流が流れるため、概ね抵抗領域の両端にサージ電圧と同等の電圧 1 0 0 [V] が印加される。

【 0 0 5 3 】

このとき、抵抗領域 3 0 には、その材料に応じた絶縁破壊電界と厚さから決まる絶縁破壊電圧以上の破壊耐圧が求められる。1 0 0 [V] の破壊耐圧を持たせるためには、シリコンの場合、絶縁破壊電界が約 0 . 3 M [V / c m] であるので、3 [μ m] 程度の厚さが必要になる。そこにシリコンよりも高い絶縁破壊電界を持つポリ炭化珪素を用いると、

10

20

30

40

50

絶縁破壊電界が約 3.6 M [V / cm] であるので、厚さを $1/10$ 程度に削減することができる。このため、抵抗領域 30 を作製する時の堆積時間を短縮でき、プロセスを容易にすることができる。また炭化珪素の方がシリコンよりも熱伝導率が 3 倍程度良いため、抵抗領域 30 の放熱性を良くする効果もある。図 20 は抵抗 R の成分として、図 4 に示す基板領域 21 と図 19 に示す抵抗領域 30 を直列に接続した場合を示す。このように、抵抗 R の成分についてもキャパシタ C の成分と直列接続するように形成されていれば、どのような領域で構成しても良い。

【 0 0 5 4 】

本実施形態においては、半導体スナバ 2 の支持基体としてシリコンからなる半導体材料を用いた場合を一例としてあげたが、例えば窒化シリコンや窒化アルミやアルミナ等の絶縁基板材料を基板領域としても良い。図 21 は一例として窒化シリコン (SiN) からなる絶縁基板 31 上に基板領域 21 を形成した場合を示す。このように、基板材料がシリコン等の半導体基体でなくても、図 2 に示すようにチップ材料として半導体チップと同等に扱えて実装できる構成であればどのような構成でも良い。また、図 21 においては、絶縁基板 31 と基板領域 21 とが接する場合を示しているが、それらの間に金属膜や半田等の接合材料が形成されていても良い。

【 0 0 5 5 】

本実施形態では、スナバ回路を半導体チップ上に形成した場合を説明してきたが、本発明の最低限度の特徴を得るためには、スナバ回路の形成場所は特に限定されない。例えば図 7 に示すような電力変換装置において、ユニポーラ動作をする還流ダイオード D と並列接続されるように、少なくともキャパシタ容量並びに抵抗からなるスナバ装置とが構成されていれば、スナバ装置の形状、構成、接続方法はどのようなものでも良い。例えば、還流ダイオード D に対して外付けのキャパシタ C と抵抗 R で構成されたスナバ回路を形成しても良いし、図 7 に示すような回路構成にてスイッチング素子 S の駆動端子に接続されているゲート駆動回路中にスナバ回路を形成しても良い。本構成においては、スナバ回路で発生する損失が従来に比べて 2 桁程度小さいため、許容できる熱用量が小さいゲート駆動回路においても容易に組み込むことができるためであり、電力変換装置として小型化・低コスト化ができる。〔第 2 の実施形態〕

次に、図 22 乃至図 24 を参照して、本発明の第 2 の実施形態となる半導体装置の構成について説明する。なお以下では、上記第 1 の実施形態の半導体装置と重複する箇所については同符号を付与することにより説明を簡略化し、異なる部分についてのみ詳しく説明する。

【 0 0 5 6 】

〔半導体装置の回路構成〕

本発明の第 2 の実施形態となる半導体装置 40 は、図 22 に示すように、ユニポーラ動作をする還流ダイオード D と、環流ダイオード D に対し並列に接続された半導体スナバ 2 及びスイッチング素子 S1 を有する。スイッチング素子 S1 はエミッタ端子とコレクタ端子が互いに対面するように電極形成された、いわゆる縦型の IGBT により形成され、そのエミッタ端子及びコレクタ端子はそれぞれ端子 T2 及び端子 T1 に接続されている。

【 0 0 5 7 】

〔半導体装置の実装構造〕

半導体装置 40 は、図 23 に示すように、絶縁性を有し、且つ、支持体として機能するセラミック基板等の絶縁基板 3 と、絶縁基板 3 上に形成された銅やアルミニウム等の金属材料からなるアノード側金属膜 4a、カソード側金属膜 4b、及びゲート側金属膜 4c を備える。還流ダイオード D、半導体スナバ 2、及びスイッチング素子 S1 はカソード側金属膜 4b 上に配置され、還流ダイオード D のカソード電極、半導体スナバ 2 の抵抗 R、及びスイッチング素子 S1 のコレクタ端子は半田やろう材等の接合材料を介してカソード側金属膜 4b に接続されている。還流ダイオード D のアノード電極、半導体スナバ 2 のキャパシタ C、及びスイッチング素子 S1 のエミッタ端子はアルミニウムワイヤやアルミニウムリボン等の金属配線 5a、5b、5c を介してアノード側金属膜 4a に接続されている

。スイッチング素子S 1のゲート端子は金属配線5 dを介してゲート側金属膜4 cに接続されている。アノード側金属膜4 a, カソード側金属膜4 b, 及びゲート側金属膜4 cにはそれぞれ端子T 2, 端子T 1, 及び端子T 3が接続されている。

【0058】

〔環流ダイオードの断面構造〕

本実施形態における環流ダイオードDの構成は第1の実施形態における環流ダイオードDの構成と同じであるのでその説明は省略する。

【0059】

〔半導体スナバの断面構造〕

本実施形態における半導体スナバ2の構成は基本的には第1の実施形態における半導体スナバ2と同じであるが、スナバ機能を効果的に発揮するためには、新たに並列接続されたスイッチング素子S 1を考慮してキャパシタCと抵抗Rを設定することが望ましい。但し後述するように、還流ダイオードDに逆回復電流が流れる場合においては、並列されたスイッチング素子S 1は必ず遮断状態にあるので、キャパシタC及び抵抗Rは、第1の実施形態と同様に、還流ダイオードDとスイッチング素子S 1の遮断時の空乏層容量に応じた設定で対応可能である。つまり、基板領域2 1の抵抗率や厚さは必要な抵抗値の大きさに応じて設定することができ、例えば抵抗率が数m～数100 [$\Omega \cdot \text{cm}$]、厚さが数10～数100 [μm]程度のものを用いることで対応可能である。またキャパシタCの容量についても、必要な耐圧の大きさを最低限満たすようにして、必要な容量が得られるように誘電領域2 2の厚さや面積を変えることで対応可能である。本実施形態においては、還流ダイオードD及びスイッチング素子S 1が遮断状態時（高電圧印加時）にそれぞれ充電される空乏層容量の和に対して、100分の1から100倍程度の範囲内で選択することができるが、十分なスナバ機能を発揮し、且つ、損失の増加を極力抑え、必要となるチップ面積を考慮すると、10分の1から10倍程度の範囲内にすることが望ましい。本実施の形態においては、例えば還流ダイオードD及びスイッチング素子S 1の耐圧よりも高くなるように例えば厚さは1 [μm]とし、キャパシタCの容量が還流ダイオードD及びスイッチング素子S 1の遮断状態時に形成される空乏容量の和と同程度としたものを用いた場合で説明する。

【0060】

〔スイッチング素子の断面構造〕

スイッチング素子S 1は、図2 4に示すように、シリコンを材料としたP⁺型の基板領域4 1上にN⁺型のバッファ領域4 2を介してN⁻型のドリフト領域4 3が形成された基板により形成されている。基板領域4 1としては、例えば抵抗率が数m～数10m [$\Omega \cdot \text{cm}$]、厚さが数～数100 [μm]程度のものを用いることができる。ドリフト領域4 3としては、例えばN型の不純物密度が $10^{13} \sim 10^{16} [\text{cm}^{-3}]$ 、厚さが数10～数100 [μm]のものを用いることができる。なお抵抗率や不純物密度及び厚さは素子構造や必要となる耐圧の大きさに応じて上記範囲外となっても良いが、一般に抵抗率及び厚さは小さい方が導通時の損失を低減できるため、可能な限り抵抗が小さくなるようにすることが望ましい。本実施形態では例えば不純物密度が $10^{14} [\text{cm}^{-3}]$ 、厚さが50 [μm]で耐圧が600 [V]クラスのものを用いた場合で説明する。バッファ領域4 2はドリフト領域4 3に高電界が印加された際に基板領域4 1とパンチスルーするのを防止するために形成される。本実施形態では一例として、基板領域4 1を支持基材とした場合を説明しているが、バッファ領域4 2やドリフト領域4 3を支持基材としても良い。バッファ領域4 2は基板領域4 1とドリフト領域4 3とがパンチスルーしない構造であれば特になくても良い。

【0061】

ドリフト領域4 3中の表層部にはP型のウェル領域4 4が形成され、ウェル領域4 4中の表層部にはN⁺型のエミッタ領域4 5が形成されている。シリコン酸化膜からなるゲート絶縁膜4 6を介してドリフト領域4 3, ウェル領域4 4, 及びエミッタ領域4 5の表層部に接するように、N型の多結晶シリコンからなるゲート電極4 7が配設されている。エ

ミッタ領域 4 5 及びウェル領域 4 4 に接するようにアルミニウム材料からなるエミッタ電極 4 8 が形成されている。エミッタ電極 4 8 とゲート電極 4 7 との間には互いに接しないようにシリコン酸化膜からなる層間絶縁膜 4 9 が形成されている。基板領域 4 1 にオーミック接続するようにコレクタ電極 5 0 が形成されている。このように、本説明で用いる I G B T はゲート電極 4 7 が半導体基体に対して平面上に形成されている、いわゆるプレーナ型をしている。

【 0 0 6 2 】

〔 動作 〕

半導体装置 4 0 は、図 2 5 や図 2 6 に示すような電力エネルギーの変換手段の 1 つとして一般的に使用される、3 層交流モータを駆動するインバータ回路（L 負荷回路、図 2 5 ）やハーフブリッジ回路（図 2 6 ）等の電力変換装置に適用することができる。具体的には、図 2 5 に示すインバータ回路では、電源電圧（+ V）に対し上アームを形成する並列接続されたスイッチング素子 S 1 a，環流ダイオード D a，及び半導体スナバ 2 a と、下アームを形成する並列接続されたスイッチング素子 S 1 b，環流ダイオード D b，及び半導体スナバ 2 b とを、逆バイアス接続になるように直列に接続して使用される。この接続が 3 相分接続され、3 相インバータを構成する。

【 0 0 6 3 】

半導体装置 4 0 の動作モードは、上アーム又は下アームのどちらかのスイッチング素子がスイッチング動作した場合に、スイッチング動作していないアームのスイッチング素子，環流ダイオード，及び半導体スナバが連動して、電流を遮断する遮断状態から電流を還流する導通状態へ、そして導通状態から遮断状態へと動作する。以下では図 2 5 に示す 3 相のうちの 1 相の動作を用いて半導体装置 4 0 の動作を説明することとし、さらに一例として下アームのスイッチング素子 S 1 b がスイッチング動作をし、上アームのスイッチング素子 S 1 a，環流ダイオード D a，及び半導体スナバ 2 a が還流動作をする場合について説明する。

【 0 0 6 4 】

始めにスイッチング素子 S 1 b がオンし、スイッチング素子 S 1 b に電流が流れている状態では、上アームのスイッチング素子 S 1 a，環流ダイオード D a，及び半導体スナバ 2 a は逆バイアス状態となり遮断状態になる。まず下アームの導通状態にあるスイッチング素子 S 1 b に並列に接続されている環流ダイオード D b 及び半導体スナバ 2 b は遮断状態を維持する。これは、還流ダイオード D b であるショットキーバリアダイオードについては、その両端に印加されている電圧がスイッチング素子 1 b のオン電圧程度と低いものの逆バイアス電圧が印加されるためである。また半導体スナバ 2 b においては、キャパシタ C として機能する誘電領域 2 2 が電圧が変化するときのみ動作するため、スイッチング素子 1 b のオン電圧程度の電圧が定常状態で印加された状態では遮断状態となるためである。

【 0 0 6 5 】

一方、上アームのスイッチング素子 S 1 a，環流ダイオード D a，及び半導体スナバ 2 a についても、電源電圧程度の逆バイアス電圧が共に印加されているため、遮断状態を維持する。すなわちスイッチング素子 S 1 a である I G B T については、エミッタ端子とコレクタ端子間に逆バイアス電圧が印加されるため、ドリフト領域 4 3 中にはウェル領域 4 4 との P N 接合部から伸びた空乏層が形成され遮断状態が維持されるためである。また還流ダイオード D a であるショットキーバリアダイオードにおいては、表面電極 1 3 と裏面電極 1 4 間に逆バイアス電圧が印加されるため、ドリフト領域 1 2 中には表面電極 1 3 とのショットキー接合部から伸びた空乏層が生じ遮断状態が維持されるためである。また半導体スナバ 2 a においても、キャパシタ C として機能する誘電領域 2 2 が高電圧により充電された状態になり、遮断状態を維持するためである。このように、下アームのスイッチング素子 S 1 b が導通状態の時には、上下アーム共に受動素子（環流ダイオード及び半導体スナバ）がショットキーバリアダイオードのみで構成されている従来技術と同様の機能を有する。

【 0 0 6 6 】

次に下アームのスイッチング素子 S 1 b がターンオフして遮断状態に移行する場合について説明する。図 2 5 に示すインバータ回路では、スイッチング素子 S 1 b がターンオフする際には、電圧上昇と電流遮断の位相がずれるため、導通時の電流をほぼ維持した状態で、まずスイッチング素子 S 1 b の電圧上昇が起こる。まず下アームのターンオフするスイッチング素子 S 1 b に並列に接続されている環流ダイオード D b 及び半導体スナバ 2 b には共に、スイッチング素子 S 1 b の電圧上昇に伴ってオン電圧程度の低い逆バイアス電圧から電源電圧程度の高電圧の逆バイアス電圧へと変化するため、その電圧変化の速度に応じた過渡電流が流れる。すなわち還流ダイオード D b においては、電圧の上昇に伴ってドリフト領域 1 2 中に表面電極 1 3 側から空乏層が広がる際に電子が裏面電極 1 4 側に過渡電流として流れ、半導体スナバ 2 b においては、キャパシタ容量として働く誘電領域 2 2 が印加電圧に応じて充電されるため過渡電流が流れる。このとき半導体スナバ 2 b の誘電領域 2 2 のキャパシタ容量の充電作用によって、スイッチング素子 S 1 b のコレクタ/エミッタ間に生じる過渡的な電圧上昇を緩和し、回路中に含まれる寄生インダクタンスによるサージ電圧の発生を抑制することができる。つまり、本実施形態では、スイッチング素子 S 1 b とも並列接続することで、スイッチング素子 S 1 b 自体がターンオフ動作をする際にも素子破壊や他の周辺回路への誤動作等を引き起こすサージ電圧を低減し、より安定動作を実現することができる。そしてスイッチング素子 S 1 b の電圧上昇後、電流は所定の速度で遮断する。このとき、本実施形態で一例として挙げた I G B T では、導通時に基板領域 4 1 から注入されたホール電流の影響で電流の遮断速度は制限され損失は生じるものの、電流遮断による振動現象は起こりにくく、結果として安定動作に寄与している。そしてスイッチング素子 S 1 b の電流が遮断した後は、下アームのスイッチング素子 1 b , 環流ダイオード D b , 及び半導体スナバ 2 b は定常オフ状態となり、遮断状態を維持する。

【 0 0 6 7 】

一方、上アームのスイッチング素子 S 1 a と並列に接続されている環流ダイオード D a , 及び半導体スナバ 2 a は、下アームのスイッチング素子 S 1 b のターンオフ動作に連動して、順バイアス状態となり導通状態に移行する。すなわち還流ダイオード D a のドリフト領域 1 2 中に広がっていた空乏層が後退し、表面電極 1 3 とドリフト領域 1 2 との間に形成されているショットキー接合部にショットキー障壁高さに応じた順バイアス電圧が印加されると、還流ダイオード D a は導通状態となる。このとき、還流ダイオード D a に流れる電流は、ドリフト領域 1 2 中をほぼ裏面電極 1 4 側から供給される電子電流のみで構成されており、ユニポーラ動作をする。また半導体スナバ 2 a においても、還流ダイオード D a と同様に、高電圧の逆バイアス状態から低電圧の順バイアス状態に移行するため、誘電領域 2 2 に充電されていた電荷は放電され、過渡電流が流れる。しかしながら本実施形態では、誘電領域 2 2 のキャパシタ容量が還流ダイオード D a 及びスイッチング素子 S 1 a の遮断時に形成される空乏容量と同程度と非常に小容量であるため、放電によって流れる過渡電流の大きさは、並列する還流ダイオード D a に流れる順バイアス電流に比べて非常に小さく、動作にはほとんど影響しない。また、並列接続されているスイッチング素子 S 1 a についても、コレクタ/エミッタ間の電圧は逆バイアス電圧状態から順バイアス状態に移行するものの、ゲート信号はオフ状態を維持するように制御されることと、基板領域 4 1 とバッファ領域 4 2 との間の P N 接合が逆バイアス状態となるためオフ状態を維持する。但し、コレクタ/エミッタ間の電圧状態が変位するため、スイッチング素子 S 1 a 中のドリフト領域 4 3 中に生じていた空乏層の容量変化に伴うキャパシタ C としての放電による過渡電流は流れるが、半導体スナバ 2 a と同様、並列する還流ダイオード D a に流れる順バイアス電流に比べて非常に小さく、動作にはほとんど影響しない。そして半導体スナバ 2 a 及びスイッチング素子 S 1 a は、バイアス電圧の変化に伴う過渡電流が流れた後は、順バイアス状態と定常状態に移行するため遮断状態となり、還流ダイオード D a のみが導通状態となる。本実施形態では、還流ダイオード D a が炭化珪素材料の半導体基体からなるショットキーバリアダイオードで構成されているため、一般的なシリコン材料

からなるPN接合ダイオードに比べて、ドリフト領域12の抵抗を低抵抗で形成することができ、順バイアス導通時の導通損失を低減することができる。このように導通状態においても、受動素子がショットキーバリアダイオードのみで構成されている従来技術と同様の効果を有する。

【0068】

次に、下アームのスイッチング素子S1bがターンオンし、再びスイッチング素子S1bがオン状態に移行する動作について説明する。図25に示すインバータ回路では、スイッチング素子S1bがターンオンする際には、電流上昇と電圧低下の位相がずれるため、比較的高い電圧が印加された状態でスイッチング素子S1bに電流が流れ始める。下アームのターンオフするスイッチング素子S1bに並列に接続されている環流ダイオードDb及び半導体スナバ2bには共に、スイッチング素子S1bに電流が流れ、コレクタ/エミッタ間の電圧が低下するのに伴って、電源電圧程度の高電圧の逆バイアス電圧からオン電圧程度の低い逆バイアス電圧へと変化するため、その電圧変化の速度に応じた過渡電流が流れる。このとき、還流ダイオードDbにおいては、電圧の減少に伴ってドリフト領域12中に広がっていた空乏層は表面電極13側に徐々に狭まり、裏面電極14側からドリフト領域12中に電子が過渡電流として流れる。また半導体スナバ2bにおいては、キャパシタ容量として働く誘電領域22が印加電圧の減少と共に放電されるため過渡電流が流れる。この過渡電流は、並列するスイッチング素子S1bに流れるターンオン電流と比べるとほとんど影響がない大きさである。このように、下アームの半導体スナバ2b及び還流ダイオードDbは過渡電流が流れた後は定常状態に移行し電流は遮断されるため、スイッチング素子S1bのみが導通状態となる。

【0069】

一方、上アームのスイッチング素子S1aと並列に接続されている環流ダイオードDa及び半導体スナバ2aは、下アームのスイッチング素子S1bのターンオン動作に連動して、逆バイアス状態となり遮断状態に移行する。ショットキーバリアダイオードにおいては、裏面電極14側からドリフト領域12中に供給されていた電子電流は順バイアス電圧の低下と共に減少する。そして順バイアス電圧がショットキー接合部のショットキー障壁高さに応じた電圧以下になり、さらにはショットキー接合部に逆バイアス電圧が印加されはじめると、ドリフト領域12中には表面電極13とのショットキー接合部から伸びた空乏層が広がり遮断状態へと移行する。この導通状態から遮断状態に移行する際に、還流ダイオードDaの素子内部に蓄積されていた過剰キャリアが消滅する過程において、過渡的に発生する電流が逆回復電流である。この逆回復電流は、環流ダイオードDaと半導体スナバ2a及び下アームのスイッチング素子S1bに過渡電流として流れ、それぞれの素子において損失（ここでは逆回復損失と呼ぶ）が発生する。このことから、還流ダイオードDaで発生する逆回復電流は極力小さいほうが良い。

【0070】

本実施形態では、還流ダイオードDaを炭化珪素からなる半導体材料で形成したユニポーラ動作のショットキーバリアダイオードで形成しており、一般的なシリコンで形成されたPN接合ダイオードに比べるとこの逆回復電流は格段に小さい。つまり、逆回復損失を大幅に低減することができる。さらに本実施形態では、従来技術である受動素子がショットキーバリアダイオードのみで構成されている場合では本質的に解決できなかったユニポーラ動作ならではの逆回復動作時の電流・電圧の振動現象を抑制する機能を有する。すなわち、本実施形態においては、還流ダイオードDaにおいて順バイアス電流が減少し、順バイアス電流がゼロになると、ドリフト領域12中に逆バイアス電圧による空乏層が形成され、過剰キャリアで構成される逆回復電流が流れ始める。その逆バイアス電圧が印加されるのとはほぼ同時に、スイッチング素子S1a及び半導体スナバ2a中の誘電領域22からなるキャパシタCにも同等の逆バイアス電圧が印加され、スイッチング素子S1a及び半導体スナバ2a中にも相応の過渡電流が流れ始める。この半導体スナバ2aに流れる過渡電流は、誘電領域22からなるキャパシタCの大きさと基板領域21の抵抗R成分の大きさに決まり、自由に設計することができる。この並列に接続された半導体スナバ2aの

効果は3つある。

【0071】

第1の効果は、半導体スナバ2aは電圧の過渡変動がないと動作しないため、下アームのスイッチング素子S1bのスイッチング速度には影響を与えず、スイッチング速度に依存する損失は従来と同様に低く抑えることができることである。つまり、還流ダイオードDaに流れる順バイアス電流の遮断速度を高速に設定することができるため、メイン電流の遮断に伴う損失を低減できる。第2の効果は、還流ダイオードDaが逆回復動作に入った時に還流ダイオードDaに並列接続された半導体スナバ2aのキャパシタC及び抵抗Rが作動し、逆回復電流の遮断速度(dI_r/dt)を緩和することができ、サージ電圧そのものを低減できることである。第3の効果は、半導体スナバ2aに流れた電流を基板領域21の抵抗Rで電力消費するため、寄生インダクタンスLsで生じたエネルギーを吸収し、振動現象を素早く収束することができることである。

10

【0072】

このように本発明の第2の実施形態となる半導体装置1によれば、還流ダイオードDaが有する過渡損失及び導通損失を低減する性能を有すると同時に、ユニポーラ動作ならではの本質的な振動現象を半導体スナバ2aを用いることで解決することができる。また本実施形態では、還流ダイオードD及びスイッチング素子S1に流れる過渡電流が高々ドリフト領域12及びドリフト領域43に空乏層が形成される際に発生するキャリアのみからなる過渡電流であることに着目し、スナバ回路を小容量の半導体スナバ2で形成しているところが従来技術と異なる点である。さらに本実施形態により、過渡損失と導通損失を低減する性能と振動現象を抑制する上で、従来技術にはない以下の新たな効果を得ることができる。

20

【0073】

第1の効果は、ユニポーラ動作をする還流ダイオードD及びスイッチング素子S1に所定のキャパシタ容量及び抵抗値をもつ半導体スナバ2を一旦並列接続すると、その還流ダイオードDが動作する全電流範囲及び全温度範囲において、スナバ機能が有効に働くということである。上述したように、ショットキーバリアダイオードの逆回復時に発生する逆回復電流は、逆バイアス電圧によって還流ダイオードD及びスイッチング素子S1に空乏層が生じた際に発生する過剰キャリアのみで構成されているため、還流動作時に流れていた電流の大きさによらず、毎度ほぼ一定の逆回復電流が流れるためである。また同様の理由で、還流ダイオードDの動作温度にもほとんど影響を受けず、ほぼ一定の逆回復電流が流れるためである。このため全ての電流範囲及び温度範囲において、過渡損失を低減し、且つ、振動現象を抑制することができる。これらは、一般的なPN接合ダイオードとの組み合わせでは得られない効果である。

30

【0074】

第2の効果は、スナバ回路を半導体スナバ2で形成することにより還流ダイオードD及びスイッチング素子S1の直近に低インダクタンスで実装することができ、さらに過渡損失を低減し、且つ、振動現象を抑制できる点である。これは、還流ダイオードD及びスイッチング素子S1にスナバ回路を並列接続する際に生じる寄生インダクタンスが小さいほど、スナバ回路に流れる過渡電流が流れやすく、還流ダイオードに流れる逆回復電流の遮断速度(dI_r/dt)を緩和しやすくなることと、スナバ回路中のキャパシタに印加される電圧に重畳される寄生インダクタンスで発生する逆起電力が小さいため、キャパシタの耐圧範囲でスイッチング時間を速くできることによる。このことから、本実施形態においては、従来のディスクリート部品であるフィルムコンデンサ等からなるキャパシタとメタルクラッド抵抗等からなる抵抗とを用いるスナバ回路の場合に比べて、寄生インダクタンスを低減することで、スイッチング時間を短縮し過渡損失を低減できると共に、逆回復電流の遮断速度(dI_r/dt)を適切に緩和し振動現象を抑制することができる。

40

【0075】

なお第1の実施形態と同様、スナバ回路に用いるキャパシタの容量Cの大きさは、遮断状態における還流ダイオードDとスイッチング素子S1とのキャパシタ容量成分の総和C

50

0 に対して、 C/C_0 が 0.1 前後から振動現象の減衰効果が顕著になり、 C/C_0 が 2.0 を超える辺りから振動現象の収束時間比の値が飽和傾向になる。つまり、振動現象の減衰効果という観点では、 C/C_0 が 0.1 倍から 2.0 倍の範囲において、顕著な効果が得られる。一方、スナバ回路に形成するキャパシタ容量 C によって、過渡動作時にキャパシタの容量 C の大きさに比例する過渡電流による損失 E との相互関係という観点では、第 1 の実施形態と同様、 C/C_0 が概ね 1.0 倍以下が望ましい。このことから、本実施形態で用いるスナバ回路のキャパシタの容量 C の大きさは還流ダイオード D 及びスイッチング素子 S_1 の遮断状態におけるキャパシタ成分の容量の総和に比べて、1.0 分の 1 倍以上、好ましくは 1.0 倍以下の範囲で容量を選択することで、損失の増加を抑えつつ、より顕著に振動現象を低減することができる。

10

【0076】

〔第 3 の実施形態〕

次に、図 27、28 を参照して、本発明の第 3 の実施形態となる半導体装置の構成について説明する。なお本実施形態の半導体装置の構成は、第 2 の実施形態の半導体装置の構成と比較して、還流ダイオード D 及びスイッチング素子 S_1 の構成が異なるだけであるので、以下では環流ダイオード D 及びスイッチング素子 S_1 の構成についてのみ説明する。

【0077】

〔環流ダイオードの断面構造〕

本実施形態における環流ダイオード D は、図 27 に示すように、図 3 に示す環流ダイオード D におけるドリフト領域 12 と表面電極 13 との間に炭化珪素よりもバンドギャップの小さい多結晶シリコンからなるヘテロ半導体領域 51 を有する。ドリフト領域 12 とヘテロ半導体領域 51 の接合部は、炭化珪素と多結晶シリコンのバンドギャップが異なる材料によるヘテロ接合ダイオードが形成されており、その接合界面にはエネルギー障壁が存在している。ヘテロ接合ダイオードは、ヘテロ半導体領域 51 の不純物密度を変えることでヘテロ接合部のエネルギー障壁の高さを制御することができるため、必要な耐圧の大きさに応じて、最適な障壁高さを得ることができる。本実施形態では、ヘテロ半導体領域 51 は、P 型で不純物密度が $1.0 \times 10^{19} [\text{cm}^{-3}]$ 、厚さが $0.5 [\mu\text{m}]$ とした。なお、本実施形態においては、ヘテロ半導体領域 51 と表面電極 13 との接合部は、より抵抗を低減するためにオーミック接続するのが望ましい。

20

【0078】

〔スイッチング素子の断面構造〕

本実施形態におけるスイッチング素子 S_1 は、図 28 に示すように、炭化珪素のポリタイプが 4H タイプの N^+ 型である基板領域 52 上に N^- 型のドリフト領域 53 が形成された基板材料で構成されている。基板領域 52 としては、例えば抵抗率が数 $\text{m} \sim$ 数 $10 \text{ m} [\Omega \cdot \text{cm}]$ 、厚さが数 $\sim$ 数 $100 [\mu\text{m}]$ 程度のものを用いることができる。ドリフト領域 53 としては、N 型の不純物密度が $1.0 \times 10^{14} \sim 1.0 \times 10^{17} [\text{cm}^{-3}]$ 、厚さが数 $\sim$ 数 $10 [\mu\text{m}]$ のものを用いることができる。なお素子構造や必要となる耐圧の大きさに応じて抵抗率や不純物密度及び厚さが上記範囲外となっても良いが、一般に抵抗率及び厚さが小さい方が導通時の損失を低減できるため、可能な限り抵抗が小さくなるようにすることが望ましい。本実施形態では不純物密度が $2 \times 10^{16} [\text{cm}^{-3}]$ 、厚さが $5 [\mu\text{m}]$ で耐圧が $600 [\text{V}]$ クラスのものを用いた。また本実施形態では基板領域 52 を支持基材とした場合を説明しているが、ドリフト領域 53 を支持基材としても良い。

30

40

【0079】

ドリフト領域 53 中の表層部には P 型のウェル領域 54 が形成され、ウェル領域 54 中の表層部には N^+ 型のソース領域 55 が形成されている。シリコン酸化膜からなるゲート絶縁膜 56 を介してドリフト領域 53、ウェル領域 54、及びソース領域 55 の表層部に接するように N 型の多結晶シリコンからなるゲート電極 57 が配設されている。ソース領域 55 及びウェル領域 54 に接するようにアルミニウム材料からなるソース電極 58 が形成されている。ソース電極 58 とゲート電極 57 との間には互いに接しないように、シリコン酸化膜からなる層間絶縁膜 59 が形成されている。基板領域 52 にオーミック接続す

50

るようにドレイン電極 60 が形成されている。このように図 28 に示す MOSFET はゲート電極 57 が半導体基体に対して平面上に形成されている、いわゆるプレーナ構造を形成している。

【0080】

なお本実施形態においても、還流ダイオード D とスイッチング素子 S1 とを半導体スナバ 2 と共に並列接続して使用するが、スナバ機能を効果的に発揮するためには、還流ダイオード D とスイッチング素子 S1 の遮断状態におけるキャパシタ容量を考慮した誘電領域 22 によるキャパシタ C の設定と、基板領域 21 による抵抗 R の設定をすることが望ましい。本実施形態では、第 1 及び第 2 の実施形態と同様、還流ダイオード D 及びスイッチング素子 S1 の耐圧よりも高くなるように厚さは 1 [μm] とし、キャパシタの容量 C が還流ダイオード D 及びスイッチング素子 S1 の遮断状態時に形成される空乏容量の和と同程度とした。

【0081】

〔動作〕

次に、第 2 の実施形態と同様、本実施形態における半導体装置の動作を図 25 に示すインバータ回路の動作に対応させて詳しく説明する。

【0082】

始めに、図 25 中のスイッチング素子 S1b がオンし、スイッチング素子 S1b に電流が流れている状態においては、上アームのスイッチング素子 S1a、環流ダイオード Da、及び半導体スナバ 2a は逆バイアス状態となり遮断状態になる。まず下アームの導通状態にあるスイッチング素子 S1b は、炭化珪素材料からなる MOSFET で構成されているため、第 2 の実施形態で説明した IGBT に比べて、低オン抵抗で導通することができる。これは炭化珪素材料のバンドギャップがシリコン材料に比べて約 3 倍大きく、最大絶縁電界が約 1 桁大きいこと、ドリフト領域 53 に厚さを小さく、且つ、不純物濃度大きくすることができるためである。このため、IGBT のようなバイポーラ型の動作とせずとも、ドリフト領域 53 の抵抗を低くすることができる。また下アームの導通状態にあるスイッチング素子 S1b に並列に接続されている環流ダイオード Db 及び半導体スナバ 2b は遮断状態を維持する。すなわち還流ダイオード Db であるヘテロ接合ダイオードについては、その両端に印加されている電圧がスイッチング素子 S1b のオン電圧程度と低いものの逆バイアス電圧が印加されるためである。また半導体スナバ 2b においては、キャパシタ C として機能する誘電領域 22 が電圧が変化するときのみ動作するため、スイッチング素子 S1b のオン電圧程度の電圧が定常状態で印加された状態では遮断状態となる。

【0083】

一方、上アームのスイッチング素子 S1a、環流ダイオード Da、及び半導体スナバ 2a も、電源電圧程度の逆バイアス電圧が共に印加されているため、遮断状態を維持する。すなわちスイッチング素子 S1a である MOSFET については、ソース端子とドレイン端子間にバイアス電圧が印加されるため、ドリフト領域 53 中にはウェル領域 54 との PN 接合部から伸びた空乏層が形成され遮断状態が維持される。また還流ダイオード Da であるヘテロ接合ダイオードにおいては、表面電極 13 と裏面電極 14 間に逆バイアス電圧が印加されるため、ドリフト領域 12 中にはヘテロ半導体領域 51 とのヘテロ接合部から伸びた空乏層が生じ遮断状態が維持される。また半導体スナバ 2a においても、キャパシタ C として機能する誘電領域 22 が高電圧により充電された状態になり、遮断状態を維持する。このように下アームのスイッチング素子 S1b が導通状態の時には、上下アーム共に環流ダイオード D 及び半導体スナバ 2 は第 2 の実施形態で構成されている従来技術と同様の機能を有する。

【0084】

次に、下アームのスイッチング素子 S1b がターンオフして遮断状態に移行する場合について説明する。図 25 に示すインバータ回路では、スイッチング素子 S1b がターンオフする際には、電圧上昇と電流遮断の位相がずれるため、導通時の電流をほぼ維持した状態で、まずスイッチング素子 S1b の電圧上昇が起こる。まず、下アームのターンオフす

10

20

30

40

50

るスイッチング素子 S_{1b} に並列に接続されている環流ダイオード D_b 及び半導体スナバ $2b$ には共に、スイッチング素子 S_{1b} の電圧上昇に伴ってオン電圧程度の低い逆バイアス電圧から電源電圧程度の高電圧の逆バイアス電圧へと変化するため、その電圧変化の速度に応じた過渡電流が流れる。すなわち還流ダイオード D_b においては、電圧の上昇に伴ってドリフト領域 12 中にヘテロ半導体領域 51 側から空乏層が広がる際に、電子が裏面電極 14 側に過渡電流として流れ、半導体スナバ $2b$ においては、キャパシタ容量として働く誘電領域 22 が印加電圧に応じて充電されるため過渡電流が流れる。この半導体スナバ $2b$ の誘電領域 22 のキャパシタ容量の充電作用によって、スイッチング素子 S_{1b} のコレクタ/エミッタ間に生じる過渡的な電圧上昇を緩和し、回路中に含まれる寄生インダクタンスによるサージ電圧の発生を抑制することができる。つまり本実施形態においては、スイッチング素子 S_{1b} とともに並列接続することで、スイッチング素子 S_{1b} 自体がターンオフ動作をする際にも、素子破壊や他の周辺回路への誤動作等を引き起こすサージ電圧を低減することができる。そして本実施形態で一例として挙げた炭化珪素からなる MOSFET では、電圧上昇後、電流は急峻に遮断する。これは、第 2 の実施形態で説明した IGBT とは異なり、導通時にユニポーラ動作をしているため、電圧の上昇によって空乏層から吐き出された電子電流が空乏層の伸びの速さに応じて遮断されるためである。つまり、スイッチング素子 S_{1b} が炭化珪素からなる MOSFET になることによって、導通時においては低オン抵抗を実現できるものの、スイッチング素子の遮断性能の早さによって、スイッチング素子 S_{1b} 自体のターンオフ時に振動現象が生じやすく、さらに抵抗が小さいため振動現象の減衰がなかなか生じないという問題が生じてしまう。しかしながら本実施形態では、並列に半導体スナバ $2b$ が形成されているため、効果的に振動現象を緩和することができる。すなわち本実施形態においては、スイッチング素子 S_{1b} の電流が遮断された際に、回路中の寄生インダクタンスと共振し電流及び電圧に振動現象が始まるものの、半導体スナバ $2b$ 中の誘電領域 22 からなるキャパシタ C にも同等の電圧が印加され相応の過渡電流が流れ始める。すると、キャパシタ C 及び抵抗 R によって電流振動の傾き (dI/dt) を緩和し、基板領域 21 の抵抗 R 成分で寄生インダクタンス L_s で生じたエネルギーを消費するため、振動現象を素早く収束することができる。このことから、本実施形態のように、スイッチング素子 S_{1b} がユニポーラ型で高速遮断性能を有している場合にも、振動現象を抑制することができる。またスイッチング素子 S_{1b} がより導通損失が小さいワイドギャップ半導体からなり、振動現象にとっては減衰しにくい構成であっても、導通損失を悪化させることなく、容易に振動現象を減衰することができる。このように、スイッチング素子 S_{1b} においても導通損失と過渡損失を高い次元で両立できるような構成、すなわち高速動作が可能なユニポーラ型であることや低オン抵抗が実現できるワイドバンドギャップ半導体の構成と組み合わせることで、さらに高い効果を引き出すことができる。そして、スイッチング素子 S_{1b} の電流が遮断した後は、下アームのスイッチング素子 S_{1b} 、環流ダイオード D_b 、及び半導体スナバ $2b$ は定常オフ状態となり、遮断状態を維持する。

【0085】

一方、上アームのスイッチング素子 S_{1a} と並列に接続されている環流ダイオード D_a 及び半導体スナバ $2a$ は、下アームのスイッチング素子 S_{1b} のターンオフ動作に連動して、順バイアス状態となり導通状態に移行する。還流ダイオード D_a のドリフト領域 12 中に広がっていた空乏層が後退し、ヘテロ半導体領域 51 とドリフト領域 12 との間に形成されているヘテロ接合部にヘテロ障壁高さに応じた順バイアス電圧が印加されると、還流ダイオード D_a は導通状態となる。ヘテロ接合ダイオードはヘテロ接合部からドリフト領域 12 側及びヘテロ半導体領域 51 側にそれぞれ広がる内蔵電位の和によって決まる電圧降下で順方向電流が流れるものの、価電子帯側の正孔に対するヘテロ障壁が大きいいため、電流はドリフト領域 12 中をほぼ裏面電極 14 側から供給される電子電流のみで構成されており、ユニポーラ動作をする。このとき、第 2 の実施形態で説明したショットキーバリアダイオードでは、ショットキー障壁高さが表面電極 13 のショットキーメタル固有の仕事関数差で一義的に決まるため、所定の耐圧を得るためにドリフト領域 12 の不純物濃

度や厚さが制限されるのに対して、本実施形態においては、ヘテロ障壁をヘテロ半導体領域 5 1 の不純物濃度を制御することによって変えることができるため、ドリフト領域 1 2 の抵抗をより低抵抗にすることができる。つまり、導通時の損失をより低減することができる。

【 0 0 8 6 】

また半導体スナバ 2 a においては、還流ダイオード D a が逆バイアス状態から順バイアス状態に移行する際に、誘電領域 2 2 に充電されていた電荷が過渡電流として放電される。本実施形態では、誘電領域 2 2 のキャパシタ C としての容量が還流ダイオード D a 及びスイッチング素子 S 1 a に形成されていた空乏容量と同程度と小容量であるため、放電によって流れる過渡電流は流れるものの、並列する還流ダイオード D a に流れる順バイアス電流と比べるとほとんど影響がない大きさである。半導体スナバ 2 a は、過渡電流が流れた後は定常状態に移行し電流は遮断される。また並列接続されているスイッチング素子 S 1 a についても、ドレイン/ソース間の電圧は逆バイアス電圧状態から順バイアス状態に移行するものの、ゲート信号はオフ状態を維持するように制御されることと、ウェル領域 5 4 とドリフト領域 5 3 との間の P N 接合が順バイアス状態となるものの内蔵電位が 2 ~ 3 V と大きいことからオフ状態を維持する。但し、ドレイン/ソース間の電圧状態が変位するため、スイッチング素子 S 1 a 中のドリフト領域 5 3 中に生じていた空乏層の容量変化に伴うキャパシタ C としての放電による過渡電流は流れるが、半導体スナバ 2 a と同様、並列する還流ダイオード D a に流れる順バイアス電流と比べるとほとんど影響がない大きさである。このように、上アームの半導体スナバ 2 a 及びスイッチング素子 S 1 a は過渡電流が流れた後は定常状態に移行し電流は遮断されるため、還流ダイオード D a のみが導通状態となる。

【 0 0 8 7 】

次に下アームのスイッチング素子 S 1 b がターンオンし、再びスイッチング素子 S 1 b がオン状態に移行する動作について説明する。図 2 5 に示すインバータ回路では、スイッチング素子 S 1 b がターンオンする際には、電流上昇と電圧低下の位相がずれるため、比較的高い電圧が印加された状態で、スイッチング素子 S 1 b に電流が流れ始める。下アームのターンオンするスイッチング素子 S 1 b に並列に接続されている環流ダイオード D b 及び半導体スナバ 2 b には共に、スイッチング素子 S 1 b に電流が流れ、ドレイン/ソース間の電圧が低下するのに伴って、電源電圧程度の高電圧の逆バイアス電圧からオン電圧程度の低い逆バイアス電圧へと変化するため、その電圧変化の速度に応じた過渡電流が流れる。このとき還流ダイオード D b においては、電圧の減少に伴ってドリフト領域 1 2 中に広がっていた空乏層はヘテロ半導体領域 5 1 側に徐々に狭まり、裏面電極 1 4 側からドリフト領域 1 2 中に電子が過渡電流として流れる。また半導体スナバ 2 b においては、キャパシタ容量として働く誘電領域 2 2 が印加電圧の減少と共に放電されるため過渡電流が流れる。この過渡電流は、並列するスイッチング素子 S 1 b に流れるターンオン電流と比べるとほとんど影響がない大きさである。このように、下アームの半導体スナバ 2 b 及び還流ダイオード D b は過渡電流が流れた後は定常状態に移行し電流は遮断されるため、スイッチング素子 S 1 b のみが導通状態となる。

【 0 0 8 8 】

一方、上アームのスイッチング素子 S 1 a と並列に接続されている環流ダイオード D a 及び半導体スナバ 2 a は、下アームのスイッチング素子 S 1 b のターンオン動作に連動して、逆バイアス状態となり遮断状態に移行する。ヘテロ接合ダイオードである還流ダイオード D a においては、裏面電極 1 4 側からドリフト領域 1 2 中に供給されていた電子電流は順バイアス電圧の低下と共に減少する。そして順バイアス電圧がヘテロ接合部のヘテロ障壁高さに応じた電圧以下になり、さらにヘテロ接合部に逆バイアス電圧が印加されると、ドリフト領域 1 2 中にはヘテロ半導体領域 5 1 とのヘテロ接合部から伸びた空乏層が生じ遮断状態へと移行する。本実施形態では、第 1 及び第 2 の実施形態で説明したショットキーバリアダイオードと同様に、ユニポーラ動作を有しているため、一般的なシリコンで形成された P N 接合ダイオードに比べるとこの逆回復電流は格段に小さい。つまり、逆回

復損失を大幅に低減することができる。さらに本実施形態においては、ショットキーバリアダイオードよりも導通損失を低減可能なヘテロ接合ダイオードに半導体スナバ2bを組み合わせることによって、導通損失と過渡損失を高い次元で両立することができる。すなわち本実施形態においては、還流ダイオードDaが逆回復動作する場合に、ドリフト領域12中に逆バイアス電圧が印加され過剰キャリアで構成される逆回復電流が流れ始めるのとほぼ同時に、スイッチング素子S1a及び半導体スナバ2a中の誘電領域22からなるキャパシタCにも同等の逆バイアス電圧が印加され、スイッチング素子S1a及び半導体スナバ2a中にも相応の過渡電流が流れ始める。本実施形態においては、キャパシタCの大きさを還流ダイオードDa及びスイッチング素子S1aに流れる過渡電流とほぼ同等となるような容量で設定しているため、下アームのスイッチング素子S1bのスイッチング速度をほぼ変えることなく、逆回復電流の遮断速度(dI/dt)を緩和することができる。さらに半導体スナバ2aに流れる電流を基板領域21の抵抗R成分で消費するため、寄生インダクタンスLsで生じたエネルギーを吸収し、振動現象を素早く収束することができる。つまり還流ダイオードDaがヘテロ接合ダイオードとなり導通損失が小さくなくても、第2の実施形態で説明したショットキーバリアダイオードを用いた場合と同様、ユニポーラ動作ならではの本質的な振動現象を半導体スナバ2aで解決できる。このことから、低オン抵抗が実現できるヘテロ接合ダイオードと組み合わせることで、さらに高い効果を引き出すことができる。

10

〔第4の実施形態〕

次に、図29を参照して、本発明の第4の実施形態となる半導体装置の構成について説明する。なお本実施形態の半導体装置の構成は、第3の実施形態の半導体装置の構成と比較して、スイッチング素子S1の構成が異なるだけであるので、以下ではスイッチング素子S1の構成についてのみ説明する。

20

【0089】

〔スイッチング素子の断面構造〕

本実施形態におけるスイッチング素子S1では、図29に示すように、炭化珪素のポリタイプが4HタイプのN⁺型である基板領域52上にN⁻型のドリフト領域53が形成され、ドリフト領域53の基板領域52との接合面に対向する主面に接するようにN型の多結晶シリコンからなるヘテロ半導体領域61が形成されている。つまりドリフト領域53とヘテロ半導体領域61の接合部は、炭化珪素と多結晶シリコンのバンドギャップが異なる材料によるヘテロ接合からなっており、その接合界面にはエネルギー障壁が存在している。ヘテロ半導体領域61とドリフト領域53との接合面に共に接するように、シリコン酸化膜から成るゲート絶縁膜56が形成されている。ゲート絶縁膜56上にはゲート電極57が形成され、ヘテロ半導体領域61のドリフト領域53との接合面に対向する対面にはソース電極58が形成されている、基板領域52にはドレイン電極60が接続するように形成されている。ゲート電極57とソース電極58を絶縁するようにシリコン酸化膜からなる層間絶縁膜59が形成されている。

30

【0090】

〔動作〕

次に図29に示すスイッチング素子S1の動作について説明する。

40

【0091】

図29に示すスイッチング素子S1においても、MOSFETと同様、ソース電極58を接地しドレイン電極60に正電位が印加されるようにして使用する。始めに、ゲート電極57を接地電位又は負電位とした場合、スイッチング素子S1は遮断状態を保持する。これは、ヘテロ半導体領域61とドリフト領域53とのヘテロ接合界面には、伝導電子に対するエネルギー障壁が形成されているためである。次に遮断状態から導通状態へと転じるべくゲート電極57に正電位を印加した場合、ゲート絶縁膜56を介してゲート電界が及ぶヘテロ半導体領域61及びドリフト領域53の表層部には電子の蓄積層が形成される。するとヘテロ半導体領域61及びドリフト領域53の表層部においては自由電子が存在可能なポテンシャルとなり、ドリフト領域53側に伸びていたエネルギー障壁が急峻にな

50

り、エネルギー障壁厚さが小さくなる。その結果、電子電流が導通する。このとき、図 29 に示すスイッチング素子 S 1 においては、電流の導通及び遮断を制御するいわゆるチャネル部分の長さが、ヘテロ障壁によって形成されるエネルギー障壁の厚さ程度であり、MOSFET において耐圧保持に必要な所定のチャネル長に比べて小さいため、より低抵抗で導通することができる。このため、上述したように、半導体スナバ 2 によって導通損失と過渡損失をさらに高いレベルで両立することができる。

【0092】

次に本実施形態において導通状態から遮断状態に移行すべく、再びゲート電極 57 を接地電位とすると、ヘテロ半導体領域 61 及びドリフト領域 53 のヘテロ接合界面に形成されていた伝導電子の蓄積状態が解除され、エネルギー障壁中のトンネリングが止まる。そしてヘテロ半導体領域 61 からドリフト領域 53 への伝導電子の流れが止まり、さらにドリフト領域 53 中にあった伝導電子は基板領域 52 に流れ枯渇すると、ドリフト領域 53 側にはヘテロ接合部から空乏層が広がり遮断状態となる。また図 29 に示すスイッチング素子 S 1 においては、ソース電極 58 を接地し、ドレイン電極 60 に負電位が印加された逆方向導通（還流動作）も可能である。例えばソース電極 58 及びゲート電極 57 を接地電位とし、ドレイン電極 60 に所定の正電位が印加されると、伝導電子に対するエネルギー障壁は消滅し、ドリフト領域 53 側からヘテロ半導体領域 61 側に伝導電子が流れ、逆導通状態となる。このとき、正孔の注入はなく伝導電子のみで導通するため、逆導通状態から遮断状態に移行する際の逆回復電流による損失も小さい。なお上述したゲート電極 57 を接地にせずに制御電極として使用する場合も可能である。このように図 29 に示すスイッチング素子 S 1 においては、ユニポーラ型の還流ダイオードとしても使用ができるため、例えば還流ダイオード D を図 29 に示すスイッチング素子 S 1 で共用することができる。すなわち、図 29 に示すスイッチング素子 S 1 では還流ダイオード D を別チップで形成する以外にも、還流ダイオード D とスイッチング素子 S 1 を 1 チップ化して、半導体パッケージを小型化することができる。このことにより、配線等に生じる寄生インダクタンスをさらに低減することができるため、半導体スナバ 2 による振動現象をさらに低減することができる。また配線長が短くなることは振動電流により配線から発する放射ノイズを低減させる効果もある。またチップサイズの低減によってコストが低減されると共に、還流ダイオード D とスイッチング素子 S 1 とのキャパシタ容量の和が小さくなるため、半導体スナバ 2 に必要なキャパシタ容量 C も小さくすることができる。つまり、小型で低コストで振動現象を抑制することができる。

【0093】

以上、図 29 に示すスイッチング素子 S 1 においては、ヘテロ半導体領域 61 に用いる材料として多結晶シリコンを用いたが、炭化珪素とヘテロ接合を形成する材料であれば単結晶シリコン、アモルファスシリコン等のその他のシリコン材料や、ゲルマニウムやシリコンゲルマン等のその他の半導体材料や、6H, 3C 等のその他のポリタイプ等、どの材料でもかまわない。またドリフト領域 53 として N 型の炭化珪素を、ヘテロ半導体領域 61 として N 型の多結晶シリコンを用いて説明しているが、それぞれ N 型の炭化珪素と P 型の多結晶シリコン、P 型の炭化珪素と P 型の多結晶シリコン、P 型の炭化珪素と N 型の多結晶シリコンの如何なる組み合わせでもよい。

【0094】

〔第 5 の実施形態〕

次に、図 30 を参照して、本発明の第 5 の実施形態となる半導体装置の構成について説明する。なお本実施形態の半導体装置の構成は、第 3 の実施形態の半導体装置の構成と比較して、スイッチング素子 S 1 の構成が異なるだけであるので、以下ではスイッチング素子 S 1 の構成についてのみ説明する。

【0095】

〔スイッチング素子の断面構造〕

本実施形態におけるスイッチング素子 S 1 は、図 30 に示すように、JFET と呼ばれる接合型の FET により構成されている。具体的には、図 30 に示すスイッチング素子 S

1では、炭化珪素のポリタイプが4Hタイプの N^+ 型である基板領域52上に N^- 型のドリフト領域53が形成され、ドリフト領域53中には N^+ 型のソース領域62とP型のゲート領域63が形成されている。ゲート領域63はゲート電極57に接続され、ソース領域62はソース電極58に接続されている。基板領域52はドレイン電極60に接続されている。符号59は層間絶縁膜を示す。

【0096】

図30に示すスイッチング素子S1を構成するJFETは、MOSFETと同様、ユニポーラ動作をするため、MOSFETで得られる効果と同様の効果を得ることができる。さらにJFETにおいては、MOSFETにおいては必須のゲート絶縁膜が不要のため、信頼性の確保という観点では例えば200[]を超えるような高い温度でのオペレーションが比較的容易である。このことからJFETを用いることで、本発明の特徴である使用温度領域によらず振動現象を抑制できる効果をより強みとして活かせることができる。なお高温用途においては、半導体スナバ2においてもキャパシタ容量としてシリコン酸化膜を用いない空乏層容量を用いる構成の方が信頼性を確保しつつ効果を発揮することができる。

【0097】

〔第6の実施形態〕

次に、図31を参照して、本発明の第6の実施形態となる半導体装置の構成について説明する。なお本実施形態の半導体装置の構成は、第2の実施形態の半導体装置の構成と比較して、還流ダイオードDの構成が異なるだけであるので、以下では環流ダイオードDの構成についてのみ説明する。

【0098】

〔環流ダイオードの断面構造〕

本実施形態における環流ダイオードDは、図31に示すように、シリコンからなる N^+ 型の基板領域70上に N^- 型のドリフト領域71が形成された基板材料で構成されている。基板領域70としては、例えば抵抗率が数 $m \sim$ 数10 $m[\Omega \cdot cm]$ 、厚さが数10～数100[μm]程度のものを用いることができる。ドリフト領域71としては、例えばN型の不純物密度が $10^{13} \sim 10^{17}[cm^{-3}]$ 、厚さが数～数100[μm]のものを用いることができる。本実施形態では、不純物密度が $10^{14}[cm^{-3}]$ 、厚さが50[μm]で耐圧が600[V]クラスのものを用いた。なお本実施形態では、半導体基体が、基板領域70とドリフト領域71の二層からなる基板の場合について説明するが、抵抗率の大きさは上記の一例にはよらない基板領域70のみで形成された基板を使用してもかまわないし、多層の基板を使用してもかまわない。また本実施形態では一例として耐圧が600[V]クラスの場合を説明しているが、耐圧クラスは限定されない。ドリフト領域71の基板領域70との接合面に対向する主面に接するようにP型の反対導電型領域72が形成され、反対導電型領域72に接続するように表面電極13が形成され、基板領域70と接するように裏面電極14が形成されている。なお、図31で示す還流ダイオードDはPN接合のみで形成されているが、例えば一部がショットキーダイオードとして働くように構成されていても良いし、他の構成を含んでいても良い。

【0099】

図31に示すPN接合ダイオードがソフトリカバリダイオードとして働くようにする1つの手法として、例えば導通時にドリフト領域71中に注入される少数キャリアのライフタイムを制御する方法がある。例えばドリフト領域71中にイオン照射等を用いて反対導電型領域72に近い側と基板領域70に近い側とで少数キャリアのライフタイム時間が異なるように制御して、逆回復動作時に流れる少数キャリアによる過渡電流は小さくしつつ、基板領域70側に滞留していた少数キャリアの減少時間を緩和し、大電流時の逆回復動作においては振動現象が起こらないようにすることができる。しかしながら、少数キャリアのライフタイムを制御したPN接合ダイオードにおいては、少数キャリアのライフタイムは電流の大きさによらず短くなることから、電流が小さい時には逆回復動作時において瞬時に少数キャリアが消滅してしまい、ほとんどユニポーラ動作と同じ動作をすることに

なる。この場合は、図 3 1 に示す環流ダイオード D に流れる過渡電流は図 3 に示すユニポーラ型のダイオードと同じように空乏層が広がる際の多数キャリアの移動による電流が流れるため、半導体スナバ 2 が無い状態だと振動現象が生じる。しかしながら本実施形態のように、半導体スナバ 2 を並列接続することで低電流時における振動現象を緩和することができる。つまり、ソフトリカバリダイオードと半導体スナバとの組み合わせによって、大電流時も小電流時も振動現象を緩和することができる。なお、ここではソフトリカバリダイオードを一例として本実施形態の効果を説明してきたが、大電流時に逆回復特性がソフト化されていないファストリカバリダイオードを用いた場合にも、ユニポーラ動作と同等の動作をする電流領域があれば、少なくとも低電流時の振動現象を抑制する効果を得ることができる。また炭化珪素からなる P N 接合ダイオード等のシリコン材料に比べて熱処理による結晶の回復が起こりにくい材料においては、例えばイオン注入によって P 型領域を形成した場合等、少数キャリアのライフタイムが元々小さいダイオードにおいても、上記で説明したように、振動現象を抑制する効果を得ることができる。またいずれの構造においても、少なくとも電流が流れず少数キャリアが注入されない条件で P N 接合ダイオードを逆回復動作させる場合にも本実施形態の効果をすることができる。このように、少なくともユニポーラ動作と同等の動作を一部でも有するダイオードであれば逆回復動作時に振動現象を低減するという本発明の効果をすることができる。

【 0 1 0 0 】

なお図 3 1 に示す還流ダイオード D は第 1 の実施形態で示したスイッチング素子が並列接続されていない場合でも同様の効果を発揮するため、還流ダイオード D と半導体スナバ 2 のみの並列接続としても良い。また第 3 の実施形態では、第 2 の実施形態で説明した還流ダイオード D とスイッチング素子 S 1 が共に異なる組み合わせで説明してきたが、還流ダイオード D とスイッチング素子 S 1 の組み合わせはどれを組み合わせても良い。すなわち、例えば還流ダイオード D は第 2 の実施形態で説明したショットキーバリアダイオードを用いて、スイッチング素子 S 1 は第 3 に実施形態で説明した M O S F E T を組み合わせても良い。また、還流ダイオード D とスイッチング素子 S 1 とを同一チップ上に形成していても良い。

【 0 1 0 1 】

〔 第 7 の実施形態 〕

次に、図 3 2 乃至図 3 9 を参照して、本発明の第 7 の実施形態となる半導体装置の構成について説明する。

【 0 1 0 2 】

〔 半導体装置の実装構造 〕

本実施形態では、第 1 の実施形態における環流ダイオード D と半導体スナバ 2 が 1 つのチップ上に形成されている。具体的には、本実施形態では、図 3 2 に示すように、カソード側金属膜 4 b 上に半導体スナバ 2 を内蔵した還流ダイオード D (半導体スナバ内蔵環流ダイオード 8 0) が配置されている。そして半導体スナバ内蔵環流ダイオード 8 0 のカソード電極は例えば半田やろう材等の接合材料を介して端子 T 1 に接続され、アノード電極は例えばアルミワイヤやアルミリボン等の金属配線 5 e を介してアノード側金属膜 4 a に接続されている。

【 0 1 0 3 】

〔 半導体スナバ内蔵環流ダイオードの断面構造 〕

半導体スナバ内蔵還流ダイオード 8 0 は、図 3 3 に示すように、半導体チップの領域 R 1 側に形成された還流ダイオード D と領域 R 2 側に形成された半導体スナバ 2 を有する。

【 0 1 0 4 】

〔 環流ダイオードの断面構造 〕

環流ダイオード D は、ドリフト領域 1 2 と表面電極 1 3 の接合面端部にドリフト領域 1 2 と表面電極 1 3 とそれぞれ接する例えばシリコン酸化膜からなるフィールド絶縁膜 8 1 が形成されている点以外は上記第 1 の実施形態における環流ダイオード D と同じ構成であるので、詳細な説明は省略する。フィールド絶縁膜 8 1 は、還流ダイオード D を半導体チ

ップとして製造する際に、例えばチップ外周部のショットキー接合部における電界集中を緩和するために一般的に用いられる構造である。本実施形態においては、図26に一例としてフィールド絶縁膜81の端部形状として、表面電極13と接する部分が直角である場合を示しているが、端部が鋭角形状になっていても勿論良い。またフィールド絶縁膜81が形成される外周端部の構成として、例えば図34に示すように、ドリフト領域12中の表面電極13とフィールド絶縁膜81とが接する部分にP型の電界緩和領域82を形成しても良い。また図34に示す構成に加えて電界緩和領域82の外周を囲むように1本又は複数本のガードリングが形成されていても良い。

【0105】

〔半導体スナバの断面構造〕

還流ダイオードDの外周端部の電界緩和のために形成されたフィールド絶縁膜81の所定領域上に、例えば多結晶シリコンからなる抵抗領域83が形成されている。そしてこの抵抗領域83に接するように表面電極84が形成され、還流ダイオードDのアノード電極と同電位となっている。つまり本実施形態における半導体スナバ2は、抵抗領域83が抵抗Rとして機能し、フィールド絶縁膜81がキャパシタCとして機能する。抵抗領域83は必要な抵抗値の大きさに応じて不純物濃度や厚さを変えることができる。またフィールド絶縁膜81についても、必要な耐圧及びキャパシタCの容量の大きさに応じて、厚さや面積を決めることができる。耐圧については、半導体スナバ2の機能としてだけでなく、還流ダイオードDの電界緩和という機能を満たすためのフィールド絶縁膜81の破壊防止のために、還流ダイオードDで形成されるショットキーバリアダイオードよりも高いことが望ましい。また、キャパシタCの容量については、還流ダイオードDが遮断状態時（高電圧印加時）に充電される空乏層容量に対し100分の1から100倍程度の範囲内で選ぶことができるが、十分なスナバ機能を発揮し、且つ、損失の増加を極力抑え、必要となるチップ面積を考慮すると、概ね10分の1から10倍程度の範囲内であることが望ましい。

【0106】

本実施形態では、例えば還流ダイオードDのショットキーバリアダイオードよりも耐圧が高くなるように、厚さは1[μm]μmとし、キャパシタCの容量は還流ダイオードDの遮断状態時に形成される空乏層容量と同程度としたものを用いた場合で説明する。なおフィールド絶縁膜81は、シリコン酸化膜以外の材料でも、所定の耐圧を有し、且つ、電界緩和機能とキャパシタCとして機能する誘電材料であればどのような材料でも良いが、絶縁破壊電界と比誘電率との積の値がシリコン酸化膜の値よりも大きい材料であればさらによい。また抵抗領域83の抵抗Rの大きさとしては、効果的にスナバ機能を発揮する一般的な設計式 $C = 1 / (2\pi f R)$ を満たすように設定することが望ましい。このように1チップに還流ダイオードDと半導体スナバ2が形成された場合であっても、第1の実施の形態で説明した動作及び効果を得ることができる。

【0107】

本実施形態では、還流ダイオードDと半導体スナバ2が支持基体としての基板領域11及びドリフト領域12を共用し、且つ、電極材として表面電極13及び裏面電極14を共用している。また還流ダイオードDの電解緩和機能として働くフィールド絶縁膜81もキャパシタCの機能として共用することができる。つまりこれらの部分については、同一プロセスで形成することができるため、製造プロセスを簡易化することができる。また1チップ化することによって、実装面積（敷地面積）を減らすことができるため、半導体パッケージを小型化することができる。また還流ダイオードD及び半導体スナバ2の表面電極13が共通の電極となることにより、第1の実施形態のように金属配線5a, 5bで接続されている場合と比較して、配線等に生じる寄生インダクタンスをさらに低減することができることから、還流ダイオードDにおける振動現象をさらに低減することができる。また、配線長がより短くなることは、振動電流により配線から発する放射ノイズをさらに低減させる効果もある。

【0108】

本実施形態を L 負荷回路に用いた場合には、還流ダイオード D と半導体スナバ 2 とを 1 チップ化した新たな効果を生むことができる。すなわち上記実施形態を通して説明してきたように、還流ダイオード D が遮断時及び導通時には半導体スナバ 2 は動作せずに過渡時のみ動作をし、還流ダイオード D の空乏層容量及び半導体スナバ 2 のキャパシタ容量 C に起因して発生する過渡電流を消費するべく抵抗 R が発熱する。一方、還流ダイオード D においては、ターンオン及びターンオフの過渡動作時には、電流と電圧の位相ずれの影響であまり発熱しない。つまり、還流ダイオード D が最も発熱することが定常の導通時となる。換言すれば、還流ダイオード D と半導体スナバ 2 とスイッチング回路の一連の動作の中で発熱するタイミングが異なる。このため、 1 チップ化することによって例えば還流ダイオード D が導通時に発熱している際には半導体スナバ 2 の部分は遮断状態にあり発熱していないため、チップ全体としての温度上昇は別チップの場合と比べて低く抑えることができる。すなわち 1 チップ化することにより還流ダイオード D の導通性能も向上することができる。以上のように、本実施形態では、振動現象をさらに抑制し過渡性能を向上する効果と導通性能を共に向上すると同時に、半導体装置の小型化及び低コスト化を実現することができる。

10

【0109】

なお上記説明では、還流ダイオード D がショットキーバリアダイオードにより構成されている場合を説明したが、図35に示すように環流ダイオード D がヘテロ接合ダイオードにより構成されている場合であっても同様に 1 チップ化を容易に実現することができる。図35に示す構造では、基板領域 11 、ドリフト領域 12 、ヘテロ半導体領域 51 、表面電極 13 、及び裏面電極 14 からなるヘテロ接合ダイオードに加えて、フィールド絶縁膜 81 がドリフト領域 12 とヘテロ半導体領域 51 との接合面の端部にドリフト領域 12 とヘテロ半導体領域 51 とそれぞれ接するように形成されている。またフィールド絶縁膜 81 の所定領域上に例えば多結晶シリコンからなる抵抗領域 83 が形成されている。そして抵抗領域 83 に接するように表面電極 84 が形成され、還流ダイオード D のアノード電極と同電位となっている。図35に示す構造においても図33に示す構造と同様に、フィールド絶縁膜 81 の端部の形状は鋭角形状でも良いし、図34に示す構造のように P 型の電界緩和領域 82 が形成されていても良い。また、電界緩和領域 82 の外周を囲むように 1 本又は複数本のガードリングが形成されていても良い。この図35に示す構造は、抵抗領域 83 を還流ダイオード D のヘテロ半導体領域 51 と同一材料で形成している点にある。このような構成することにより、還流ダイオード D としてヘテロ接合ダイオードを用いた場合の効果に加え、製造工程をさらに簡略化し、半導体装置の低コスト化を実現することができる。

20

30

【0110】

また図36乃至図39に示すような構成で還流ダイオード D と半導体スナバ 2 とを 1 チップ化するようにしてもよい。図36に示す構造は、図33に示す構造に対し半導体スナバ 2 の抵抗 R を低濃度ドリフト領域 $12b$ で構成している点が異なっている。本実施形態は、例えば基板領域 11 と低濃度ドリフト領域 $12b$ からなる半導体材料を用いてドリフト領域 $12a$ を不純物導入と不純物の活性化によって形成することで容易に実現できる。このような構成にすることによって、還流ダイオード D と半導体スナバ 2 を 1 チップ化する場合においても、半導体基板を抵抗成分として使用することもでき、振動現象で生じる熱エネルギーを半導体基板を通して放熱できるため、抵抗部分の高密度化が可能となる。図37に示す構造は、図33に示す構造に対して、ショットキーバリアダイオードの代わりにユニポーラ動作と同等の動作を有する PN 接合ダイオードで還流ダイオード D を構成した点が異なっている。本実施形態においても、図33に示す構造と同様、 1 チップ化が容易に実現でき、振動現象をさらに抑制し過渡性能を向上する効果と導通性能を共に向上すると同時に、半導体装置の小型化及び低コスト化を実現することができる。

40

【0111】

図38に示す構造は、図37に示す構造に対して、半導体スナバ 2 の抵抗 R を低濃度ドリフト領域 $12b$ で構成している点が異なっている。本実施形態は、例えば基板領域 11

50

と低濃度ドリフト領域 12b からなる半導体材料を用いてドリフト領域 12a を不純物導入と不純物の活性化によって形成することで容易に実現できる。このような構成にすることによって、還流ダイオード D と半導体スナバ 2 を 1 チップ化する場合においても、半導体基板を抵抗成分として使用することもでき、振動現象で生じる熱エネルギーを半導体基板を通して放熱できるため、抵抗部分の高密度化が可能となる。

【0112】

図 39 に示す構造は、図 38 に示す構造に対し、半導体スナバ 2 のキャパシタ容量 C 成分の一部を反対導電型領域 28b と低濃度ドリフト領域 12b との間に形成される PN 接合で構成している点が異なっている。本実施形態は、例えば基板領域 11 と低濃度ドリフト領域 12b からなる半導体材料を用いてドリフト領域 12a を不純物導入と不純物の活性化によって形成し、還流ダイオード D として働く反対導電型領域 28a と半導体スナバ 2 として働く反対導電型領域 28b とを同時に不純物導入と不純物の活性化によって形成することで容易に実現できる。このような構成にすることにより、還流ダイオード D と半導体スナバ 2 とを同一プロセスで形成できるため、製造工程を簡略化でき製造コストを低減することができる。またこの場合においても、半導体基板を抵抗成分として使用することもでき、振動現象で生じる熱エネルギーを半導体基板を通して放熱できるため、抵抗部分の高密度化が可能となる。なお本実施形態では半導体スナバ 2 のキャパシタ容量成分の構成として、反対導電型領域 28b と低濃度ドリフト領域 12b との間に形成される PN 接合の空乏層容量と、フィールド絶縁膜 81 による容量とが直列に接続した容量の場合を例示しているが、PN 接合容量のみの構成としても良い。

【0113】

以上、還流ダイオード D と半導体スナバ 2 とを 1 チップ化した場合の構成を複数例示してきたが、上記で例示した以外にも、還流ダイオード D と半導体スナバ 2 の組み合わせを入れ替えて 1 チップ化してももちろん良い。また本実施形態においては、第 1 の実施形態に対応する還流ダイオード D と半導体スナバ 2 のみが並列接続している場合で例示してきたが、スイッチング素子が並列接続されるような回路においても同様に本発明の効果を発揮することができる。いずれにしても、少なくとも還流ダイオード D と半導体スナバ 2 とを 1 チップ化することで、振動現象をさらに抑制し過渡性能を向上する効果と導通性能をともに向上すると同時に、半導体装置の小型化及び低コスト化を実現することができる。

【0114】

また第 1 の実施形態と同様、キャパシタ C の容量の大きさは遮断状態における還流ダイオード D 又は還流ダイオード D とスイッチング素子とのキャパシタ容量成分の総和 C_0 に対し、 C/C_0 が 0.1 前後から振動現象の減衰効果が顕著になり、 C/C_0 が 2.0 を超える辺りから振動現象の収束時間比の値が飽和傾向になる。つまり振動現象の減衰効果という観点では、 C/C_0 が 0.1 ~ 2.0 倍の範囲内において顕著な効果が得られる。一方、スナバ回路に形成するキャパシタ C の容量の大きさによって、過渡動作時にキャパシタ C の容量の大きさに比例する過渡電流による損失との相互関係という観点では、 C/C_0 は概ね 1.0 倍以下であることが望ましい。以上のことから、本実施形態で用いるスナバ回路のキャパシタ C の容量の大きさは還流ダイオード D 及びスイッチング素子の遮断状態におけるキャパシタ成分の容量の総和に比べて、1/1.0 倍以上、好ましくは 1.0 倍以下の範囲内で選択することにより、損失の増加を抑えつつ、より顕著に振動現象を低減することができる。

【0115】

〔第 8 の実施形態〕

最後に、図 40 乃至図 44 を参照して、本発明の第 8 の実施形態となる半導体装置の構成について説明する。

【0116】

〔半導体装置の実装構造〕

本実施形態では、第 2 の実施形態におけるスイッチング素子 S1 と半導体スナバ 2 が 1 つのチップ上に形成されている。具体的には、本実施形態では、図 40 に示すように、カ

ソード側金属膜4b上に半導体スナバ2を内蔵したスイッチング素子S1(半導体スナバ内蔵スイッチング素子90)が配置されている。そして半導体スナバ内蔵スイッチング素子90のコレクタ電極は例えば半田やろう材等の接合材料を介して端子T1に接続され、エミッタ電極は例えばアルミワイヤやアルミリボン等の金属配線5bを介してアノード側金属膜4aに接続されている。また半導体スナバ内蔵スイッチング素子90のゲート電極は例えばアルミワイヤやアルミリボン等の金属配線5cを介して端子T3に接続されている。

【0117】

〔半導体スナバ内蔵スイッチング素子の断面構造〕

半導体スナバ内蔵スイッチング素子90は、図41に示すように、半導体チップの領域R3側に形成されたスイッチング素子S1と領域R4側に形成された半導体スナバ2を有する。

【0118】

〔スイッチング素子の断面構造〕

スイッチング素子S1は、一般的なIGBTにより構成され、例えばシリコンを材料としたP⁺型の基板領域41上にN型のバッファ領域42を介してN⁻型のドリフト領域43が形成された基板材料で構成されている。ドリフト領域43中の表層部にP型のウェル領域44が、さらにウェル領域44中の表層部にN⁺型エミッタ領域45が形成されている。そしてドリフト領域43、ウェル領域44、及びエミッタ領域45の表層部に接するように、例えばシリコン酸化膜からなるゲート絶縁膜46を介して例えばN型の多結晶シリコンからなるゲート電極47が配設されている。さらにエミッタ領域45及びウェル領域44に接するように例えばアルミ材料からなるエミッタ電極48が形成されている。また基板領域41にオーミック接続するようにコレクタ電極50が形成されている。このように、本説明で用いるIGBTはゲート電極47が半導体基体に対して平面上に形成されているいわゆるプレーナ型をしている。また本実施形態では、ドリフト領域43又はウェル領域44の表層部に接するように、例えばシリコン酸化膜からなるフィールド絶縁膜91が形成されている。フィールド絶縁膜91は、スイッチング素子S1を半導体チップとして製造する際に、例えばチップ外周部のPN接合部における電界集中を緩和するために、一般的に用いられる構造である。本実施形態においては、フィールド絶縁膜91の端部形状として、表面電極と接する部分が直角の場合を示しているが、端部が鋭角形状になっ

【0119】

〔半導体スナバの断面構造〕

スイッチング素子S1の外周端部の電界緩和に用いられているフィールド絶縁膜91の所定領域上に、例えばスイッチング素子S1のゲート絶縁膜46や層間絶縁膜(図示せず)等を形成する際に形成される絶縁膜92を介して多結晶シリコンからなる抵抗領域93が形成されている。なお本実施形態においては絶縁膜92が形成された場合について例示しているが、絶縁膜92を介さずフィールド絶縁膜91上に抵抗領域93が形成されていても勿論良い。そして抵抗領域93に接するように表面電極94が形成され、スイッチング素子S1のエミッタ電極と同電位となっている。つまり、本実施形態における半導体スナバ2は、抵抗領域93は抵抗Rとして機能し、フィールド絶縁膜91及び絶縁膜92はキャパシタCとして機能する。抵抗領域93は必要な抵抗値の大きさに応じて不純物濃度や厚さを変えることができる。フィールド絶縁膜91についても、必要な耐圧及びキャパシタCの容量の大きさに応じて厚さや面積を決めることができる。耐圧については、半導体スナバ2の機能としてだけではなく、スイッチング素子S1の電界緩和という機能を満たすためのフィールド絶縁膜91の破壊防止のため、スイッチング素子600の耐圧よりも高いことが望ましい。またキャパシタCの容量については、同一チップ上のスイッチング素子S1と共に並列に接続される還流ダイオードDがそれぞれ遮断状態時(高電圧印加

10

20

30

40

50

時)に充電される空乏層容量に対して、100分の1から100倍程度の範囲内で選ぶことができるが、十分なスナバ機能を発揮し、且つ、損失の増加を極力抑え、必要となるチップ面積を考慮すると、概ね10分の1から10倍程度の範囲内であることが望ましい。

【0120】

本実施形態においては、スイッチング素子S1の耐圧よりも高くなるように例えば厚さは1[μm]とし、キャパシタCの容量がスイッチング素子S1と還流ダイオードDの遮断状態時に形成される空乏層容量の和と同程度としたものを用いた場合で説明する。なおフィールド絶縁膜91は、シリコン酸化膜以外の材料でも、所定の耐圧を有し、且つ、電界緩和機能とキャパシタCとして機能する誘電材料であればどのような材料でも良い。また抵抗領域93の抵抗Rの大きさとしては、効果的にスナバ機能を発揮する一般的な設計式 $C = 1 / (2 \pi f R)$ を満たすように設定することが望ましい。このように1チップにスイッチング素子S1と半導体スナバ2が形成された場合にも、第1の実施形態で説明した動作及び効果を得ることができる。

【0121】

さらに本実施形態では、スイッチング素子S1と半導体スナバ2が支持基体としての基板領域41、バッファ領域42、及びドリフト領域43を共用し、且つ、電極材としてエミッタ電極48とコレクタ電極50を共用している。さらにスイッチング素子S1の電界緩和機能として働くフィールド絶縁膜91もキャパシタCの機能として共用することができる。さらにスイッチング素子S1のゲート電極47として働く多結晶シリコン膜を抵抗R成分として抵抗領域93として同様に作成することができる。つまり、これらの部分については同一プロセスで形成することができるため、製造プロセスを簡易化することができる。また1チップ化することによって、実装面積(敷地面積)を減らすことができるため、半導体パッケージを小型化することができる。またスイッチング素子S1及び半導体スナバ2のエミッタ電極48が共通の電極となり、第2の実施形態では金属配線5b、5cにより接続されていたのに比べて、配線等に生じる寄生インダクタンスをさらに低減することができるため、並列接続している還流ダイオードDの逆回復時における振動現象をさらに低減することができる。さらに、本実施形態をインバータ回路に用いた場合には、スイッチング素子S1と半導体スナバ2とを1チップ化した新たな効果を生むことができる。すなわち還流ダイオードDが逆回復動作をする場合においては、半導体スナバ2は振動現象を緩和するべく、還流ダイオードD、スイッチング素子S1の空乏層容量及び半導体スナバ2のキャパシタCの容量に起因して発生する過渡電流を消費し抵抗Rが発熱する。一方、還流ダイオードDが逆回復動作をする場合においては、それに並列接続されているスイッチング素子S1は導通状態にないため、ほとんど発熱していない。このことから、1チップ化することによって、逆回復時に半導体スナバ2の部分が発熱している際にはスイッチング素子S1は遮断状態にあり発熱していないため、チップ全体としての温度上昇は別チップの場合と比べて低く抑えることができる。つまり1チップ化することによって発熱による抵抗領域93の高集積化が期待できる。以上のように本実施形態では、振動現象をさらに抑制し過渡性能を向上する効果と導通性能を共に向上すると同時に、半導体装置の小型化及び低コスト化を実現することができる。

【0122】

なお上記説明ではスイッチング素子S1がIGBTにより構成されている場合を説明したが、図42に示すようにスイッチング素子S1がMOSFETにより構成されている場合であっても同様に1チップ化を容易に実現することができる。図42に示すMOSFET構造は炭化珪素半導体基体により構成され、N⁺型である基板領域52上にN⁻型のドリフト領域53が形成された基板材料を用いて形成されている。またドリフト領域53中の表層部にはP型のウェル領域54、ウェル領域54中の表層部にはN⁺型ソース領域55が形成されている。そしてドリフト領域53、ウェル領域54、及びソース領域55の表層部に接するように、例えばシリコン酸化膜からなるゲート絶縁膜56を介して、例えばN型の多結晶シリコンからなるゲート電極57が配設されている。さらにソース領域55及びウェル領域54に接するようにソース電極58が形成され、基板領域52にオーミ

ック接続するようにドレイン電極 60 が形成されている。

また図 42 に示す構造では、ドリフト領域 53 又はウェル領域 54 の表層部に接するように、例えばシリコン酸化膜からなるフィールド絶縁膜 91 が形成されている。フィールド絶縁膜 91 は、スイッチング素子 S1 を半導体チップとして製造する際に、例えばチップ外周部の PN 接合部における電界集中を緩和するために、一般的に用いられる構造である。本実施形態においては、フィールド絶縁膜 91 の端部形状として、表面電極と接する部分が直角の場合を示しているが、端部が鋭角形状になっていてももちろん良い。また、フィールド絶縁膜 91 が形成される外周端部の構成として、ウェル領域 54 の外周を囲むように 1 本又は複数本のガードリングが形成されていても良い。

【0123】

図 42 に示す構造では、スイッチング素子 S1 の外周端部の電界緩和に用いられているフィールド絶縁膜 91 の所定領域上に、例えばスイッチング素子 S1 のゲート絶縁膜 56 を形成する際に形成される絶縁膜 92 や層間絶縁膜（図示せず）等を介して、多結晶シリコンからなる抵抗領域 93 が形成されている。なお本実施形態においては絶縁膜 92 が形成された場合について例示しているが、絶縁膜 92 を介さずフィールド絶縁膜 91 上に抵抗領域 93 が形成されていても勿論良い。そして抵抗領域 93 に接するように表面電極 94 が形成され、スイッチング素子 S1 のソース電極と同電位となっている。つまり本実施形態における半導体スナバ 2 は、抵抗領域 93 は抵抗 R として機能し、フィールド絶縁膜 91 及び絶縁膜 92 はキャパシタ C として機能する。抵抗領域 93 は必要な抵抗値の大きさに応じて、不純物濃度や厚さを変えることができる。図 42 に示す構造の特徴は、抵抗領域 93 をスイッチング素子 S1 のゲート電極 57 と同一材料で形成している点にある。このような構成によれば、スイッチング素子 S1 として MOSFET を用いた場合の効果に加え、製造工程をさらに簡略化し、半導体装置の低コスト化を実現することができる。

【0124】

またスイッチング素子 S1 として IGBT を用いる代わりに図 43 に示すように JFET を用いてもよい。図 43 に示す構造では、炭化珪素のポリタイプが 4H タイプの N⁺ 型である基板領域 52 上に N⁻ 型のドリフト領域 53 が形成され、N⁺ 型のソース領域 55 と P 型のゲート領域 59 とが形成されている。またゲート領域 59 はゲート電極 57 に接続され、ソース領域 55 はソース電極 58 に接続され、基板領域 52 はドレイン電極 60 に接続されている。図 43 に示す構造では、ドリフト領域 52 の表層部に接するように、例えばシリコン酸化膜からなるフィールド絶縁膜 91 が形成されている。フィールド絶縁膜 91 は、スイッチング素子 S1 を半導体チップとして製造する際に、例えばチップ外周部のヘテロ接合部における電界集中を緩和するために用いられる構造である。本実施形態においては、フィールド絶縁膜 91 の端部形状として直角の場合を示しているが、端部が鋭角形状になっていても勿論良い。またフィールド絶縁膜 91 が形成される外周端部の構成として、ゲート領域 59 の外周を囲むように 1 本又は複数本のガードリングが形成されていても良い。

【0125】

図 43 に示す構造では、スイッチング素子 S1 の外周端部の電界緩和に用いられているフィールド絶縁膜 91 の所定領域上に、例えばスイッチング素子 S1 の絶縁膜 56 を形成する際に形成される絶縁膜 92 や層間絶縁膜（図示せず）等を介して、多結晶シリコンからなる抵抗領域 93 が形成されている。なお本実施形態においては絶縁膜 92 が形成された場合について例示しているが、絶縁膜 92 を介さずフィールド絶縁膜 91 上に抵抗領域 93 が形成されていても勿論良い。そして抵抗領域 93 に接するように表面電極 94 が形成され、スイッチング素子 S1 のソース電極 58 と同電位となっている。つまり、本実施形態における半導体スナバ 2 は、抵抗領域 93 は抵抗 R として機能し、フィールド絶縁膜 91 及び絶縁膜 92 はキャパシタ C として機能する。抵抗領域 93 は必要な抵抗値の大きさに応じて、不純物濃度や厚さを変えることができる。

【0126】

またスイッチング素子 S1 として IGBT を用いる代わりに図 44 に示すようにヘテロ

接合部を絶縁ゲート電極で駆動するトランジスタを用いてもよい。図44に示す構造では、例えば炭化珪素のポリタイプが4HタイプのN⁺型である基板領域52上にN⁻型のドリフト領域53が形成され、ドリフト領域53の基板領域52との接合面に対向する主面に接するように、例えばN型の多結晶シリコンからなるヘテロ半導体領域61が形成されている。そしてヘテロ半導体領域61とドリフト領域53との接合面に共に接するように、例えばシリコン酸化膜から成るゲート絶縁膜56が形成されている。またゲート絶縁膜56上にはゲート電極57が、ヘテロ半導体領域61のドリフト領域53との接合面に対向する対面にはソース電極58が、基板領域52にはドレイン電極60が形成されている。

【0127】

10

また図44に示す構造では、ドリフト領域53の表層部に接するように、例えばシリコン酸化膜からなるフィールド絶縁膜91が形成されている。フィールド絶縁膜91は、スイッチング素子S1を半導体チップとして製造する際に、例えばチップ外周部のヘテロ接合部における電界集中を緩和するために用いられる構造である。本実施形態においては、フィールド絶縁膜91の端部の形状として、表面電極と接する部分が直角の場合を示しているが、端部が鋭角形状になっていても勿論良い。またフィールド絶縁膜91が形成される外周端部の構成として、ウェル領域を形成したり、その外周を囲むように1本又は複数本のガードリングが形成されていても良い。

【0128】

また図44に示す構造では、スイッチング素子S1の外周端部の電界緩和に用いられているフィールド絶縁膜91の所定領域上に多結晶シリコンからなる抵抗領域93が形成されている。そして抵抗領域93に接するように表面電極94が形成され、スイッチング素子S1のソース電極と同電位となっている。つまり本実施形態における半導体スナバ2は、抵抗領域93は抵抗Rとして機能し、フィールド絶縁膜91はキャパシタCとして機能する。抵抗領域93は必要な抵抗値の大きさに応じて、不純物濃度や厚さを変えることができる。この図44に示す構造の特徴は、抵抗領域93をスイッチング素子S1のヘテロ半導体領域61と同一材料で形成している点にある。また抵抗領域93をスイッチング素子S1のゲート電極57と同一材料でも形成できる。

20

【0129】

さらに図44に示す構造では、スイッチング素子S1をユニポーラ型の還流ダイオードとしても使用ができるため、還流ダイオードDを共用することができる。すなわち、還流ダイオードDを別チップで形成する以外にも、還流ダイオードDとスイッチング素子S1と半導体スナバ2とを1チップ化して、半導体パッケージを小型化することができる。このことにより、配線等に生じる寄生インダクタンスをさらに低減することができるため、半導体スナバ2による振動現象をさらに低減することができる。また、配線長がより短くなることは、振動電流により配線から発する放射ノイズをさらに低減させる効果もある。またチップサイズの低減によってコストが低減されると共に、還流ダイオードDとスイッチング素子S1とのキャパシタ容量の和が小さくなるため、半導体スナバ2に必要なキャパシタCの容量も小さくすることができる。つまり、小型で低コストで振動現象を抑制することができる。

30

【0130】

以上、スイッチング素子S1と半導体スナバ2とを1チップ化する一例を説明してきたが、1チップ化する際に、半導体スナバ2の抵抗成分としては、例えば多結晶シリコンからなる抵抗領域93以外にも、半導体基体中の基板領域やドリフト領域を用いてもよい。また、半導体スナバ2のキャパシタ容量成分としても、例えばシリコン酸化膜からなるフィールド絶縁膜91以外にも、PN接合やヘテロ接合等の逆バイアス時に空乏層を形成する構成とし、空乏層容量を用いても良い。また、例えばショットキーバリアダイオードを内蔵するMOSFET等のように、スイッチング素子S1中に還流ダイオードDを内蔵する構成とし、半導体スナバ2と共に1チップ化してもよい。いずれの構成においても、本発明の特徴である振動現象をさらに抑制し、過渡性能と導通性能を共に向上すると同時に

40

50

、半導体装置の小型化及び低コスト化を実現することができる。

【 0 1 3 1 】

以上、本発明者らによってなされた発明を適用した実施の形態について説明したが、この実施形態による本発明の開示の一部をなす記述及び図面により本発明は限定されることはない。すなわち、本実施形態に基づいて当業者等によりなされる他の実施の形態、実施例及び運用技術等は全て本発明の範疇に含まれる。

【符号の説明】

【 0 1 3 2 】

1：半導体装置

2：半導体スナバ

3：絶縁基板

4 a：アノード側金属膜

4 b：カソード側金属膜

5 a, 5 b：金属配線

1 1：基板領域

1 2：ドリフト領域

1 3, 2 3：表面電極

1 4, 2 4：裏面電極

2 1：基板領域

2 2：誘電領域

C：キャパシタ

D：環流ダイオード

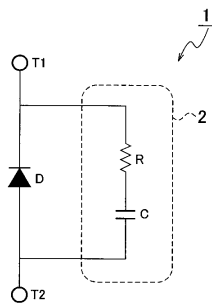
R：抵抗

T 1, T 2：端子

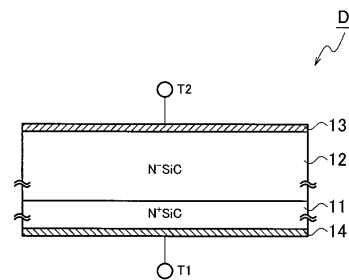
10

20

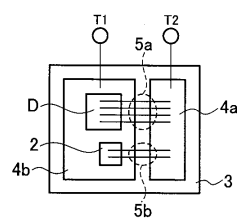
【図 1】



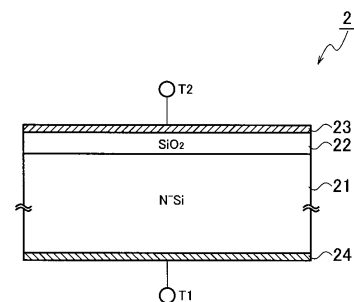
【図 3】



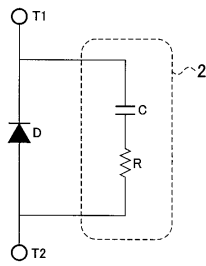
【図 2】



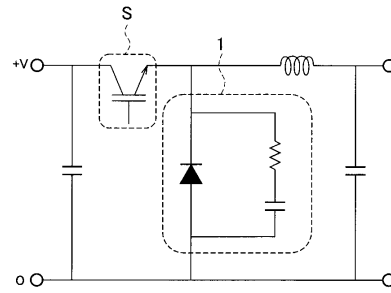
【図 4】



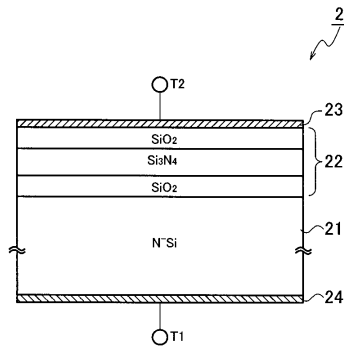
【図 5】



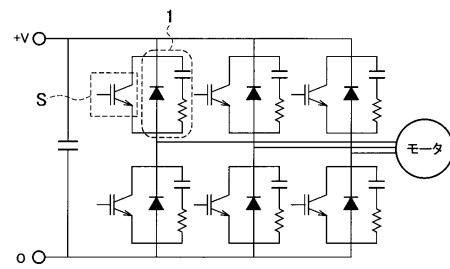
【図 7】



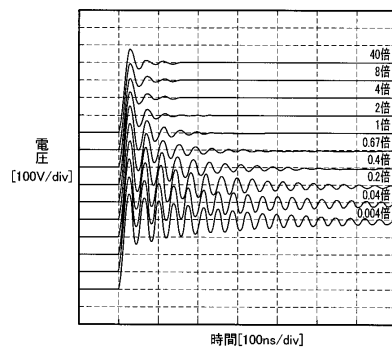
【図 6】



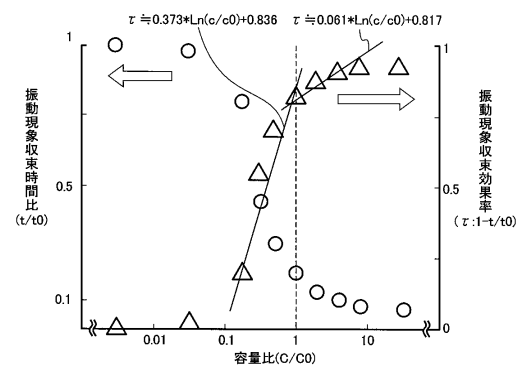
【図 8】



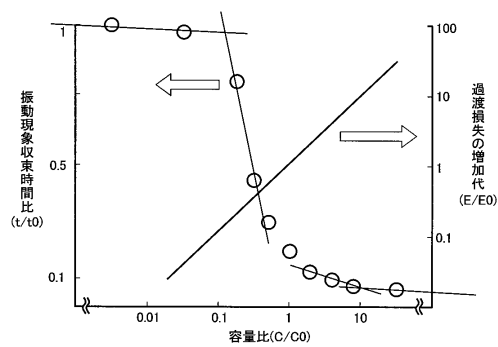
【図 9】



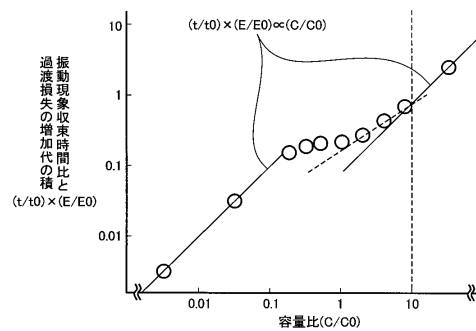
【図 11】



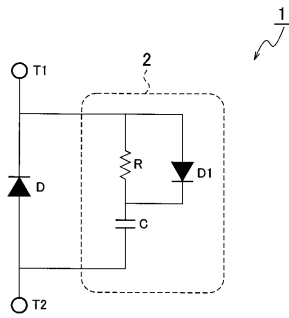
【図 10】



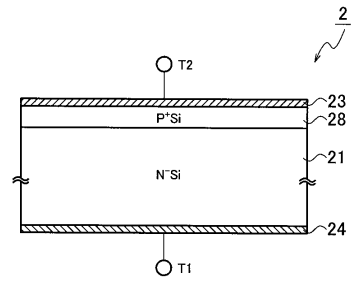
【図 12】



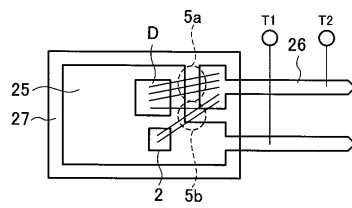
【図 13】



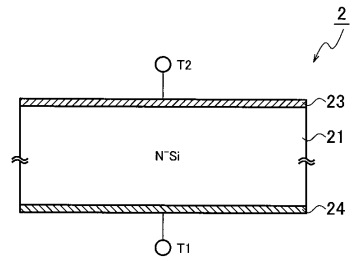
【図 15】



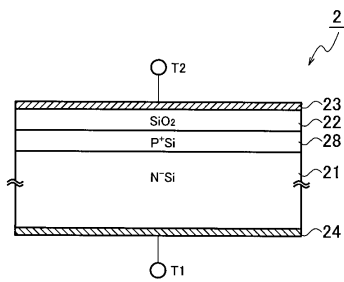
【図 14】



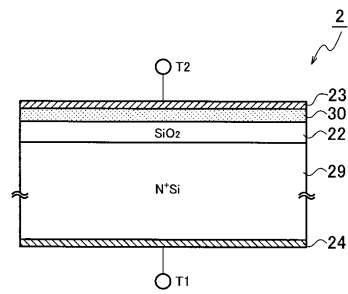
【図 16】



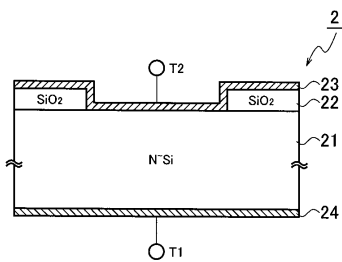
【図 17】



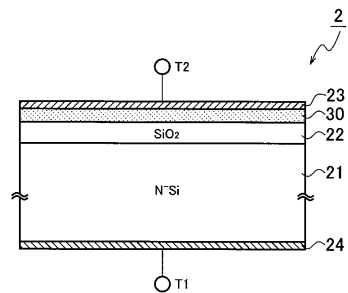
【図 19】



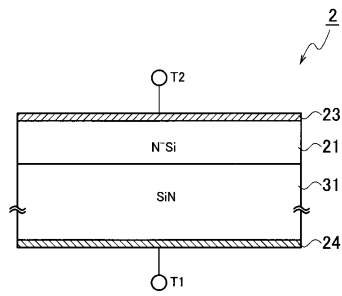
【図 18】



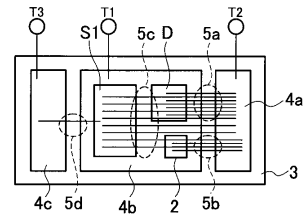
【図 20】



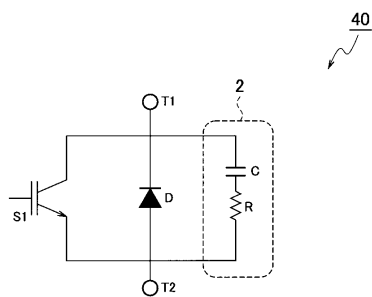
【図 2 1】



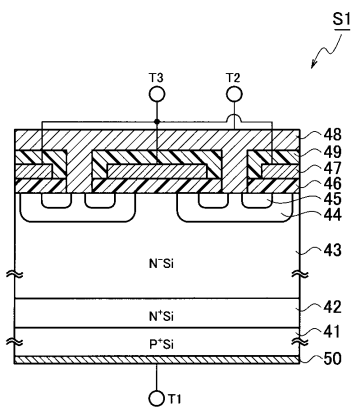
【図 2 3】



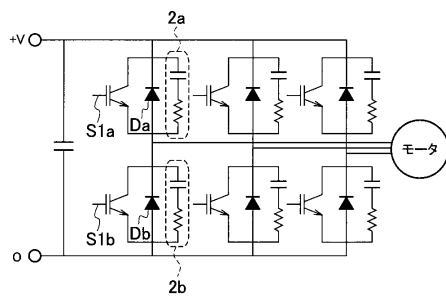
【図 2 2】



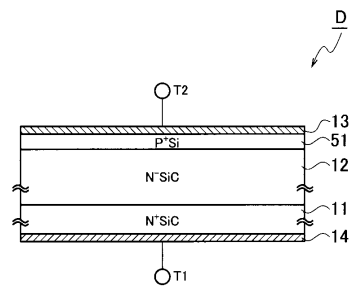
【図 2 4】



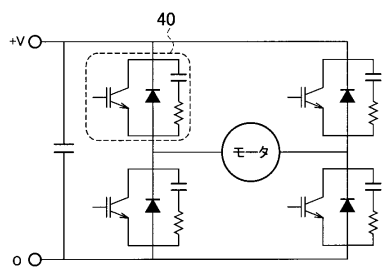
【図 2 5】



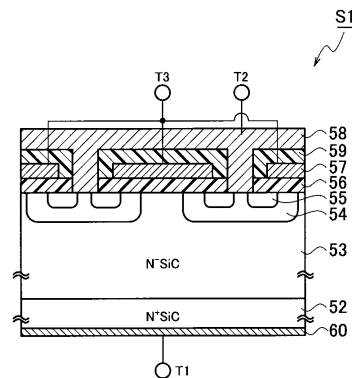
【図 2 7】



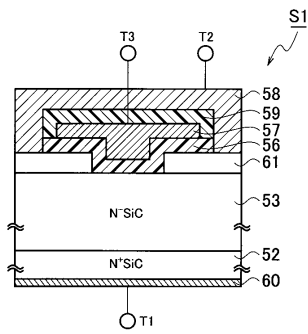
【図 2 6】



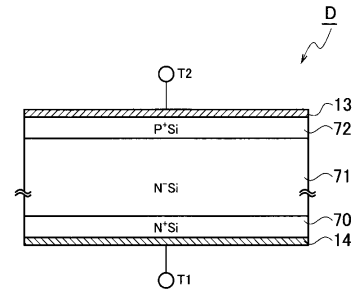
【図 2 8】



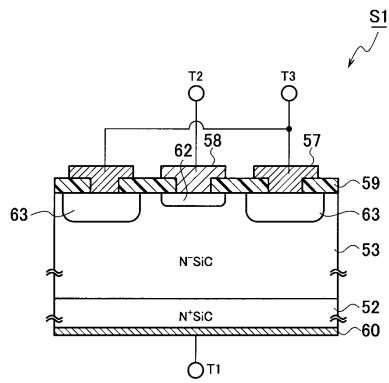
【図 29】



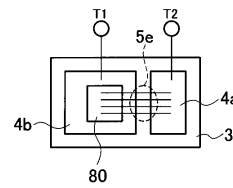
【図 31】



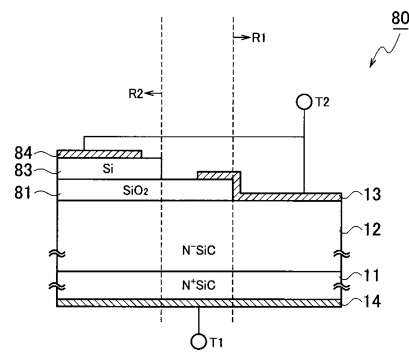
【図 30】



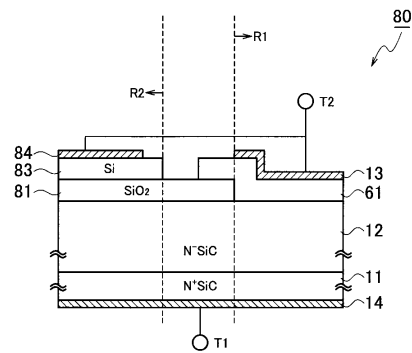
【図 32】



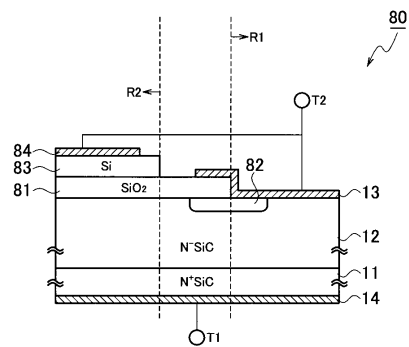
【図 33】



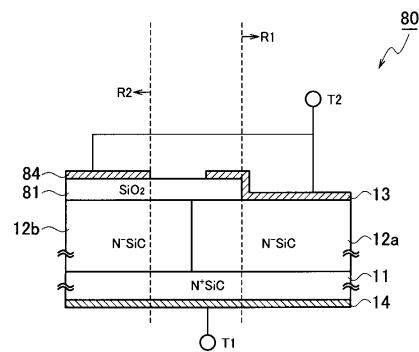
【図 35】



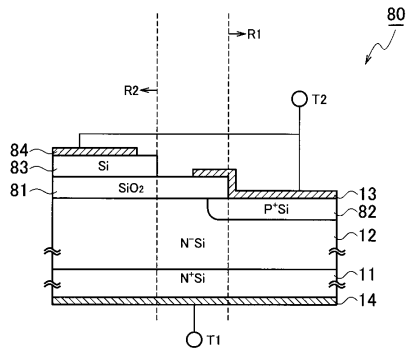
【図 34】



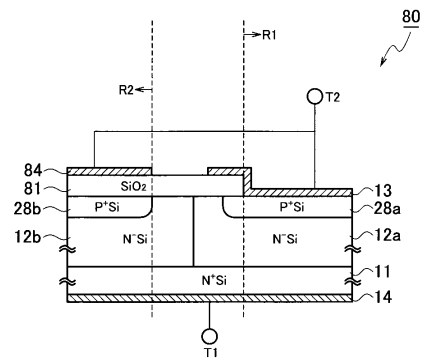
【図 36】



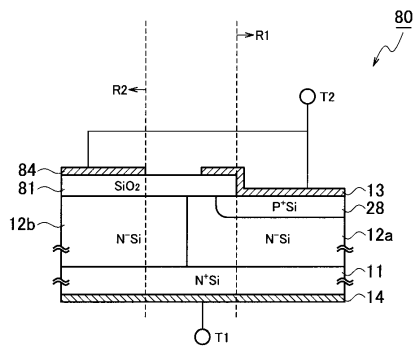
【図 37】



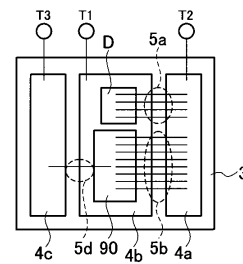
【図 39】



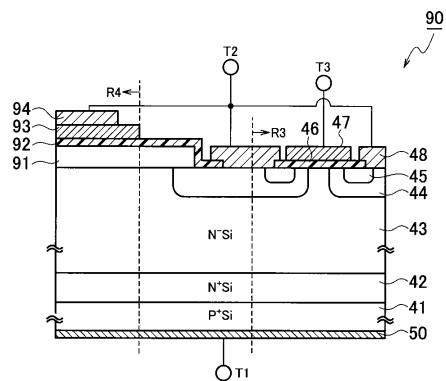
【図 38】



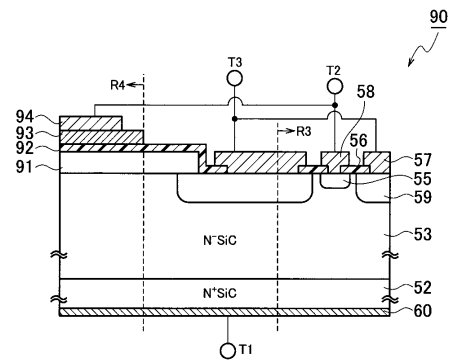
【図 40】



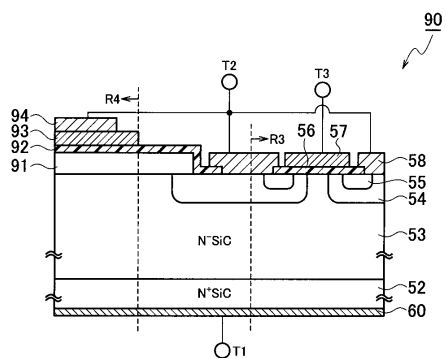
【図 41】



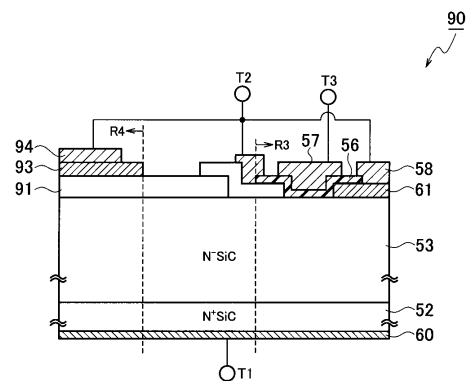
【図 43】



【図 42】



【図 44】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/098	(2006.01)	H 0 1 L	27/04 C
H 0 1 L	29/808	(2006.01)	H 0 1 L	27/04 H
H 0 1 L	21/337	(2006.01)	H 0 1 L	29/48 F
H 0 1 L	21/8222	(2006.01)	H 0 1 L	29/78 6 5 5 F
H 0 1 L	21/822	(2006.01)	H 0 1 L	29/80 V
H 0 1 L	29/872	(2006.01)	H 0 1 L	27/08 1 0 2 E
H 0 1 L	29/47	(2006.01)		
H 0 1 L	29/739	(2006.01)		
H 0 1 L	21/338	(2006.01)		
H 0 1 L	29/812	(2006.01)		
H 0 1 L	27/088	(2006.01)		

- (72)発明者 林 哲也
神奈川県横浜市神奈川区宝町 2 番地 日産自動車株式会社内
- (72)発明者 星 正勝
神奈川県横浜市神奈川区宝町 2 番地 日産自動車株式会社内
- (72)発明者 田中 秀明
神奈川県横浜市神奈川区宝町 2 番地 日産自動車株式会社内
- (72)発明者 山上 滋春
神奈川県横浜市神奈川区宝町 2 番地 日産自動車株式会社内
- (72)発明者 鈴木 達広
神奈川県横浜市神奈川区宝町 2 番地 日産自動車株式会社内

審査官 空 哲次

- (56)参考文献 特開 2 0 0 4 - 2 8 1 4 6 2 (J P , A)
特開 2 0 0 2 - 2 9 9 6 2 5 (J P , A)
特開 2 0 0 0 - 0 4 0 9 5 1 (J P , A)
特開平 0 8 - 2 2 2 7 2 8 (J P , A)
特開 2 0 0 8 - 1 9 2 7 3 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 1 2
H 0 1 L 2 1 / 3 3 7
H 0 1 L 2 1 / 3 3 8
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 1 / 8 2 2 2
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 0 6
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 7 / 0 9 8
H 0 1 L 2 9 / 4 7
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 8 0 8

H 0 1 L 2 9 / 8 1 2
H 0 1 L 2 9 / 8 7 2