

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6970826号
(P6970826)

(45) 発行日 令和3年11月24日 (2021. 11. 24)

(24) 登録日 令和3年11月2日 (2021. 11. 2)

(51) Int. Cl.	F I
G 1 1 C 11/56 (2006. 01)	G 1 1 C 11/56 2 2 0
G 1 1 C 16/04 (2006. 01)	G 1 1 C 16/04 1 4 6

請求項の数 24 (全 14 頁)

(21) 出願番号	特願2020-524440 (P2020-524440)	(73) 特許権者	500147506
(86) (22) 出願日	平成30年10月2日 (2018. 10. 2)		シリコン ストリージ テクノロジー
(65) 公表番号	特表2021-501956 (P2021-501956A)		インコーポレイテッド
(43) 公表日	令和3年1月21日 (2021. 1. 21)		S I L I C O N S T O R A G E T E C
(86) 国際出願番号	PCT/US2018/053930		H N O L O G Y , I N C .
(87) 国際公開番号	W02019/089168		アメリカ合衆国 9 5 1 3 4 カリフォル
(87) 国際公開日	令和1年5月9日 (2019. 5. 9)		ニア州 サンノゼ ホルガー ウェイ 4
審査請求日	令和3年10月1日 (2021. 10. 1)		5 0
(31) 優先権主張番号	62/581, 489	(74) 代理人	110000626
(32) 優先日	平成29年11月3日 (2017. 11. 3)		特許業務法人英知国際特許事務所
(33) 優先権主張国・地域又は機関	米国 (US)	(72) 発明者	ティワリ、ビピン
(31) 優先権主張番号	16/148, 304		アメリカ合衆国 9 4 5 6 8 カリフォル
(32) 優先日	平成30年10月1日 (2018. 10. 1)		ニア州、ダブリン、アスターウッド ドラ
(33) 優先権主張国・地域又は機関	米国 (US)		イブ 5 5 9 9

最終頁に続く

(54) 【発明の名称】 不揮発性メモリにマルチビットデータを記憶するためのシステム及び方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 の読み出し電流を生成するために、複数のメモリセルの第 1 のメモリセルを読み出すステップと、

第 2 の読み出し電流を生成するために、前記複数のメモリセルの第 2 のメモリセルを読み出すステップと、

前記第 2 の読み出し電流に第 1 のオフセット値を適用し、次いで

第 3 の読み出し電流を形成するために、前記第 1 の読み出し電流及び前記第 1 のオフセット値を有する前記第 2 の読み出し電流を合わすステップと、次いで、

前記第 3 の読み出し電流を使用してプログラム状態を決定するステップと、を含む、複数のメモリセルを有するメモリデバイスの読み出し方法。 10

【請求項 2】

前記合わすステップは、前記第 1 の読み出し電流及び前記第 1 のオフセット値を有する前記第 2 の読み出し電流を加算することを含む、請求項 1 に記載の方法。

【請求項 3】

第 4 の読み出し電流を生成するために、前記複数のメモリセルの第 3 のメモリセルを読み出すステップと、

前記第 4 の読み出し電流に第 2 のオフセット値を適用するステップと、を更に含み、

前記合わすステップは、前記第 3 の読み出し電流を形成するために、前記第 1 の読み出し電流、前記第 1 のオフセット値を有する前記第 2 の読み出し電流、及び前記第 2 のオフ 20

セット値を有する前記第 4 の読み出し電流を合わすステップを含む、請求項 1 に記載の方法。

【請求項 4】

前記第 2 のオフセット値は、前記第 1 のオフセット値と異なる、請求項 3 に記載の方法。

【請求項 5】

前記合わすステップは、前記第 1 の読み出し電流、前記第 1 のオフセット値を有する前記第 2 の読み出し電流、及び前記第 2 のオフセット値を有する前記第 4 の読み出し電流を加算することを含む、請求項 3 に記載の方法。

【請求項 6】

前記複数のメモリセルは、前記メモリセルの行及び列のアレイに配置され、前記列の各々は、その中に前記メモリセルに接続されたビット線を含み、前記第 1 のメモリセルは、前記列の第 1 の列に配設され、前記第 2 のメモリセルは、前記列の前記第 1 の列と異なる、前記列の第 2 の列に配設される、請求項 1 に記載の方法。

【請求項 7】

第 1 の読み出し電流を生成するために、複数のメモリセルの第 1 のメモリセルを読み出すステップと、

第 2 の読み出し電流を生成するために、前記複数のメモリセルの第 2 のメモリセルを読み出すステップと、

前記第 1 の読み出し電流から第 1 の電圧を生成するステップと、

前記第 2 の読み出し電流から第 2 の電圧を生成するステップと、

前記第 2 の電圧に第 1 のオフセット値を適用し、次いで、

第 3 の電圧を形成するために前記第 1 の電圧及び前記第 1 のオフセット値を有する前記第 2 の電圧を合わすステップと、次いで、

前記第 3 の電圧を使用してプログラム状態を決定するステップと、を含む、複数のメモリセルを有するメモリデバイスの読み出し方法。

【請求項 8】

前記合わすステップは、前記第 1 の電圧及び前記第 1 のオフセット値を有する前記第 2 の電圧を加算することを含む、請求項 7 に記載の方法。

【請求項 9】

第 3 の読み出し電流を生成するために、前記複数のメモリセルの第 3 のメモリセルを読み出すステップと、

前記第 3 の読み出し電流から第 4 の電圧を生成するステップと、

前記第 4 の電圧に第 2 のオフセット値を適用するステップと、を更に含み、

前記合わすステップは、前記第 3 の電圧を形成するために前記第 1 の電圧、前記第 1 のオフセット値を有する前記第 2 の電圧、及び前記第 2 のオフセット値を有する前記第 4 の電圧を合わすステップを含む、請求項 7 に記載の方法。

【請求項 10】

前記第 2 のオフセット値は、前記第 1 のオフセット値と異なる、請求項 9 に記載の方法。

【請求項 11】

前記合わすステップは、前記第 1 の電圧、前記第 1 のオフセット値を有する前記第 2 の電圧、及び前記第 2 のオフセット値を有する前記第 4 の電圧を加算することを含む、請求項 9 に記載の方法。

【請求項 12】

前記複数のメモリセルは、前記メモリセルの行及び列のアレイに配置され、前記列の各々は、その中に前記メモリセルに接続されたビット線を含み、前記第 1 のメモリセルは、前記列の第 1 の列に配設され、前記第 2 のメモリセルは、前記列の前記第 1 の列と異なる、前記列の第 2 の列に配設される、請求項 7 に記載の方法。

【請求項 13】

メモリデバイスであって、該メモリデバイスは、
半導体基板と、
前記半導体基板に形成された複数のメモリセルと、
前記半導体基板に形成された回路とを備え、該回路は、

第 1 の読み出し電流を生成するために、前記複数のメモリセルの第 1 のメモリセルを読み出し、

第 2 の読み出し電流を生成するために、前記複数のメモリセルの第 2 のメモリセルを読み出し、

前記第 2 の読み出し電流に第 1 のオフセット値を適用し、次いで、

第 3 の読み出し電流を形成するために、前記第 1 の読み出し電流及び前記第 1 のオフセット値を有する前記第 2 の読み出し電流を合わせ、次いで、

前記第 3 の読み出し電流を使用してプログラム状態を決定するように構成された回路である、メモリデバイス。

【請求項 1 4】

前記合わすことは、前記第 1 の読み出し電流及び前記第 1 のオフセット値を有する前記第 2 の読み出し電流を加算することを含む、請求項 1 3 に記載のデバイス。

【請求項 1 5】

前記回路は、

第 4 の読み出し電流を生成するために、前記複数のメモリセルの第 3 のメモリセルを読み出し、

前記第 4 の読み出し電流に第 2 のオフセット値を適用するように更に構成され、

前記合わすことは、前記第 3 の読み出し電流を形成するために、前記第 1 の読み出し電流、前記第 1 のオフセット値を有する前記第 2 の読み出し電流、及び前記第 2 のオフセット値を有する前記第 4 の読み出し電流を合わすことを含む、請求項 1 3 に記載のデバイス。

【請求項 1 6】

前記第 2 のオフセット値は、前記第 1 のオフセット値と異なる、請求項 1 5 に記載のデバイス。

【請求項 1 7】

前記合わすことは、前記第 1 の読み出し電流、前記第 1 のオフセット値を有する前記第 2 の読み出し電流、及び前記第 2 のオフセット値を有する前記第 4 の読み出し電流を加算することを含む、請求項 1 5 に記載のデバイス。

【請求項 1 8】

前記複数のメモリセルは、前記メモリセルの行及び列のアレイに配置され、

前記列の各々は、その中に前記メモリセルに接続されたビット線を含み、

前記第 1 のメモリセルは、前記列の第 1 の列に配設され、

前記第 2 のメモリセルは、前記列の前記第 1 の列と異なる、前記列の第 2 の列に配設される、請求項 1 3 に記載のデバイス。

【請求項 1 9】

メモリデバイスであって、該メモリデバイスは、
半導体基板と、

前記半導体基板に形成された複数のメモリセルと、

前記半導体基板に形成された回路とを備え、該回路は、

第 1 の読み出し電流を生成するために、前記複数のメモリセルの第 1 のメモリセルを読み出し、

第 2 の読み出し電流を生成するために、前記複数のメモリセルの第 2 のメモリセルを読み出し、

前記第 1 の読み出し電流から第 1 の電圧を生成し、

前記第 2 の読み出し電流から第 2 の電圧を生成し、

前記第 2 の電圧に第 1 のオフセット値を適用し、次いで

10

20

30

40

50

第3の電圧を形成するために、前記第1の電圧及び前記第1のオフセット値を有する前記第2の電圧を合わせ、次いで

前記第3の電圧を使用してプログラム状態を決定するように構成された回路である、メモリデバイス。

【請求項20】

前記合わすことは、前記第1の電圧及び前記第1のオフセット値を有する前記第2の電圧を加算することを含む、請求項19に記載のデバイス。

【請求項21】

前記回路は、

第3の読み出し電流を生成するために、前記複数のメモリセルの第3のメモリセルを読み出し、

前記第3の読み出し電流から第4の電圧を生成し、

前記第4の電圧に第2のオフセット値を適用するように更に構成され、

前記合わすことは、前記第3の電圧を形成するために前記第1の電圧、前記第1のオフセット値を有する前記第2の電圧、及び前記第2のオフセット値を有する前記第4の電圧を合わすことを含む、請求項19に記載のデバイス。

【請求項22】

前記第2のオフセット値は、前記第1のオフセット値と異なる、請求項21に記載のデバイス。

【請求項23】

前記合わすことは、前記第1の電圧、前記第1のオフセット値を有する前記第2の電圧、及び前記第2のオフセット値を有する前記第4の電圧を加算することを含む、請求項21に記載のデバイス。

【請求項24】

前記複数のメモリセルは、前記メモリセルの行及び列のアレイに配置され、

前記列の各々は、その中に前記メモリセルに接続されたビット線を含み、

前記第1のメモリセルは、前記列の第1の列に配設され、

前記第2のメモリセルは、前記列の前記第1の列と異なる、前記列の第2の列に配設される、請求項19に記載のデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願)

本出願は、2017年11月3日出願の米国仮特許出願第62/581,489号及び2018年10月1日出願の米国特許出願第16/148,304号の利益を主張するものである。

【0002】

(発明の分野)

本発明は、不揮発性メモリデバイスに関し、より具体的には、その中に記憶することができるビット数を増加させることに関する。

【背景技術】

【0003】

不揮発性メモリセルは、当該技術分野において周知である。例えば、スプリットゲートメモリセルが、米国特許第5,029,130号に開示されている。このメモリセルは、浮遊ゲートと、制御ゲートと、を有し、これらのゲートは、ソース領域とドレイン領域との間に延在する基板のチャネル領域の上方に配設されて、この領域の導電率を制御する。電圧の様々な組み合わせが、制御ゲート、ソース、及びドレインに印加されて、(浮遊ゲートに電子を注入することにより)メモリセルをプログラムし、(浮遊ゲートから電子を除去することにより)メモリセルを消去し、(チャネル領域の伝導度を測定又は検出して

10

20

30

40

50

、浮遊ゲートのプログラミング状態を決定することにより)メモリセルを読み出す。

【0004】

不揮発性メモリセルの構成及び数は変化し得る。例えば、米国特許第7,315,056号は、ソース領域の上方にプログラム/消去ゲートを更に含むメモリセルを開示している。米国特許第7,868,375号は、ソース領域の上方に消去ゲート、及び浮遊ゲートの上方に結合ゲートを更に含むメモリセルを開示している。

【0005】

図1は、シリコン半導体基板12内に形成された、離間されたソース領域14及びドレイン領域16を有するスプリットゲートメモリセル10を示す。基板のチャンネル領域18は、ソース領域14とドレイン領域16との間に画定される。浮遊ゲート20は、チャンネル領域18の第1の部分の上方に配設され、チャンネル領域18の第1の部分から絶縁されている(かつ部分的にソース領域14の上方に配設され、部分的にソース領域14から絶縁されている)。制御ゲート(ワードラインゲート又は選択ゲートとも称される)22は、チャンネル領域18の第2の部分の上方に配設され、チャンネル領域18の第2の部分から絶縁された下部、及び浮遊ゲート20の上方に延びた上部(すなわち、制御ゲート22が、浮遊ゲート20の上端の周りを包む)を有する。

【0006】

メモリセル10は、制御ゲート22に高い正電圧を、ソース領域14及びドレイン領域16に基準電位をかけることにより消去することができる。浮遊ゲート20と制御ゲート22との間の大きな電圧降下は、浮遊ゲート20の電子を、浮遊ゲート20から制御ゲート22へと、周知のファウラー・ノルドハイムトンネリング機構によって、介在する絶縁体を通してトンネリングさせる(浮遊ゲート20をより正に帯電したままにする-消去状態)。メモリセル10は、ドレイン領域16に接地電圧、ソース領域14に正電圧、及び制御ゲート22に正電圧を印加することによりプログラムされ得る。次に、電子は、いくつかの電子を加速及び加熱しながら、ドレイン領域16からソース領域14に向かって流れ、それによって、電子が浮遊ゲート20に注入される(浮遊ゲートを負に帯電したままにする-プログラム状態)。メモリセル10は、ドレイン領域16に接地電圧、ソース領域14に正電圧、及び制御ゲート22に正電圧をかけることにより読み出され得る(制御ゲート22下のチャンネル領域をオンする)。浮遊ゲートがより正に帯電(消去)される場合は、制御ゲートの正電圧は、浮遊ゲートに少なくとも部分的に結合して浮遊ゲートの下のチャンネル領域部分をオンにし、電流がソース領域14からドレイン領域16に流れる(すなわち、メモリセル10が、感知された電流フローに基づいてその消去された「1」状態にあることが感知される)。浮遊ゲート20が、負に帯電している(プログラムされている)場合は、制御ゲート22からの結合電圧は、浮遊ゲートの負電荷を克服できず、浮遊ゲート下のチャンネル領域は、わずかにオン又はオフにされ、それによって、あらゆる電流を低減又は阻止する(すなわち、メモリセル10が、低電流又は電流が流れないことが検知されたことに基づいて、そのプログラムされた「0」状態にあることが検知される)。

【0007】

図2は、メモリセル10と同一の素子を備えるが、ソース領域14の上方に配設され、かつソース領域14から絶縁されたプログラム/消去(PE)ゲート32を更に備えた代替のスプリットゲートメモリセル30を示す(すなわち、これは3ゲート設計である)。メモリセル30は、PEゲート32に高電圧をかけて、浮遊ゲート20からPEゲート32へと電子のトンネリングを生じさせることにより消去され得る。メモリセル30は、制御ゲート22、PEゲート32、及びソース領域14に正電圧をかけ、かつドレイン領域16に電流をかけて、チャンネル領域18を通り流れる電流から浮遊ゲート20へと電子を注入することによりプログラムされ得る。メモリセル30は、制御ゲート22及びドレイン領域16に正電圧をかけ、電流の流れを検知することにより読み出され得る。

【0008】

図3は、メモリセル10と同一の素子を備えるが、ソース領域14の上方に配設され、

かつソース領域 1 4 から絶縁された消去ゲート 4 2、及び浮遊ゲート 2 0 の上方に配設され、かつ浮遊ゲート 2 0 から絶縁された結合ゲート 4 4 を更に備えた代替のスプリットゲートメモリセル 4 0 を示す。メモリセル 4 0 は、消去ゲート 4 2 に高電圧、(かつ所望により結合ゲート 4 4 に負電圧)をかけて、浮遊ゲート 2 0 から消去ゲート 4 2 へと電子のトンネリングを生じさせることにより消去され得る。メモリセル 4 0 は、制御ゲート 2 2、消去ゲート 4 2、結合ゲート 4 4、及びソース領域 1 4 に正電圧をかけ、かつドレイン領域 1 6 に電流をかけて、チャネル領域 1 8 を通り流れる電流から浮遊ゲート 2 0 へと電子を注入することによりプログラムされ得る。メモリセル 4 0 は、制御ゲート 2 2 及びドレイン領域 1 6 (並びに所望により、消去ゲート 4 2 及び/又は結合ゲート 4 4) に正電圧をかけ、電流の流れを検知することにより読み出され得る。

10

【0009】

上記の全てのメモリセルについては、それらがプログラムされた状態にあるか又は消去された状態にあるかを決定するために、プログラム、消去、及び読み出し動作の各々で電圧が印加されて、メモリセルを「0」状態にプログラムし、メモリセルを「1」状態に消去し、かつメモリセルを読み出す。このようなメモリデバイスの1つの欠点は、各メモリセルが1ビットのデータのみを記憶することができることである(すなわち、セルは2つの可能な状態のみを有する)。各メモリセル内に1ビットを超えるデータをプログラムする必要がある。メモリセルが2つのバイナリ値(すなわち、丁度1ビットの情報)だけでなくそれ以上を記憶することができるように、アナログ方式で上記のメモリセルを動作させることも知られている。例えば、メモリセルは、それらの閾値電圧未満で動作することができ、これは、メモリセルを完全にプログラムするか又は完全に消去する代わりに、それらを部分的にプログラムするか又は部分的に消去するだけでよく、メモリセルが、それらの閾値電圧未満のアナログ方式で動作することができることを意味する。閾値電圧を上回る複数のプログラム状態のうちの1つにメモリセルをプログラムすることもまた可能である。しかしながら、離散プログラミング状態が所望される場合は、様々な状態の読み出し電流値が互いに非常に近くなるため、メモリセルを確実にプログラム及び読み出しすることは困難であり得る。

20

【発明の概要】

【0010】

前述の問題及び必要性は、第1の読み出し電流を生成するために複数のメモリセルの第1のメモリセルを読み出すステップと、第2の読み出し電流を生成するために複数のメモリセルの第2のメモリセルを読み出すステップと、第2の読み出し電流に第1のオフセット値を適用するステップと、次いで、第3の読み出し電流を形成するために第1及び第2の読み出し電流を合わすステップと、及び、次いで、第3の読み出し電流を使用してプログラム状態を決定するステップと、によって、複数のメモリセルを有するメモリデバイスを読み出す方法によって対処される。

30

【0011】

複数のメモリセルを有するメモリデバイスを読み出す方法は、第1の読み出し電流を生成するために複数のメモリセルの第1のメモリセルを読み出すステップと、第2の読み出し電流を生成するために複数のメモリセルの第2のメモリセルを読み出すステップと、第1の読み出し電流から第1の電圧を生成するステップと、第2の読み出し電流から第2の電圧を生成するステップと、第2の電圧に第1のオフセット値を適用するステップと、次いで、第3の電圧を形成するために第1及び第2の電圧を合わすステップと、次いで、第3の電圧を使用してプログラム状態を決定するステップと含む。

40

【0012】

メモリデバイスは、半導体基板と、半導体基板に形成された複数のメモリセルと、半導体基板に形成され、第1の読み出し電流を生成するために複数のメモリセルの第1のメモリセルを読み出し、第2の読み出し電流を生成するために複数のメモリセルの第2のメモリセルを読み出し、第2の読み出し電流に第1のオフセット値を適用し、次いで、第3の

50

読み出し電流を形成するために第 1 及び第 2 の読み出し電流を合わせ、次いで、第 3 の読み出し電流を使用してプログラム状態を決定するように構成された回路と、を備える。

【 0 0 1 3 】

メモリデバイスは、半導体基板と、半導体基板に形成された複数のメモリセルと、半導体基板に形成され、第 1 の読み出し電流を生成するために複数のメモリセルの第 1 のメモリセルを読み出し、第 2 の読み出し電流を生成するために複数のメモリセルの第 2 のメモリセルを読み出し、第 1 の読み出し電流から第 1 の電圧を生成し、第 2 の読み出し電流から第 2 の電圧を生成し、第 2 の電圧に第 1 のオフセット値を適用し、次いで、第 3 の電圧を形成するために第 1 及び第 2 の電圧を合わせ、次いで、第 3 の電圧を使用してプログラム状態を決定するように構成された回路と、を備える。

10

【 0 0 1 4 】

本発明の他の目的及び特徴は、明細書、請求項、添付図面を精読することによって明らかになるであろう。

【 0 0 1 5 】

【 0 0 1 6 】

【 0 0 1 7 】

【 0 0 1 8 】

【 0 0 1 9 】

【 0 0 2 0 】

【 0 0 2 1 】

20

【 0 0 2 2 】

【図面の簡単な説明】

【 0 0 2 3 】

【図 1】第 1 の従来のスプリットゲート不揮発性メモリセルの側面断面図である。

【図 2】第 2 の従来のスプリットゲート不揮発性メモリセルの側面断面図である。

【図 3】第 3 の従来のスプリットゲート不揮発性メモリセルの側面断面図である。

【図 4】不揮発性メモリセルの 8 つのプログラム状態についての電流対電圧特性を示すグラフである。

【図 5 A】2 つの不揮発性メモリセルの 8 つのプログラム状態についての電流対電圧特性を示すグラフである。

30

【図 5 B】2 つの不揮発性メモリセルの 8 つのプログラム状態についての電流対電圧特性を示すグラフである。

【図 6 A】第 2 のセルのプログラム状態が第 1 のプログラム状態に対してシフトされた、2 つの不揮発性メモリセルの 8 つのプログラム状態についての電流対電圧特性を示すグラフである。

【図 6 B】第 2 のセルのプログラム状態が第 1 のプログラム状態に対してシフトされた、2 つの不揮発性メモリセルの 8 つのプログラム状態についての電流対電圧特性を示すグラフである。

【図 6 C】2 つの不揮発性メモリセルの 8 つのプログラム状態についての電流対電圧特性を集合的に示すグラフである。

40

【図 7】メモリデバイスアーキテクチャの平面図である。

【図 8】メモリセルのアレイの配置の一部を示す概略図である。

【発明を実施するための形態】

【 0 0 2 4 】

本発明は、各メモリセルに 1 ビットを超える情報を記憶することができる不揮発性メモリデバイスを対象とする。これは、閾値電圧を超えて、かつ / 又は閾値電圧未満でメモリセルを動作させることによってなされ得る。例えば、メモリセルを完全にプログラムするか又は完全に消去する代わりに、メモリセルを、部分的にプログラムするか又は部分的に消去して、アナログ方式で動作させることができる。以下の説明は、メモリセルの閾値電圧未満で動作するメモリセルに焦点を当てている。しかしながら、以下の説明は、メモリ

50

セルの閾値電圧を超えて動作するメモリセルにも同様に適用される。

【 0 0 2 5 】

本発明を最良に示すために、制御ゲート電圧の関数としてのチャネル電流間のサブ閾値関係が説明される。メモリセルの任意の所定のプログラム状態に関して、制御ゲート電圧が徐々に増大するにつれて、チャネル電流は徐々に上昇する。チャネル電流の対数の関数としてプロットされるとき、この関係は線形である。更に、メモリセルのプログラミング状態が変更されると（例えば、浮遊ゲートにプログラムされた電子の数が変化すると）、制御ゲート電圧の関数としての電流の線形対数関係は上下にシフトする。

【 0 0 2 6 】

この関係を図 4 に示す。制御ゲート電圧の関数としての電流（チャネル領域を通る）の線形対数関係が、複数の異なるプログラム状態につき表される。プログラム状態 $n = 0$ は、メモリセルの最も高いプログラム状態（すなわち、依然として電流の読み出しを可能にする、浮遊ゲートの最多の電子 - この点を超えたプログラミングは、メモリセルを読み出すのに使用される全ての制御ゲート電圧につきメモリセル電流を基本的にオフにする）を表し、また、 $n = 7$ は、メモリセルの最も低いプログラム状態（すなわち、最高の消去状態に対応する、浮遊ゲートの最少の電子）を表す。図 4 によって表されるメモリセルは、8 つの異なる状態にプログラムすることができるので、理論上は、複数ビットの情報を記憶することができる。読み出し電圧 V_R などの 1 つ以上の特定の制御ゲート電圧で電流を測定することによって、プログラム状態 n を決定することができる。

【 0 0 2 7 】

図 4 に示されるような n 個のプログラム状態を記憶するように構成されたメモリセルに関する 1 つの問題は、状態 n の数がかくわらずか超えるときに、信頼できる動作にとって 2 つの隣接するプログラム状態の読み出し電流の差が小さすぎる（すなわち、プログラム状態が互いに接近しすぎる）ことである。互いに接近しすぎたプログラム状態は、プログラムのノイズ及びノ又はメモリセルの読み出しの影響を受けやすい。例えば、メモリセルをどのように確実に任意の所定のプログラム状態にプログラムすることができるかに関して、小さい変動範囲が存在するであろう。同様に、読み出し電流を測定することにより、セルの状態をどのように確実に読み取ることができるかに関して、小さい変動範囲が存在するであろう。したがって、 n 個の状態は、互いに接近しすぎて位置することができず、そうでなければ、互いに確実に区別することができないであろう。これは、単一のメモリセルにプログラムすることができる状態 n の数に実用限界を課し、これは、メモリデバイスに記憶され得る状態 n の数に実用限界があることを意味する。

【 0 0 2 8 】

図 5 A、5 B は、上記の問題に対する解決策を示す。具体的には、異なる状態 n を、複数のメモリセルに記憶することができる。例えば、図 4 の単一メモリセルに記憶された 8 つのプログラム状態は、2 つの異なるセルに記憶することができ、最初の 4 つの状態（ $n = 0 \sim n = 3$ ）は、第 1 のセル（図 5 A、セル 1）に記憶することができ、最後の 4 つの状態（ $n = 4 \sim n = 7$ ）は、第 2 のセル（図 5 B、セル 2）に記憶することができる。2 つのセルを使用して、同じ数の全体状態を記憶することができるが、より良好な信頼性にするために隣接するプログラム状態間の間隔が 2 倍である。あるいは、別の言い方をすれば、単一のセルのみを使用することに対して、2 倍の状態を、2 つのメモリセルを使用して、隣接するプログラム状態間の所定の分離間隔で記憶することができる。

【 0 0 2 9 】

上述のように 2 つ（又はそれ以上）のセルにプログラム状態を分割することは、プログラム状態の分離問題を解決するが、別の問題を生み出す。理想的には、設計構成及び動作を単純化するために、両方のセルの読み出し電流を加算して、この合わされた読み出し電流を使用して、8 つの可能なビットのうちのどれ（8 つの可能なプログラム状態のうちの 1 つに対応する）が、メモリセルの対にプログラムされるかを決定する。しかしながら、図から明らかなように、図 5 A、5 B は、異なるセル内の異なる状態は、同じ電流 / 電圧特性を有している。例えば、セル 1 における状態 $n = 0$ は、セル 2 における状態 $n = 4$ と

同じ読み出し電流出力を生成する。他の状態 ($n = 1$ 及び $n = 5$ が同じ読み出し電流を生成するなど) についても同様である。したがって、読み出し電圧 V_R が印加されたときに 1 つのセルがオフになるように完全にプログラムされている場合であっても、読み出し電流がどの状態に印加されるかを決定する方法はない。例えば、ビット値がプログラム状態 $n = 6$ に対応し、セル 2 が $n = 6$ にプログラムされ、セル 1 がオフになるようにプログラムされる場合は、2 つのセルからの合わされた読み出し電流を後で逆読み出しするとき、合わされた読み出し電流がプログラム状態 6 に対応するか又はプログラム状態 2 に対応するかを決定することはできないであろう。

【0030】

この問題を克服するために、セル 2 からの読み出し電流の読み出し値が、セル 1 からの可能な電流の読み出し値のどんな値よりも上方に効果的にシフトされるようにセル 2 からの読み出し電流にオフセット X が適用される。例えば、セル 1 における状態 3 の電流レベルは、セル 2 の読み出し電流に加算され得るであろう。したがって、セル 1 内の 4 つの状態の可能な読み出し電流は全て、セル 2 内の 4 つの状態の可能な読み出し電流のいずれとも重ならないであろう。これを図 6 A、6 B に表す。したがって、セル 1 の $n = 3$ のプログラミング状態が、両方のセルの最大プログラム状態であると仮定すると (すなわち、プログラム状態 $n = 3$ について示される読み出し電流は各メモリセルの最大読み出し電流である) と仮定すると、セル 2 の全ての可能なプログラム状態につき、プログラミング状態 $n = 3$ の読み出し電流を超える非重複読み出し電流をセル 2 によって提供することができる。全ての可能なプログラム状態 (セル 1 については $n = 0 \sim 3$ 、セル 2 については $n = 4 \sim 7$) の両方のセルの読み出し電流を集合的に図 6 C に示す。これは、2 つのセル電流が加算された後に、制御ゲートの単一の読み出し電圧 V_R を使用して、両方のセルのプログラム状態を一意的に決定することができるが、セル 2 の読み出し電流が、そうでなければセルによって生成され得る最大読み出し電流を超えることが可能であるので、十分に分離されることを意味する。例えば、1 対のセルに記憶されているビットがプログラム状態 $n = 6$ に対応する場合は、セル 2 は状態 $n = 6$ にプログラムされ、セル 1 はオフになるようにプログラムされる。次いで、読み出し動作中に、 $n = 6$ の状態が、他の状態のいずれかから一意的に読み取られ得る。同様に、1 対のセルに記憶されているビットがプログラム状態 $n = 1$ に対応する場合は、セル 1 は状態 $n = 1$ にプログラムされ、セル 2 はオフになるようにプログラムされる。次いで、読み出し動作中に、 $n = 1$ の状態が、他の状態のいずれかから一意的に読み取られ得る。

【0031】

セル 2 のオフセット X を実装することは、セル 2 からの読み出し電流がセル 1 からのセル電流に加算される前に、セル 2 からの読み出し電流に電流オフセット X を加算する加算回路を使用して行うことができる (例えば、加算回路は、セルを通る電流を検出するために使用されるセンス増幅器の一部である)。又は、加算回路は、セル 2 を介して検出されている電流を反映するために、センス増幅器によって生成される電圧信号に電圧オフセット X を加算することができる。この場合、メモリセルの対からどのプログラム状態が読み出されたかを、合わされた電圧信号から決定する前に加算されるのは、電圧信号 (検出された電流レベルに対応する) となるであろう。あるいは、セル 1 の電流 / 電圧信号に加算される前に、セル 2 の電流又は電圧信号を乗算するために、乗算回路が、センス増幅器の一部として又はその下流に存在することができる。オフセット X は、電圧オフセット又は電流オフセットであるかどうかに関わらず、適切なオフセット量が、その所与のダイのためのセル 2 の電圧又は電流信号に確実に適用されるように、基準セル (すなわち、この目的のための専用のメモリセルアレイ内のメモリセル) に記憶され得るであろう。

【0032】

例示的なメモリデバイスのアーキテクチャを図 7 に示す。メモリデバイスは、不揮発性メモリセルのアレイ 50 を含み、それは 2 つの分離した平面 (平面 A 52 a 及び平面 B 52 b) に隔離され得る。メモリセルは、半導体基板 12 に複数の行及び列で配置され、単一のチップに形成された、図 1 ~ 図 3 に示されたタイプであることができる。不揮発性メ

10

20

30

40

50

メモリセルのアレイに隣接して、アドレスデコーダ（例えば、XDEC54（行デコーダ）、SLDRV56、YMUX58（列デコーダ）、及びHVDEC60）及びビット線コントローラ（BLINHTL62）があり、それらは、選択されたメモリセルに対する読み出し、プログラム、消去動作中、アドレスをデコードし、様々なメモリセルゲートと領域に様々な電圧を提供するために使用される。列デコーダ58は、読み出し動作中にビット線の電圧又は電流を測定するためのセンス増幅器を備える。コントローラ66（制御回路を備える）は、様々なデバイス素子を制御し、各動作（プログラム、消去、読み出し）を、対象のメモリセルで実現する。電荷ポンプCHRGPM64は、コントローラ66の制御下にて、メモリセルの読み出し、プログラム、及び消去に使用される様々な電圧を提供する。オフセットX及び信号加算は、例えば、コントローラ66内の回路を用いて実装することができる。代替的に又は追加的に、オフセットX及び信号加算は、列デコーダYMUX58のセンス増幅器部分内の回路を用いて実装することができる。

10

【0033】

上記の実施形態は、2つのメモリセル及び8つの状態nの文脈で示されたが、異なる数のセル、全状態n、及びメモリセル当たりの状態nは変化し得る。合計ビット数、したがって状態は、n個の状態を記憶するために使用されるセルの数を増やすだけで、任意の所望の数に拡大することができる。例えば、3つのセルが使用される場合は、次いで、第1のオフセットが第2のセルの読み出し電流又は電圧に適用され、第2の（異なる）オフセットが第3のセルの読み出し電流又は電圧に適用されるため、全ての3個のセルについてのプログラム状態読み出し電流／電圧は重複しない。

20

【0034】

図8は、メモリセルが行及び列に配置されている、図1の2ゲートメモリセルのアレイ構成を示す。このアレイ構成は、図2, 3のメモリセルに等しく適用され、ここで、追加のゲートに追加の線が追加されるはずである。ワード線WLはそれぞれ、メモリセルの1つの行の制御ゲートに接続する。ビット線BLはそれぞれ、メモリセルの1つの列のドレイン領域に接続する。ソース線SLはそれぞれ、1対のメモリセルの1つの行のソース領域に接続する。好ましくは、読み出し電流又は読み出し電圧が加算されたセルの各々は、読み出しプロセスがより速くなるように、異なる列に配設される。したがって、2つのメモリセルが使用される上記の実施例では、セル1は、ビット線BL0に接続された列1内にあり、セル2は、ビット線BL1に接続された列2にあるはずである。読み出し動作中、セル1の読み出し電流はビット線BL0で検出され、セル2の読み出し電流は、ビット線BL1で検出される。センス増幅器内又はそこから下流の回路は、ビット線BL1の読み出し電流（又はそれに対応する電圧）にオフセットXを加算し、次いで、両方のセルからの読み出し電流（又は電圧）を加算し、次いで、合わされた読み出し電流／電圧から、どんなプログラム状態がメモリセルの対にプログラムされるかを決定する。

30

【0035】

本発明は、上述の、及び本明細書に示される実施形態（複数可）に限定されないことが理解されよう。例えば、本明細書で本発明に言及することは、任意の請求項又は請求項の用語の範囲を限定することを意図されておらず、その代わり、単に、1つ以上の請求項によって網羅され得る1つ以上の特徴に言及するものである。本発明は、メモリセルのサブ閾値動作に関して説明されているが、閾値を上回って動作するメモリセル（この場合、電流と電圧との対数関係はもはや適用されなくてもよい）。図面に示される最も高いプログラム状態にセルをプログラムすることは、最も高いプログラム状態が完全消去メモリセルである消去動作を実際に伴うことが留意されるべきである。オフセットXを適用することは、量Xだけ電流又は電圧の値に加算する（増大させる）ことによって、上記で開示される。しかしながら、オフセットXを適用することは、負のオフセットを含むこともでき、これは、量Xだけ電流又は電圧の値から減算する（を減少させる）ことによって達成することができる。上記で説明した材料、プロセス、及び数値の実施例は、単に例示的なものであり、特許請求の範囲を限定するものと見なされるべきではない。更に、特許請求の範囲及び明細書から明らかであるように、全ての方法工程が示されたのと変わらない順序で行

40

50

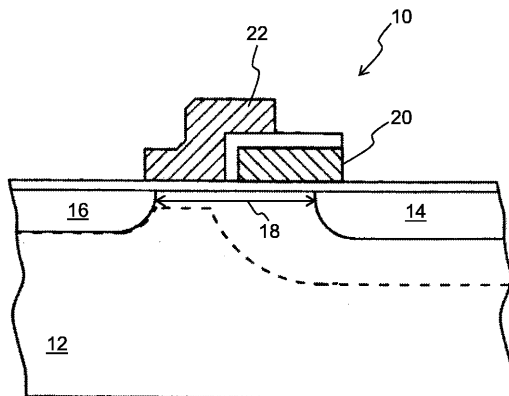
われる必要があるわけではない。最後に、単一層の材料をそのような又は同様の材料の複数層として形成することができ、逆もまた同様である。

【 0 0 3 6 】

本明細書で使用される場合、「の上方に (over) 」及び「に (on) 」という用語は両方とも、「に直接」(中間材料、要素、又は空間がそれらの間に何ら配設されない)、及び「の上に間接的に」(中間材料、要素、又は空間がそれらの間に配設される)を包括的に含むことに留意するべきである。同様に、「隣接した」という用語は、「直接隣接した」(中間材料、要素、又は空間がそれらの間に何ら配設されない)、及び「間接的に隣接した」(中間材料、要素、又は空間がそれらの間に配設される)を含み、「に取り付けられた」は、「に直接取り付けられた」(中間材料、要素、又は空間がそれらの間に何ら配設されない)、及び「に間接的に取り付けられた」(中間材料、要素、又は空間がそれらの間に配設される)を含み、「電氣的に結合された」は、「に直接電氣的に結合された」(要素を共に電氣的に接続する中間材料又は要素がそれらの間にない)、及び「間接的に電氣的に結合された」(要素を共に電氣的に接続する中間材料又は要素がそれらの間にある)を含む。例えば、要素を「基板の上方に」形成することは、その要素を基板に直接、中間材料/要素をそれらの間に何ら伴わずに、形成すること、並びにその要素を基板の上に間接的に、1つ以上の中間材料/要素をそれらの間に伴って、形成することを含み得る。

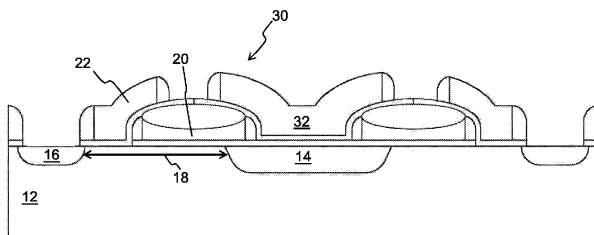
10

【 図 1 】



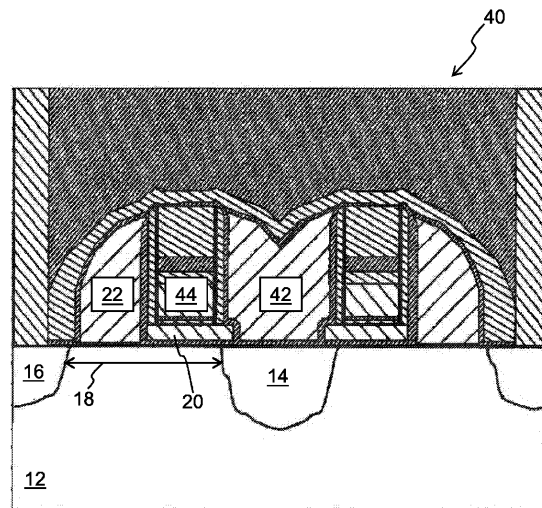
(先行技術)

【 図 2 】



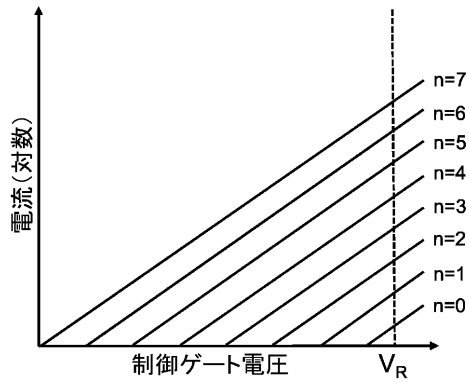
(先行技術)

【 図 3 】

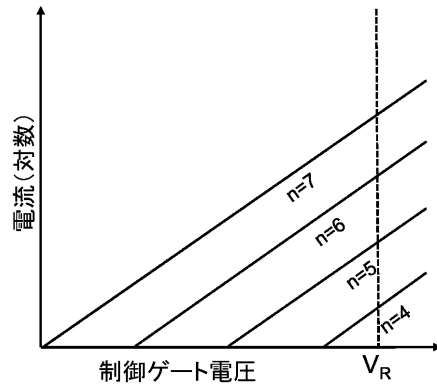


(先行技術)

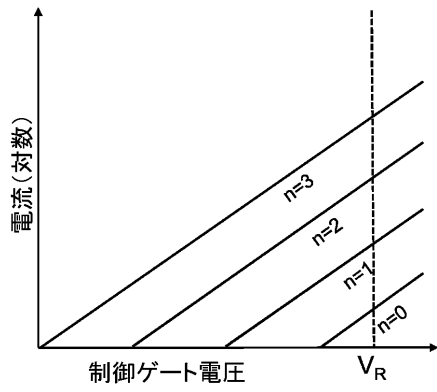
【図 4】



【図 5 B】



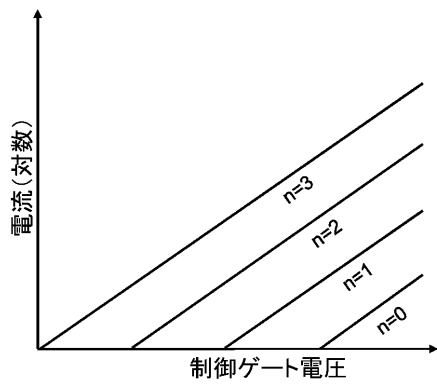
【図 5 A】



セル1

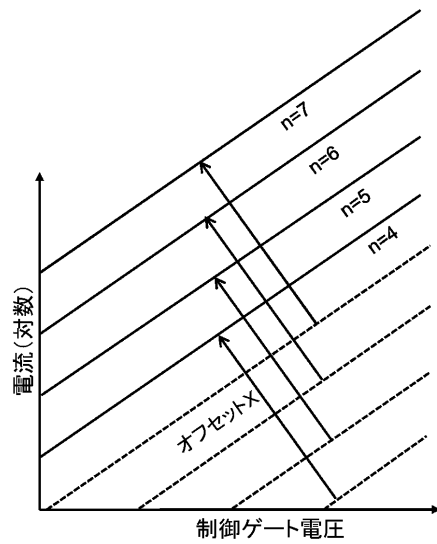
セル2

【図 6 A】



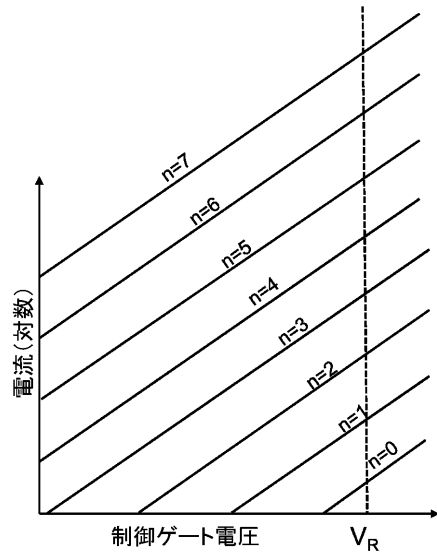
セル1

【図 6 B】



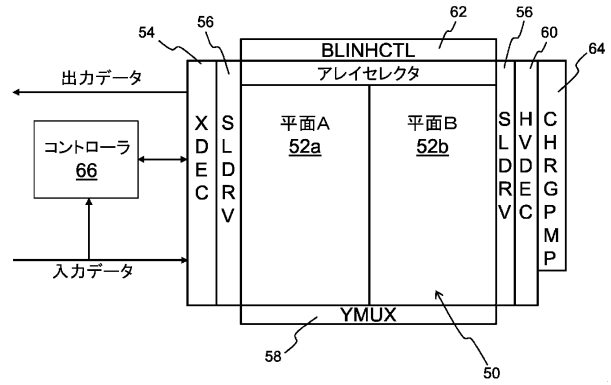
セル2

【図 6 C】



セル1及び2

【図 7】



【図 8】

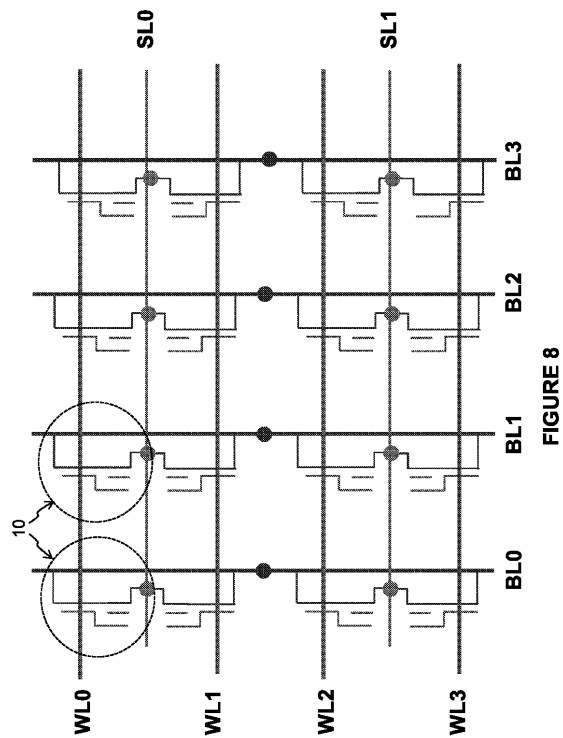


FIGURE 8

フロントページの続き

早期審査対象出願

(72)発明者 ドー、ナン

アメリカ合衆国 9 5 0 7 0 カリフォルニア州、サラトガ、ウォールナット アベニュー 2 0
4 5 1

(72)発明者 トラン、ヒューバン

アメリカ合衆国 9 5 1 3 5 カリフォルニア州、サンノゼ、ゲイレイ プレイス 2 6 4 2

審査官 後藤 彰

(56)参考文献 特開平 8 - 1 7 1 9 6 (J P , A)

特開 2 0 0 8 - 1 0 3 0 6 5 (J P , A)

米国特許出願公開第 2 0 1 4 / 0 2 4 1 0 3 9 (U S , A 1)

特開 2 0 1 2 - 2 0 9 0 0 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C 1 1 / 5 6

G 1 1 C 1 6 / 0 4