

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 18 年 12 月 21 日 (2006.12.21)

【公開番号】特開 2001-135084 (P2001-135084A)
 【公開日】平成 13 年 5 月 18 日 (2001.5.18)
 【出願番号】特願 平 11-317096
 【国際特許分類】

G 1 1 C 11/417 (2006.01)

G 1 1 C 11/413 (2006.01)

【F I】

G 1 1 C 11/34 3 0 5

G 1 1 C 11/34 3 0 3

【手続補正書】

【提出日】平成 18 年 11 月 8 日 (2006.11.8)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 1 0 5

【補正方法】変更

【補正の内容】

【0 1 0 5】

再び図 10 を参照して、矢印によって半導体記憶装置 200 におけるアドレス入力時の信号経路が示される。アドレス入力時には、アドレス入力イネーブル信号 / A D e は活性状態 (L レベル) であり、データ入出力イネーブル信号 / D Q e は非活性状態 (H レベル) とされるので、アドレスレジスタ 250 が動作状態 (O N) となる一方で、データ入力レジスタおよびデータ出力レジスタは非動作状態 (O F F) とされる。したがって、多機能ピン M P B 0 に入力された信号は、入力バッファ 144 およびアドレスレジスタ 250 によって、アドレスビット A D D 0 および A D D 1 としてアドレスデコーダ 120 に伝達される。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 1 0 6

【補正方法】変更

【補正の内容】

【0 1 0 6】

その他の多機能ピン M P B 1 ~ M P B 5 に対しても、同様にアドレスレジスタ、データ入力レジスタおよびデータ出力レジスタが設けられる。1 ビットのアドレスビットのみが入力される多機能ピン M P B 6 , M P B 7 に対応する各レジスタ回路については、入力が予定されるアドレスビットに対応するラッチ回路のみをアドレスデコーダ 120 と接続する構成とすればよい。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 0

【補正方法】変更

【補正の内容】

【0 1 1 0】

これに応じて、データ入力レジスタ 160 は動作状態 (O N) とされ、多機能ピンに入力されたデータビットは、選択的にオンされたトランスファゲートを介してライトバッファ 132 に伝達される。一方、アドレスレジスタ 250 およびデータ出力レジスタ 170

は非動作状態（OFF）とされる。したがって、データ入力時には、多機能ピンMPB0に入力された信号は、入力バッファ144およびデータ入力レジスタ160を介して、データビットD0としてライトバッファ132に伝達される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0114

【補正方法】変更

【補正の内容】

【0114】

これに応じて、データ入力レジスタ160とデータ出力レジスタのオンオフが入替わり、データ出力レジスタ170が動作状態（ON）とされ、センスアンプ回路134から出力されたデータビットは、選択的にオンされたトランスファゲートを介して多機能ピンに伝達される。一方、データ入力レジスタ160は非動作状態（OFF）とされる。アドレスレジスタ250は非動作状態（OFF）のままである。したがって、データ出力時にはセンスアンプ回路134によって読出されたデータビットQ0は、データ出力レジスタ170および出力バッファ146を経由して多機能ピンMPB0より出力される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0154

【補正方法】変更

【補正の内容】

【0154】

なお、実施の形態3に示す多機能ピンおよび各レジスタ回路の構成の適用は、アドレス信号と入出力データ信号とのビット数が図14に示した例とは異なる場合であっても、1ビットのアドレスビットの入力と2ビットのデータビットの入出力とを統合して実行する多機能ピンについて適用することが可能である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0176

【補正方法】変更

【補正の内容】

【0176】

データ出力レジスタ470は、データビットQ0～Q15に対応してそれぞれ設けられるラッチ回路472-0～472-15と、ラッチ回路のそれぞれに対応して設けられるトランスファゲートTG80-0～TG80-15とを含む。トランスファゲートTG80-0～TG80-15は、制御信号CR0～CR15に
応答してオン/オフされる。

【手続補正7】

【補正対象書類名】図面

【補正対象項目名】図11

【補正方法】変更

【補正の内容】

【図 1 1】

