



(21) 申請案號：109139702 (22) 申請日：中華民國 109 (2020) 年 11 月 13 日
 (51) Int. Cl. : H01L25/16 (2006.01) H01L27/14 (2006.01)
 (30) 優先權：2020/06/17 日本 2020-104924
 (71) 申請人：日商東北微科技股份有限公司 (日本) TOHOKU-MICROTEC CO., LTD. (JP)
 日本
 (72) 發明人：元吉真 MOTOYOSHI, MAKOTO (JP)
 (74) 代理人：林志剛
 申請實體審查：有 申請專利範圍項數：15 項 圖式數：23 共 116 頁

(54) 名稱

層疊型半導體裝置，搭載零件的組合，基體及凸塊連接體

(57) 摘要

本發明的課題是在於提供一種被搭載的搭載元件的修補(repair)的處理容易，且可多數次的修補處理，製造時間被縮短，可防止資源的浪費之層疊型半導體裝置。

解決手段為具備：

主基板(81)，其係具有基板搭載面及與此基板搭載面對向的基體背面；

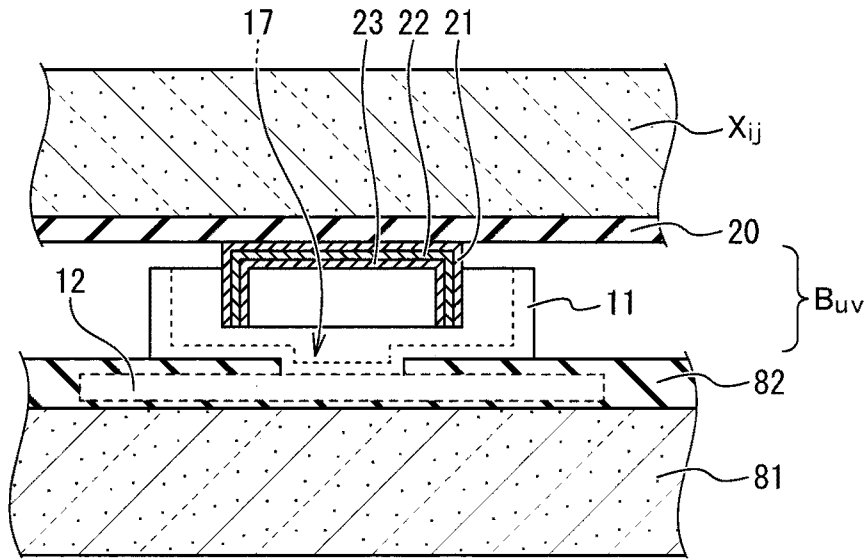
搭載元件(X_{ij})，其係具有搭載元件側電路及與基板搭載面對峙的連接面；

母凸塊(11)，其係被設在基板搭載面，具有與基板搭載面垂直的壁狀的基體側曲面；

修補凸塊，其係被設在連接面，具有與連接面垂直的壁狀的修補側曲面之修補凸塊(21, 22, 23)，在從連接面的法線方向看的平面圖案的基體側曲面與修補側曲面的交點，與母凸塊彼此互相陷入。在基體側曲面與修補側曲面的交點，在母凸塊與修補凸塊的任一方向含有比剩餘的部分更硬度高的導電體。

A stacked semiconductor device encompasses a mother-plate (81) having a mounting-main surface and a bottom-main surface, an onboard-element (X_{ij}) having a connection face facing to the mounting-main surface, a parent bump (11) provided on the mother-plate (81), having a mother-site wall made of a layer of conductor, mother-site wall is perpendicular to the mounting-main surface, and a repair bump (21, 22, 23) provided on the onboard-element (X_{ij}) at a side of the connection face, having a repair-site wall made of a layer of conductor having different hardness from the mother-site wall, the repair-site wall is perpendicular to the connection face, configure to bite each other with the parent bump (11) at an intersection between the mother-site wall and the repair-site wall conductor.

指定代表圖：



【圖 3B】

符號簡單說明：

- 11:母凸塊
- 12:母凸塊側凸台
- 17:接觸通道
- 20:多層配線絕緣層
- 21:最外層
- 22:中間層
- 23:最內層
- 81:主基板
- 82:場絕緣膜
- B_{uv} :凸塊連接體
- X_{ij} :搭載元件



202201719

【發明摘要】

【中文發明名稱】

層疊型半導體裝置，搭載零件的組合，基體及凸塊連接體

【英文發明名稱】

STACKED SEMICONDUCTOR DEVICE, AND SET OF ONBOARD-COMPONENTS, BODY AND JOINTING-ELEMENTS TO BE USED IN THE STACKED SEMICONDUCTOR DEVICE

【中文】

本發明的課題是在於提供一種被搭載的搭載元件的修補(repair)的處理容易，且可多數次的修補處理，製造時間被縮短，可防止資源的浪費之層疊型半導體裝置。

解決手段為具備：

主基板(81)，其係具有基板搭載面及與此基板搭載面對向的基體背面；

搭載元件(X_{ij})，其係具有搭載元件側電路及與基板搭載面對峙的連接面；

母凸塊(11)，其係被設在基板搭載面，具有與基板搭載面垂直的壁狀的基體側曲面；

修補凸塊，其係被設在連接面，具有與連接面垂直的壁狀的修補側曲面之修補凸塊(21，22，23)，在從連接面的法線方向看的平面圖案的基體側曲面與修補側曲面的交點，與母凸塊彼此互相陷入。

在基體側曲面與修補側曲面的交點，在母凸塊與修補凸塊的任一方含有比剩餘的部分更硬度高的導電體。

【 英文 】

A stacked semiconductor device encompasses a mother-plate (81) having a mounting-main surface and a bottom-main surface, an onboard-element (X_{ij}) having a connection face facing to the mounting-main surface, a parent bump (11) provided on the mother-plate (81), having a mother-site wall made of a layer of conductor, mother-site wall is perpendicular to the mounting-main surface, and a repair bump (21, 22, 23) provided on the onboard-element (X_{ij}) at a side of the connection face, having a repair-site wall made of a layer of conductor having different hardness from the mother-site wall, the repair-site wall is perpendicular to the connection face, configure to bite each other with the parent bump (11) at an intersection between the mother-site wall and the repair-site wall conductor.

【指定代表圖】第(3B)圖。

【代表圖之符號簡單說明】

11:母凸塊

12:母凸塊側凸台

17:接觸通道

20:多層配線絕緣層

21:最外層

22:中間層

23:最內層

81:主基板

82:場絕緣膜

B_{uv} :凸塊連接體

X_{ij} :搭載元件

【特徵化學式】無

【發明說明書】

【中文發明名稱】

層疊型半導體裝置，搭載零件的組合，基體及凸塊連接體

【英文發明名稱】

STACKED SEMICONDUCTOR DEVICE, AND SET OF ONBOARD-COMPONENTS, BODY AND JOINTING-ELEMENTS TO BE USED IN THE STACKED SEMICONDUCTOR DEVICE

【技術領域】

【0001】本發明是有關層疊型半導體裝置、及總數之中的至少一部分的數量會被用在此層疊型半導體裝置的搭載零件的組合、以及用在層疊型半導體裝置的基體及凸塊連接體，特別是關於大口徑的主基板及以在此主基板只搭載正常動作的複數的搭載晶片之方式，篩選無法正常動作的搭載零件之不良品的修補技術。

【先前技術】

【0002】專利文獻1是揭示放射線二次元檢測器，具有：包含像素電極的主動矩陣基板、及藉由連接至各像素電極的導電性凸塊來貼合於主動矩陣基板的對向基板。就如此的覆晶接合而言，有一旦像素電極的間距形成微細，則難以藉由均一的凸塊來進行連接的問題。相對於此，專

利文獻2是揭示固體檢測器，可藉由連接成為搭載晶片的訊號讀出晶片的各像素電極與對向基板之間的筒狀電極，來確實地進行連接。

【0003】然而，在將小口徑的搭載晶片予以複數片搭載於大口徑的主基板的層疊型半導體裝置中，一旦在積體化有微細的搭載晶片側電路的搭載晶片有不良，則會有層疊型半導體裝置不動作的問題。在用於影像感測器等的大口徑的主基板中，以檢測元件作為像素配置的主基板是可以緩和的設計規則製作，在搭載晶片側電路也簡單，因此製造容易，不良的發生的機率低。又，即使在主基板的主基板電路或連接配線等有不良，也隨機地幾乎不見主基板的輸出。

【0004】相對的，被搭載於大口徑的主基板的搭載晶片是積體度高，以比主基板還要更細的設計規則製造，因此不良的發生的機率高。但，藉由以根據凸塊等的連接來將搭載晶片搭載於主基板而試驗，首先可知被積體化於搭載晶片的搭載晶片側電路的良否。因此，在搭載晶片有不良率高時或區塊(block)不良時，形成層疊型半導體裝置的全體的不良，製造效率差，主基板或被搭載於主基板的正常動作的搭載晶片徒勞無益地浪費。

【0005】有鑑於如此的情事，最好只將不良的搭載晶片從主基板剝下，只將不良的搭載晶片更換成別的正常動作的搭載晶片。然而，在現在的技術水準，有不良時，簡單地只將特定的搭載晶片剝下，別的搭載晶片可簡單地連

接的凸塊等是不為人所知。

[先前技術文獻]

[專利文獻]

【0006】

[專利文獻1]國際公開第2014/006812號

[專利文獻2]國際公開第2017/081798號

【發明內容】

(發明所欲解決的課題)

【0007】本發明是有鑑於上述問題點，以提供一種被搭載於主基板的搭載元件的修補的處理容易，且可多數次的修補處理，製造時間被縮短，可防止資源的浪費之層疊型半導體裝置及至少一部分被用在此層疊型半導體裝置的搭載零件的組合，以及用在層疊型半導體裝置的基體及凸塊連接體為目的。

(用以解決課題的手段)

【0008】為了達成上述目的，本發明的第1形態的層疊型半導體裝置係具備：

(a)主基板，其係具有：基板搭載面、與該基板搭載面對向的基體背面，設置主基板電路；

(b)搭載元件，其係具有搭載元件側電路及與基板搭載面對峙的連接面；

(c)母凸塊，其係被設在基板搭載面側，具有與基板搭載面垂直的壁狀的基體側曲面，被電性連接至主基板電

路；

(d)修補凸塊，其係被設在連接面側，具有與連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路的修補凸塊，在從連接面的法線方向看的平面圖案的基體側曲面與修補側曲面的交點，與母凸塊彼此互相陷入。

其特徵在本發明的第1形態的層疊型半導體裝置的彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內含有硬度不同的導電體。

【0009】本發明的第2形態係有關由被搭載於基體的預定準備的複數的搭載零件的一群所成的搭載零件的組合，

該基體係具有：

主基板，其係具有基板搭載面及與該基板搭載面對向的基體背面，設置主基板電路；及

母凸塊，其係被設在基板搭載面，具有與基板搭載面垂直的壁狀的基體側曲面，被電性連接至主基板電路。

本發明的第2形態的搭載零件的組合，係正常動作的一部分的搭載零件會被搭載於主基板，不正常動作的其他的一部分的搭載零件係使修補成正常動作的搭載零件者，構成組合的搭載零件的各者係具備：

搭載元件，其係具有搭載元件側電路及與基板搭載面對峙的連接面；及

修補凸塊，係被設在連接面側，具有與連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路的修補

凸塊，在從與連接面垂直方向看的平面圖案的基體側曲面和修補側曲面的交點，與母凸塊彼此互相陷入。

其特徵在構成本發明的第2形態的「搭載零件的組合」的一群的搭載零件的各者中，在基體側曲面與修補側曲面的交點，在修補凸塊含有比母凸塊更硬度高的導電體。

【0010】本發明的第3形態係有關搭載搭載零件的基體，該搭載零件係具有：

搭載元件，其係設置連接面及搭載元件側電路；及

修補凸塊，其係被設在連接面，具有與連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路。

本發明的第3形態的基體係具備：

主基板，其係具有：與連接面對向搭載搭載零件的基板搭載面、與該基板搭載面對向的基體背面，設置主基板電路；及

母凸塊，其係被設在基板搭載面側，具有與基板搭載面垂直的壁狀的基體側曲面，被電性連接至主基板電路的母凸塊，在從基板搭載面的法線方向看的平面圖案的基體側曲面與修補側曲面的交點，與修補凸塊彼此互相陷入。

其特徵在本發明的第3形態的基體中，在基體側曲面與修補側曲面的交點，在母凸塊含有比修補凸塊更硬度高的導電體。

【0011】本發明的第4形態係有關將主基板及搭載元件予以互相結合，電性連接主基板電路與搭載元件側電路的凸塊連接體，

該主基板係具有：基板搭載面、與該基板搭載面對向的基體背面，設置主基板電路，

該搭載元件，係具有連接面及搭載元件側電路。

本發明的第4形態的凸塊連接體係具備：

母凸塊，其係被設在基板搭載面側，具有與基板搭載面垂直的壁狀的基體側曲面，被電性連接至主基板電路；及

修補凸塊，其係被設在連接面側，具有與連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路的修補凸塊，在從連接面的法線方向看的平面圖案的基體側曲面與修補側曲面的交點，與母凸塊彼此互相陷入。

其特徵在本發明的第4形態的凸塊連接體中，彼此互相陷入的基體側曲面與修補側曲面的交點和該交點的附近的空間內，不均一地含有硬度不同的導電體。

[發明的效果]

【0012】若根據本發明，則可提供一種被搭載於主基板的搭載元件的修補的處理容易，且可多數次的修補處理，製造時間被縮短，可防止資源的浪費之層疊型半導體裝置及至少一部分會被用在該層疊型半導體裝置的搭載零件的組合、以及用在層疊型半導體裝置的基體及凸塊連接體。

【圖式簡單說明】

【0013】

[圖1]是說明本發明的第1實施形態的層疊型半導體裝置(固體攝像裝置)的平面圖。

[圖 2]是從圖 1 的 II-II 方向看的剖面圖。

[圖 3A]是說明第 1 實施形態的層疊型半導體裝置的凸塊連接體的暫時連接前的狀態的從特定的方向看的模式性的部分剖面圖。

[圖 3B]是對應於圖 3A 的圖，說明第 1 實施形態的層疊型半導體裝置的凸塊連接體的暫時連接的狀態的從特定的方向看的模式性的部分剖面圖。

[圖 4]是說明圖 3A 及圖 3B 所示的剖面圖的切斷面的位置與方向的平面圖。

[圖 5A]是說明在第 1 實施形態的層疊型半導體裝置的母凸塊所形成的刀邊狀的切痕的模式性平面圖。

[圖 5B]是對應於用以說明在第 1 實施形態的層疊型半導體裝置的母凸塊所形成的刀邊狀的切痕的圖 5A 的模式性側面圖。

[圖 6]是說明本發明的第 1 實施形態的層疊型半導體裝置的母凸塊與修補凸塊之間的 4 個交點的平面圖。

[圖 7A]是說明到達從圖 6 的 VIIB-VIIB 方向看的第 1 實施形態的層疊型半導體裝置的凸塊連接體的構造之前的修補凸塊與母凸塊分離後的狀態的模式性剖面圖。

[圖 7B]是從圖 6 的 VIIB-VIIB 方向看的第 1 實施形態的層疊型半導體裝置的凸塊連接體的模式性的剖面圖。

[圖 8]是說明本發明的第 1 實施形態的第 1 變形例的層疊型半導體裝置的修補凸塊與母凸塊的關係的模式性的俯視圖。

[圖 9]是說明本發明的第 1 實施形態的第 2 變形例的層疊型半導體裝置的修補凸塊與母凸塊的關係的模式性的俯視圖。

[圖 10]是說明本發明的第 2 實施形態的層疊型半導體裝置的修補凸塊與母凸塊的關係的模式性的俯視圖。

[圖 11]是說明本發明的第 2 實施形態的第 1 變形例的層疊型半導體裝置的修補凸塊與母凸塊的關係的模式性的俯視圖。

[圖 12]是說明本發明的第 2 實施形態的第 2 變形例的層疊型半導體裝置的修補凸塊與母凸塊的關係的模式性的俯視圖。

[圖 13]是說明本發明的第 3 實施形態的層疊型半導體裝置的修補凸塊與母凸塊的關係的模式性的俯視圖。

[圖 14]是說明本發明的第 3 實施形態的第 1 變形例的層疊型半導體裝置的修補凸塊與母凸塊的關係的模式性的俯視圖。

[圖 15]是說明本發明的第 3 實施形態的第 2 變形例的層疊型半導體裝置的修補凸塊與母凸塊的關係的模式性的俯視圖。

[圖 16]是說明本發明的第 4 實施形態的層疊型半導體裝置的修補凸塊與母凸塊的關係的模式性的俯視圖。

[圖 17]是說明本發明的第 4 實施形態的第 1 變形例的層疊型半導體裝置的修補凸塊與母凸塊的關係的模式性的俯視圖。

[圖 18]是說明本發明的第 4 實施形態的第 2 變形例的層疊型半導體裝置的修補凸塊與母凸塊的關係的模式性的俯視圖。

[圖 19A]是說明其他的實施形態的層疊型半導體裝置的凸塊連接體的暫時連接前的狀態的部分剖面圖。

[圖 19B]是說明圖 19A 所示的其他的實施形態的層疊型半導體裝置的凸塊連接體的暫時連接後的狀態的模式性的部分剖面圖。

[圖 20A]是說明另外其他的實施形態的層疊型半導體裝置的凸塊連接體的暫時連接前的狀態的從特定的方向看的模式性的部分剖面圖。

[圖 20B]是說明圖 20A 所示的另外其他的實施形態的層疊型半導體裝置的凸塊連接體的暫時連接後的狀態的從特定的方向看的模式性的部分剖面圖。

[圖 21]是說明另外其他的實施形態的層疊型半導體裝置的凸塊連接體的暫時連接的狀態的從特定的方向看的模式性的部分剖面圖。

[圖 22]是說明另外其他的實施形態的層疊型半導體裝置的凸塊連接體的暫時連接前的狀態的從特定的方向看的模式性的部分剖面圖。

[圖 23]是說明在包含圖 4 的剖面 IIIA_d-III A_d 的位置，進行本發明的第 1 實施形態的層疊型半導體裝置的正式連接的工程之後，除去修補凸塊的狀態的 SEM(掃描型電子顯微鏡)照片。

【實施方式】

【0014】 以下，參照圖面，說明本發明的第1～第4實施形態。在圖面的記載中，對於同一或類似的部分附上同一或類似的符號，省略重複的說明。但，圖面是模式性者，厚度與平面尺寸的關係、各層的厚度的比率等是有與實際者不同的情況。又，圖面相互間也含有尺寸的關係或比率不同的部分。又，以下所示的第1～第4實施形態是舉例表示用以將本發明的技術思想具體化的裝置或方法者，本發明的技術思想不是將構成零件的材質、形狀、構造、配置等特定成下述者。

【0015】 又，以下說明的上下等的方向的定義，只是基於說明的方便起見的定義，不是限定本發明的技術思想者。例如，若將對象旋轉 90° 觀察，則上下是變換成左右，若旋轉 180° 觀察，則當然上下是反轉讀取。

【0016】**(第1實施形態)**

本發明的第1實施形態的層疊型半導體裝置是如圖1及圖2所示般，大口徑的主基板81與在主基板81的一方的主面的基板搭載面(第1主面)搭載複數的矩形的搭載元件 X_{ij} ($i=1\sim n$ ； $j=1\sim m$ ； n ， m 是1以上的正的整數)的層疊構造。亦即，第1實施形態的層疊型半導體裝置是亦可為 $n=m=1$ 的1晶片(搭載元件)的層疊構造。主基板81是形成基板搭載面與基體背面(第2主面)會平行地對向的並行平板

構造。若層疊型半導體裝置為固體攝像裝置，則與主基板 81 的基板搭載面對向的基體背面(第 2 主面)會如圖 2 所示般構成電磁波 Φ_x 射入的輸入面。另一方面，若層疊型半導體裝置為微 LED 顯示器般的固體顯示裝置，則數十萬～數百萬個的 LED 晶片會作為搭載元件 X_{ij} 被矩陣狀地搭載於主基板 81 的驅動面板上，構成層疊構造。在主基板 81 的基板搭載面(第 1 主面)是定義有沿著巨集格子(第 1 格子)而分割的像素區域，在此像素區域配列有構成主基板電路的檢測元件陣列。

【0017】 主基板 81 的基板搭載面是被分割成藉由網目數比巨集格子少的基板搭載格子(第 2 格子)所定義的基板搭載區域。搭載元件 X_{ij} 是讀出來自被分割的各個的基板搭載區域的訊號。相反而言，對應於搭載元件 X_{ij} 的配列位置，主基板 81 的基板搭載面是被分割成構成網目數比巨集格子少的 $p \times q$ ($p < n$ ， $q < m$) 的基板搭載格子的基板搭載區域。主基板 81 是形成將主基板電路積體化的構造，例如 $10\text{cm} \times 10\text{cm}$ 的大小，該主基板電路是將 p-n 二極體、n-i-n 二極體、p-i-p 二極體等的檢測元件配列於沿著巨集格子而分割的像素區域。搭載元件 X_{ij} 是比主基板 81 更小的面積，被配列為複數個的搭載元件 X_{ij} 會對應於主基板 81 的大小，在定義有 $2 \times 2 \sim 8 \times 8$ 等的基板搭載格子的區域覆蓋主基板 81 的幾乎全面。

【0018】 在圖 1 中，沿著最上的搭載元件 X_{11} ， X_{12} ， X_{13} ，……， X_{1m} 的配列，在主基板 81 的周邊配列接合焊墊

P_{k1} , P_{k2} , P_{k3} , , P_{ks} 。若將配列接合焊墊 P_{k1} , P_{k2} , P_{k3} , , P_{ks} 的主基板 81 的邊定義為「第 1 邊」, 則連續於第 1 邊, 且沿著與第 1 邊正交的主基板 81 的第 2 邊, 在主基板 81 的周邊配列接合焊墊 P_{11} , P_{12} , P_{13} , , P_{1t} 。連續於第 2 邊, 且沿著在與第 2 邊正交的主基板 81 的第 3 邊, 在主基板 81 的周邊配列接合焊墊 P_{m1} , P_{m2} , P_{m3} , , P_{ms} 。連續於第 3 邊, 且沿著與第 3 邊正交的主基板 81 的第 4 邊, 在主基板 81 的周邊配列接合焊墊 P_{n1} , P_{n2} , P_{n3} , , P_{nt} 。

【0019】如圖 2 的剖面圖所示般, 在主基板 81 上是形成有場絕緣膜 82。在圖 2 的剖面圖中, 搭載元件 X_{21} 會隔著場絕緣膜 82 來配置於主基板 81 的左端, 在搭載元件 X_{21} 與主基板 81 之間顯示有被配列於與巨集格子網目數相等的連接用格子 (第 3 格子) 的區域之凸塊連接體 B_{11} , B_{12} , B_{13} , , B_{1p} 的一列份的配列。在搭載元件 X_{21} 上 (在圖 2 中的下面) 是設有多層配線絕緣層 20。在被設於圖 2 所示的搭載元件 X_{21} 的多層配線絕緣層 20 的內部是以對應於被設在搭載元件 X_{21} 的搭載元件側電路之方式, 上層配線層、中間層配線、下層配線等的多層配線層彼此分離埋入。例如, 多層配線絕緣層 20 是亦可具有被配置於支撐基體之搭載元件 X_{21} 的表面 (在圖 2 中下面) 的複數的第 1 配線圖案層、從多層配線絕緣層 20 的上面貫通至下面方向的複數的貫通孔、及被配置於多層配線絕緣層 20 的下部的複數的第 2 配線圖案層等。所謂「電路」是「電流的通路」(廣辭苑第 4

版(日本國語辭典)。一般大多的情況是含有電容器或二極體等的主動元件或電阻、電容器、線圈等的被動元件。但，從高頻的分佈常數電路的概念，電流通路也因為含有電阻、電容器、線圈，所以是電路。因此，即使搭載元件 X_{21} (更一般性是搭載元件 X_{ij})為構成微LED顯示器的LED晶片般的單純的二極體的電路，也符合「搭載元件側電路」。有關主基板電路也同樣，即使是單純的二極體的電路或不含主動元件等的配線電路等也無妨。又，由於被設在搭載元件 X_{ij} 的搭載元件側電路是即使為溫度感測器或發熱體等的單純的電阻電路也無妨，因此可採用各種的電路元件作為搭載元件 X_{ij} 。

【0020】多層配線絕緣層20是可以3層以上的多層絕緣層所構成，例如亦可更具有第3配線圖案層、第4配線圖案層、第5配線圖案層、.....等。第1配線圖案層是分別電性連接成搭載元件 X_{21} 的配列。多層配線絕緣層20的貫通孔是分別電性連接第1配線圖案層及第2配線圖案層之間。在多層配線絕緣層20的第2配線圖案層的下面是可配置用以和外部電路接合的焊錫凸塊。

【0021】或，如SOI構造般，亦可藉由被設在多層配線絕緣層20的內部的薄膜積體電路來構成搭載元件側電路(訊號讀出電路)的各者。此情況，亦可隔著層間絕緣膜，藉由上層配線層、中間層配線、下層配線等的多層配線層來將由薄膜電容器所成的開關元件或讀出電容器構成於多層配線絕緣層20的內部。或，亦可以使搭載元件 X_{ij} 的多層

配線絕緣層20之中的下層配線側的搭載元件側電路對應於在矽(Si)基板的表面所形成的積體電路，使多層配線絕緣層20之中的中間層配線對應於層間絕緣膜中的表面配線層之方式，替換圖2的構造。又，亦可將對應於主基板81的主基板電路的單位元件的配列之讀出電容器及開關元件的組所成的搭載元件側電路的單位積體化於由Si基板所成的搭載元件 X_{21} 的上部而構成。配列凸塊連接體 B_{11} ， B_{12} ， B_{13} ，……， B_{1p} 的連接用格子的網目的間距是亦可與巨集格子相同，但亦可將巨集格子予以間距變換。

【0022】在圖2的場絕緣膜82上，在搭載元件 X_{21} 的右旁配置有搭載元件 X_{22} ，在搭載元件 X_{22} 與主基板81之間顯示有被配列於與巨集格子網目數相等的連接用格子的區域之凸塊連接體 B_{21} ， B_{22} ， B_{23} ，……， B_{2p} 的一列份的配列。在搭載元件 X_{21} 的下面是與搭載元件 X_{21} 同樣地設有多層配線絕緣層20。在多層配線絕緣層20的內部是以對應於被設在搭載元件 X_{22} 的搭載元件側電路之方式，上層配線層、中間層配線、下層配線等的多層配線層彼此分離埋入。同樣，在搭載元件 $X_{2(m-1)}$ 與主基板81之間是顯示有被配列於連接用格子的區域之凸塊連接體 $B_{(m-1)1}$ ， $B_{(m-1)2}$ ， $B_{(m-1)3}$ ，……， $B_{(m-1)p}$ 的一列份的配列。在搭載元件 $X_{2(m-1)}$ 的下面是與搭載元件 X_{21} 同樣地設有多層配線絕緣層20。在多層配線絕緣層20的內部是以對應於被設在搭載元件 $X_{2(m-1)}$ 的搭載元件側電路之方式，上層配線層、中間層配線、下層配線等的多層配線層彼此分離埋入。

【0023】進一步，隔著場絕緣膜82，在主基板81的右端側配列搭載元件 X_{2m} ，在搭載元件 X_{2m} 與主基板81之間是顯示被配列於連接用格子的區域的凸塊連接體 B_{m1} ， B_{m2} ， B_{m3} ，……， B_{mp} 的一列份的配列。在搭載元件 X_{2m} 的下面是與搭載元件 X_{21} 同樣地設有多層配線絕緣層20。在多層配線絕緣層20的內部是以對應於被設在搭載元件 X_{2m} 的搭載元件側電路之方式，上層配線層、中間層配線、下層配線等的多層配線層彼此分離而埋入。

【0024】亦即，在圖2舉一系列份的配列為例的剖面構造中，在搭載元件 X_{ij} 與主基板81之間是顯示有對應於以構成主基板電路的檢測元件陣列的巨集格子所規定的配置，來被配列於連接用格子的區域的複數的凸塊連接體 $B_{uv}(u=1\sim m, v=1\sim p:m, p$ 是2以上的正的整數)，但當然在圖2的剖面以外也存在同樣的構造。在圖2的搭載元件 X_{21} ， X_{22} ， X_{23} ，……， X_{2m} 的配列的左側是顯示有接合焊墊 $P_{n(t-3)}$ ，在搭載元件 X_{21} ， X_{22} ， X_{23} ，……， X_{2m} 的配列的右側是顯示有接合焊墊 P_{14} 。在以下的說明中，將包含圖2的剖面以外存在的其他凸塊連接體的凸塊連接體總稱為「凸塊連接體 B_{uv} 」。凸塊連接體 B_{uv} 的各者是彼此獨立電性連接構成主基板電路的檢測元件陣列的各者及對應的搭載元件 X_{ij} 的各者，該主基板電路是配列於在主基板81的基板搭載面(第1主面)沿著巨集格子而分割的像素區域。

【0025】主基板81是以不嚴的設計規則製作，佈局也簡單，因此製造容易，不良的發生機率低。又，即使主基

板 81 的主基板電路(檢測元件陣列)或連接配線等有不良，也隨機在主基板 81 的輸出是幾乎看不到。另一方面，藉由搭載元件 X_{ij} 積體度高，以凸塊連接體 B_{uv} 來將搭載元件 X_{ij} 連接至主基板 81 而試驗，開始得知被積體化於搭載元件 X_{ij} 的搭載元件側電路的良否。若在複數個被連接的搭載元件 X_{ij} 不良率高時或有區塊不良時，則形成第 1 實施形態的層疊型半導體裝置的不良。另一方面，在微 LED 顯示器中，由於在驅動面板上層疊數十萬～數百萬個的大量的 LED 晶片，因此在大量的 LED 晶片混有不良品的機率存在。為此，將各搭載元件 X_{ij} 暫時連接至主基板 81，在被積體化於特定的搭載元件 X_{st} 的搭載元件側電路有不良時，需要剝下該搭載元件 X_{st} 來暫時連接別的搭載元件 X_{xy} ，確認是否無問題的修補的作業。由於預定修補的作業，因此搭載元件 X_{ij} 的數量是比被定義於主基板 81 的基板搭載格子的網目的數量更多被準備。

【0026】另外，凸塊連接體 B_{uv} 的詳細是參照圖 3A，3B～圖 7B 等後述。凸塊連接體 B_{uv} 是被配置為將來自被積體化於主基板 81 的主基板電路的訊號獨立傳達至分別被積體化於搭載元件 X_{ij} 的搭載元件側電路。若第 1 實施形態的層疊型半導體裝置為固體攝像裝置，則構成配列於主基板 81 的基板搭載面(第 1 主面)的主基板電路的檢測元件陣列的配列是對應於影像感測器(層疊型半導體裝置)的像素的配置，但若為微 LED 顯示器，則對應於 LED 晶片的配列。又，若為溫度感測器陣列，則對應於溫度感測器的配列。

固體攝像裝置的情況，搭載元件 X_{ij} 的搭載元件側電路(訊號讀出電路)的各者是具備開關元件 Q_{ij} 、緩衝放大器等的主動元件電路。搭載元件 X_{ij} 是分別讀出來自被配列於主基板 81 的基板搭載面的對應的分割處之像素的巨集格子的訊號。

【0027】在以下的第1實施形態的說明中，不問主基板 81 的材料或用途。亦即，若第1實施形態的層疊型半導體裝置為固體攝像裝置，則藉由將主基板 81 設為矽 (Si)，第1實施形態的層疊型半導體裝置為固體攝像裝置合適作為可視光的波長區域的影像感測器。又，第1實施形態的層疊型半導體裝置為固體攝像裝置時，若構成被配列於主基板 81 的主基板電路的單位元件(檢測元件)為由碲化鎘 (CdTe)、碲化鋅 (ZnTe)、碲化鎘鋅 ($Cd_{1-x}Zn_xTe$)、砷化鎵 (GaAs) 等的化合物半導體所成時，合適作為放射線影像感測器。又，若將水銀鎘碲 ($Hg_{1-x}Cd_xTe$) 或銻化銾 (InSb) 等的半金屬或鍺 (Ge) 等的紅外線檢測元件配列於主基板 81，則形成紅外線影像感測器。因此，本發明的第1實施形態的層疊型半導體裝置是可適用於例如具有各種的波長的電磁波的影像感測器，但並非被限定於固體攝像裝置(影像感測器)者。

【0028】第1實施形態的層疊型半導體裝置為固體攝像裝置的情況，在主基板 81 的內部在被配置於沿著巨集格子而分割的像素區域的主基板電路的單位元件的載波生成層作為電子-電洞對 (electron-hole pair) 產生的載波之訊號

會從各個的主基板電路的場絕緣膜 82 的開口部 (接觸孔 (contact hole)) 讀出。如圖 3A 及圖 3B 所示般，場絕緣膜 82 下的主基板 81 的區域是形成輸出對應於接收的電磁波的量的訊號之 1 像素份的檢測要素。若第 1 實施形態的層疊型半導體裝置為固體攝像裝置，則被設在場絕緣膜 82 中的開口部 (接觸孔) 是在搭載元件 X_{ij} 的下面彼此分離而被 2 次元配列，表示在主基板 81 中產生的載波之訊號是從埋入至場絕緣膜 82 的內部的輸出電極讀出。藉此，主基板 81 是作為用以檢測出電磁波的檢測基板機能，被設在場絕緣膜 82 中的開口部的母凸塊側凸台 (land) (表面電極) 是作為輸出每個主基板電路 (像素) 的載波訊號的主基板電路的輸出電極機能。

【0029】主基板 81 是在構成主基板電路的單位元件 (檢測元件) 的一方的電極所露出的基板搭載面 (第 1 主面)，將構成對應於主基板電路的像素陣列的配列的凸塊連接體 B_{uv} 的各者之母凸塊 (第 1 凸塊) 11 配列於連接用格子的區域。母凸塊 11 是具有與主基板 81 的基板搭載面垂直的壁狀的基體側曲面之矩形的箱狀。因為是矩形的箱狀，所以基體側曲面是平板狀，但在數學上直線是曲率半徑無限大的曲線，因此在本說明書是平板狀的壁也稱為「曲面」。母凸塊 11 的底部是如圖 3A 及圖 3B 等所示般，經由接觸通道 (塞孔 (Via plug)) 17 來電性連接至表面電極 (母凸塊側凸台) 12，進一步，被電性連接至被積體化於主基板 81 的主基板電路。如圖 3A 及圖 3B 等所舉例表示般，接觸通道 17

與母凸塊側凸台12是被埋入至被配置在主基板81上的場絕緣膜82。接觸通道17是如圖4所示般，被設在母凸塊11的底部的中央。接觸通道17是如圖3A及圖3B等所示般，被設在接觸孔(通孔(via hole)的內部，將母凸塊11的底部予以金屬性地連接至母凸塊側凸台12，該接觸通道是被開孔為在母凸塊11的底部的正下面的場絕緣膜82露出母凸塊側凸台12的上面的一部分。接觸通道17是被形成為沿著接觸孔的側壁的薄膜，形成在彼此對向的側壁與側壁之間存在空洞部的箱狀的構造。即使接觸通道17是利用與母凸塊11同一的金屬，以和母凸塊11連續的一體構造所構成也無妨。但，圖3A及圖3B等是舉例表示者，即使接觸通道17是不存在空洞部的形態，作為完全填埋被設在母凸塊11的底部的正下面的接觸孔的栓(塞孔)的形態也無妨。進一步，圖3A及圖3B等是舉例表示者，即使母凸塊側凸台12是被埋入至場絕緣膜82中的多層配線構造的最上層也無妨。如圖3A所示般，藉由主基板81、場絕緣膜82及母凸塊11來構成第1實施形態的成為層疊型半導體裝置的要素的「基體1」。

【0030】另一方面，圖3A所示的搭載元件 X_{ij} 是舉將搭載元件 X_{ij} 的表面(在圖3A中下面)設為連接面(讀出電路主面)，以和對向於連接面的連接相反面來形成平行平板構造的情況為例，但不限定於平行平板構造。例如若搭載元件 X_{ij} 為砲彈型的LED元件，則搭載元件 X_{ij} 不是平行平板構造。與連接面對向的連接相反面是亦可為魚板狀或圓頂

狀，亦可形成複雜的曲面。例如，搭載元件 X_{ij} 是由設置半導體積體電路作為搭載基板側電路的半導體基板所構成的情況為一例，但即使具有LED晶片般的單純的電路作為搭載基板側電路的情況也無妨。基於說明的方便起見，在第1實施形態的層疊型半導體裝置中，舉以半導體基板作為支撐基體，如圖3A所示般，以和被配置於半導體基板上的多層配線絕緣層20來形成複合構造的情況為例進行說明。在搭載元件 X_{ij} 的連接面上的多層配線絕緣層20上，如圖3A，3B～圖7B等所示般，具有與連接面垂直的壁狀的修補側曲面，設有被電性連接至搭載元件側電路的修補凸塊(21，22，23)。如圖3A所示般，以搭載元件 X_{ij} 、多層配線絕緣層20及修補凸塊(21，22，23)來構成第1實施形態的成為層疊型半導體裝置的要素的「搭載零件2」，以此搭載零件2的複數個來形成搭載零件的組合。修補凸塊(21，22，23)是經由被埋入至多層配線絕緣層20的修補凸塊側凸台(圖示省略)來電性連接至被設在搭載元件 X_{ij} 的搭載元件側電路。經由被埋入至多層配線絕緣層20的表面配線(修補凸塊側凸台)來電性連接至被設在搭載元件 X_{ij} 的搭載元件側電路。雖省略圖示，但實際修補凸塊(21，22，23)的頂部是經由接觸通道(塞孔)來電性連接至修補凸塊側凸台(表面電極)，進一步被電性連接至被設在搭載元件 X_{ij} 的搭載元件側電路。修補側的接觸通道與修補凸塊側凸台是分別被埋入至配置在搭載元件 X_{ij} 的下面上的多層配線絕緣層20。修補側的接觸通道也在修補凸塊(21，22，23)的頂

部的中央，被設在接觸通道的內部，將修補凸塊(21，22，23)的頂部予以金屬性地連接至修補凸塊側凸台，該接觸通道是被開孔為在修補凸塊(21，22，23)的頂部的正上方的多層配線絕緣層20露出修補凸塊側凸台的上面的一部分。即使修補側的接觸通道是被形成為沿著接觸通道的側壁的薄膜，形成在彼此對向的側壁與側壁之間存在空洞部的箱狀的構造，利用與修補凸塊(21，22，23)同一的金屬，以和修補凸塊(21，22，23)連續的一體構造所構成也無妨。但，即使修補側的接觸通道是不存在空洞部的形態，作為完全填埋被設在修補凸塊(21，22，23)的頂部的正上方的接觸通道之塞孔的形態也無妨。進一步，即使修補凸塊側凸台是被埋入至層配線絕緣層20中的多層配線構造的最上層也無妨。在從圖4所示的連接面的法線方向看的平面圖案中，基體側曲面與修補側曲面是在4個交點交叉。基體側曲面與修補側曲面皆為矩形的形狀，但如已述般，在數學上直線是曲率半徑無限大的曲線，因此平板狀的壁也為「曲面」的一類型。另外，在第1實施形態的層疊型半導體裝置中，在藉由暫時連接來修補不正常的動作的搭載元件 X_{ij} 之篩選後進行「正式連接」。亦即，進行正式連接之後的實際的製品階段的凸塊連接體 B_{uv} 是如圖23所舉例表示般，母凸塊11與修補凸塊(21，22，23)會形成彼此無秩序且不定形的片斷狀地疊起成的構造，由於失去接合前的拓撲結構(topology)之平面的形態，因此形成具有複數的曲率半徑的多樣的曲面。圖23是在進行第1實施

形態的層疊型半導體裝置的正式連接的工程之後，修補凸塊強行除去而觀察母凸塊11的形狀的變化的SEM照片。進行正式連接之後，修補凸塊被強制地除去的狀況中，在被配置於包含圖4的剖面III A_d-III A_d的位置的母凸塊11的一部分是修補凸塊(21, 22, 23)的殘渣會留下，圖3A所示般的接合前的拓撲結構(topology)喪失。

【0031】由圖3A, 3B~圖7B等可知，修補凸塊(21, 22, 23)是由箱狀的最外層21、中間層22，最內層23所成的3層構造。中間層22的硬度是比最外層21及最內層23的硬度高的值。最外層21及最內層23的硬度是與母凸塊11的硬度同程度。亦即，中間層22的硬度是比母凸塊11的硬度高。例如，使用金(Au)作為母凸塊11及修補凸塊(21, 22, 23)的最外層21及最內層23的導電體時，可使用鈷(Co)，鎳(Ni)，銱(Ir)，鉻(Cr)，鎢(W)，鈦(Ti)，鈦鎢(TiW)、礬土(Al₂O₃)，矽(Si)等的比Au更2倍以上硬度高的金屬或化合物，作為中間層22的導電體。例如，若在中間層22選擇Ti，則修補凸塊(21, 22, 23)的側壁是形成Au/Ti/Au的3層構造。或，即使使用Au-Co, Au-Ni, Au-Ir, Au-Cr, Au-W, Au-Ti, Au-Si等的合金或混合物，作為中間層22的導電體，也可實現比Au更2倍以上高的硬度。亦可為由Co, Ni, Ir, Cr, W, Ti, Si等之中選擇的2種以上的材料與Au為未滿75%的合金的三元合金或四元合金等。為了使發揮Au的高導電度性，Au為70%以上的合金為理想。另一方面，為了使發揮Co, Ni, Ir, Cr, W,

Ti、Si等的高硬度性，Au為未滿30%的合金為理想。

【0032】雖也依組成而定，但一般金屬是藉由合金化而硬度增大。單體的Au的維氏硬度為25Hv程度，相對的，含錫(Sn)20%的Au-20Sn合金的維氏硬度是118Hv程度，含鍺(Ge)12%的Au-12Ge合金的維氏硬度是108Hv程度，因此分別形成單體的Au的4.7倍、4.3倍的硬度，Au-Sn合金或Au-Ge合金也可作為中間層22的導電體使用。含矽(Si)3.15%的Au-3.15Si合金的維氏硬度是86Hv程度，因此是單體的Au的3.4倍的硬度，可作為中間層22的導電體使用。另一方面，含Sn90%的Au-90Sn合金的維氏硬度是Sn的低硬度性變顯著，因此成為16Hv程度，比單體的Au的維氏硬度更低，作為中間層22的導電體是不適當。Au-90Sn合金是可作為母凸塊11和修補凸塊(21, 22, 23)的最外層21及最內層23的導電體使用。作為母凸塊11和修補凸塊(21, 22, 23)的最外層21及最內層23的導電體是除了Au-90Sn合金以外，亦可使用含Au未滿30%的Au-錫(Sn)，Au-鉛(Pb)，Au-鋅(Zn)等的合金。

【0033】選擇如此的硬度不同的導電體的組合的結果，如圖4所示般，在母凸塊11與修補凸塊(21, 22, 23)交叉的基體側曲面與修補側曲面的4個交點，由於修補凸塊(21, 22, 23)的中間層22的硬度比母凸塊11的硬度高，因此如圖3B所示般，修補凸塊(21, 22, 23)是陷入至母凸塊11的內部而形成固相擴散接合。亦即，在基體側曲面與修補側曲面的交點，在母凸塊11與修補凸塊(21, 22, 23)

的任一方是含有比剩餘的部分更硬度高的導電體。藉由母凸塊11與修補凸塊(21, 22, 23), 如圖3B所示般構成第1實施形態的成為層疊型半導體裝置的要素的凸塊連接體 B_{uv} 。

【0034】第1實施形態的層疊型半導體裝置的凸塊連接體 B_{uv} 是在3層構造的箱狀的修補凸塊(21, 22, 23)的構造的中間層22放入比使用於母凸塊11的金屬還硬度高的材料, 藉由在接合時施加的壓力, 如圖5A及圖5B所示般, 切痕13a, 13b, 13c, 13d進入對方的母凸塊11而陷入, 形成固相擴散接合。亦即, 硬度高的中間層22構如圖5B所示的刀邊(knife edge)般的深切痕13a, 13b, 形成固相擴散接合, 因此變形的區域小, 但清淨面彼此間的接觸面積大。藉由形成根據圖3B所示般的切痕之固相擴散接合的構造, 凸塊全體的變形量是比以往的同等硬度接合型凸塊小, 但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(21, 22, 23)與母凸塊11的固相擴散接合。

【0035】如已述般, 依照用途, 搭載元件 X_{ij} 是有積體度高的情況。積體度高的構造的情況, 藉由以凸塊連接體 B_{uv} 來將搭載元件 X_{ij} 連接至主基板81而試驗, 首先可知被設在搭載元件 X_{ij} 的搭載元件側電路的良否。另一方面, 如微LED顯示器般的情況, 數十萬~數百萬個的大量的LED晶片會被層疊於作為驅動面板的主基板81上。此LED晶片是亮度等被要求嚴格的規格, 因此在大量的LED晶片有混

入不良品的情況。若在被設於特定的搭載元件 X_{st} 的搭載元件側電路有不良，則圖 1 及圖 2 所示的第 1 實施形態的層疊型半導體裝置的全體會形成不良。因此，需要將各搭載元件 X_{ij} 暫時連接至主基板 81，確認被設在特定的搭載元件 X_{st} 的搭載元件側電路是否有不良。為此，第 1 實施形態的層疊型半導體裝置的凸塊連接體 B_{uv} 是如圖 3A 及圖 3B 所示般使將底部接合於被埋入至場絕緣膜 82 的母凸塊側凸台(表面電極)的母凸塊 11 與將底面接合於被埋入至多層配線絕緣層 20 的表面配線(修補凸塊側凸台)的修補凸塊(21, 22, 23)彼此地接觸，而進行暫時連接。另外，母凸塊側凸台或修補凸塊側凸台是如利用圖 19 等後述般，即使是從場絕緣膜 82 或多層配線絕緣層 20 露出的構造也無妨。

【0036】第 1 實施形態的層疊型半導體裝置的凸塊連接體 B_{uv} 是即使以比較小的壓力來壓接修補凸塊(21, 22, 23)與母凸塊 11，還是可抑制固相擴散接合部以外的大部分凸塊變形，因此若以弱的力量壓接來暫時連接而於電性評價後有狀態不佳，則可從構成組合的複數的搭載零件 2 之中換(修補處理)成其他的構成零件 2 而再暫時連接。可進行若修補後的再暫時連接之電性評價合格，則前進至正式連接的接合之篩選的處理。另外，在第 1 實施形態的層疊型半導體裝置中，亦可在修補凸塊(21, 22, 23)的一部分之中間層 22 放入與凸塊接合的母凸塊 11 的金屬化合而其化合物的硬度比凸塊金屬高的材料，其化合物使對方的母凸塊 11 的金屬局部地大幅度變形或起放入龜裂的作用。將

同一或同等的硬度的側壁接合時，在一次的暫時接合，修補凸塊與母凸塊的雙方會相當擠壓變形。但，就光此變形而言，因為清淨的金的露出面積不大，所以立即剝落。另一方面，藉由將修補凸塊(21, 22, 23)的中間層22的硬度設為比其他的部分還硬的材料，且將修補凸塊(21, 22, 23)的最外層21及最內層23的厚度設為薄，硬的材料會如刀般陷入對方的側壁，露出面積會增加，在暫時接合後不易剝落。由於在暫時接合後不易剝落，因此取得可增加修補次數的顯著的效果。

【0037】另一方面，藉由進行母凸塊11與修補凸塊(21, 22, 23)在暫時連接或被再暫時連接的狀態的搭載元件 X_{ij} 的動作的確認，被確認搭載元件 X_{ij} 正常動作時，更增大對於主基板81推壓搭載元件 X_{ij} 的力，更縮小搭載元件 X_{ij} 與主基板81的間隔。一旦對於主基板81推壓搭載元件 X_{ij} 的力被更增大，則搭載元件 X_{ij} 與主基板81會被正式連接。在母凸塊11與修補凸塊(21, 22, 23)的正式連接時，母凸塊11的垂直側壁部是藉由推壓而更變形，修補凸塊(21, 22, 23)的下端側的頂部會金屬性地被接合於母凸塊11的底部。由於主基板81載基板 X_{ij} 的距離會藉由推壓而被壓縮，因此在正式連接的階段的凸塊連接體 B_{uv} 的高度是比圖3A及圖3B所示的暫時連接時的凸塊連接體 B_{uv} 的高度更低，且母凸塊11與修補凸塊(21, 22, 23)是形成如圖23所示般的彼此無秩序且片斷狀地疊起的構造，失去箱狀的形態。在無秩序地疊起的混亂狀態中構成中間層22的硬度

高的導電體的圖案的片斷的殘渣會不定形狀地沿著歪扭的箱狀的痕跡來不均一地分佈於凸塊連接體 B_{uv} 的內部。此結果，在彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內不均一地含有硬度不同的導電體。如已說明般，圖 23 是表示在進行第 1 實施形態的層疊型半導體裝置的正式連接的工程之後，強制地除去修補凸塊 (21, 22, 23) 的結果的母凸塊 11 側的構造，在母凸塊 11 的一部分是修補凸塊 (21, 22, 23) 的殘渣會留下。由圖 23 所示的 SEM 照片可知，圖 3A 所示般的接合前的母凸塊 11 的拓撲結構 (topology) 喪失。在圖 23 的中央，水平方向顯示剖面 IIIA_d-IIIA_d (參照圖 4)，在成為剖面 IIIA_d-IIIA_d 的位置的中央可見對應於接觸通道 17 的孔。

【0038】藉由正式連接，構成搭載元件 X_{ij} 的搭載元件側電路 (訊號讀出電路) 是修補凸塊 (21, 22, 23) 會經由被埋入至多層配線絕緣層 20 的表面配線 (修補凸塊側凸台) 來金屬性地連接至母凸塊 11，進一步經由被埋入至場絕緣膜 82 的表面配線 (母凸塊側凸台) 來電性連接至主基板 81 的主基板電路。亦即，藉由設置主基板電路的主基板 81 及設置搭載元件側電路的搭載元件 X_{ij} 以凸塊連接體來電性連接，構成圖 3B 所示般的第 1 實施形態的層疊型半導體裝置。此層疊型半導體裝置是以包含主基板 81、場絕緣膜 82 及母凸塊 11 的基體 1、和包含搭載元件 X_{ij} 、多層配線絕緣層 20 及修補凸塊 (21, 22, 23) 的搭載零件 2 所構成。另外，被搭載於層疊型半導體裝置的搭載零件 2 的數量是形成從構成

組合的搭載零件2的總數的一部分選擇，即使構成組合的搭載零件2的全部正常動作，也會留下一部分的搭載零件2，不被搭載於基體1。

【0039】第1實施形態的層疊型半導體裝置的搭載零件2是即使以構成搭載元件 X_{ij} 的Si基板的表面的積體電路來構成搭載元件側電路(訊號讀出電路)的情況也無妨，即使藉由上層配線層、中間層配線、下層配線等的多層配線層來構成搭載元件側電路(訊號讀出電路)的情況也無妨，或即使包含除此以外的LED元件等的個別元件的單純的構造的情況也無妨。構成搭載零件2的修補凸塊(21，22，23)是經由被埋入至多層配線絕緣層20的表面配線(修補凸塊側凸台)來連接至搭載元件側電路，搭載元件側電路是經由修補凸塊(21，22，23)來金屬性地連接至基體1的母凸塊11。母凸塊11是經由被埋入至場絕緣膜82的表面配線(母凸塊側凸台)(第1凸台)來電性連接至被積體化於主基板81的主基板電路。凸塊連接體 B_{uv} 是藉由修補凸塊(21，22，23)與母凸塊11所構成。此結果，搭載零件2的搭載元件側電路會經由凸塊連接體 B_{uv} 來電性連接至基體1的主基板電路。

【0040】例如，藉由使訊號從主基板81經由被埋入至場絕緣膜82的表面配線(母凸塊側凸台)來傳達至搭載元件側電路(訊號讀出電路)，搭載元件 X_{ij} 可作為讀出電路搭載元件(讀出晶片)機能，具有配合像素的配列而沿著連接用格子來配列從主基板81讀出訊號的複數的搭載元件側電路

(訊號讀出電路)的輸入電極。此情況，被埋入至多層配線絕緣層20的表面配線(修補凸塊側凸台)是作為輸入電極機能，從被埋入至場絕緣膜82的表面配線(母凸塊側凸台)讀出每個主基板電路的訊號，將訊號輸入至分別被積體化於搭載元件 X_{ij} 的積體電路。

【0041】如圖3所示般，構成第1實施形態的層疊型半導體裝置的凸塊連接體 B_{uv} 的各者的母凸塊11是形成具有底部及垂直側壁部的箱狀的形狀，該底部是接觸於被埋入至場絕緣膜82的母凸塊側凸台，該垂直側壁部是連結至底部的外周，形成包圍底部的圍壁。構成凸塊連接體 B_{uv} 的各者的修補凸塊(21, 22, 23)是形成將底面接觸於被埋入至多層配線絕緣層20的表面配線(修補凸塊側凸台)的箱狀的形狀的多層構造體。場絕緣膜82及被埋入至多層配線絕緣層20的表面配線(修補凸塊側凸台)的平面圖案是例如可為矩形，但並非被限定於矩形者。構成凸塊連接體 B_{uv} 的母凸塊11的暫時連接前的高度是例如可決定成 $1\mu\text{m}$ 以上，未滿 $5\mu\text{m}$ 。修補凸塊(21, 22, 23)的壁的高度是只要設定成比構成母凸塊11的箱狀的垂直側壁部的深度更高即可。

【0042】被埋入至場絕緣膜82的表面配線(母凸塊側凸台)及被埋入至多層配線絕緣層20的表面配線(修補凸塊側凸台)的各者是例如可以Au或含Au80%以上的Au-Si, Au-Ge, Au-Sb, Au-Sn, Au-Pb, Au-Zn, Au-Cu等的合金所形成，在底層使用鎳(Ni)等的金屬層的多層構造也無妨。由搭載元件 X_{ij} 及多層配線絕緣層20所成的層疊構造是

例如可採用具有：在支撐基體的上面彼此分離配置的第1下層配線及第2下層配線、以從上方埋入第1下層配線及第2下層配線的方式配置的第1絕緣層、在第1絕緣層的上面彼此分離配置的第1中間層配線及第2中間層配線、和以從上方埋入第1中間層配線及第2中間層配線的方式配置的第2絕緣層之構造。在第1下層配線、第2下層配線、第1中間層配線及第2中間層配線等是例如可採用鋁(Al)、鋁-銅合金(Al-Cu合金)或銅(Cu)鑲嵌等的金屬層。又，第1絕緣層及第2絕緣層是相當於圖2等所示的多層配線絕緣層20。

【0043】多層配線絕緣層20是例如除了矽氧化膜(SiO_2 膜)、矽氮化膜(Si_3N_4 膜)、磷矽酸玻璃膜(PSG膜)、含氟氧化膜(SiOF 膜)、含碳氧化膜(SiOC 膜)等的無機系絕緣層以外，可使用含甲醇聚矽氧烷(SiCOH)、含氫聚矽氧烷(HSQ)、多孔質甲基倍半矽氧烷膜或聚丙炔膜等的有機系絕緣層，可將該等的各種的絕緣膜層組合而層疊，構成多樣的多層構造的多層配線絕緣層20。亦可將第2中間層配線配置為一系列份的配列隔著第1絕緣層來與第2下層配線對向。第2中間層配線是經由導電體來電性連接至被埋入至多層配線絕緣層20的表面配線(修補凸塊側凸台)，第2下層配線是被連接至接地電位。藉此，若第1實施形態的層疊型半導體裝置為固體攝像裝置，則第2中間層配線及第2下層配線是以在主基板電路中所產生的訊號作為電荷蓄積的薄膜電容器之讀出電容器。

【0044】又，雖省略圖示，但實際在接觸於多層配線

絕緣層 20 的搭載元件 X_{ij} 的表面側的內部是藉由對第 1 下層配線施加電壓，在第 1 中間層配線及第 2 中間層配線之間形成通道的通道區域會被形成。藉此，若第 1 實施形態的層疊型半導體裝置為固體攝像裝置，則第 1 下層配線、第 1 中間層配線及第 2 中間層配線是構成以被蓄積於讀出電容器的電荷作為訊號讀出的薄膜電容器之開關元件。第 1 下層配線作為閘極電極、第 1 中間層配線及第 2 中間層配線分別作為汲極電極及源極電極等機能。

【0045】開關元件的閘極電極，亦即第 1 下層配線是被連接至延伸於像素的行方向 (X 軸方向) 的閘極訊號線。閘極訊號線是被配置於每個像素的行，被連接至同一行的各閘極電極。各閘極訊號線是被連接至省略圖示的閘極驅動搭載元件側電路，從閘極驅動搭載元件側電路依序施加閘極驅動訊號。閘極驅動訊號是以預定的掃描週期來依序施加於列方向。又，開關元件的汲極電極、亦即第 1 中間層配線是被連接至延伸於像素的列方向的訊號讀出線 82。訊號讀出線 82 是被配置於每個像素的列，被連接至同一列的各汲極電極。各訊號讀出線 82 是被連接至省略圖示的讀出驅動搭載元件側電路，藉由讀出驅動搭載元件側電路來依序掃描於行方向 (X 軸方向)。藉此，讀出驅動搭載元件側電路是在閘極驅動搭載元件側電路的各掃描週期，依序在列方向讀出被施加閘極驅動訊號的行的各主基板電路的訊號。

【0046】如以上般，若第 1 實施形態的層疊型半導體

裝置為固體攝像裝置，則在省略圖示的圖像處理搭載元件側電路中，將被讀出的各主基板電路(像素)的訊號變換成像素值，對應於各主基板電路來映射(mapping)，藉此產生顯示射入的電磁波的量的2次元分佈的圖像。如以上所述般，若根據本發明的第1實施形態的層疊型半導體裝置，則從被搭載於大口徑的主基板81的複數的搭載元件 X_{ij} 之中只選擇性地修補處理不良的搭載元件等時，可提供此修補處理容易的層疊型半導體裝置及使用於彼的複數的搭載元件 X_{ij} 等。此結果，若根據第1實施形態的層疊型半導體裝置，則包含在大口徑的主基板81矩陣狀地配列多數的搭載元件 X_{ij} 的層疊型半導體裝置之各種的層疊型半導體裝置的製造時間會被縮短，也沒有浪費地失去正常動作的主基板81或正常動作的搭載元件 X_{ij} 的情形，且可增加修補處理的次數，因此可防止資源的浪費。

【0047】

(第1實施形態的第1變形例)

本發明的第1實施形態的第1變形例的層疊型半導體裝置是以和圖3B等所示的構造同樣的基體及複數個的搭載零件所構成的層疊構造。另外，被搭載於層疊型半導體裝置的搭載零件2的個數是形成比構成組合的搭載零件2的總數更少的數量。如由圖3A及圖3B可推定般，第1變形例的層疊型半導體裝置的基體也具備省略圖示的主基板、被設在主基板上的場絕緣膜，在此場絕緣膜上具有圖8所示的板狀的母凸塊14a。另一方面，可假想，構成組合的搭載零

件的各者是具備：省略圖示的搭載元件、被設在搭載元件的下面的多層配線絕緣層，在此多層配線絕緣層的下面，形成圖8所示的矩形箱狀的多層構造的修補凸塊(21，22，23)的構造，但即使搭載元件是LED晶片等的個別元件的構造也無妨。

【0048】母凸塊14a是具有與主基板的基板搭載面垂直的壁狀的基體側曲面之平行平板的板狀。如已述般，直線是曲率半徑無限大的曲線，因此在本說明書中平板狀的壁也一般稱「曲面」。母凸塊14a是將底面接觸於被埋入至場絕緣膜的表面電極，被電性連接至被積體化於主基板的主基板電路。修補凸塊(21，22，23)是具有與搭載元件的連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路。修補凸塊(21，22，23)是經由被埋入至多層配線絕緣層的表面配線來電性連接至被設在搭載元件的搭載元件側電路。如由圖8可知般，基體側曲面與修補側曲面是在2個交點交叉。

【0049】修補凸塊(21，22，23)是由箱狀的最外層21、中間層22，最內層23所成的3層構造。中間層22的硬度是比最外層21及最內層23的硬度高的值。最外層21及最內層23的硬度是與母凸塊14a的硬度同程度。亦即，中間層22的硬度是比母凸塊14a的硬度高。例如，使用Au作為母凸塊14a和修補凸塊(21，22，23)的最外層21及最內層23的導電體時，可採用Co、Ni、Ir、Cr、W、Ti、TiW等的硬度高的金屬作為中間層22的導電體。或可使用含Au70%

以上的 Au-Co、Au-Ni、Au-Ir、Au-Cr、Au-W、Au-Ti、Au-Al₂O₃、Au-Si、Au-Ge 等的合金或混合物，作為中間層 22 的導電體。亦可為由 Co、Ni、Ir、Cr、W、Ti、Si、Ge 等之中選的 2 種以上的材料與 Au 的三元合金或四元合金等。

【0050】含 Sn20% 的 Au-20Sn 合金的維氏硬度是 118Hv 程度，但含 Sn90% 的 Au-90Sn 合金的維氏硬度是成為 16Hv 程度，因此 Au-Sn 合金是在組成上需要注意。在母凸塊 14a 與修補凸塊 (21, 22, 23) 交叉的基體側曲面與修補側曲面的 2 個的交點，由於修補凸塊 (21, 22, 23) 的中間層 22 的硬度比母凸塊 14a 的硬度高，因此修補凸塊 (21, 22, 23) 是陷入至母凸塊 14a 的內部而形成固相擴散接合。亦即，第 1 實施形態的第 1 變形例的層疊型半導體裝置是在基體側曲面與修補側曲面的交點，在母凸塊 14a 與修補凸塊 (21, 22, 23) 的任一方含有比剩餘的部分更硬度高的導電體的構造。藉由母凸塊 14a 與修補凸塊 (21, 22, 23) 來構成第 1 實施形態的第 1 變形例的成為層疊型半導體裝置的要素的凸塊連接體。

【0051】第 1 實施形態的第 1 變形例的層疊型半導體裝置的凸塊連接體，是在 3 層構造的箱狀的修補凸塊 (21, 22, 23) 的構造的中間層 22 放入比使用於母凸塊 14a 的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的母凸塊 14a 而陷入，形成固相擴散接合。亦即，硬度高的中間層 22 構成如刀邊般的深切痕而形成固相擴散接

合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(21, 22, 23)與母凸塊14a的固相擴散接合。

【0052】第1實施形態的第1變形例的層疊型半導體裝置的凸塊連接體是即使以比較小的壓力來壓接修補凸塊(21, 22, 23)與母凸塊14a，還是可抑制固相擴散接合部以外的大部分的凸塊變形，因此若以弱的力量壓接來暫時連接而於電性評價後有狀態不佳，則可將被發現狀態不佳的搭載零件從作為組合準備之中換成其他的正常的構成零件而再暫時連接。若再暫時連接之電性評價合格，則可前進至正式連接的接合。另外，在第1實施形態的第1變形例的層疊型半導體裝置中，亦可在修補凸塊(21, 22, 23)的一部分之中間層22放入與凸塊接合的母凸塊14a的金屬化合物而其化合物的硬度比凸塊金屬高的材料，其化合物使對方的母凸塊14a的金屬局部地大幅度變形或起放入龜裂的作用。

【0053】另一方面，在母凸塊14a與修補凸塊(21, 22, 23)暫時連接或被再暫時連接的狀態的搭載元件的動作的確認下，被確認搭載元件正常動作時，更增大對於主基板推壓搭載元件的力，更縮小搭載元件與主基板的間隔。一旦對於主基板推壓搭載元件的力被更增大，則搭載元件與主基板會被正式連接。在母凸塊14a與修補凸塊

(21, 22, 23)的正式連接時，母凸塊 14a 的垂直側壁部是藉由推壓而更變形，修補凸塊 (21, 22, 23) 的下端側的頂部會金屬性地被接合於母凸塊 14a 的底部。由於主基板與搭載元件的距離會藉由推壓而被壓縮，因此在正式連接的階段的凸塊連接體的高度是比暫時連接時的凸塊連接體的高度更低，且母凸塊 14a 與修補凸塊 (21, 22, 23) 是形成彼此無秩序且片斷狀地疊起的構造。在無秩序地疊起的混亂狀態中構成中間層 22 的硬度高的導電體的圖案的一片斷的殘渣會不定形狀地沿著歪扭的箱狀的痕跡來不均一地分佈於凸塊連接體的內部。此結果，在彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內不均一地含有硬度不同的導電體。

【0054】若根據正式連接，則修補凸塊 (21, 22, 23) 會被金屬性地連接至母凸塊 14a，設置主基板電路的主基板與設置搭載元件側電路的搭載元件會以凸塊連接體來電性連接，藉此可構成第 1 實施形態的第 1 變形例的層疊型半導體裝置。若如以上般根據本發明的第 1 實施形態的第 1 變形例的層疊型半導體裝置，則從被搭載於大口徑的主基板的複數的搭載元件之中，只選擇性地修補處理不良的搭載元件等時，可提供此修補處理容易的層疊型半導體裝置及使用於彼的搭載元件等。此結果，若根據第 1 實施形態的第 1 變形例的層疊型半導體裝置，則包含在大口徑的主基板配列多數的搭載元件的層疊型半導體裝置之各種的層疊型半導體裝置的製造時間會被縮短，亦無浪費地失去正常

動作的主基板或正常動作的搭載元件的情形，且可增加修補處理的次數，因此可防止資源的浪費。

【0055】

(第1實施形態的第2變形例)

本發明的第1實施形態的第2變形例的層疊型半導體裝置是以和圖3A及圖3B所示的第1實施形態的層疊型半導體裝置的構造同樣的基體及成為搭載零件的組合的至少一部分的構成零件所構成的層疊構造。如由圖3A及圖3B可理解般，第2變形例的層疊型半導體裝置的基體也具備省略圖示的主基板、被設在主基板上的場絕緣膜，在此場絕緣膜上具有圖9所示的圓筒狀的母凸塊15。另一方面，假想，構成組合的搭載零件的各者是具備：省略圖示的搭載元件、被設在搭載元件的下面的多層配線絕緣層，在此多層配線絕緣層的下面，形成圖9所示的矩形箱狀的多層構造的修補凸塊(21, 22, 23)的構造，但即使與圖3A及圖3B不同的LED晶片等的個別元件的構造也無妨。

【0056】母凸塊15是具有與主基板的基板搭載面垂直的壁狀的基體側曲面之圓筒狀的碟形物。母凸塊15是將圓筒狀的碟形物的底面接觸於被埋入至場絕緣膜的表面電極，被電性連接至被積體化於主基板的主基板電路。修補凸塊(21, 22, 23)是具有與搭載元件的連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路。修補凸塊(21, 22, 23)是經由被埋入至多層配線絕緣層的表面配線來電性連接至被設在搭載元件的搭載元件側電路。如由圖

9可知般，基體側曲面與修補側曲面是在4個交點交叉。

【0057】修補凸塊(21, 22, 23)是由箱狀的最外層21、中間層22，最內層23所成的3層構造。中間層22的硬度是比最外層21及最內層23的硬度高的值。最外層21及最內層23的硬度是與母凸塊15的硬度同程度。亦即，中間層22的硬度是比母凸塊15的硬度高。例如，使用Au作為母凸塊15和修補凸塊(21, 22, 23)的最外層21及最內層23的導電體時，可採用Co、Ni、Ir、Cr、W、Ti、TiW等的硬度高的金屬，作為中間層22的導電體。或可使用含Au70%以上的Au-Co、Au-Ni、Au-Ir、Au-Cr、Au-W、Au-Ti、Au-Al₂O₃、Au-Si、Au-Ge等的合金或混合物，作為中間層22的導電體。亦可由Co、Ni、Ir、Cr、W、Ti、Si、Ge等之中選的2種以上的材料與Au的三元合金或四元合金等。

【0058】含Sn20%的Au-20Sn合金的維氏硬度是118Hv程度，但含Sn90%的Au-90Sn合金的維氏硬度是成為16Hv程度，因此Au-Sn合金是在組成上需要注意。在母凸塊15與修補凸塊(21, 22, 23)交叉的基體側曲面與修補側曲面的4個交點，由於修補凸塊(21, 22, 23)的中間層22的硬度比母凸塊15的硬度高，因此修補凸塊(21, 22, 23)可陷入至母凸塊15的內部而形成固相擴散接合。亦即，第1實施形態的第2變形例的層疊型半導體裝置是在基體側曲面與修補側曲面的交點，在母凸塊15與修補凸塊(21, 22, 23)的任一方含有比剩餘的部分更硬度高的導電體的構造。藉由母凸塊15與修補凸塊(21, 22, 23)來構成第1實

施形態的第2變形例的成為層疊型半導體裝置的要素的凸塊連接體。

【0059】第1實施形態的第2變形例的層疊型半導體裝置的凸塊連接體，是在3層構造的箱狀的修補凸塊(21，22，23)的構造的中間層22放入比使用於母凸塊15的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的母凸塊15而陷入，形成固相擴散接合。亦即，硬度高的中間層22構成如刀邊般的深切痕而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(21，22，23)與母凸塊15的固相擴散接合。

【0060】第1實施形態的第2變形例的層疊型半導體裝置的凸塊連接體是即使以比較小的壓力來壓接修補凸塊(21，22，23)與母凸塊15，還是可抑制固相擴散接合部以外的大部分凸塊變形，因此若以弱的力量壓接來暫時連接而於電性評價後有狀態不佳，則可將被發現狀態不佳的搭載零件從含在組合的作為修補部分準備之中換成其他的正常的構成零件而再暫時連接。若再暫時連接之電性評價合格，則可前進至正式連接的接合。另外，在第1實施形態的第2變形例的層疊型半導體裝置中，亦可在修補凸塊(21，22，23)的一部分之中間層22放入與凸塊接合的母凸塊15的金屬化合而其化合物的硬度比凸塊金屬高的材料，

其化合物使對方的母凸塊 15 的金屬局部地大幅度變形或起放入龜裂的作用。

【0061】另一方面，在母凸塊 15 與修補凸塊 (21, 22, 23) 暫時連接或被再暫時連接的狀態的搭載元件的動作的確認下，被確認搭載元件正常動作時，更增大對於主基板推壓搭載元件的力，更縮小搭載元件與主基板的間隔。一旦對於主基板推壓搭載元件的力被更增大，則搭載元件與主基板會被正式連接。在母凸塊 15 與修補凸塊 (21, 22, 23) 的正式連接時，母凸塊 15 的垂直側壁部是藉由推壓而更變形，修補凸塊 (21, 22, 23) 的下端側的頂部會金屬性地被接合於母凸塊 15 的底部。由於主基板與搭載元件的距離會藉由推壓而被壓縮，因此在正式連接的階段的凸塊連接體的高度是比暫時連接時的凸塊連接體的高度更低，且母凸塊 15 與修補凸塊 (21, 22, 23) 是形成彼此無秩序且片斷狀地疊起的構造。在無秩序地疊起的混亂狀態中構成中間層 22 的硬度高的導電體的圖案的片斷的殘渣會不定形狀地沿著歪扭的箱狀的痕跡來不均一地分佈於凸塊連接體的內部。此結果，在彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內不均一地含有硬度不同的導電體。

【0062】藉由正式連接，被設在搭載元件的搭載元件側電路是修補凸塊 (21, 22, 23) 會經由被埋入至多層配線絕緣層的表面配線來金屬性地連接至母凸塊 15，進一步經由被埋入至場絕緣膜的表面配線來電性連接至主基板的主

基板電路。亦即，設置主基板電路的主基板及設置搭載元件側電路的搭載元件會以凸塊連接體來電性連接，藉此可構成第1實施形態的第2變形例的層疊型半導體裝置。

【0063】若如以上般根據本發明的第1實施形態的第2變形例的層疊型半導體裝置，則從被搭載於大口徑的主基板的複數的搭載元件之中，只選擇性地修補處理不良的搭載元件等時，可提供此修補處理容易的層疊型半導體裝置及使用於彼的搭載元件等。此結果，若根據第1實施形態的第2變形例的層疊型半導體裝置，則包含在大口徑的主基板配列多數的搭載元件的層疊型半導體裝置之各種的層疊型半導體裝置的製造時間會被縮短，亦無浪費地失去正常的主基板或正常的搭載元件的情形，且可增加修補處理的次數，因此可防止資源的浪費。

【0064】

(第2實施形態)

本發明的第2實施形態的層疊型半導體裝置是以和圖3A及圖3B所示的第1實施形態的層疊型半導體裝置的構造同樣的基體及成為搭載零件的組合的至少一部分的構成零件所構成的層疊構造。如由圖3A及圖3B可理解般，第2實施形態的層疊型半導體裝置的基體也具備省略圖示的主基板、被設在主基板上的場絕緣膜，在此場絕緣膜上具有圖10所示的矩形的箱狀的母凸塊16的點是與圖3A及圖3B同樣。另一方面，可假想，構成組合的搭載零件的各者是具備：省略圖示的搭載元件、被設在搭載元件的下面的多層

配線絕緣層，在此多層配線絕緣層的下面，具有形成圖 10 所示的附底圓筒狀(茶筒狀)的構造的修補凸塊(24，25，26)的構造，但即使搭載元件是 LED 晶片等的個別元件的構造也無妨。另外，雖省略圖示，但與圖 3A 等同樣，在場絕緣膜是埋入有接觸通道或母凸塊側凸台，母凸塊 16 是經由接觸通道來電性連接至母凸塊側凸台。同樣，在多層配線絕緣層是埋入有接觸通道或修補凸塊側凸台，修補凸塊(24，25，26)是經由接觸通道來電性連接至修補凸塊側凸台。

【0065】母凸塊 16 是具有與主基板的基板搭載面垂直的壁狀的基體側曲面之矩形的箱。母凸塊 16 是將矩形的箱的底面接觸於被埋入至場絕緣膜的表面電極，被電性連接至被積體化於主基板的主基板電路。修補凸塊(24，25，26)是具有與搭載元件的連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路。修補凸塊(24，25，26)是經由被埋入至多層配線絕緣層的表面配線來電性連接至被設在搭載元件的搭載元件側電路。如由圖 10 可知般，基體側曲面與修補側曲面是在 4 個交點交叉。

【0066】修補凸塊(24，25，26)是由附底圓筒狀的最外層 24、中間層 25，最內層 26 所成的 3 層構造。中間層 25 的硬度是比最外層 24 及最內層 26 的硬度高的值。最外層 24 及最內層 26 的硬度是與母凸塊 16 的硬度同程度。亦即，中間層 25 的硬度是比母凸塊 16 的硬度高。例如，使用 Au 作為母凸塊 16 和修補凸塊(24，25，26)的最外層 24 及最內層 26

的導電體時，可採用Co、Ni、Ir、Cr、W、Ti、TiW等的硬度高的金屬，作為中間層25的導電體。或可使用含Au70%以上的Au-Co、Au-Ni、Au-Ir、Au-Cr、Au-W、Au-Ti、Au-Al₂O₃、Au-Si、Au-Ge等的合金或混合物，作為中間層25的導電體。亦可為由Co、Ni、Ir、Cr、W、Ti、Si、Ge等之中選的2種以上的材料與Au的三元合金或四元合金等。

【0067】 含Sn20%的Au-20Sn合金的維氏硬度是118Hv程度，但含Sn90%的Au-90Sn合金的維氏硬度是成為16Hv程度，因此Au-Sn合金是在組成上需要注意。在母凸塊16與修補凸塊(24, 25, 26)交叉的基體側曲面與修補側曲面的4個交點，由於修補凸塊(24, 25, 26)的中間層25的硬度比母凸塊16的硬度高，因此修補凸塊(24, 25, 26)可陷入至母凸塊16的內部而形成固相擴散接合。亦即，第2實施形態的層疊型半導體裝置是在基體側曲面與修補側曲面的交點，在母凸塊16與修補凸塊(24, 25, 26)的任一方含有比剩餘的部分更硬度高的導電體的構造。藉由母凸塊16與修補凸塊(24, 25, 26)來構成第2實施形態的成為層疊型半導體裝置的要素的凸塊連接體。

【0068】 第2實施形態的層疊型半導體裝置的凸塊連接體，是在3層構造的附底圓筒狀的修補凸塊(24, 25, 26)的構造的中間層25放入比使用於母凸塊16的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的母凸塊16而陷入，形成固相擴散接合。亦即，硬度高的中

間層25構成如刀邊般的深切痕而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由形成根據切痕的固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(24，25，26)與母凸塊16的固相擴散接合。

【0069】第2實施形態的層疊型半導體裝置的凸塊連接體是即使以比較小的壓力來壓接修補凸塊(24，25，26)與母凸塊16，還是可抑制固相擴散接合部以外的大部分凸塊變形，因此若以弱的力量壓接來暫時連接而於電性評價後有狀態不佳，則可將被發現狀態不佳的搭載零件從含在組合的作為修補部分準備之中換成其他的正常的構成零件而再暫時連接。若再暫時連接之電性評價合格，則可前進至正式連接的接合。另外，在第2實施形態的層疊型半導體裝置中，亦可在修補凸塊(24，25，26)的一部分之中間層25放入與凸塊接合的母凸塊16的金屬化合而其化合物的硬度比凸塊金屬高的材料，其化合物使對方的母凸塊16的金屬局部地大幅度變形或起放入龜裂的作用。將同一或同等的硬度的側壁接合時，在一次的暫時接合，修補凸塊與母凸塊的雙方會相當擠壓變形。但，就光此變形而言，因為清淨的金屬的露出面積不大，所以立即剝落。另一方面，藉由將修補凸塊(24，25，26)的中間層25的硬度設為比其他的部分還硬的材料，且將修補凸塊(24，25，26)的最外層24及最內層26的厚度設為薄，硬的材料會如刀般陷

入對方的側壁，露出面積會增加，在暫時接合後不易剝落。由於在暫時接合後不易剝落，因此取得可增加修補次數的顯著的效果。

【0070】另一方面，在母凸塊16與修補凸塊(24，25，26)暫時連接或被再暫時連接的狀態下被確認搭載元件正常動作時，更增大對於主基板推壓搭載元件的力，更縮小搭載元件與主基板的間隔。一旦對於主基板推壓搭載元件的力被更增大，則搭載元件與主基板會被正式連接。在母凸塊16與修補凸塊(24，25，26)的正式連接時，母凸塊16的垂直側壁部是藉由推壓而更變形，修補凸塊(24，25，26)的下端側的頂部會金屬性地被接合於母凸塊16的底部。由於主基板與搭載元件的距離會藉由推壓而被壓縮，因此在正式連接的階段的凸塊連接體的高度是比暫時連接時的凸塊連接體的高度更低，且母凸塊16與修補凸塊(24，25，26)是形成彼此無秩序且片斷狀地疊起的構造。在無秩序地疊起的混亂狀態中構成中間層25的硬度高的導電體的圖案的片斷的殘渣會不定形狀地沿著歪扭的附底圓筒狀的痕跡來不均一地分佈於凸塊連接體的內部。此結果，在彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內不均一地含有硬度不同的導電體。

【0071】藉由正式連接，修補凸塊(24，25，26)會被金屬性地連接至母凸塊16，設置主基板電路的主基板與設置搭載元件側電路的搭載元件會以凸塊連接體來電性連接，藉此可構成第2實施形態的層疊型半導體裝置。若如

以上般根據本發明的第2實施形態的層疊型半導體裝置，則從被搭載於大口徑的主基板的複數的搭載元件之中，只選擇性地修補處理不良的搭載元件等時，可提供此修補處理容易的層疊型半導體裝置及使用於彼的搭載元件等。此結果，若根據第2實施形態的層疊型半導體裝置，則包含在大口徑的主基板配列多數的搭載元件的層疊型半導體裝置之各種的層疊型半導體裝置的製造時間會被縮短，亦無浪費地失去正常的主基板或正常的搭載元件的情形，且可增加修補處理的次數，因此可防止資源的浪費。

【0072】

(第2實施形態的第1變形例)

本發明的第2實施形態的第1變形例的層疊型半導體裝置是以和圖3A及圖3B所示的第1實施形態的層疊型半導體裝置的構造同樣的基體及成為搭載零件的組合的至少一部分的構成零件所構成的層疊構造。如由圖3A及圖3B可理解般，第2實施形態的第1變形例的層疊型半導體裝置的基體也具備省略圖示的主基板、被設在主基板上的場絕緣膜，在此場絕緣膜上具有圖11所示的平行平板狀的母凸塊14a的點是與圖8所示的第1實施形態的第1變形例的層疊型半導體裝置同樣。另一方面，可假想，構成組合的搭載零件的各者是具備：省略圖示的搭載元件、被設在搭載元件的下面的多層配線絕緣層，在此多層配線絕緣層的下面，具有形成圖11所示的附底圓筒狀(茶筒狀)的構造的修補凸塊(24，25，26)的構造，但即使搭載元件是LED晶片等的

個別元件的構造也無妨。其他的點是與圖 10 所示的第 2 實施形態的層疊型半導體裝置同樣。

【0073】母凸塊 14a 是具有與主基板的基板搭載面垂直的壁狀的基體側曲面之矩形的平行平板。母凸塊 14a 是將矩形的平行平板的下端面接觸於被埋入至場絕緣膜的表面電極，被電性連接至被積體化於主基板的主基板電路。修補凸塊 (24, 25, 26) 是具有與搭載元件的連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路。修補凸塊 (24, 25, 26) 是經由被埋入至多層配線絕緣層的表面配線來電性連接至被設在搭載元件的搭載元件側電路。如由圖 11 可知般，基體側曲面與修補側曲面是在 2 個交點交叉。

【0074】修補凸塊 (24, 25, 26) 是由附底圓筒狀的最外層 24、中間層 25，最內層 26 所成的 3 層構造。中間層 25 的硬度是比最外層 24 及最內層 26 的硬度高的值。最外層 24 及最內層 26 的硬度是與母凸塊 14a 的硬度同程度。亦即，中間層 25 的硬度是比母凸塊 14a 的硬度高。例如，母凸塊 14a 以及修補凸塊 (24, 25, 26) 的最外層 24 及最內層 26 的導電體是可使用在第 1 實施形態所說明般的金屬或合金的組合。藉由母凸塊 14a 與修補凸塊 (24, 25, 26) 來構成第 2 實施形態的第 1 變形例的成為層疊型半導體裝置的要素的凸塊連接體。

【0075】第 2 實施形態的第 1 變形例的層疊型半導體裝置的凸塊連接體，是在 3 層構造的附底圓筒狀的修補凸塊

(24, 25, 26)的構造的中間層25放入比使用於母凸塊14a的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的母凸塊14a而陷入，形成固相擴散接合。亦即，硬度高的中間層25構成如刀邊般的深切痕而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(24, 25, 26)與母凸塊14a的固相擴散接合。

【0076】第2實施形態的第1變形例的層疊型半導體裝置的凸塊連接體是即使以比較小的壓力來壓接修補凸塊(24, 25, 26)與母凸塊14a，還是可抑制固相擴散接合部以外的大部分凸塊變形，因此若以弱的力量壓接來暫時連接而於電性評價後有狀態不佳，則可將被發現狀態不佳的搭載零件從含在組合的作為修補部分準備之中換成其他的正常的構成零件而再暫時連接。若再暫時連接之電性評價合格，則可前進至正式連接的接合。另外，在第2實施形態的第1變形例的層疊型半導體裝置中，亦可在修補凸塊(24, 25, 26)的一部分之中間層25放入與凸塊接合的母凸塊14a的金屬化合而其化合物的硬度比凸塊金屬高的材料，其化合物使對方的母凸塊14a的金屬局部地大幅度變形或起放入龜裂的作用。

【0077】另一方面，在母凸塊14a與修補凸塊(24, 25, 26)暫時連接或被再暫時連接的狀態下被確認搭載元

件正常動作時，更增大對於主基板推壓搭載元件的力，更縮小搭載元件與主基板的間隔。一旦對於主基板推壓搭載元件的力被更增大，則搭載元件與主基板會被正式連接。在母凸塊14a與修補凸塊(24, 25, 26)的正式連接時，母凸塊14a的垂直側壁部是藉由推壓而更變形，修補凸塊(24, 25, 26)的下端側的頂部會金屬性地被接合於母凸塊14a的底部。由於主基板與搭載元件的距離會藉由推壓而被壓縮，因此在正式連接的階段的凸塊連接體的高度是比暫時連接時的凸塊連接體的高度更低，且母凸塊14a與修補凸塊(24, 25, 26)是形成彼此無秩序且片斷狀地疊起的構造。在無秩序地疊起的混亂狀態中構成中間層25的硬度高的導電體的圖案的片斷的殘渣會不定形狀地沿著歪扭的附底圓筒狀的痕跡來不均一地分佈於凸塊連接體的內部。此結果，在彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內不均一地含有硬度不同的導電體。亦即，藉由設置主基板電路的主基板與設置搭載元件側電路的搭載元件以凸塊連接體來電性連接，可構成第2實施形態的第1變形例的層疊型半導體裝置。

【0078】若如以上般根據本發明的第2實施形態的第1變形例的層疊型半導體裝置，則可提供不良的搭載元件的修補處理容易的層疊型半導體裝置及搭載元件等。此結果，若根據第2實施形態的第1變形例的層疊型半導體裝置，則包含在大口徑的主基板配列多數的搭載元件的層疊型半導體裝置之各種的層疊型半導體裝置的製造時間會被

縮短，亦無浪費地失去正常動作的主基板或正常動作的搭載元件的情形，且可增加修補處理的次數。

【0079】

(第2實施形態的第2變形例)

本發明的第2實施形態的第2變形例的層疊型半導體裝置是以和圖3A及圖3B所示的第1實施形態的層疊型半導體裝置的構造同樣的基體及成為搭載零件的組合的至少一部分的構成零件所構成的層疊構造。如由圖3A及圖3B可理解般，第2實施形態的第2變形例的層疊型半導體裝置的基體也具備省略圖示的主基板、被設在主基板上的場絕緣膜，在此場絕緣膜上具有圖12所示的附底橢圓筒狀的母凸塊15。另一方面，可假想，構成組合的搭載零件的各者是具備：省略圖示的搭載元件、被設在搭載元件的下面的多層配線絕緣層，在此多層配線絕緣層的下面，具有形成圖12所示的附底圓筒狀(茶筒狀)的構造的修補凸塊(24，25，26)的構造，但即使搭載元件是LED晶片等的個別元件的構造也無妨。其他的特徵是與圖10所示的第2實施形態的層疊型半導體裝置同樣，但修補凸塊(24，25，26)的平面圖案是具有與母凸塊15的長軸正交的方向的長軸的橢圓為理想。

【0080】母凸塊15是具有與主基板的基板搭載面垂直的壁狀的基體側曲面之附底橢圓筒狀的碟形物。母凸塊15是將附底橢圓筒狀的碟形物的下面接觸於被埋入至場絕緣膜的表面電極，被電性連接至被積體化於主基板的主基板

電路。修補凸塊(24, 25, 26)是具有與搭載元件的連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路。修補凸塊(24, 25, 26)是經由被埋入至多層配線絕緣層的表面配線來電性連接至被設在搭載元件的搭載元件側電路。若修補凸塊(24, 25, 26)與母凸塊15是具有彼此正交的方向的長軸的關係，則基體側曲面與修補側曲面是在4個交點交叉。如由圖12可知般，即使暫時修補凸塊(24, 25, 26)的平面圖案為接近真圓的形狀，只要母凸塊15的長軸比修補凸塊(24, 25, 26)的直徑更長，基體側曲面與修補側曲面便可在4個交點交叉。相反的，即使母凸塊15的平面圖案為接近真圓的形狀，只要處於修補凸塊(24, 25, 26)的長軸比母凸塊15的直徑更長的關係，則基體側曲面與修補側曲面便可在4個交點交叉。

【0081】 修補凸塊(24, 25, 26)是由附底圓筒狀的最外層24、中間層25，最內層26所成的3層構造。中間層25的硬度是比最外層24及最內層26的硬度、以及母凸塊15的硬度高。例如，母凸塊15以及修補凸塊(24, 25, 26)的最外層24及最內層26的導電體是可使用在第1實施形態所說明般的金屬或合金的組合。藉由母凸塊15與修補凸塊(24, 25, 26)來構成第2實施形態的第2變形例的成為層疊型半導體裝置的要素的凸塊連接體。

【0082】 第2實施形態的第2變形例的層疊型半導體裝置的凸塊連接體，是在3層構造的附底圓筒狀的修補凸塊(24, 25, 26)的構造的中間層25放入比使用於母凸塊15的

金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的母凸塊15而陷入，形成固相擴散接合。亦即，硬度高的中間層25構成如刀邊般的深切痕而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(24，25，26)與母凸塊15的固相擴散接合。

【0083】第2實施形態的第2變形例的層疊型半導體裝置的凸塊連接體是即使以比較小的壓力來壓接修補凸塊(24，25，26)與母凸塊15，還是可抑制固相擴散接合部以外的大部分凸塊變形，因此若以弱的力量壓接來暫時連接而於電性評價後有狀態不佳，則可將被發現狀態不佳的搭載零件從含在預先作為組合準備的總數之修補部分中換成其他的正常的構成零件而再暫時連接。若再暫時連接之電性評價合格，則可前進至正式連接的接合。另外，在第2實施形態的第2變形例的層疊型半導體裝置中，亦可在修補凸塊(24，25，26)的一部分之中間層25放入與凸塊接合的母凸塊15的金屬化合物而其化合物的硬度比凸塊金屬高的材料，其化合物使對方的母凸塊15的金屬局部地大幅度變形或起放入龜裂的作用。

【0084】另一方面，在母凸塊15與修補凸塊(24，25，26)暫時連接等的狀態下被確認搭載元件正常動作時，更增大對於主基板推壓搭載元件的力，更縮小搭載元

件與主基板的間隔。一旦對於主基板推壓搭載元件的力被更增大，則搭載元件與主基板會被正式連接。在母凸塊15與修補凸塊(24, 25, 26)的正式連接時，母凸塊15的垂直側壁部是藉由推壓而更變形，修補凸塊(24, 25, 26)的下端側的頂部會金屬性地被接合於母凸塊15的底部。由於主基板與搭載元件的距離會藉由推壓而被壓縮，因此在正式連接的階段的凸塊連接體的高度是比暫時連接時的凸塊連接體的高度更低，且母凸塊15與修補凸塊(24, 25, 26)是形成彼此無秩序且片斷狀地疊起的構造。在無秩序地疊起的混亂狀態中構成中間層25的硬度高的導電體的圖案的片斷的殘渣會不定形狀地沿著歪扭的附底圓筒狀的痕跡來不均一地分佈於凸塊連接體的內部。此結果，在彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內不均一地含有硬度不同的導電體。亦即，藉由設置主基板電路的主基板與設置搭載元件側電路的搭載元件以凸塊連接體來電性連接，可構成第2實施形態的第2變形例的層疊型半導體裝置。

【0085】 若如以上般根據本發明的第2實施形態的第2變形例的層疊型半導體裝置，則可提供不良的搭載元件的修補處理容易的層疊型半導體裝置及搭載元件等。此結果，若根據第2實施形態的第2變形例的層疊型半導體裝置，則包含在大口徑的主基板配列多數的搭載元件的層疊型半導體裝置之各種的層疊型半導體裝置的製造時間會被縮短，亦無浪費地失去正常的主基板或正常的搭載元件的

情形，且可增加修補處理的次數。

【0086】

(第3實施形態)

本發明的第3實施形態的層疊型半導體裝置是以和圖3A及圖3B所示的第1實施形態的層疊型半導體裝置的構造同樣的基體及從預先作為組合準備的搭載零件的總數之中選擇的預定的數量的構成零件所構成的層疊構造。如由圖3A及圖3B可理解般，第3實施形態的層疊型半導體裝置的基體也具備省略圖示的主基板、被設在主基板上的場絕緣膜，在此場絕緣膜上具有圖13所示的平行平板狀的母凸塊14b。另一方面，假想，構成組合的搭載零件的各者是具備：省略圖示的搭載元件、被設在搭載元件的下端面的多層配線絕緣層，在此多層配線絕緣層的下面，具有形成圖13所示的平行平板狀的構造的修補凸塊(27, 28, 29)的構造，但搭載元件是即使為LED晶片等的個別元件的構造也無妨。平行平板狀的修補凸塊(27, 28, 29)的主面與平行平板狀的母凸塊14b的主面是彼此正交的方向的關係為理想。另外，雖省略圖示，但與圖3A等同樣，在場絕緣膜是埋入有接觸通道或母凸塊側凸台，母凸塊14b是經由接觸通道來電性連接至母凸塊側凸台。同樣，在多層配線絕緣層是埋入有接觸通道或修補凸塊側凸台，修補凸塊(27, 28, 29)是經由接觸通道來電性連接至修補凸塊側凸台。

【0087】母凸塊14b是具有與主基板的基板搭載面垂直的壁狀的基體側曲面之平行平板狀的板。母凸塊14b是

將平行平板狀的板的下端面接觸於被埋入至場絕緣膜的表面電極，被電性連接至被積體化於主基板的主基板電路。修補凸塊(27, 28, 29)是具有與搭載元件的連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路。修補凸塊(27, 28, 29)是經由被埋入至多層配線絕緣層的表面配線來電性連接至被設在搭載元件的搭載元件側電路。修補凸塊(27, 28, 29)與母凸塊14b是若處於彼此主面交叉的方向的關係，則基體側曲面與修補側曲面是在1個交點交叉。

【0088】修補凸塊(27, 28, 29)是由平行平板狀的第1層27、第2層28、第3層29所成的3層構造。第2層(中間層)28的硬度是比第1層27及第3層29的硬度、以及母凸塊14b的硬度高。母凸塊14b與修補凸塊(27, 28, 29)的導電體是可使用在第1實施形態所說明般的金屬或合金的組合。藉由母凸塊14b與修補凸塊(27, 28, 29)來構成第3實施形態的成為層疊型半導體裝置的要素的凸塊連接體。

【0089】第3實施形態的層疊型半導體裝置的凸塊連接體，是在3層構造的平行平板狀的修補凸塊(27, 28, 29)的中間層28放入比使用於母凸塊14b的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的母凸塊14b而陷入，形成固相擴散接合。亦即，硬度高的中間層28構成如刀邊般的深切痕而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往

的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(27, 28, 29)與母凸塊14b的固相擴散接合。

【0090】第3實施形態的層疊型半導體裝置的凸塊連接體是即使以比較小的壓力來壓接修補凸塊(27, 28, 29)與母凸塊14b，還是可抑制固相擴散接合部以外的大部分凸塊變形，因此若以弱的力量壓接來暫時連接而於電性評價後有狀態不佳，則可將被發現狀態不佳的搭載零件從含在預先作為組合準備的總數之修補部分中換成其他的正常的構成零件而再暫時連接。若再暫時連接之電性評價合格，則可前進至正式連接的接合。另外，在第3實施形態的層疊型半導體裝置中，亦可在修補凸塊(27, 28, 29)的一部分之中間層28放入與凸塊接合的母凸塊14b的金屬化合物而其化合物的硬度比凸塊金屬高的材料，其化合物使對方的母凸塊14b的金屬局部地大幅度變形或起放入龜裂的作用。將同一或同等的硬度的側壁接合時，在一次的暫時接合，修補凸塊與母凸塊的雙方會相當擠壓變形。但，就光此變形而言，因為清淨的金屬的露出面積不大，所以立即剝落。另一方面，藉由將修補凸塊(27, 28, 29)的中間層(第2層)28的硬度設為比其他的部分還硬的材料，且將修補凸塊(27, 28, 29)的第1層27及第3層29的厚度設為薄，硬的材料會如刀般陷入對方的側壁，露出面積會增加，在暫時接合後不易剝落。由於在暫時接合後不易剝落，因此取得可增加修補次數的顯著的效果。

【0091】另一方面，在母凸塊 14b 與修補凸塊 (27, 28, 29) 暫時連接等的狀態下被確認搭載元件正常動作時，更增大對於主基板推壓搭載元件的力，更縮小搭載元件與主基板的間隔。一旦對於主基板推壓搭載元件的力被更增大，則搭載元件與主基板會被正式連接。在母凸塊 14b 與修補凸塊 (27, 28, 29) 的正式連接時，母凸塊 14b 的垂直側壁部是藉由推壓而更變形，修補凸塊 (27, 28, 29) 的下端側的頂部會朝向母凸塊 14b 的下端部側而被金屬性地接合。

【0092】由於主基板與搭載元件的距離會藉由推壓而被壓縮，因此在正式連接的階段的凸塊連接體的高度是比暫時連接時的凸塊連接體的高度更低，且母凸塊 14b 與修補凸塊 (27, 28, 29) 是形成彼此無秩序且片斷狀地疊起的構造。在無秩序地疊起的混亂狀態中構成中間層 28 的硬度高的導電體的圖案的片斷的殘渣會不定形狀地沿著歪扭的板狀的痕跡來不均一地分佈於凸塊連接體的內部。此結果，在彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內不均一地含有硬度不同的導電體。亦即，藉由設置主基板電路的主基板與設置搭載元件側電路的搭載元件以凸塊連接體來電性連接，可構成第 3 實施形態的層疊型半導體裝置。

【0093】若如以上般根據本發明的第 3 實施形態的層疊型半導體裝置，則可提供不良的搭載元件的修補處理容易的層疊型半導體裝置及搭載元件等。此結果，若根據第

3實施形態的層疊型半導體裝置，則包含在大口徑的主基板配列多數的搭載元件的層疊型半導體裝置之各種的層疊型半導體裝置的製造時間會被縮短，亦無浪費地失去正常的主基板或正常的搭載元件的情形，且可增加修補處理的次數。

【0094】

(第3實施形態的第1變形例)

本發明的第3實施形態的第1變形例的層疊型半導體裝置是以和圖3A及圖3B所示的第1實施形態的層疊型半導體裝置的構造同樣的基體及從預先作為組合準備的搭載零件的總數之中選擇的預定的數量的構成零件所構成的層疊構造。如由圖3A及圖3B可理解般，第3實施形態的第1變形例的層疊型半導體裝置的基體也具備省略圖示的主基板、被設在主基板上的場絕緣膜，在此場絕緣膜上具有圖14所示的附底圓筒狀的母凸塊15。另一方面，舉例假想，構成組合的搭載零件的各者是具備：省略圖示的搭載元件、被設在搭載元件的下端面的多層配線絕緣層，在此多層配線絕緣層的下面，具有形成圖14所示的平行平板狀的構造的修補凸塊(27, 28, 29)的構造。但只不過是舉例說明，所以即使搭載元件是LED晶片等的個別元件的構造也無妨。

【0095】母凸塊15是具有與主基板的基板搭載面垂直的壁狀的基體側曲面之附底圓筒狀的碟形物。母凸塊15是將附底圓筒狀的碟形物的底面接合於被埋入至場絕緣膜的表面電極，被電性連接至被積體化於主基板的主基板電

路。修補凸塊(27, 28, 29)是具有與搭載元件的連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路。修補凸塊(27, 28, 29)是經由被埋入至多層配線絕緣層的表面配線來電性連接至被設在搭載元件的搭載元件側電路。修補凸塊(27, 28, 29)的下端面與母凸塊15的上端面是如圖14所示般在2個交點交叉。

【0096】 修補凸塊(27, 28, 29)是與圖13所示的構造同樣由平行平板狀的第1層27、第2層28、第3層29所成的3層構造。第2層(中間層)28的硬度是比第1層27及第3層29的硬度、以及母凸塊15的硬度高。母凸塊15與修補凸塊(27, 28, 29)的導電體是可使用在第1實施形態所說明般的金屬或合金的組合。藉由母凸塊15與修補凸塊(27, 28, 29)來構成第3實施形態的第1變形例的成為層疊型半導體裝置的要素的凸塊連接體。

【0097】 第3實施形態的第1變形例的層疊型半導體裝置的凸塊連接體，是在3層構造的平行平板狀的修補凸塊(27, 28, 29)的中間層28放入比使用於母凸塊15的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的母凸塊15而陷入，形成固相擴散接合。亦即，硬度高的中間層28構成如刀邊般的深切痕而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸

塊(27, 28, 29)與母凸塊15的固相擴散接合。

【0098】第3實施形態的第1變形例的層疊型半導體裝置的凸塊連接體是即使以比較小的壓力來壓接修補凸塊(27, 28, 29)與母凸塊15，還是可抑制固相擴散接合部以外的大部分的凸塊變形，因此若以弱的力量壓接來暫時連接而於電性評價後有狀態不佳，則可將被發現狀態不佳的搭載零件從含在預先作為組合準備的總數之修補部分中換成其他的正常的構成零件而再暫時連接。若再暫時連接之電性評價合格，則可前進至正式連接的接合。另外，在第3實施形態的第1變形例的層疊型半導體裝置中，亦可在修補凸塊(27, 28, 29)的一部分之中間層28放入與凸塊接合的母凸塊15的金屬化合物而其化合物的硬度比凸塊金屬高的材料，其化合物使對方的母凸塊15的金屬局部地大幅度變形或起放入龜裂的作用。

【0099】另一方面，在母凸塊15與修補凸塊(27, 28, 29)暫時連接等的狀態下被確認搭載元件正常動作時，更增大對於主基板推壓搭載元件的力，更縮小搭載元件與主基板的間隔。一旦對於主基板推壓搭載元件的力被更增大，則搭載元件與主基板會被正式連接。在母凸塊15與修補凸塊(27, 28, 29)的正式連接時，母凸塊15的垂直側壁部是藉由推壓而更變形，修補凸塊(27, 28, 29)的下端側的頂部會朝向母凸塊15的下端部側而被金屬性地接合。由於主基板與搭載元件的距離會藉由推壓而被壓縮，因此在正式連接的階段的凸塊連接體的高度是比暫時連接

時的凸塊連接體的高度更低，且母凸塊 15 與修補凸塊 (27, 28, 29) 是形成彼此無秩序且片斷狀地疊起的構造。在無秩序地疊起的混亂狀態中構成中間層 28 的硬度高的導電體的圖案的片斷的殘渣會不定形狀地沿著歪扭的板狀的痕跡來不均一地分佈於凸塊連接體的內部。此結果，在彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內不均一地含有硬度不同的導電體。亦即，藉由設置主基板電路的主基板與設置搭載元件側電路的搭載元件以凸塊連接體來電性連接，可構成第 3 實施形態的第 1 變形例的層疊型半導體裝置。

【0100】 若如以上般根據本發明的第 3 實施形態的第 1 變形例的層疊型半導體裝置，則可提供搭載元件的修補處理容易的層疊型半導體裝置及搭載元件等。此結果，若根據第 3 實施形態的第 1 變形例的層疊型半導體裝置，則包含在大口徑的主基板配列多數的搭載元件的層疊型半導體裝置之各種的層疊型半導體裝置的製造時間會被縮短，亦無浪費地失去正常的主基板或正常的搭載元件的情形，且可增加修補處理的次數。

【0101】

(第 3 實施形態的第 2 變形例)

本發明的第 3 實施形態的第 2 變形例的層疊型半導體裝置是以和圖 3A 及圖 3B 所示的第 1 實施形態的層疊型半導體裝置的構造同樣的基體及從預先作為組合準備的搭載零件的總數之中選擇的預定的數量的構成零件所構成的層疊構

造。如由圖3A及圖3B可理解般，第3實施形態的第2變形例的層疊型半導體裝置的基體也具備省略圖示的主基板、被設在主基板上的場絕緣膜，在此場絕緣膜上具有圖15所示的矩形箱狀的母凸塊11。另一方面，舉例假想，構成組合的搭載零件的各者是具備：省略圖示的搭載元件、被設在搭載元件的下端面的多層配線絕緣層，在此多層配線絕緣層的下面，具有形成圖15所示的平行平板狀的構造的修補凸塊(27, 28, 29)的構造。但只不過是舉例說明，所以即使搭載元件是舉包含LED晶片等的個別元件的例子以外的其他的構造也無妨。

【0102】母凸塊11是具有與主基板的基板搭載面垂直的壁狀的基體側曲面之箱狀的碟形物。母凸塊11是將箱狀的碟形物的底面接合於被埋入至場絕緣膜的表面電極，被電性連接至被積體化於主基板的主基板電路。修補凸塊(27, 28, 29)是具有與搭載元件的連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路。修補凸塊(27, 28, 29)是經由被埋入至多層配線絕緣層的表面配線來電性連接至被設在搭載元件的搭載元件側電路。修補凸塊(27, 28, 29)的下端面與母凸塊11的上端面是如圖15所示般在2個交點交叉。

【0103】修補凸塊(27, 28, 29)是與圖13所示的構造同樣由平行平板狀的第1層27、第2層28，第3層29所成的3層構造。第2層(中間層)28的硬度是比第1層27及第3層29的硬度、以及母凸塊11的硬度高。作為母凸塊11與修補凸

塊(27, 28, 29)的導電體，可使用在第1實施形態所說明般的金屬或合金的組合。藉由母凸塊11與修補凸塊(27, 28, 29)來構成第3實施形態的第2變形例的成為層疊型半導體裝置的要素的凸塊連接體。

【0104】第3實施形態的第2變形例的層疊型半導體裝置的凸塊連接體，是在3層構造的平行平板狀的修補凸塊(27, 28, 29)的中間層28放入比使用於母凸塊11的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的母凸塊11而陷入，形成固相擴散接合。亦即，硬度高的中間層28構成如刀邊般的深切痕而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(27, 28, 29)與母凸塊11的固相擴散接合。

【0105】第3實施形態的第2變形例的層疊型半導體裝置的凸塊連接體是即使以比較小的壓力來壓接修補凸塊(27, 28, 29)與母凸塊11，還是可抑制固相擴散接合部以外的大部分凸塊變形，因此若以弱的力量壓接來暫時連接而於電性評價後有狀態不佳，則可將被發現狀態不佳的搭載零件從含在預先作為組合準備的總數之修補部分中換成其他的正常的構成零件而再暫時連接。若再暫時連接之電性評價合格，則可前進至正式連接的接合。另外，在第3實施形態的第2變形例的層疊型半導體裝置中，亦可在修

補凸塊(27, 28, 29)的一部分之中間層28放入與凸塊接合的母凸塊11的金屬化合而其化合物的硬度比凸塊金屬高的材料, 其化合物使對方的母凸塊11的金屬局部地大幅度變形或起放入龜裂的作用。

【0106】另一方面, 在母凸塊11與修補凸塊(27, 28, 29)暫時連接等的狀態下被確認搭載元件正常動作時, 更增大對於主基板推壓搭載元件的力, 更縮小搭載元件與主基板的間隔。一旦對於主基板推壓搭載元件的力被更增大, 則搭載元件與主基板會被正式連接。在母凸塊11與修補凸塊(27, 28, 29)的正式連接時, 母凸塊11的垂直側壁部是藉由推壓而更變形, 修補凸塊(27, 28, 29)的下端側的頂部會朝向母凸塊11的下端部側而被金屬性地接合。由於主基板與搭載元件的距離會藉由推壓而被壓縮, 因此在正式連接的階段的凸塊連接體的高度是比暫時連接時的凸塊連接體的高度更低, 且母凸塊11與修補凸塊(27, 28, 29)是形成彼此無秩序且片斷狀地疊起的構造。在無秩序地疊起的混亂狀態中構成中間層28的硬度高的導電體的圖案的片斷的殘渣會不定形狀地沿著歪扭的板狀的痕跡來不均一地分佈於凸塊連接體的內部。此結果, 在彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內不均一地含有硬度不同的導電體。亦即, 藉由設置主基板電路的主基板與設置搭載元件側電路的搭載元件以凸塊連接體來電性連接, 可構成第3實施形態的第2變形例的層疊型半導體裝置。

【0107】若如以上般根據本發明的第3實施形態的第2變形例的層疊型半導體裝置，則可提供搭載元件的修補處理容易的層疊型半導體裝置及搭載元件等。此結果，若根據第3實施形態的第2變形例的層疊型半導體裝置，則包含在大口徑的主基板配列多數的搭載元件的層疊型半導體裝置之各種的層疊型半導體裝置的製造時間會被縮短，亦無浪費地失去正常的主基板或正常的搭載元件的情形，且可增加修補處理的次數。

【0108】

(第4實施形態)

本發明的第4實施形態的層疊型半導體裝置是以和圖3A及圖3B所示的第1實施形態的層疊型半導體裝置的構造同樣的基體及從預先作為組合準備的搭載零件的總數之中選擇的預定的數量的構成零件所構成的層疊構造。如由圖3A及圖3B可理解般，第4實施形態的層疊型半導體裝置的基體也具備省略圖示的主基板、被設在主基板上的場絕緣膜，在此場絕緣膜上具有圖16所示的平行平板狀的母凸塊14b。另一方面，舉例假想，構成組合的搭載零件的各者是具備：省略圖示的搭載元件、被設在搭載元件的下端面的多層配線絕緣層，在此多層配線絕緣層的下面，具有形成圖16所示的平行平板狀的構造的修補凸塊(27, 28)的構造。但只不過是舉例說明，所以即使搭載元件是舉包含LED晶片等的個別元件的例子以外的其他的構造也無妨。平行平板狀的修補凸塊(27, 28)的主面與平行平板狀的母

凸塊 14b 的主面是彼此正交的方向的關係為理想。另外，雖省略圖示，但與圖 3A 等同樣，在場絕緣膜是埋入有接觸通道或母凸塊側凸台，母凸塊 14b 是經由接觸通道來電性連接至母凸塊側凸台。同樣，在多層配線絕緣層是埋入有接觸通道或修補凸塊側凸台，修補凸塊 (27, 28) 是經由接觸通道來電性連接至修補凸塊側凸台。

【0109】 母凸塊 14b 是具有與主基板的基板搭載面垂直的壁狀的基體側曲面之平行平板狀的板。母凸塊 14b 是將平行平板狀的板的下端面接觸於被埋入至場絕緣膜的表面電極，被電性連接至被積體化於主基板的主基板電路。修補凸塊 (27, 28) 是具有與搭載元件的連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路。修補凸塊 (27, 28) 是經由被埋入至多層配線絕緣層的表面配線來電性連接至被設在搭載元件的搭載元件側電路。修補凸塊 (27, 28) 與母凸塊 14b 是若處於彼此主面交叉的方向的關係，則基體側曲面與修補側曲面是在 1 個交點交叉。

【0110】 修補凸塊 (27, 28) 是由平行平板狀的低硬度層 27 及高硬度層 28 所成的 2 層構造。高硬度層 28 的硬度是比低硬度層 27 的硬度及母凸塊 14b 的硬度高。母凸塊 14b 與修補凸塊 (27, 28) 的導電體是可使用在第 1 實施形態所說明般的金屬或合金的組合。藉由母凸塊 14b 與修補凸塊 (27, 28) 來構成第 4 實施形態的成為層疊型半導體裝置的要素的凸塊連接體。

【0111】 第 4 實施形態的層疊型半導體裝置的凸塊連

接體，是在2層構造的平行平板狀的修補凸塊(27，28)的高硬度層28放入比使用於母凸塊14b的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的母凸塊14b而陷入，形成固相擴散接合。亦即，相對地硬的高硬度層28構成如刀邊般的深切痕而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(27，28)與母凸塊14b的固相擴散接合。

【0112】第4實施形態的層疊型半導體裝置的凸塊連接體是即使以比較小的壓力來壓接修補凸塊(27，28)與母凸塊14b，還是可抑制固相擴散接合部以外的大部分凸塊變形，因此若以弱的力量壓接來暫時連接而於電性評價後有狀態不佳，則可將被發現狀態不佳的搭載零件從含在預先作為組合準備的總數之修補部分中換成其他的正常的構成零件而再暫時連接。若再暫時連接之電性評價合格，則可前進至正式連接的接合。另外，在第4實施形態的層疊型半導體裝置中，亦可在修補凸塊(27，28)的一部分之高硬度層28放入與凸塊接合的母凸塊14b的金屬化合而其化合物的硬度比凸塊金屬高的材料，其化合物使對方的母凸塊14b的金屬局部地大幅度變形或起放入龜裂的作用。將同一或同等的硬度的側壁接合時，在一次的暫時接合，修補凸塊與母凸塊的雙方會相當擠壓變形。但，就光此變

形而言，因為清淨的金的露出面積不大，所以立即剝落。另一方面，藉由將修補凸塊(27，28)的高硬度層28的硬度設為比其他的部分還硬的材料，且將修補凸塊(27，28)的低硬度層27的厚度設為薄，硬的材料會如刀般陷入對方的側壁，露出面積會增加，在暫時接合後不易剝落。由於在暫時接合後不易剝落，因此取得可增加修補次數的顯著的效果。

【0113】另一方面，在母凸塊14b與修補凸塊(27，28)暫時連接等的狀態下被確認搭載元件正常動作時，更增大對於主基板推壓搭載元件的力，更縮小搭載元件與主基板的間隔。一旦對於主基板推壓搭載元件的力被更增大，則搭載元件與主基板會被正式連接。在母凸塊14b與修補凸塊(27，28)的正式連接時，母凸塊14b的垂直側壁部是藉由推壓而更變形，修補凸塊(27，28)的下端側的頂部會朝向母凸塊14b的下端部側而被金屬性地接合。由於主基板與搭載元件的距離會藉由推壓而被壓縮，因此在正式連接的階段的凸塊連接體的高度是比暫時連接時的凸塊連接體的高度更低，且母凸塊14b與修補凸塊(27，28)是形成彼此無秩序且片斷狀地疊起的構造。在無秩序地疊起的混亂狀態中構成高硬度層28的硬度高的導電體的圖案的一片斷的殘渣會不定形狀地沿著歪扭的板狀的痕跡來不均一地分佈於凸塊連接體的內部。此結果，在彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內不均一地含有硬度不同的導電體。亦即，藉由設置主基板電路的

主基板與設置搭載元件側電路的搭載元件以凸塊連接體來電性連接，可構成第4實施形態的層疊型半導體裝置。

【0114】若如以上般根據本發明的第4實施形態的層疊型半導體裝置，則可提供搭載元件的修補處理容易的層疊型半導體裝置及搭載元件等。此結果，若根據第4實施形態的層疊型半導體裝置，則各種的層疊型半導體裝置的製造時間會被縮短，亦無浪費地失去正常的主基板或正常的搭載元件的情形，且可增加修補處理的次數。

【0115】

(第4實施形態的第1變形例)

本發明的第4實施形態的第1變形例的層疊型半導體裝置是以和圖3A及圖3B所示的第1實施形態的層疊型半導體裝置的構造同樣的基體及從預先作為組合準備的搭載零件的總數之中選擇的預定的數量的構成零件所構成的層疊構造。如由圖3A及圖3B可理解般，第4實施形態的第1變形例的層疊型半導體裝置的基體也具備省略圖示的主基板、被設在主基板上的場絕緣膜，在此場絕緣膜上具有圖17所示的附底圓筒狀的母凸塊15。另一方面，舉例假想，構成組合的搭載零件的各者是具備：省略圖示的搭載元件、被設在搭載元件的下端面的多層配線絕緣層，在此多層配線絕緣層的下面，具有形成圖17所示的平行平板狀的構造的修補凸塊(27, 28)的構造。但只不過是舉例說明，所以即使搭載元件是舉包含LED晶片等的個別元件的例子以外的其他的構造也無妨。

【0116】母凸塊15是具有與主基板的基板搭載面垂直的壁狀的基體側曲面之附底圓筒狀的碟形物。母凸塊15是將附底圓筒狀的碟形物的底面接合於被埋入至場絕緣膜的表面電極，被電性連接至被積體化於主基板的主基板電路。修補凸塊(27, 28)是具有與搭載元件的連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路。修補凸塊(27, 28)是經由被埋入至多層配線絕緣層的表面配線來電性連接至被設在搭載元件的搭載元件側電路。修補凸塊(27, 28)的下端面與母凸塊15的上端面是如圖17所示般在2個交點交叉。

【0117】修補凸塊(27, 28)是與圖16所示的構造同樣由平行平板狀的低硬度層27及高硬度層28所成的2層構造。高硬度層28的硬度是比低硬度層27的硬度及母凸塊15的硬度高。母凸塊15與修補凸塊(27, 28)的導電體是可使用在第1實施形態所說明般的金屬或合金的組合。藉由母凸塊15與修補凸塊(27, 28)來構成第4實施形態的第1變形例的成為層疊型半導體裝置的要素的凸塊連接體。

【0118】第4實施形態的第1變形例的層疊型半導體裝置的凸塊連接體，是在2層構造的平行平板狀的修補凸塊(27, 28)的高硬度層28放入比使用於母凸塊15的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的母凸塊15而陷入，形成固相擴散接合。亦即，相對地硬的高硬度層28構成如刀邊般的深切痕而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由

形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(27, 28)與母凸塊15的固相擴散接合。

【0119】第4實施形態的第1變形例的層疊型半導體裝置的凸塊連接體是即使以比較小的壓力來壓接修補凸塊(27, 28)與母凸塊15，還是可抑制固相擴散接合部以外的大部分凸塊變形，因此若以弱的力量壓接來暫時連接而於電性評價後有狀態不佳，則可將被發現狀態不佳的搭載零件從含在預先作為組合準備的總數之修補部分中換成其他的正常的構成零件而再暫時連接。若再暫時連接之電性評價合格，則可前進至正式連接的接合。另外，在第4實施形態的第1變形例的層疊型半導體裝置中，亦可在修補凸塊(27, 28)的一部分之高硬度層28放入與凸塊接合的母凸塊15的金屬化合而其化合物的硬度比凸塊金屬高的材料，其化合物使對方的母凸塊15的金屬局部地大幅度變形或起放入龜裂的作用。

【0120】另一方面，在母凸塊15與修補凸塊(27, 28)暫時連接等的狀態下被確認搭載元件正常動作時，更增大對於主基板推壓搭載元件的力，更縮小搭載元件與主基板的間隔。一旦對於主基板推壓搭載元件的力被更增大，則搭載元件與主基板會被正式連接。在母凸塊15與修補凸塊(27, 28)的正式連接時，母凸塊15的垂直側壁部是藉由推壓而更變形，修補凸塊(27, 28)的下端側的頂部會朝向母

凸塊15的下端部側而被金屬性地接合。由於主基板與搭載元件的距離會藉由推壓而被壓縮，因此在正式連接的階段的凸塊連接體的高度是比暫時連接時的凸塊連接體的高度更低，且母凸塊15與修補凸塊(27, 28)是形成彼此無秩序且片斷狀地疊起的構造。在無秩序地疊起的混亂狀態中構成高硬度層28的硬度高的導電體的圖案的一片斷的殘渣會不定形狀地沿著歪扭的箱狀的痕跡來不均一地分佈於凸塊連接體的內部。此結果，在彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內不均一地含有硬度不同的導電體。亦即，藉由設置主基板電路的主基板與設置搭載元件側電路的搭載元件以凸塊連接體來電性連接，可構成第4實施形態的第1變形例的層疊型半導體裝置。

【0121】 若如以上般根據本發明的第4實施形態的第1變形例的層疊型半導體裝置，則可提供搭載元件的修補處理容易的層疊型半導體裝置及搭載元件等。此結果，若根據第4實施形態的第1變形例的層疊型半導體裝置，則各種的層疊型半導體裝置的製造時間會被縮短，亦無浪費地失去正常的主基板或正常的搭載元件的情形，且可增加修補處理的次數。

【0122】

(第4實施形態的第2變形例)

本發明的第4實施形態的第2變形例的層疊型半導體裝置是以和圖3A及圖3B所示的第1實施形態的層疊型半導體裝置的構造同樣的基體及從預先作為組合準備的搭載零件

的總數之中選擇的預定的數量的構成零件所構成的層疊構造。如由圖3A及圖3B可理解般，第4實施形態的第2變形例的層疊型半導體裝置的基體也具備省略圖示的主基板、被設在主基板上的場絕緣膜，在此場絕緣膜上具有圖18所示的矩形箱狀的母凸塊11。另一方面，舉例假想，構成組合的搭載零件的各者是具備：省略圖示的搭載元件、被設在搭載元件的下端面的多層配線絕緣層，在此多層配線絕緣層的下面，具有形成圖18所示的平行平板狀的構造的修補凸塊(27，28)的構造。但只不過是舉例說明，所以即使搭載元件是舉包含LED晶片等的個別元件的例子以外的其他的構造也無妨。

【0123】母凸塊11是具有與主基板的基板搭載面垂直的壁狀的基體側曲面之箱狀的碟形物。母凸塊11是將箱狀的碟形物的底面接合於被埋入至場絕緣膜的表面電極，被電性連接至被積體化於主基板的主基板電路。修補凸塊(27，28)是具有與搭載元件的連接面垂直的壁狀的修補側曲面，被電性連接至搭載元件側電路。修補凸塊(27，28)是經由被埋入至多層配線絕緣層的表面配線來電性連接至被設在搭載元件的搭載元件側電路。修補凸塊(27，28)的下端面與母凸塊11的上端面是如圖18所示般在2個交點交叉。

【0124】修補凸塊(27，28)是與圖16所示的構造同樣由平行平板狀的低硬度層27及高硬度層28所成的2層構造。高硬度層28的硬度是比低硬度層27的硬度及母凸塊11

的硬度高。作為母凸塊11與修補凸塊(27, 28)的導電體，可使用在第1實施形態所說明般的金屬或合金的組合。藉由母凸塊11與修補凸塊(27, 28)來構成第4實施形態的第2變形例的成為層疊型半導體裝置的要素的凸塊連接體。

【0125】第4實施形態的第2變形例的層疊型半導體裝置的凸塊連接體，是在2層構造的平行平板狀的修補凸塊(27, 28)的高硬度層28放入比使用於母凸塊11的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的母凸塊11而陷入，形成固相擴散接合。亦即，相對地硬的高硬度層28構成如刀邊般的深切痕而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(27, 28)與母凸塊11的固相擴散接合。

【0126】第4實施形態的第2變形例的層疊型半導體裝置的凸塊連接體是即使以比較小的壓力來壓接修補凸塊(27, 28)與母凸塊11，還是可抑制固相擴散接合部以外的大部分凸塊變形，因此若以弱的力量壓接來暫時連接而於電性評價後有狀態不佳，則可將被發現狀態不佳的搭載零件從含在預先作為組合過剩地準備的總數之修補部分中換成其他的正常的構成零件而再暫時連接。若再暫時連接之電性評價合格，則可前進至正式連接的接合。另外，在第4實施形態的第2變形例的層疊型半導體裝置中，亦可在

修補凸塊(27, 28)的一部分之高硬度層28放入與凸塊接合的母凸塊11的金屬化合而其化合物的硬度比凸塊金屬高的材料, 其化合物使對方的母凸塊11的金屬局部地大幅度變形或起放入龜裂的作用。

【0127】另一方面, 在母凸塊11與修補凸塊(27, 28)暫時連接等的狀態下被確認搭載元件正常動作時, 更增大對於主基板推壓搭載元件的力, 更縮小搭載元件與主基板的間隔。一旦對於主基板推壓搭載元件的力被更增大, 則搭載元件與主基板會被正式連接。在母凸塊11與修補凸塊(27, 28)的正式連接時, 母凸塊11的垂直側壁部是藉由推壓而更變形, 修補凸塊(27, 28)的下端側的頂部會朝向母凸塊11的下端部側而被金屬性地接合。

【0128】由於主基板與搭載元件的距離會藉由推壓而被壓縮, 因此在正式連接的階段的凸塊連接體的高度是比暫時連接時的凸塊連接體的高度更低, 且母凸塊11與修補凸塊(27, 28)是形成彼此無秩序且片斷狀地疊起的構造。在無秩序地疊起的混亂狀態中構成高硬度層28的硬度高的導電體的圖案的片斷的殘渣會不定形狀地沿著歪扭的箱狀的痕跡來不均一地分佈於凸塊連接體的內部。此結果, 在彼此互相陷入的基體側曲面與修補側曲面的交點及其附近的空間內不均一地含有硬度不同的導電體。亦即, 藉由設置主基板電路的主基板與設置搭載元件側電路的搭載元件以凸塊連接體來電性連接, 可構成第4實施形態的第2變形例的層疊型半導體裝置。

【0129】若如以上般根據本發明的第4實施形態的第2變形例的層疊型半導體裝置，則可提供搭載元件的修補處理容易的層疊型半導體裝置及搭載元件等。此結果，若根據第4實施形態的第2變形例的層疊型半導體裝置，則各種的層疊型半導體裝置的製造時間會被縮短，亦無浪費地失去正常的主基板或正常的搭載元件的情形，且可增加修補處理的次數。

【0130】

(其他的實施形態)

如上述般，記載了本發明的第1～第4實施形態，但不應理解成該揭示的部分的論述及圖面是限定本發明者。該當業者是可由該揭示明確各種的代替實施形態、實施例及運用技術。例如圖19A所示般，亦可為以露出表面電極(母凸塊側凸台)的基體1及露出表面電極(修補凸塊側凸台)19的搭載零件2所構成的層疊構造。此情況，被搭載於層疊型半導體裝置的搭載零件2的個數是形成比構成組合的搭載零件2的總數更少的數量的特徵是與第1～第4實施形態同樣。基體1是藉由主基板81、被設在主基板81的上面的場絕緣膜82、被選擇地設在場絕緣膜82的上面的母凸塊側凸台12、及被設在母凸塊側凸台12的上面的母凸塊11所構成。搭載零件2是以搭載元件 X_{ij} 、被設在搭載元件 X_{ij} 的下面的多層配線絕緣層20、被選擇定設在多層配線絕緣層20的下面的修補凸塊側凸台19、及被設在修補凸塊側凸台19的下面的修補凸塊(21, 22, 23)所構成。

【0131】圖19A所示的主基板81是具有基板搭載面及與該基板搭載面對向的基體背面的平行平板狀，設置主基板電路。搭載元件 X_{ij} 是舉具有連接面及與該連接面對向的連接相反面的平行平板狀的構造為例，但並非被限定於平行平板狀者。例如，搭載元件為LED晶片等的個別元件時，亦可為砲彈狀的構造。搭載元件 X_{ij} 是設置搭載元件側電路，使連接面對峙於主基板81的基板搭載面。母凸塊11是具有與主基板81的基板搭載面垂直的壁狀的基體側曲面之矩形的箱狀。母凸塊11是將箱的底面接觸於在場絕緣膜82的上面所露出的母凸塊側凸台12，母凸塊側凸台12是被設在場絕緣膜82的上面。母凸塊側凸台12是經由省略圖示的接觸通道來電性連接至被積體化於主基板81的主基板電路。修補凸塊(21, 22, 23)是具有與連接面垂直的壁狀的修補側曲面之矩形的箱狀。修補凸塊(21, 22, 23)是將箱的底面(在圖19A及圖19B中頂側)接觸於在多層配線絕緣層20的下面所露出的修補凸塊側凸台19，修補凸塊側凸台19是經由省略圖示的接觸通道來連接至多層配線絕緣層20中的配線。多層配線絕緣層20中的配線是被電性連接至被設在搭載元件 X_{ij} 的搭載元件側電路，因此修補凸塊(21, 22, 23)是經由修補凸塊側凸台19來連接至搭載元件側電路。與圖4所示的平面圖案同樣，基體側曲面與修補側曲面是在4個交點交叉。

【0132】省略母凸塊側凸台12及修補凸塊側凸台19的平面圖案的圖示，例如可為正方形狀，但並非被限定於正

方形狀。圖 19A 及圖 19BA 所示的修補凸塊 (21, 22, 23) 是由箱狀的最外層 21、中間層 22, 最內層 23 所成的 3 層構造的特徵是與第 1 實施形態同樣。中間層 22 的硬度是比最外層 21 及最內層 23 的硬度、以及母凸塊 11 的硬度高。母凸塊 11 與修補凸塊 (21, 22, 23) 的導電體是可使用在第 1 實施形態所說明般的金屬或合金的組合。母凸塊側凸台 12 是選擇可減低與被母凸塊 11 所選擇的金屬或合金的接觸電阻之導電體, 修補凸塊側凸台 19 是選擇可減低與被修補凸塊 (21, 22, 23) 所選擇的金屬或合金的接觸電阻之導電體為理想。母凸塊側凸台 12 及修補凸塊側凸台 19 是例如可用含 Au 或 Au80% 以上的 Au-Si, Au-Ge, Au-Sb, Au-Sn, Au-Pb, Au-Zn, Au-Cu 等的合金所形成, 即使是在底層使用 Ni、Cr 等的金屬層的多層構造也無妨。如圖 19B 所示般, 藉由母凸塊 11 與修補凸塊 (21, 22, 23) 來構成其他的實施形態的成為層疊型半導體裝置的要素的凸塊連接體 B_{uv} 。

【0133】圖 19B 所示的其他的實施形態的層疊型半導體裝置的凸塊連接體 B_{uv} , 是在 3 層構造的箱狀的修補凸塊 (21, 22, 23) 的中間層 22 放入比使用於母凸塊 11 的金屬還硬度高的材料, 藉由在接合時施加的壓力, 切痕進入對方的母凸塊 11 而陷入, 形成固相擴散接合。亦即, 相對地硬的中間層 22 構成如刀邊般的深切痕而形成固相擴散接合, 因此變形的區域小, 但清淨面彼此間的接觸面積大。藉由形成根據切痕之固相擴散接合的構造, 凸塊全體的變形量是比以往的同等硬度接合型凸塊小, 但清淨的金屬彼此間

的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(21, 22, 23)與母凸塊11的固相擴散接合。其他是與已說明的第1實施形態的層疊型半導體裝置實質上同樣，因此省略重複的說明。

【0134】又，如圖20A所示般，在以基體1及搭載零件2所構成的層疊構造中，在基體1側使硬硬度高的導電體，即使是與圖19A相反的構造也無妨。但，被搭載於層疊型半導體裝置的搭載零件2的個數是形成比構成組合的搭載零件2的總數更少的數量。圖20A所示的基體1是藉由主基板81、被設在主基板81的上面的場絕緣膜82、被選擇性地設在場絕緣膜82的上面的母凸塊側凸台12、及被設在母凸塊側凸台12的上面的母凸塊(31, 32, 33)所構成。另一方面，搭載零件2是以搭載元件 X_{ij} 、被設在搭載元件 X_{ij} 的下面的多層配線絕緣層20、被選擇性地設在多層配線絕緣層20的下面的修補凸塊側凸台19、及被設在修補凸塊側凸台19的下面的修補凸塊41所構成。

【0135】主基板81是具有基板搭載面及與該基板搭載面對向的基體背面之平行平板狀，設置主基板電路。搭載元件 X_{ij} 是舉具有連接面及與該連接面對向的連接相反面之平行平板狀的構造為例，但並非被限定於平行平板狀。例如，搭載元件為LED晶片等的個別元件時，亦可為砲彈狀的構造。搭載元件 X_{ij} 是設置搭載元件側電路，使連接面對峙於主基板81的基板搭載面。母凸塊(31, 32, 33)是具有與主基板81的基板搭載面垂直的壁狀的基體側曲面之矩形

的箱狀。母凸塊(31, 32, 33)是將箱的底面接觸於在場絕緣膜82的上面所露出的母凸塊側凸台12, 母凸塊側凸台12是被設在場絕緣膜82的上面。母凸塊側凸台12是經由省略圖示的接觸通道來電性連接至被積體化於主基板81的主基板電路。修補凸塊41是具有與連接面垂直的壁狀的修補側曲面之矩形的箱狀, 將箱的底面(在圖20A及圖20B中頂側)接觸於在多層配線絕緣層20的下面所露出的修補凸塊側凸台19。修補凸塊側凸台19是經由省略圖示的接觸通道來連接至多層配線絕緣層20中的配線, 多層配線絕緣層20中的配線是被電性連接至被設在搭載元件 X_{ij} 的搭載元件側電路, 因此修補凸塊41是經由修補凸塊側凸台19來連接至搭載元件側電路。與圖4所示的平面圖案同樣, 基體側曲面與修補側曲面是在4個交點交叉。

【0136】母凸塊(31, 32, 33)是由箱狀的最外層31、中間層32, 最內層33所成的3層構造。中間層32的硬度是比最外層31及最內層33的硬度、以及修補凸塊41的硬度高。母凸塊(31, 32, 33)與修補凸塊41的導電體是可使用在第1實施形態所說明般的金屬或合金之高硬度導電體與低高度導電體的組合。母凸塊側凸台12是選擇可減低與被母凸塊(31, 32, 33)所選擇的金屬或合金的接觸電阻之導電體, 修補凸塊側凸台19是選擇可減低與被修補凸塊41所選擇的金屬或合金的接觸電阻之導電體為理想。母凸塊側凸台12及修補凸塊側凸台19是例如可用含Au或Au80%以上的Au-Si等的合金形成, 即使是在底層使用Ni、Cr等的金

屬層的多層構造也無妨。如圖 20B 所示般，藉由母凸塊 (31, 32, 33) 與修補凸塊 41 來構成另外其他的實施形態的成為層疊型半導體裝置的要素的凸塊連接體 B_{uv} 。

【0137】圖 20B 所示的另外其他的實施形態的層疊型半導體裝置的凸塊連接體 B_{uv} ，是在 3 層構造的箱狀的母凸塊 (31, 32, 33) 的中間層 32 放入比使用於修補凸塊 41 的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的修補凸塊 41 而陷入，形成固相擴散接合。亦即，相對地硬的中間層 32 會將如刀邊般的深切痕構成於修補凸塊 41 而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊 41 與母凸塊 (31, 32, 33) 的固相擴散接合。其他是與已說明的第 1 實施形態的層疊型半導體裝置實質上同樣，因此省略重複的說明。有關第 2～第 4 實施形態的層疊型半導體裝置也如圖 20A 及圖 20B 所示般，亦可將基體 1 側的母凸塊的構造採用含硬度高的導電體的層的多層構造，形成母凸塊的硬度高的導電體的層會陷入至搭載零件 2 側的修補凸塊的構造。

【0138】進一步，如在圖 21 顯示其一部分的構造般，亦可為使圖 19B 所示的構造與圖 20B 所示的構造混在一起的構造。圖 21 所示的基體 1 是藉由主基板 81、被設在主基板 81 的上面的場絕緣膜 82、被選擇性地設在場絕緣膜 82 的

上面的左側母凸塊側凸台 12a 及右側母凸塊側凸台 12b、被設在左側母凸塊側凸台 12a 的上面的母凸塊 11、及被設在右側母凸塊側凸台 12b 的上面的母凸塊 (31, 32, 33) 所構成。另一方面，舉搭載零件 2 是以搭載元件 X_{ij} 、被設在搭載元件 X_{ij} 的下面的多層配線絕緣層 20、被選擇地設在多層配線絕緣層 20 的下面的左側修補凸塊側凸台 19a 及右側修補凸塊側凸台 19b、被設在左側修補凸塊側凸台 19a 的下面的修補凸塊 (21, 22, 23)、及被設在右側修補凸塊側凸台 19b 的下面的修補凸塊 41 所構成的構造為例，但搭載元件 X_{ij} 的形狀並非被限定於平行平板狀者。例如，搭載元件為 LED 晶片等的個別元件時是亦可為砲彈狀的構造。

【0139】主基板 81 是具有基板搭載面及與該基板搭載面對向的基體背面的平行平板狀，設置主基板電路。搭載元件 X_{ij} 是具有連接面及與該連接面對向的連接相反面的平行平板狀，設置搭載元件側電路，使連接面對峙於主基板 81 的基板搭載面。母凸塊 11 及母凸塊 (31, 32, 33) 的各者是具有與主基板 81 的基板搭載面垂直的壁狀的基體側曲面之矩形的箱狀。母凸塊 11 及母凸塊 (31, 32, 33) 是將箱的底面接觸於在場絕緣膜 82 上面所露出的左側母凸塊側凸台 12a 及右側母凸塊側凸台 12b 的各者，左側母凸塊側凸台 12a 及右側母凸塊側凸台 12b 是被設在場絕緣膜 82 的上面。左側母凸塊側凸台 12a 及右側母凸塊側凸台 12b 的各者是分別經由省略圖示的接觸通道來電性獨立連接至被積體化於主基板 81 的主基板電路。

【0140】修補凸塊(21, 22, 23)及修補凸塊41的各者是具有與連接面垂直的壁狀的修補側曲面之矩形的箱狀，將箱的底面(在圖21中頂側)接觸於在多層配線絕緣層20的下面露出的左側修補凸塊側凸台19a及右側修補凸塊側凸台19b。左側修補凸塊側凸台19a及右側修補凸塊側凸台19b的各者是經由省略圖示的接觸通道來分別獨立連接至多層配線絕緣層20中的配線，多層配線絕緣層20中的配線是分別個別地被電性連接至被設在搭載元件 X_{ij} 的搭載元件側電路，因此修補凸塊(21, 22, 23)是經由左側修補凸塊側凸台19a，修補凸塊41是經由右側修補凸塊側凸台19b，來分別獨立連接至搭載元件側電路。母凸塊11的基體側曲面與修補凸塊(21, 22, 23)的修補側曲面是在4個交點交叉，母凸塊(31, 32, 33)的基體側曲面與修補凸塊41的修補側曲面是在4個交點交叉。

【0141】圖21所示的修補凸塊(21, 22, 23)是由箱狀的最外層21、中間層22，最內層23所成的3層構造，中間層22的硬度是比最外層21及最內層23的硬度、以及母凸塊11的硬度高。母凸塊(31, 32, 33)是由箱狀的最外層31、中間層32，最內層33所成的3層構造，中間層32的硬度是比最外層31及最內層33的硬度、以及修補凸塊41的硬度高。母凸塊11、母凸塊(31, 32, 33)、修補凸塊(21, 22, 23)及修補凸塊41的導電體是可使用在第1實施形態所說明般的金屬或合金之高硬度導電體與低高度導電體的組合。如圖21所示般，藉由母凸塊11與修補凸塊(21, 22, 23)來

構成左側的凸塊連接體 B_{uv} ，藉由母凸塊(31，32，33)與修補凸塊41來構成右側的凸塊連接體 B_{uv} 。

【0142】圖21所示的左側的凸塊連接體 B_{uv} 是在修補凸塊(21，22，23)的中間層22放入比使用於母凸塊11的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的母凸塊11而陷入，形成固相擴散接合。右側的凸塊連接體 B_{uv} 是在母凸塊(31，32，33)的中間層32放入比使用於修補凸塊41的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的修補凸塊41而陷入，形成固相擴散接合。亦即，相對地硬的中間層22及中間層32會將如刀邊般的深切痕構成於對方的母凸塊11或修補凸塊41而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。藉由形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成修補凸塊(21，22，23)與母凸塊11的固相擴散接合及修補凸塊41與母凸塊(31，32，33)的固相擴散接合。其他是與已說明的第1實施形態的層疊型半導體裝置同樣，因此省略重複的說明。有關第2～第4實施形態的層疊型半導體裝置也亦可形成在圖21所示般的基體1側的母凸塊使用硬度高的導電體區域的構造與在搭載零件2側的修補凸塊使用硬度高的導電體區域的構造混在一起的構造。

【0143】進一步，如在圖22顯示其一部分的構造般，

亦可為使圖 19B 所示的構造與圖 20B 所示的構造混在同一凸塊內的構造。圖 22 所示的基體 1 是藉由主基板 81、被設在主基板 81 的上面的場絕緣膜 82、選擇性地被設在場絕緣膜 82 的上面的母凸塊側凸台 12、被設在母凸塊側凸台 12 的上面的混合 (hybrid) 型母凸塊 (31, 32, 33) 所構成。另一方面，搭載零件 2 是以搭載元件 X_{ij} 、被設在搭載元件 X_{ij} 的下面的多層配線絕緣層 20、被選擇性設在多層配線絕緣層 20 的下面的修補凸塊側凸台 19、及被設在修補凸塊側凸台 19 的下面的混合型修補凸塊 (21, 22, 23) 所構成。

【0144】主基板 81 是具有基板搭載面及與該基板搭載面對向的基體背面的平行平板狀，設置主基板電路。搭載元件 X_{ij} 是具有連接面及與該連接面對向的連接相反面的平行平板狀，設置搭載元件側電路，舉使連接面對峙於主基板 81 的基板搭載面的構造為例，但搭載元件 X_{ij} 的形狀並非被限定於平行平板狀者。例如，搭載元件為 LED 晶片等的個別元件時，亦可為砲彈狀的構造。混合型母凸塊 (31, 32, 33) 是具有與主基板 81 的基板搭載面垂直的壁狀的基體側曲面之矩形的箱狀。混合型母凸塊 (31, 32, 33) 是將箱的底面接觸於在場絕緣膜 82 的上面露出的母凸塊側凸台 12，母凸塊側凸台 12 是被設在場絕緣膜 82 的上面。母凸塊側凸台 12 是經由省略圖示的接觸通道來電性連接至被積體化於主基板 81 的主基板電路。

【0145】混合型修補凸塊 (21, 22, 23) 是具有與連接面垂直的壁狀的修補側曲面之矩形的箱狀，將箱的底面

(在圖22中頂側)接觸於在多層配線絕緣層20的下面所露出的修補凸塊側凸台19。修補凸塊側凸台19是經由省略圖示的接觸通道來連接至多層配線絕緣層20中的配線，多層配線絕緣層20中的配線是被電性連接至被設在搭載元件 X_{ij} 的搭載元件側電路，因此混合型修補凸塊(21, 22, 23)是經由修補凸塊側凸台19來連接至搭載元件側電路。混合型修補凸塊(21, 22, 23)的修補側曲面與混合型母凸塊(31, 32, 33)的基體側曲面是在4個交點交叉。

【0146】圖22所示的混合型修補凸塊(21, 22, 23)的左側是由最外層21、中間層22，最內層23所成的3層構造，但右側是無中間層22的2層構造。混合型母凸塊(31, 32, 33)的右側是由最外層31、中間層32，最內層33所成的3層構造，但左側是無中間層32的2層構造。混合型修補凸塊(21, 22, 23)的中間層22的硬度是比最外層21及最內層23的硬度、以及混合型母凸塊(31, 32, 33)的最外層31及最內層33更高。混合型母凸塊(31, 32, 33)的中間層32的硬度是比最外層31及最內層33的硬度、以及混合型修補凸塊(21, 22, 23)的最外層21及最內層23的硬度高。混合型母凸塊(31, 32, 33)及混合型修補凸塊(21, 22, 23)的導電體是可使用在第1實施形態所說明般的金屬或合金之高硬度導電體與低高度導電體的組合。

【0147】在圖22所示的左側的區域中，在混合型修補凸塊(21, 22, 23)的中間層22放入比使用於對向的混合型母凸塊(31, 32, 33)的左側的金屬還硬度高的材料，藉由

在接合時施加的壓力，切痕進入混合型母凸塊(31，32，33)的左側而陷入，形成固相擴散接合。在圖22所示的右側的區域中，在混合型母凸塊(31，32，33)的中間層32放入比使用於對向的混合型修補凸塊(21，22，23)的右側的金屬還硬度高的材料，藉由在接合時施加的壓力，切痕進入對方的混合型修補凸塊(21，22，23)而陷入，而形成固相擴散接合。亦即，相對地硬的中間層22及中間層32會將如刀邊般的深切痕構成於對方的混合型母凸塊(31，32，33)或混合型修補凸塊(21，22，23)的相對地硬度低的區域而形成固相擴散接合，因此變形的區域小，但清淨面彼此間的接觸面積大。

【0148】藉由形成根據切痕之固相擴散接合的構造，凸塊全體的變形量是比以往的同等硬度接合型凸塊小，但清淨的金屬彼此間的固相擴散接合部分的面積變大。即使低溫也可形成混合型修補凸塊(21，22，23)與混合型母凸塊(31，32，33)的固相擴散接合。其他是與已說明的第1實施形態的層疊型半導體裝置同樣，因此省略重複的說明。有關第2～第4實施形態的層疊型半導體裝置也若為圖13及圖16所示的構造以外的構造，亦即修補凸塊與母凸塊的交點為2以上產生的構造時，可採用在圖22所示般的基體1側的母凸塊使用硬度高的導電體區域的構造與在搭載零件2側的修補凸塊使用硬度高的導電體區域的構造會在同一凸塊內混在一起的構造。

【0149】作為本發明的第1～第4實施形態的層疊型半

導體裝置，主要舉大口徑的主基板 81 為矩陣狀地配置發光二極體等的檢測元件作為像素的檢測器基板，搭載元件 X_{ij} 為將讀出來自各像素的訊號的讀出電路搭載元件(讀出晶片)側電路積體化的半導體積體電路晶片的情況為例進行說明，但本發明的層疊型半導體裝置是不被限定於固體攝像裝置或微 LED 顯示器。例如，亦可以主基板 81 作為 DRAM 或 SRAM 等的主記憶體，在此主記憶體上搭載將 ALU 積體化的搭載元件 X_{ij} 而構成層疊型半導體裝置。若在主記憶體的被分割的區域搭載將 ALU 等積體化的搭載元件 X_{ij} ，則可實現搭載元件 X_{ij} 並列處理或管線 (pipeline) 處理來自主記憶體的被分割的區塊的各者的訊號之並列計算機。半導體積體電路的積體度是與、微細加工技術的進步一起持續提升，但微細加工技術的進步被認為來到極限。若考慮如此的微細加工技術的極限，則亦可以主基板 81 作為中介板 (interposer)，在此中介板上搭載分別具備修補凸塊的複數的 IC 晶片作為搭載元件 X_{ij} 而構成 2.5 次元積體電路或 3 次元積體電路。中介板是以可在封裝基板 (樹脂基板) 等的下層的基板上作為中間基板層疊的方式，具備矽基板、被設在該矽基板的表面的矽氧化膜等的表面絕緣膜、及被設在矽基板的背面的矽氧化膜等的背面絕緣膜。在中介板的表面絕緣膜的上面是考慮 IC 晶片的大小及修補凸塊的配置來配列母凸塊。在中介板的背面絕緣膜的下面是設有與下層的基板連接的背面配線。背面配線是藉由貫通表面絕緣膜、矽基板及背面絕緣膜的矽貫通孔 (Through

Silicon Via ; TSV)來電性連接至中介板的上面側的母凸塊，因此可容易實現作為2.5次元積體電路或3次元積體電路的多層的層疊構造。

【0150】如此，在上述的第1～第4實施形態中說明的技術內容只不過舉例說明，可將第1～第4實施形態的各構成適用於任意應用的構成等。因此，本發明是當然包含在第1～第4實施形態的層疊型半導體裝置中未記載的各種的第1～第4實施形態等。所以，本發明的技術範圍是只要為可由上述的說明妥當解釋的技術事項，便可藉由申請專利範圍的發明特定事項而制定。

【符號說明】

【0151】

1:基體

2:搭載零件

11,14a,14b,15,16:母凸塊

12,12a,12b:母凸塊側凸台

19,19a,19b:修補凸塊側凸台

20:多層配線絕緣層

21,31:最外層

22,32:中間層

23,33:最內層

25:中間層

27:低硬度層(第1層)

28:中間層(第2層:高硬度層)

29:第3層

41:修補凸塊

81:主基板

82:場絕緣膜

$B_{11}, B_{12}, B_{13}, B_{21}, B_{22}, B_{23}, B_{uv}$:凸塊連接體

$X_{21}, X_{22}, X_{2m}, X_{ij}, X_{st}, X_{xy}$:搭載元件

【發明申請專利範圍】

【請求項1】一種層疊型半導體裝置，其特徵為具備：

主基板，其係具有：基板搭載面、與該基板搭載面對向的基體背面，設置主基板電路；

搭載元件，其係具有搭載元件側電路及與前述基板搭載面對峙的連接面；

母凸塊，其係被設在前述基板搭載面側，具有與前述基板搭載面垂直的壁狀的基體側曲面，被電性連接至前述主基板電路；

修補凸塊，其係被設在前述連接面側，具有與前述連接面垂直的壁狀的修補側曲面，被電性連接至前述搭載元件側電路的修補凸塊，在從前述連接面的法線方向看的平面圖案的前述基體側曲面與前述修補側曲面的交點，與前述母凸塊彼此互相陷入，

在前述彼此互相陷入的前述基體側曲面與前述修補側曲面的交點和該交點的附近的空間內，不均一地含有彼此硬度相異的導電體。

【請求項2】如請求項1記載的層疊型半導體裝置，其中，前述基體側曲面與前述修補側曲面的至少一方為2層以上的導電體層的層疊構造，在該層疊構造中彼此鄰接的2層的硬度為彼此相異。

【請求項3】如請求項1記載的層疊型半導體裝置，其中，以前述搭載元件與前述修補凸塊的組合來構成第1搭

載零件，

與前述第1搭載零件同一構造、同一尺寸、同一機能的第2搭載零件，係被搭載於前述基板搭載面。

【請求項4】如請求項1記載的層疊型半導體裝置，其中，更具備：被插入至前述主基板與前述母凸塊之間的場絕緣膜。

【請求項5】如請求項4記載的層疊型半導體裝置，其中，在前述場絕緣膜的內部或上面，更具備與前述母凸塊電性連接的母凸塊側凸台。

【請求項6】如請求項1記載的層疊型半導體裝置，其中，在前述搭載元件與前述修補凸塊之間插入多層配線絕緣層。

【請求項7】如請求項6記載的層疊型半導體裝置，其中，在前述多層配線絕緣層的內部或與前述基板搭載面對峙的側的前述多層配線絕緣層的表面，更具備與前述修補凸塊電性連接的修補凸塊側凸台。

【請求項8】一種搭載零件的組合，係以總數之中的至少一部分會被搭載於基體上的方式準備之複數的搭載零件的組合，

該基體係具有：

主基板，其係具有基板搭載面及與該基板搭載面對向的基體背面，設置主基板電路；及

母凸塊，其係被設在前述基板搭載面，具有與前述基板搭載面垂直的壁狀的基體側曲面，被電性連接至前述主

基板電路，

其特徵為：

各個的搭載零件為具備：

搭載元件，其係具有搭載元件側電路及與前述基板搭載面對峙的連接面；及

修補凸塊，係被設在前述連接面側，具有與前述連接面垂直的壁狀的修補側曲面，被電性連接至前述搭載元件側電路的修補凸塊，在從與前述連接面垂直方向看的平面圖案的前述基體側曲面和前述修補側曲面的交點，與前述母凸塊彼此互相陷入，

在前述基體側曲面和前述修補側曲面的交點，在前述修補凸塊含有比前述母凸塊更硬度高的導電體。

【請求項9】如請求項8記載的搭載零件的組合，其中，在各個的前述搭載零件中，前述修補側曲面為2層以上的導電體層的層疊構造，在該層疊構造中彼此鄰接的2層的硬度為彼此相異。

【請求項10】如請求項8記載的搭載零件的組合，其中，在各個的前述搭載零件中，在前述搭載元件與前述修補凸塊之間插入多層配線絕緣層。

【請求項11】如請求項10記載的搭載零件的組合，其中，在各個的前述搭載零件中，在前述多層配線絕緣層的內部或與前述基板搭載面對峙的側的前述多層配線絕緣層的表面，更具備與前述修補凸塊電性連接的修補凸塊側凸台。

【請求項12】一種基體，係搭載搭載零件的基體，該搭載零件係具有：

搭載元件，其係設置連接面及搭載元件側電路；及

修補凸塊，其係被設在前述連接面，具有與前述連接面垂直的壁狀的修補側曲面，被電性連接至前述搭載元件側電路，

其特徵係具備：

主基板，其係具有：與前述連接面對向搭載前述搭載零件的基板搭載面、與該基板搭載面對向的基體背面，設置主基板電路；及

母凸塊，其係被設在前述基板搭載面側，具有與前述基板搭載面垂直的壁狀的基體側曲面，被電性連接至前述主基板電路的母凸塊，在從前述基板搭載面的法線方向看的平面圖案的前述基體側曲面與前述修補側曲面的交點，與前述修補凸塊彼此互相陷入，

在前述基體側曲面與前述修補側曲面的交點，在前述母凸塊含有比前述修補凸塊更硬度高的導電體。

【請求項13】如請求項12記載的基體，其中，前述基體側曲面為2層以上的導電體層的層疊構造，在該層疊構造中彼此鄰接的2層的硬度為彼此相異。

【請求項14】一種凸塊連接體，係將主基板及搭載元件予以互相結合，電性連接主基板電路與搭載元件側電路的凸塊連接體，

該主基板係具有：基板搭載面、與該基板搭載面對向

的基體背面，設置前述主基板電路，

該搭載元件，係具有連接面及前述搭載元件側電路，
其特徵係具備：

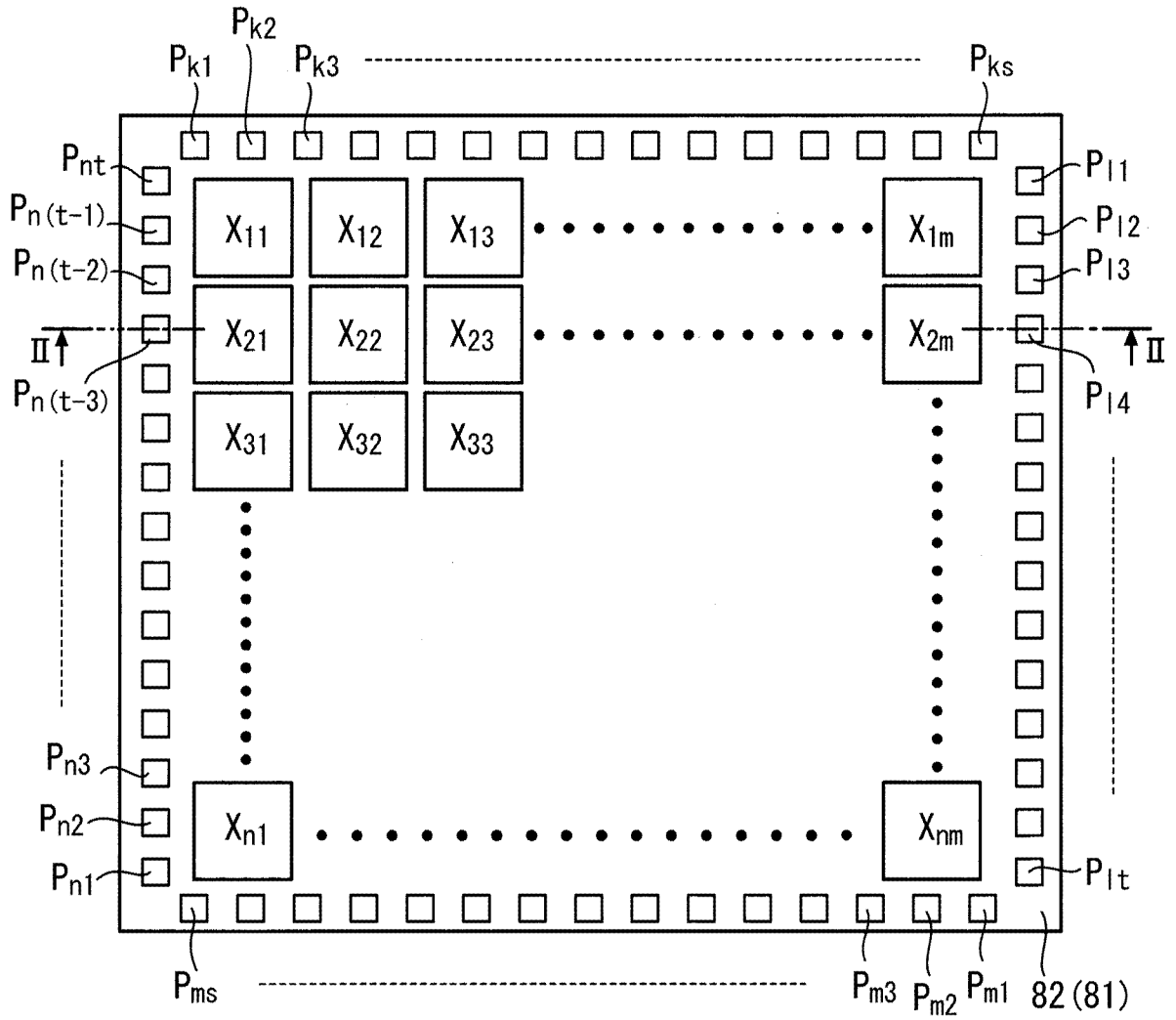
母凸塊，其係被設在前述基板搭載面側，具有與前述基板搭載面垂直的壁狀的基體側曲面，被電性連接至前述主基板電路；及

修補凸塊，其係被設在前述連接面側，具有與前述連接面垂直的壁狀的修補側曲面，被電性連接至前述搭載元件側電路的修補凸塊，在從前述連接面的法線方向看的平面圖案的前述基體側曲面與前述修補側曲面的交點，與前述母凸塊彼此互相陷入，

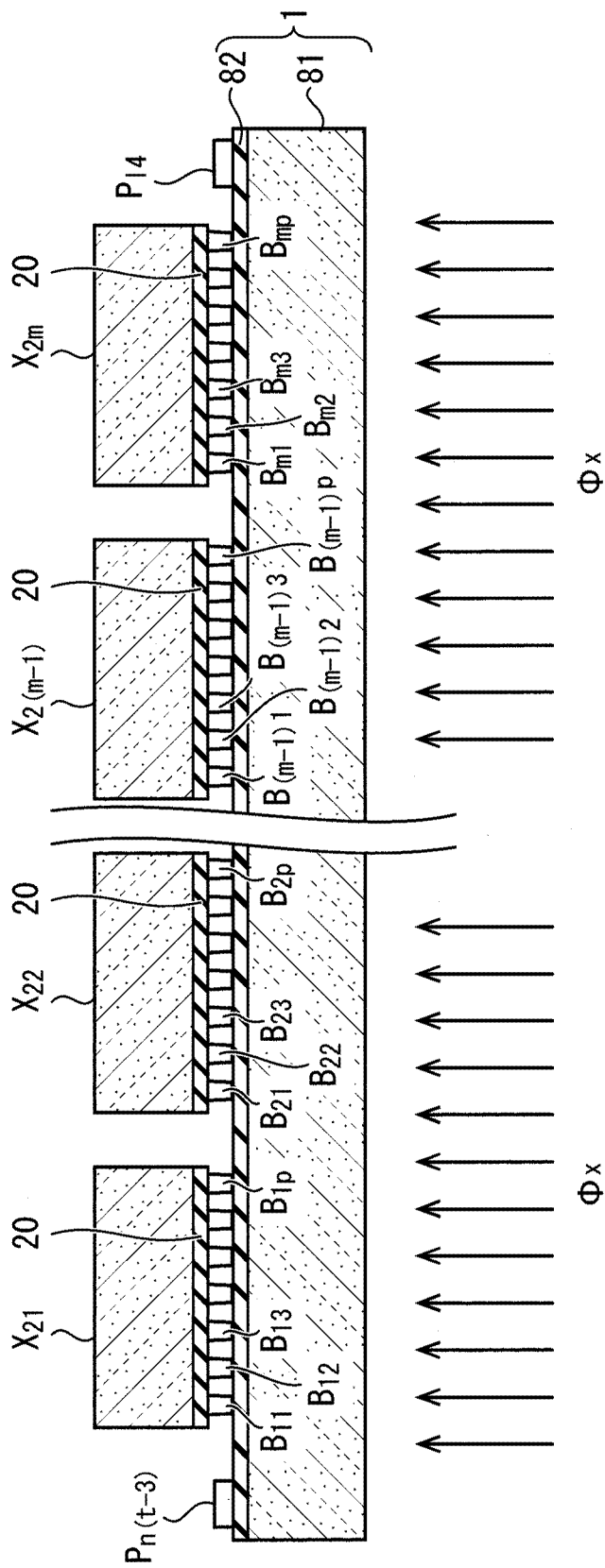
前述彼此互相陷入的前述基體側曲面與前述修補側曲面的交點和該交點的附近的空間內，不均一地含有彼此硬度相異的導電體。

【請求項 15】如請求項 14 記載的凸塊連接體，其中，前述基體側曲面與前述修補側曲面的至少一方為 2 層以上的導電體層的層疊構造，在該層疊構造中彼此鄰接的 2 層的硬度為彼此相異。

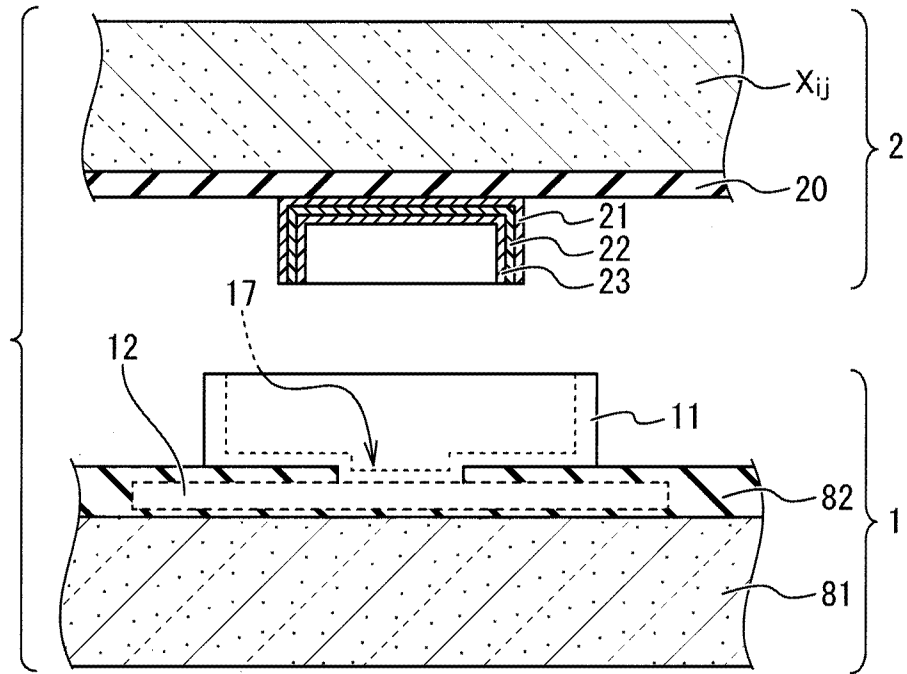
【發明圖式】



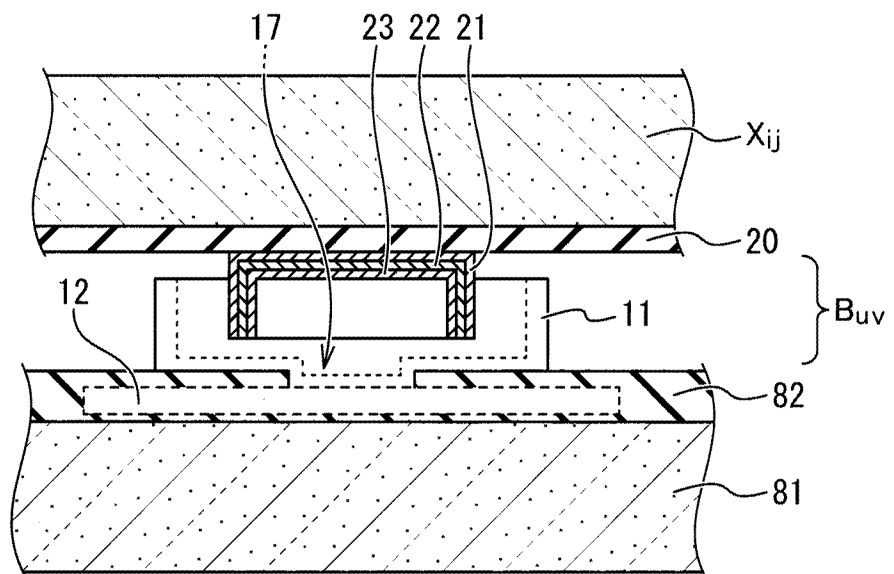
【圖 1】



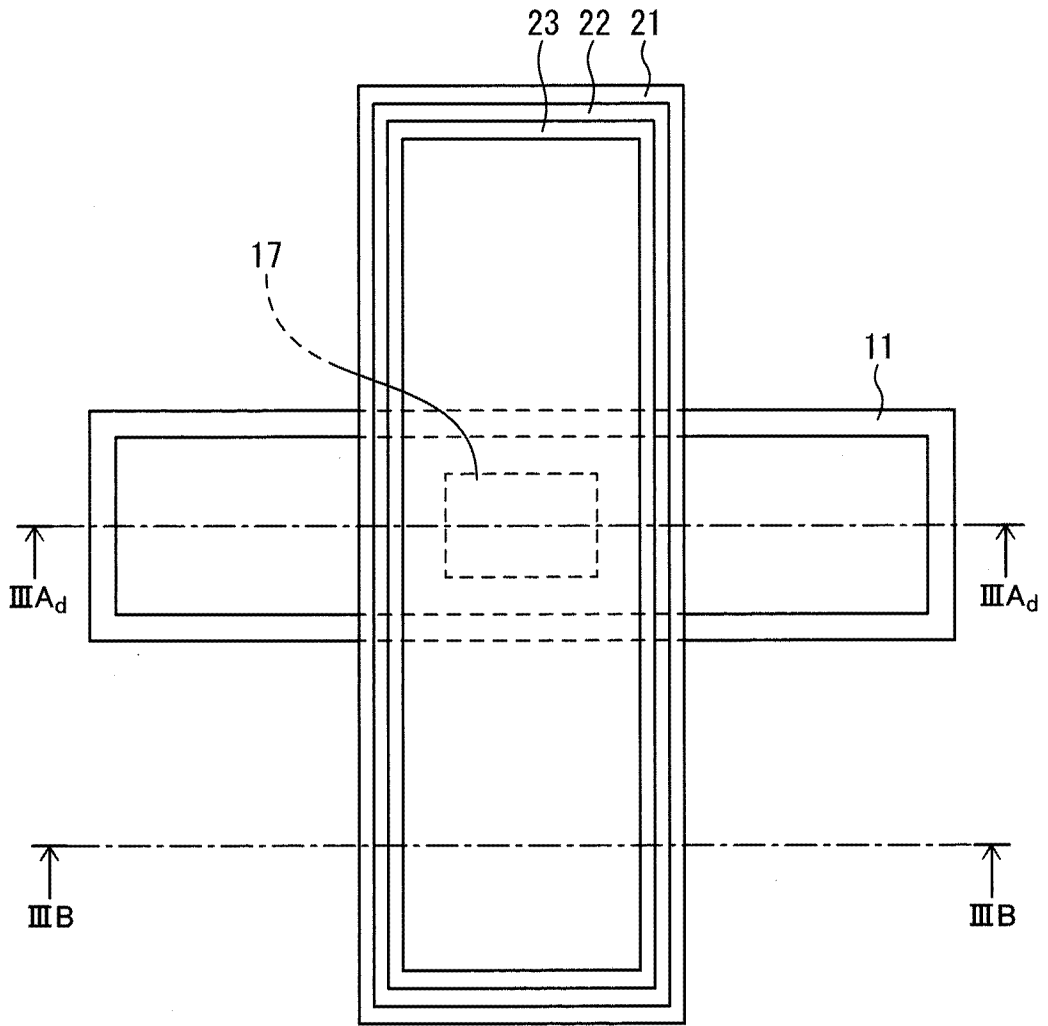
【圖 2】



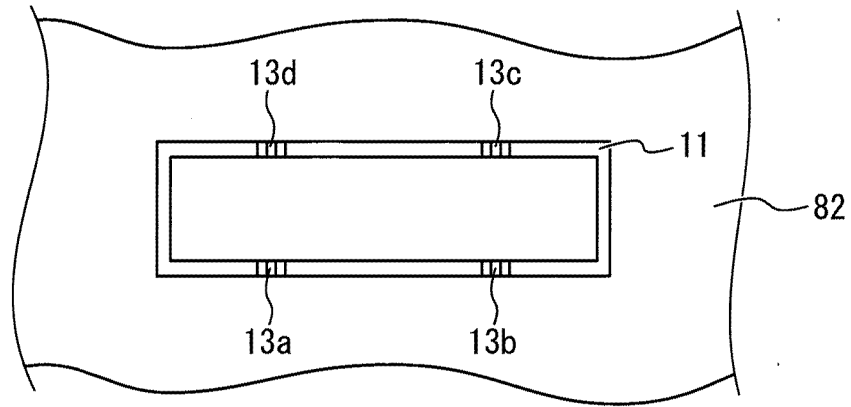
【圖 3A】



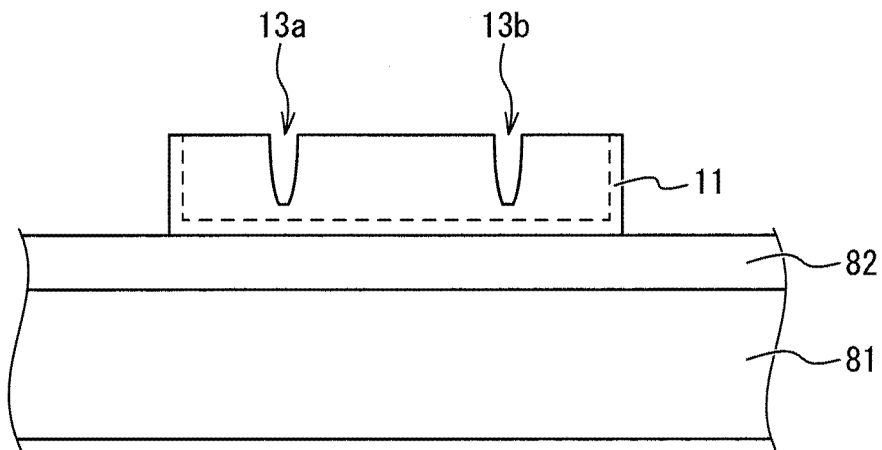
【圖 3B】



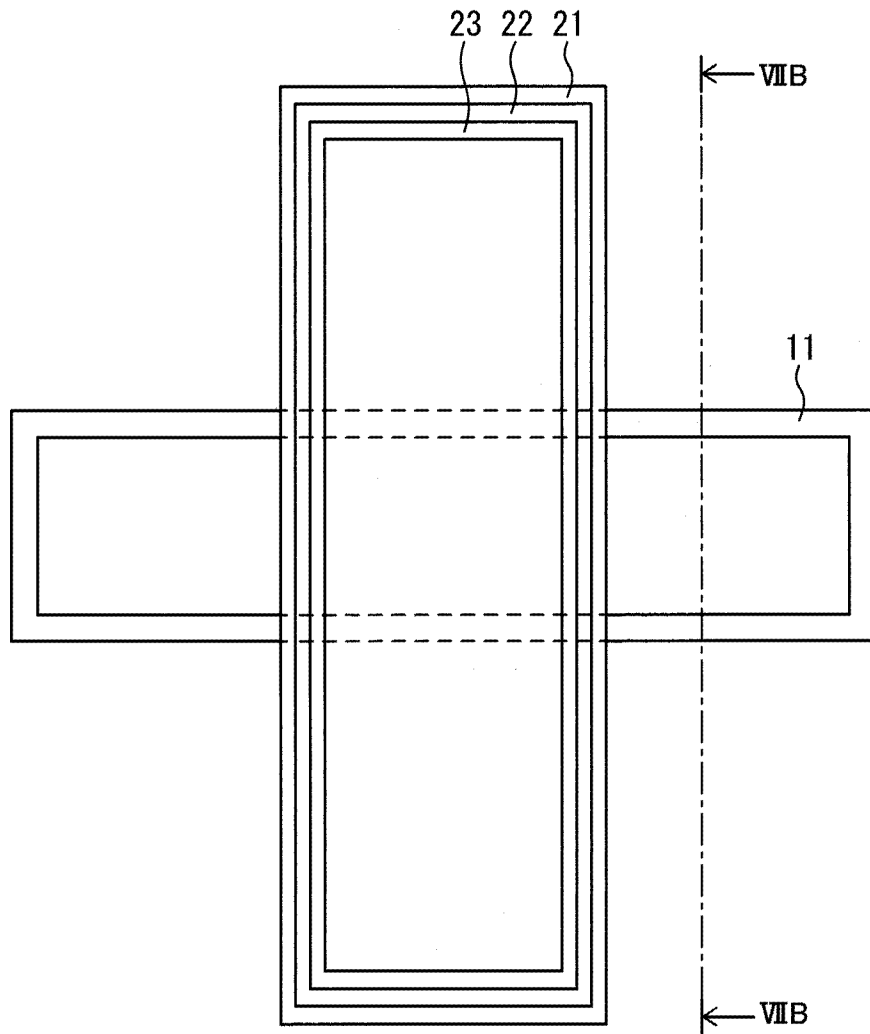
【圖 4】



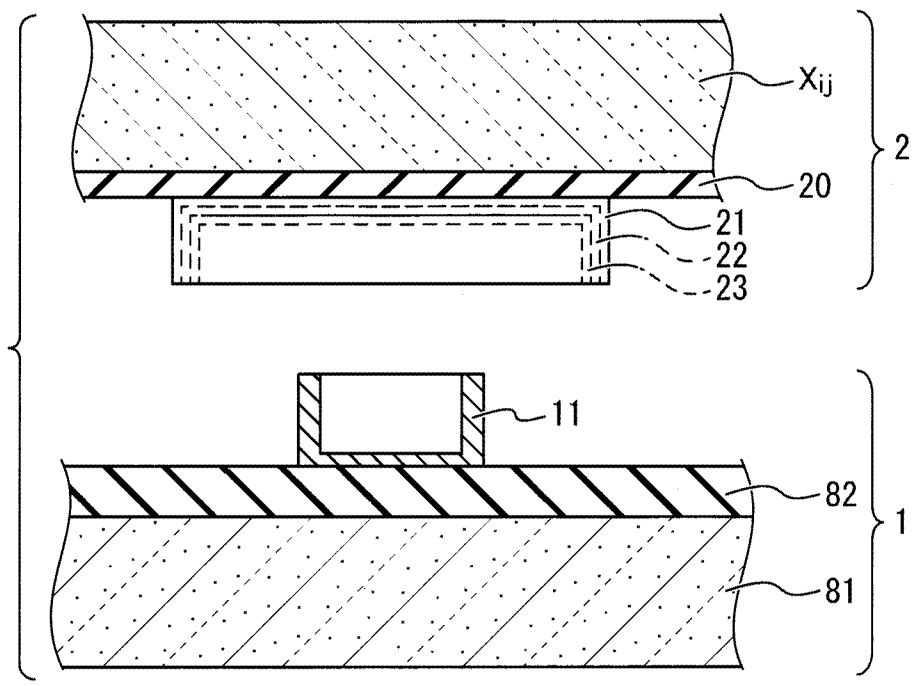
【圖 5A】



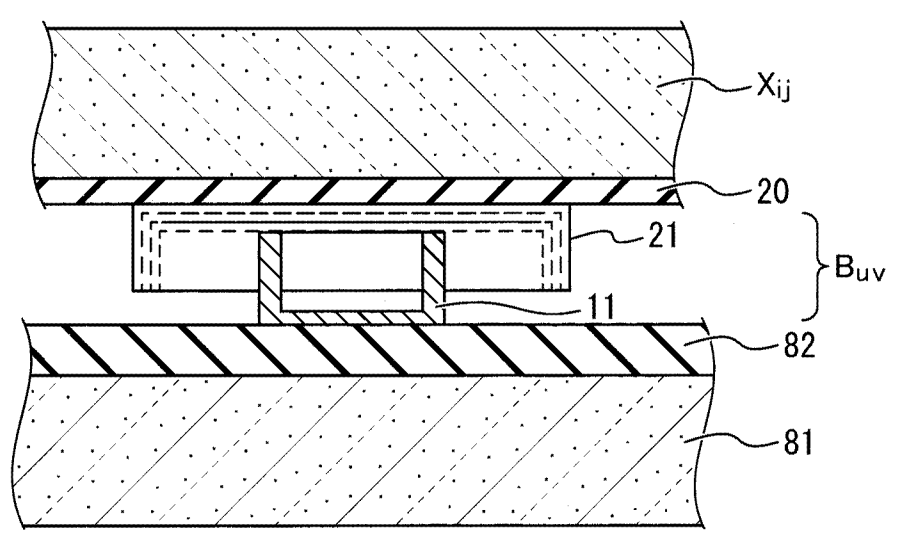
【圖 5B】



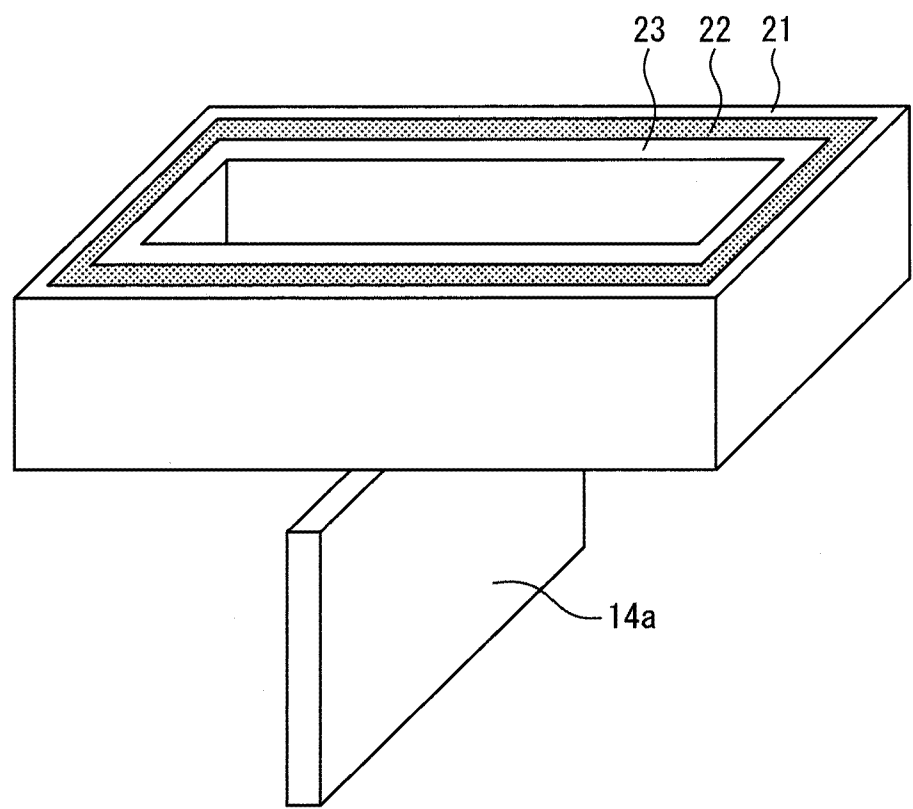
【圖 6】



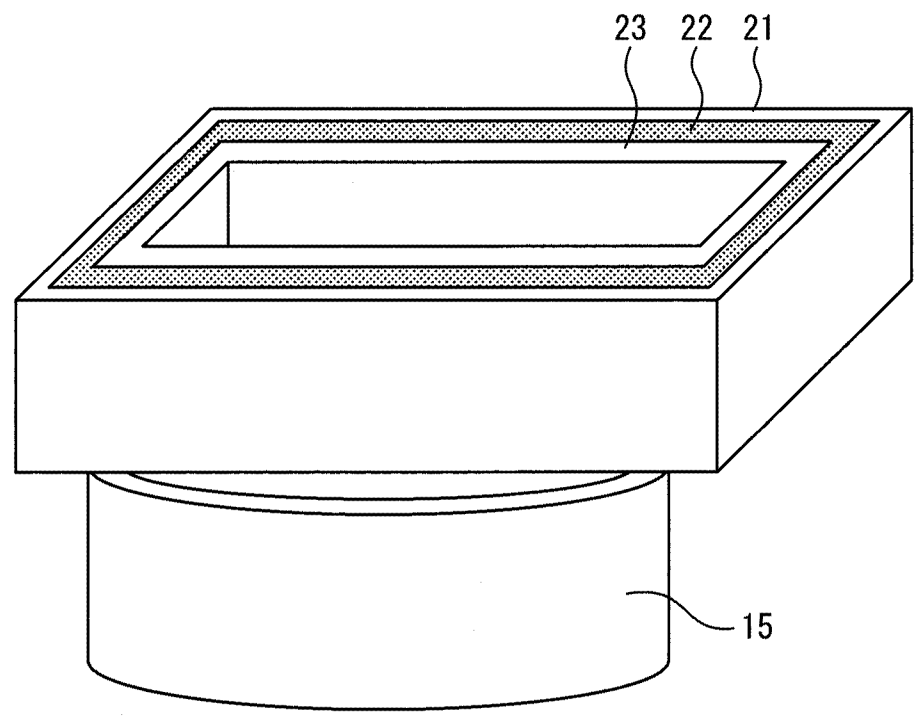
【圖 7A】



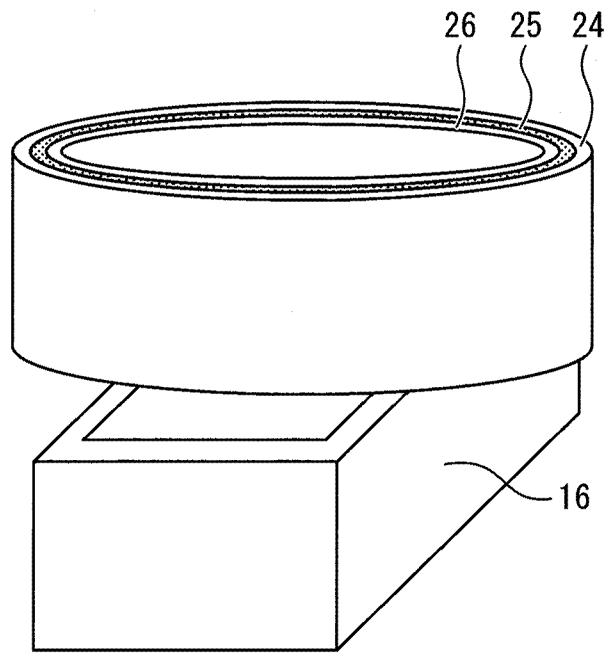
【圖 7B】



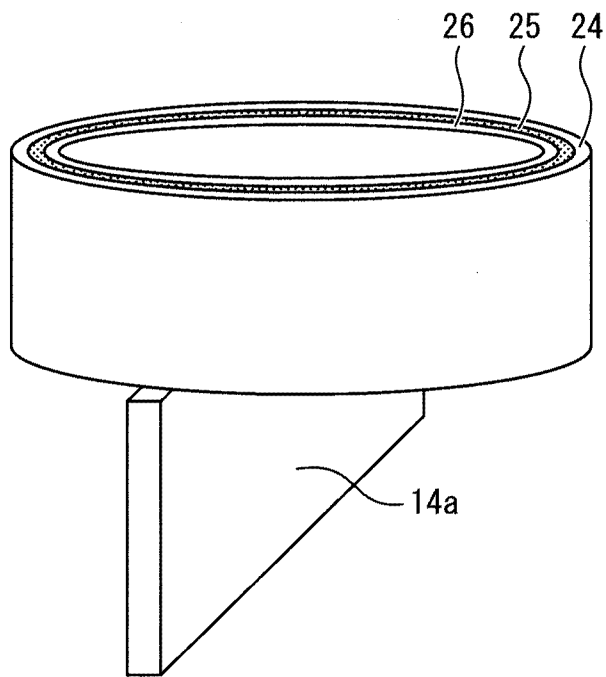
【圖 8】



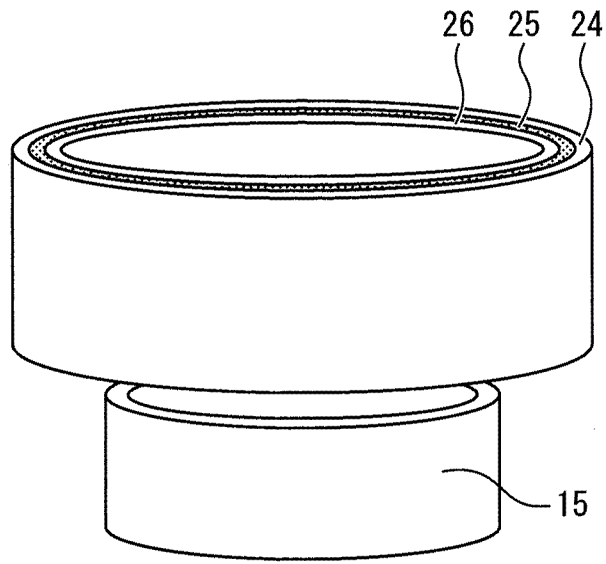
【圖 9】



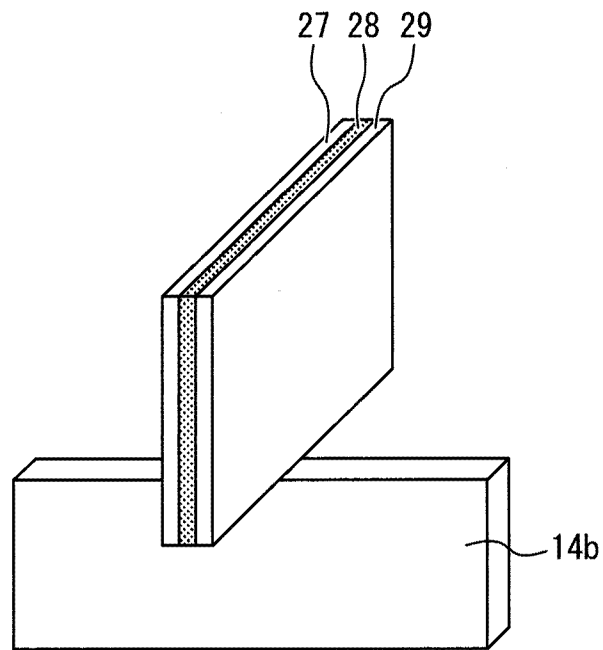
【圖 10】



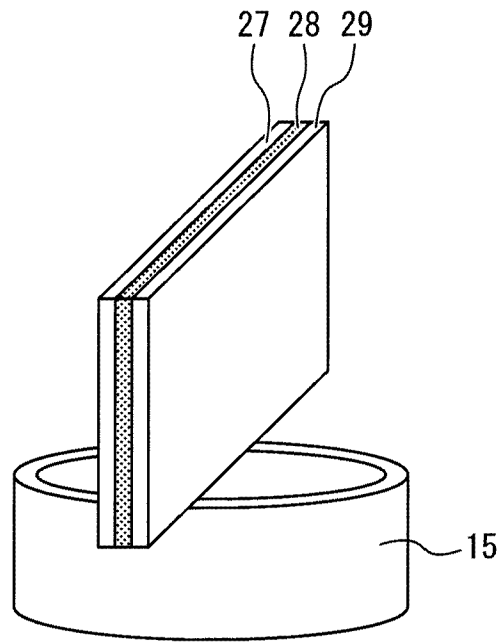
【圖 11】



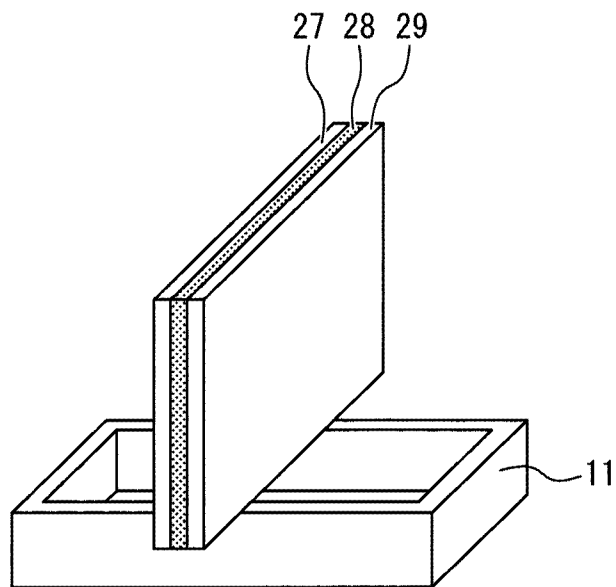
【圖 12】



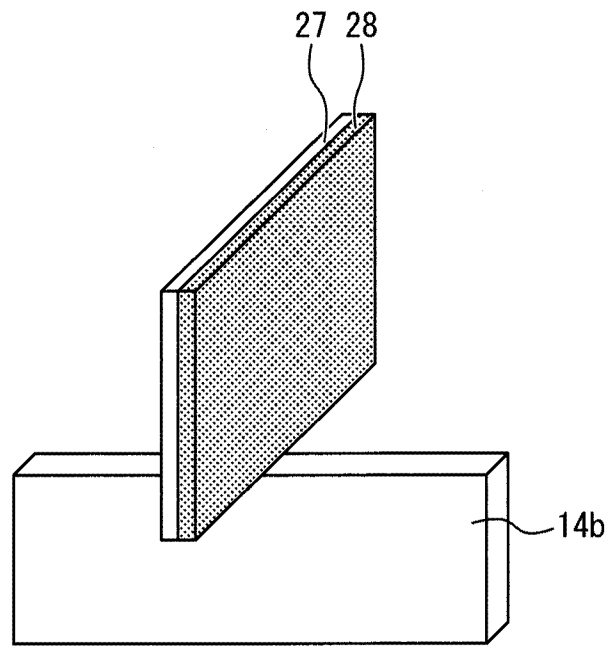
【圖 13】



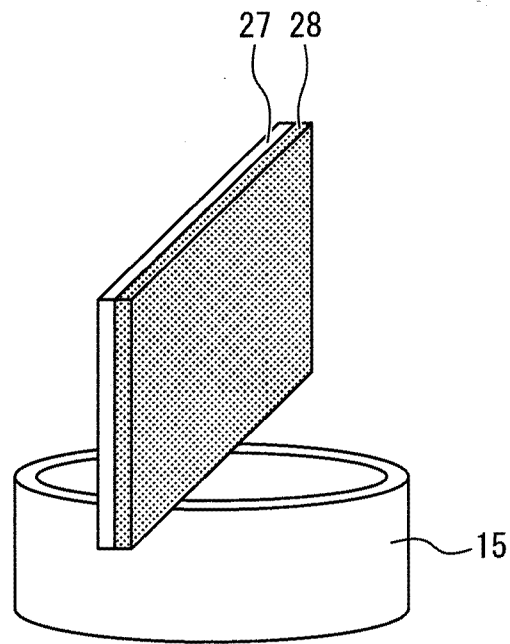
【圖 14】



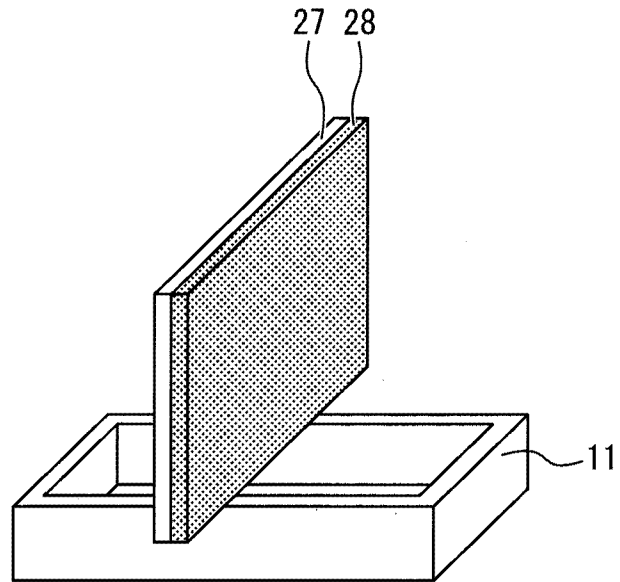
【圖 15】



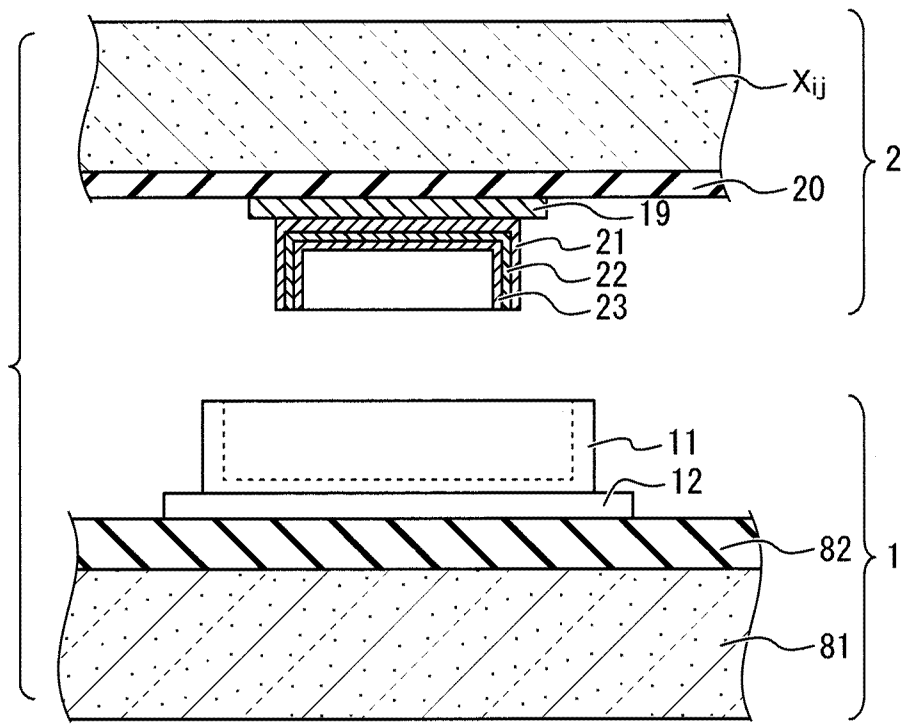
【圖 16】



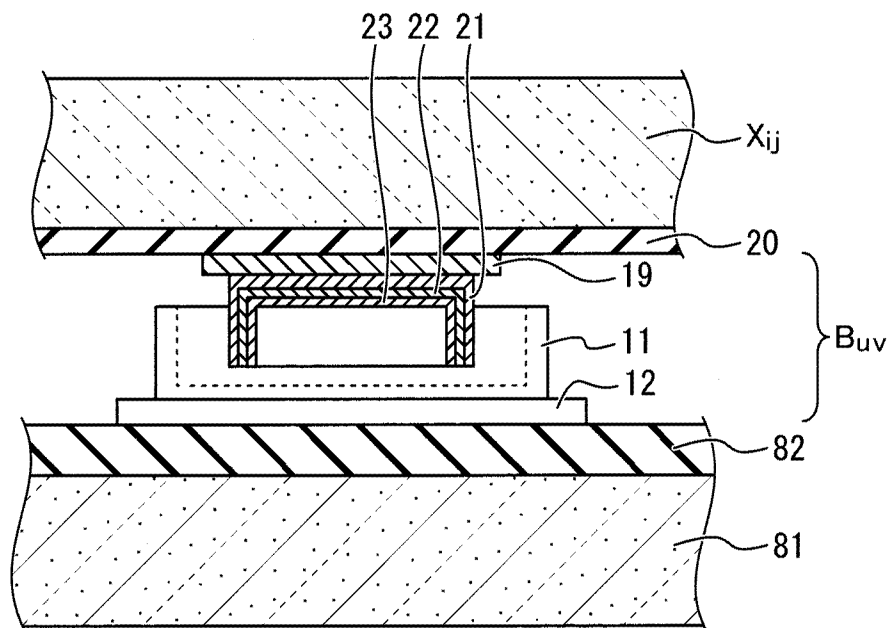
【圖 17】



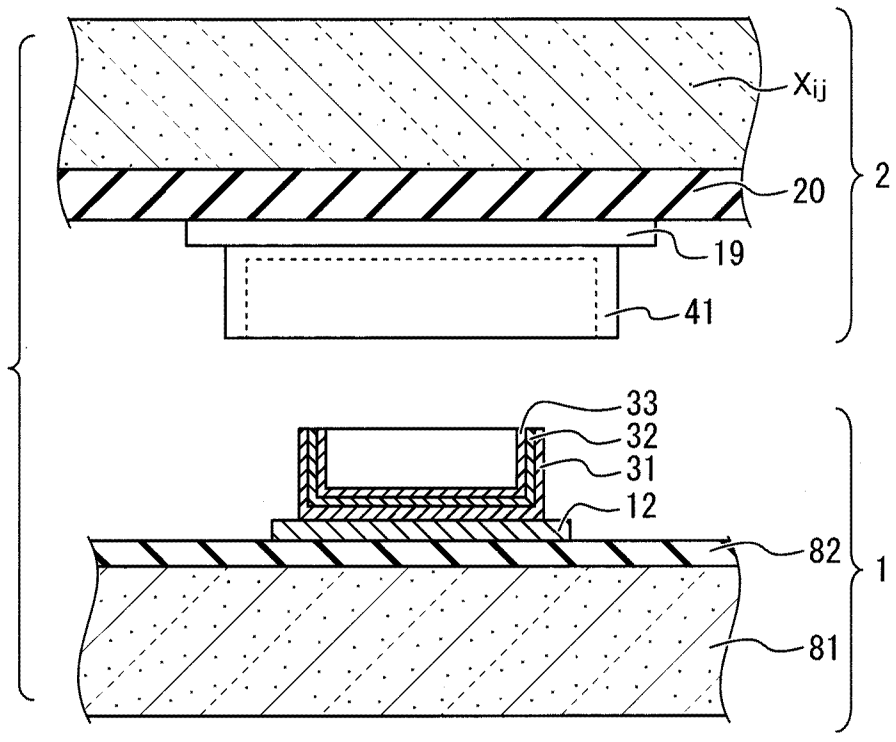
【圖 18】



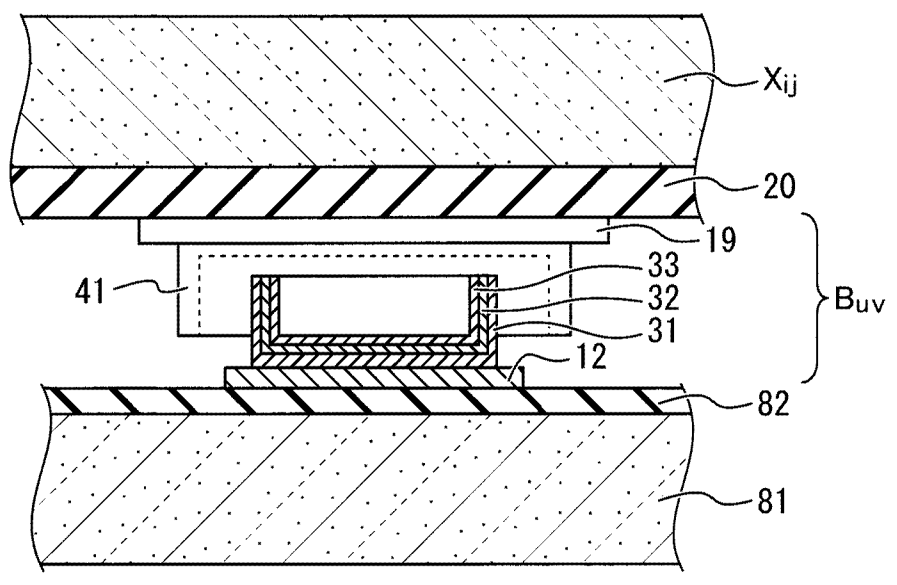
【圖 19A】



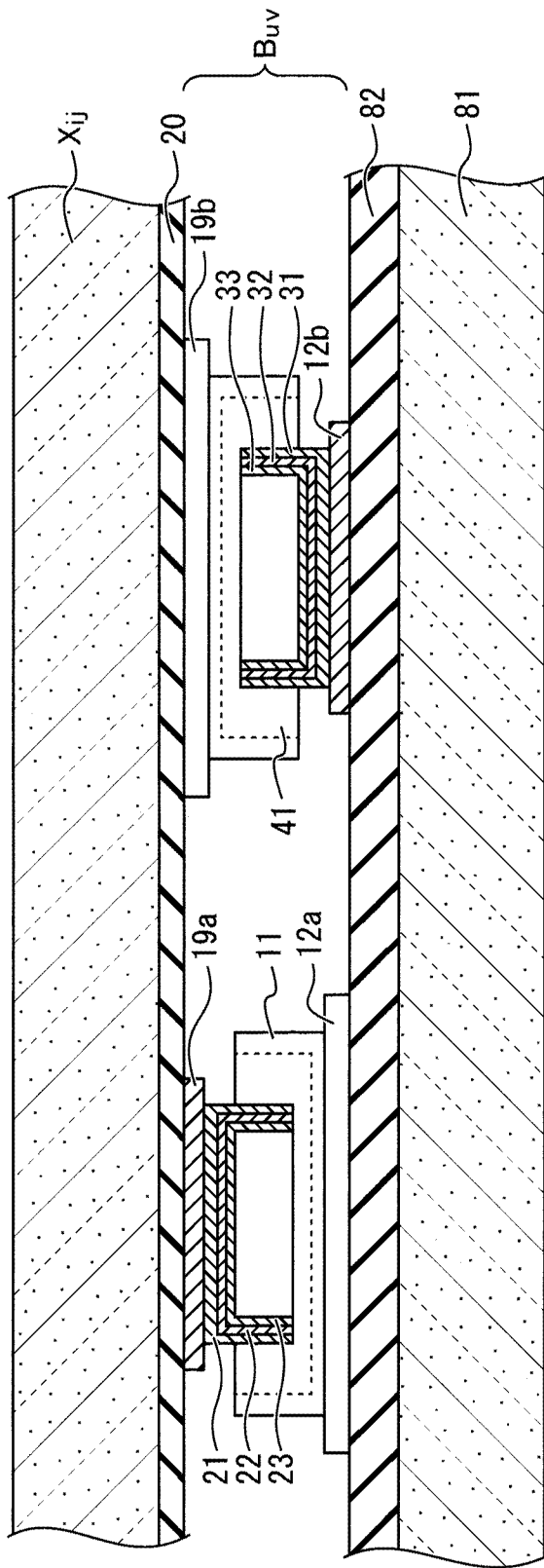
【圖 19B】



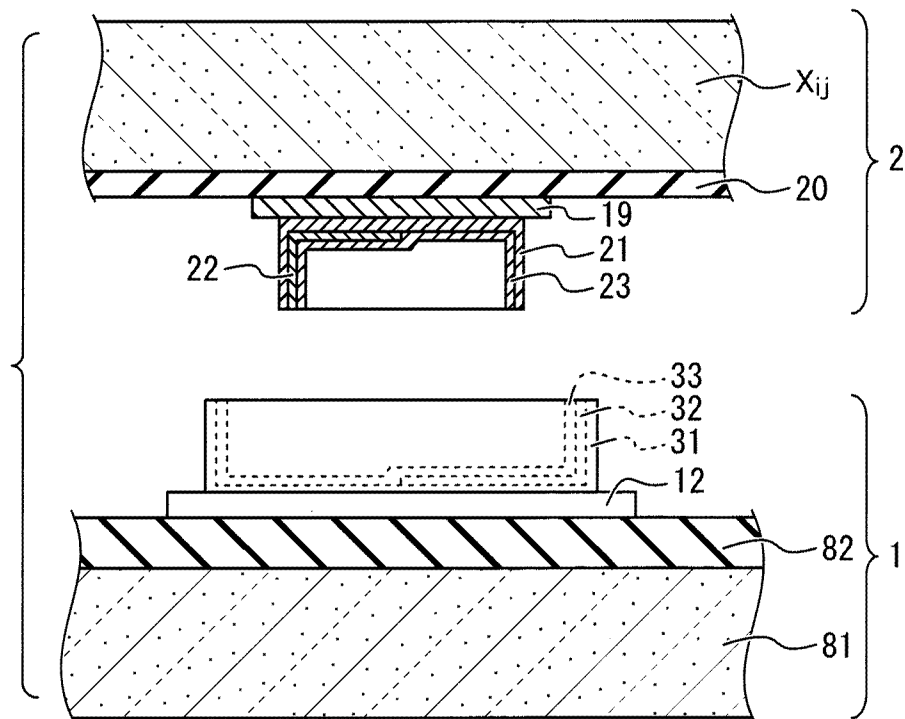
【圖 20A】



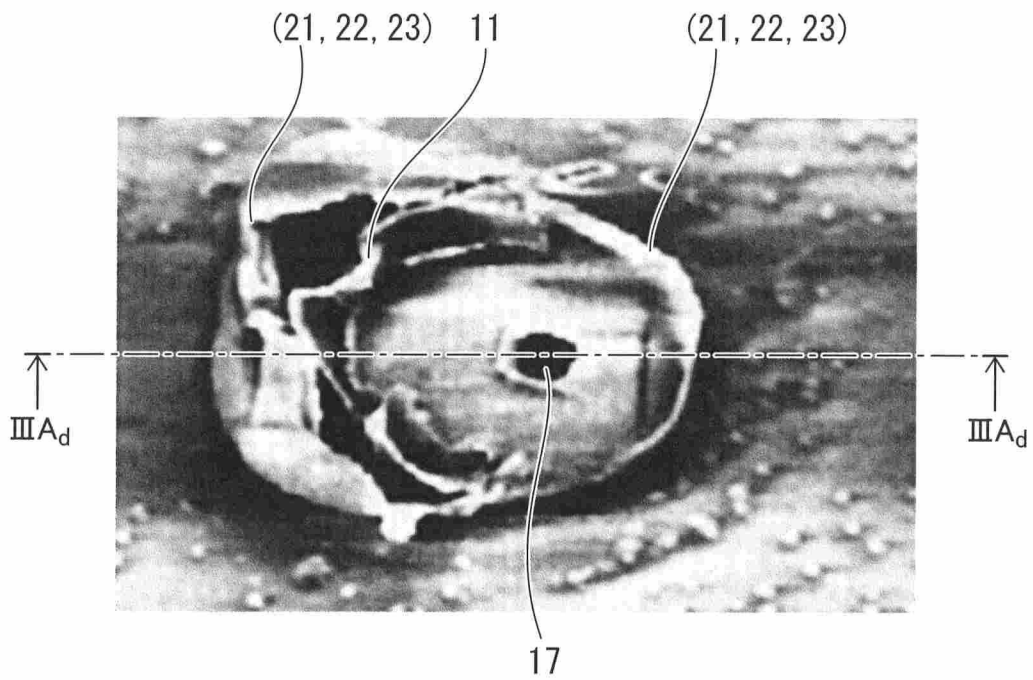
【圖 20B】



【圖 21】



【圖 22】



【圖 23】