

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3672486号
(P3672486)

(45) 発行日 平成17年7月20日(2005.7.20)

(24) 登録日 平成17年4月28日(2005.4.28)

(51) Int. Cl.⁷

H03L 7/089

F I

H03L 7/08

D

請求項の数 7 (全 11 頁)

(21) 出願番号	特願2000-283337 (P2000-283337)	(73) 特許権者	000003078
(22) 出願日	平成12年9月19日(2000.9.19)		株式会社東芝
(65) 公開番号	特開2002-94374 (P2002-94374A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成14年3月29日(2002.3.29)	(74) 代理人	100064285
審査請求日	平成15年1月24日(2003.1.24)		弁理士 佐藤 一雄
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100103263
			弁理士 川崎 康
		(72) 発明者	矢 部 友 章
			神奈川県川崎市幸区小向東芝町1番地 株 株式会社東芝 マイクロエレクトロニクスセ ンター内
			最終頁に続く

(54) 【発明の名称】 位相比較回路およびフェーズ・ロックド・ループ回路

(57) 【特許請求の範囲】

【請求項1】

第1クロック信号が第2クロック信号よりも位相が進んでいる場合にはアップ信号を出力し、前記第1クロック信号が前記第2クロック信号よりも位相が遅れている場合にはダウン信号を出力する位相比較回路において、

第1、第2および第3フリップフロップを備え、

前記第1フリップフロップは、前記第1および第2クロック信号の少なくとも一方が第1論理のときにリセット状態になり、かつ前記第2および第3フリップフロップがともにセット状態のときにセット状態になり、

前記第2フリップフロップは、前記第1クロック信号が第2論理で前記第1フリップフロップがリセット状態のときにセット状態になり、かつ前記第2および第3フリップフロップがともにセット状態のときにリセット状態になり、

前記第3フリップフロップは、前記第2クロック信号が第2論理で前記第1フリップフロップがリセット状態のときにセット状態になり、かつ前記第2および第3フリップフロップがともにセット状態のときにリセット状態になり、

前記第2および第3フリップフロップの出力に基づいて、前記アップ信号および前記ダウン信号を出力することを特徴とする位相比較回路。

【請求項2】

前記第1および第2クロック信号の少なくとも一方が前記第1論理のときに前記第1フリップフロップをリセットさせる第1論理回路と、

10

20

前記第 1 フリップフロップがリセット状態で、前記第 1 クロック信号が前記第 2 論理のときに前記第 2 フリップフロップをセット状態にする第 2 論理回路と、
 前記第 1 フリップフロップがリセット状態で、前記第 2 クロック信号が前記第 2 論理のときに前記第 3 フリップフロップをセット状態にする第 3 論理回路と、
 前記第 2 および第 3 フリップフロップがともにセット状態のときに、前記第 2 および第 3 フリップフロップをリセット状態にする第 4 論理回路と、
 前記第 2 フリップフロップがセット状態で、前記第 3 フリップフロップがリセット状態のときに前記アップ信号を出力する第 5 論理回路と、
 前記第 3 フリップフロップがセット状態で、前記第 2 フリップフロップがリセット状態のときに前記ダウン信号を出力する第 6 論理回路と、を備えることを特徴とする請求項 1 に記載の位相比較回路。

10

【請求項 3】

前記第 1 フリップフロップは、前記第 1 論理回路の出力が第 1 論理のときにリセット状態になり、かつ前記第 4 論理回路の出力が前記第 1 論理のときにセット状態になり、
 前記第 2 フリップフロップは、前記第 2 論理回路の出力が前記第 1 論理のときにセット状態になり、かつ前記第 4 論理回路の出力が前記第 1 論理のときにリセット状態になり、
 前記第 3 フリップフロップは、前記第 3 論理回路の出力が前記第 1 論理のときにセット状態になり、かつ前記第 4 論理回路の出力が前記第 1 論理のときにリセット状態になることを特徴とする請求項 2 に記載の位相比較回路。

【請求項 4】

20

前記第 1、第 2 および第 3 フリップフロップはそれぞれ、第 1 および第 2 NANDゲートを有し、
 前記第 1 NANDゲートは、セット入力端子と前記第 2 NANDゲートの出力端子との間でNAND演算を行い、
 前記第 2 NANDゲートは、リセット入力端子と前記第 1 NANDゲートの出力端子との間でNAND演算を行い、
 前記第 1 NANDゲートの出力がそれぞれ前記第 1、第 2 および第 3 フリップフロップの出力になることを特徴とする請求項 3 に記載の位相比較回路。

【請求項 5】

前記第 1 フリップフロップは、前記第 1 論理回路の出力が前記第 2 論理のときにリセット状態になり、かつ前記第 4 論理回路の出力が前記第 2 論理のときにセット状態になり、
 前記第 2 フリップフロップは、前記第 2 論理回路の出力が前記第 2 論理のときにセット状態になり、かつ前記第 4 論理回路の出力が前記第 2 論理のときにリセット状態になり、
 前記第 3 フリップフロップは、前記第 3 論理回路の出力が前記第 2 論理のときにセット状態になり、かつ前記第 4 論理回路の出力が前記第 2 論理のときにリセット状態になることを特徴とする請求項 2 に記載の位相比較回路。

30

【請求項 6】

前記第 1、第 2 および第 3 フリップフロップはそれぞれ、第 1 および第 2 NORゲートと、インバータとを有し、
 前記第 1 NORゲートは、セット入力端子と前記第 2 NORゲートの出力端子との間でNOR演算を行い、
 前記第 2 NORゲートは、リセット入力端子と前記第 1 NORゲートの出力端子との間でNOR演算を行い、
 前記インバータは、前記第 1 NORゲートの出力を反転出力し、
 前記インバータの出力がそれぞれ前記第 1、第 2 および第 3 フリップフロップの出力になることを特徴とする請求項 5 に記載の位相比較回路。

40

【請求項 7】

前記アップ信号および前記ダウン信号に応じた電圧信号を出力するチャージポンプと、
 前記チャージポンプの出力に含まれる高周波成分を除去するループフィルタと、
 前記ループフィルタの出力電圧に応じた周波数の信号を出力する電圧制御発振回路と、

50

前記電圧制御発振回路の出力に応じたクロック信号を出力するクロックバッファと、請求項1～6のいずれかに記載の位相比較回路と、を備え、前記第1クロック信号は、外部から供給される基準クロック信号であり、前記第2クロック信号は、前記クロックバッファから出力されたクロック信号に相関する信号であることを特徴とするフェーズ・ロックド・ループ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低電圧でも高速動作可能なフェーズ・ロックド・ループ回路（PLL回路）などに用いられる位相比較回路に関する。

10

【0002】

【従来の技術】

PLL回路は、周波数変動の少ない高精度のクロック信号を出力でき、また、MOSトランジスタを組み合わせることで構成できるため、ディジタルLSIチップに内蔵されて、CPU等のシステムクロックを発生する回路として広く用いられている。

【0003】

PLL回路は、外部から供給される基準クロック信号と同位相のクロック信号を生成するものであり、PLL回路の内部には、基準クロック信号とPLL回路の出力クロック信号との位相を比較し、位相差に応じた信号を出力する位相比較回路が設けられている。

【0004】

図10は従来の位相比較回路の内部構成を示す回路図である。図10の位相比較回路は、それぞれ2個のNANDゲートからなる2個のセット・リセット・フリップフロップ（以下、S-Rフリップフロップ）21、22と、NANDゲートG21～G25と、インバータIV21、IV22とを備えている。

20

【0005】

S-Rフリップフロップ21は、NANDゲートG21の出力がローレベルのときにセット状態になり、S-Rフリップフロップ22は、NANDゲートG24の出力がローレベルのときにセット状態になる。また、両S-Rフリップフロップ21、22とも、NANDゲートG23の出力がローレベルになると、リセット状態になる。

【0006】

図11は図10の位相比較回路の動作タイミング図である。以下、図11に基づいて、図10の位相比較回路の動作を説明する。初期状態（時刻t0以前）では、NANDゲートG22の出力UPNはハイレベルで、NANDゲートG23の出力RESETnもハイレベルである。時刻t0で基準クロックREFCLKがハイレベルになると、NANDゲートG21の出力LC1はローレベルになる。これにより、S-Rフリップフロップ21内のNANDゲートG26の出力LO1はハイレベルになり、NANDゲートG27の出力LI1はローレベルになる。

30

【0007】

その後、時刻t1でクロック信号CLKがハイレベルになると、NANDゲートG24の出力LC2がローレベルになり、続いてS-Rフリップフロップ22内のNANDゲートG28の出力LO2がハイレベルになり、NANDゲートG29の出力LI2がローレベルになる。

40

【0008】

その後、時刻t2で基準クロックREFCLKがローレベルになると、NANDゲートG21の出力LC1はハイレベルになり、続いてNANDゲートG22の出力UPNはローレベルになり、インバータIV21の出力UPはハイレベルになる。

【0009】

その後、時刻t3でクロック信号CLKがローレベルになると、NANDゲートG24の出力LC2がハイレベルになる。これによりNANDゲートG23の出力RESETnはローレベルになり、続いてNANDゲートG22の出力UPNはハイレベルになり、インバータIV21の出力UPはローレベルになる。

【0010】

50

その後、時刻 t_4 で基準クロック信号 REFCLK がハイレベルになると、時刻 $t_1 \sim t_4$ の動作が繰り返される。

【0011】

【発明が解決しようとする課題】

図10において、クロック信号 CLK の立ち下がりを受けて、NANDゲート G22 の出力 UPN がハイレベルになってから、次のクロックサイクルの初期化が始まる基準クロック信号 REFCLK の立ち上がりまでの時間差を t_{31} とすると、基準クロック信号 REFCLK に対するクロック信号 CLK の位相遅れ時間 t_{11} が大きいほど、 t_{31} は小さくなる。

【0012】

基準クロック信号 REFCLK やクロック信号 CLK の周波数が高くなるほど、 t_{31} も小さくなってゼロに近づいていく。 t_{31} が負になると、次のクロックサイクルにおいて、基準クロック信号 REFCLK が立ち上がった時点で NANDゲート G22 の出力 UPN がローレベルのままになり、NANDゲート G21 の出力 LC1 をローレベルに設定できなくなり、正常に動作しなくなってしまう。

10

【0013】

すなわち、図10に示す従来の位相比較回路の最大動作周波数は、 t_{11} が大きくなって t_{31} がゼロになるクロック周波数で規定される。従来例では、基準クロック信号 REFCLK に対するクロック信号 CLK の位相遅れが大きい場合に、UP信号の前段信号である UPN 信号が確定してから次のサイクルの開始点である基準クロック REFCLK の立ち上がりまでのタイミングマージンが小さくなり、最大動作周波数が低くなるという問題があった。

20

【0014】

以上では、基準クロック信号 REFCLK に対してクロック信号 CLK の位相遅れが大きい場合を例にとって説明したが、基準クロック信号 REFCLK に対してクロック信号 CLK の位相遅れが小さい場合も同様の問題が生じる。この場合の回路の初期化は、基準クロック信号 REFCLK ではなく、クロック信号 CLK の立ち上がりで行われる。

【0015】

本発明は、このような点に鑑みてなされたものであり、その目的は、最大動作周波数を高く設定できる位相比較回路およびフェーズ・ロックド・ループ回路を提供することにある。

【0016】

【課題を解決するための手段】

上述した課題を解決するために、請求項1の発明は、第1クロック信号が第2クロック信号よりも位相が進んでいる場合にはアップ信号を出力し、前記第1クロック信号が前記第2クロック信号よりも位相が遅れている場合にはダウン信号を出力する位相比較回路において、第1、第2および第3フリップフロップを備え、前記第1フリップフロップは、前記第1および第2クロック信号の少なくとも一方が第1論理のときにリセット状態になり、かつ前記第2および第3フリップフロップがともにセット状態のときにセット状態になり、前記第2フリップフロップは、前記第1クロック信号が第2論理で前記第1フリップフロップがリセット状態のときにセット状態になり、かつ前記第2および第3フリップフロップがともにセット状態のときにリセット状態になり、前記第3フリップフロップは、前記第2クロック信号が第2論理で前記第1フリップフロップがリセット状態のときにセット状態になり、かつ前記第2および第3フリップフロップがともにセット状態のときにリセット状態になり、前記第2および第3フリップフロップの出力に基づいて、前記アップ信号および前記ダウン信号を出力する。

30

40

【0017】

本発明では、第1～第3のフリップフロップを設けて、第1クロック信号と第2クロック信号との位相差が大きくても誤動作を起こさないようにしたため、最大動作周波数を高く設定できる。

【0018】

【発明の実施の形態】

50

以下、本発明に係る位相比較回路およびフェーズロックドループ回路（PLL回路）について、図面を参照しながら具体的に説明する。

【0019】

（第1の実施形態）

図1は本発明に係る位相比較回路10の第1の実施形態の回路図である。図1の位相比較回路10は、それぞれ2個のNANDゲートからなる3個のS-Rフリップフロップ1～3と、NANDゲートG1～G6と、インバータIV1～IV6とを備えている。

【0020】

S-Rフリップフロップ1は、2個のNANDゲートを有し、一方のNANDゲートG7はセット入力端子RLと他方のNANDゲートG8の出力RIとの間でNAND演算を行い、他方のNANDゲートG8はリセット入力端子RSと一方のNANDゲートの出力RRとの間でNAND演算を行う。NANDゲートG7の出力がS-Rフリップフロップ1の出力になる。

10

【0021】

なお、S-Rフリップフロップ1が第1フリップフロップに対応し、S-Rフリップフロップ2が第2フリップフロップに対応し、S-Rフリップフロップ3が第3フリップフロップに対応する。

【0022】

図1の回路は、S-Rフリップフロップ1～3をそれぞれブロックで表し、かつNANDゲートG5とインバータIV5をANDゲートG5aに置き換え、同様にNANDゲートG6とインバータIV6をANDゲートG6aに置き換えると、図2のような回路図になる。また、図2のS-Rフリップフロップ1～3は、図3のような回路で表される。

20

【0023】

図2のNANDゲート（第1論理回路）G1は、基準クロック信号REFCLKとクロック信号CLKとの間でNAND演算を行う。より具体的には、基準クロック信号（第1クロック信号）REFCLKとクロック信号（第2クロック信号）CLKの少なくとも一方がローレベルのときに、NANDゲートG1はハイレベル信号を出力し、S-Rフリップフロップ1はリセット状態になる。

【0024】

NANDゲート（第2論理回路）G2は、S-Rフリップフロップ1がリセット状態で、基準クロック信号REFCLKがハイレベルのときに、S-Rフリップフロップ2をセット状態にする。

30

【0025】

NANDゲート（第3論理回路）G3は、S-Rフリップフロップ1がリセット状態で、クロック信号CLKがハイレベルのときに、S-Rフリップフロップ3をセット状態にする。

【0026】

NANDゲート（第4論理回路）G4は、S-Rフリップフロップ2,3がともにセット状態のときに、S-Rフリップフロップ2,3をリセット状態にし、かつS-Rフリップフロップ1をセット状態にする。

【0027】

図2のANDゲート（第5論理回路）G5aは、S-Rフリップフロップ2がセット状態で、S-Rフリップフロップ3がリセット状態のときに、ハイレベルのUP信号を出力する。図2のANDゲート（第6論理回路）G6aは、S-Rフリップフロップ3がセット状態で、S-Rフリップフロップ2がリセット状態のときに、ハイレベルのDOWN信号を出力する。

40

【0028】

図4は図1の位相比較回路10の動作タイミング図である。以下、図の動作タイミング図に基づいて、図1の位相比較回路10の動作を説明する。

【0029】

時刻t0以前は、インバータIV1の出力RESETnはハイレベル、S-Rフリップフロップ2,3内のNANDゲート出力LN1, LN2はハイレベルである。時刻t0で基準クロック信

50

号REFCLKがハイレベルになると、NANDゲートG2の出力LT1はローレベルになり、NANDゲートG9の出力LS1はハイレベルになる。これにより、NANDゲートG10の出力LN1はローレベルになり、またインバータIV5の出力UPはハイレベルになる。

【0030】

その後、時刻t1でクロック信号CLKがハイレベルになると、NANDゲートG3の出力LT2はローレベルになり、またインバータIV4の出力RSはハイレベルになる。出力LT2がローレベルになることにより、NANDゲートG11の出力LS2はハイレベルになり、インバータIV5の出力UPはローレベルになる。

【0031】

また、出力LS2がハイレベルになることにより、NANDゲートG4の出力RLはローレベルになり、S-Rフリップフロップ1の出力RRの出力はハイレベルになるとともに、NANDゲートG10、G11の出力LN1、LN2がハイレベルになる。

10

【0032】

また、出力RRがハイレベルになることにより、出力RIがローレベルになり、インバータIV1の出力RESETnがローレベルになる。出力RESETnがローレベルになることにより、NANDゲートG2、G3の出力LT1、LT2がハイレベルになる。

【0033】

出力LT1がハイレベルになることにより、S-Rフリップフロップ2の出力LS1がローレベルになり、続いてNANDゲートG4の出力RLがハイレベルになる。

【0034】

20

その後、時刻t2で基準クロック信号REFCLKがローレベルになると、インバータIV4の出力RSがローレベルになり、続いてS-Rフリップフロップ1内のNANDゲートG8の出力RIがハイレベルになり、NANDゲートG7の出力RRもローレベルになる。その結果、インバータIV1の出力RESETnはハイレベルになる。

【0035】

本実施形態の位相比較回路10は、図10に示す従来の位相比較回路と比較して、クロック信号CLKの位相が基準クロック信号REFCLKの位相よりも大きく遅れている場合でも、回路の初期化パス（基準クロック信号REFCLKロー 出力RSロー 出力RIハイ 出力RRロー 出力RESETnハイ）がUP信号のパルスに律速されないため、最大動作周波数が高くなるという特徴がある。この特徴は、位相比較回路10を低電圧で動作させる場合に特に重要になる。その理由は、位相比較回路10を低電圧で動作させると、ゲート遅延により動作周波数が低くなる傾向にあるためである。

30

【0036】

図5は電源電圧(V)と最大動作周波数(MHz)との関係を示す図であり、0.35 μ mCMOS技術を用いた位相比較回路10の最大動作周波数の回路シミュレーション結果を示している。図中の「 \square 」プロットは本実施形態の特性を示し、「 \times 」プロットは従来の特性を示している。

【0037】

図示のように、電源電圧1.2V~2Vの範囲で、本実施形態の場合、従来例よりも約40%高速動作が可能になる。

40

【0038】

図6は図1の位相比較回路10を用いて構成したPLL回路のブロック図である。図6のPLL回路は、位相比較回路10から出力されたUP信号およびDOWN信号に応じた電圧信号を出力するチャージポンプ11と、チャージポンプ11から出力された電圧信号に含まれる高周波成分を除去するループフィルタ12と、ループフィルタ12の出力に応じた周波数で発振する電圧制御発振回路13と、電圧制御発振回路13の出力端子に接続されてクロック信号CLKを出力するクロックバッファ14とを有する。

【0039】

なお、図6では省略しているが、クロックバッファ14から出力されたクロック信号CLKを分周した信号を位相比較回路10に供給して基準クロック信号と位相比較を行っても

50

よい。

【 0 0 4 0 】

図 7 は図 6 の P L L 回路の動作タイミング図であり、図 7 (a) は基準クロック信号 REFCLK の位相がクロック信号 C L K の位相よりも進んでいる場合、図 7 (b) は基準クロック信号 REFCLK の位相がクロック信号 C L K の位相よりも遅れている場合を示している。

【 0 0 4 1 】

図 7 (a) の場合、位相比較回路 1 0 からハイレベルの U P 信号が出力され、チャージポンプ 1 1 は出力電圧を高くする制御を行う。一方、図 7 (b) の場合、位相比較回路 1 0 からハイレベルの DOWN 信号が出力され、チャージポンプ 1 1 は出力電圧を低くする制御を行う。

10

【 0 0 4 2 】

このように、第 1 の実施形態では、基準クロック信号 REFCLK とクロック信号 C L K との位相差が大きくても両信号の位相差に応じた U P 信号および DOWN 信号を出力できるようにしたため、従来よりも最大動作周波数を高くすることができる。

【 0 0 4 3 】

(第 2 の実施形態)

第 2 の実施形態は、S - R フリップフロップのセット入力端子とリセット入力端子の論理が第 1 の実施形態と異なるものである。

【 0 0 4 4 】

図 8 は本発明に係る位相比較回路 1 0 の第 2 の実施形態の回路図である。図 8 の位相比較回路 1 0 は、セット入力端子およびリセット入力端子がともに正論理の 3 個の S - R フリップフロップ 1 a , 2 a , 3 a と、AND ゲート G 2 a , G 3 a , G 4 a , G 5 a , G 6 a と、NAND ゲート G 1 と、インバータ IV 1 ~ IV 3 とを備えている。

20

【 0 0 4 5 】

S - R フリップフロップ 1 a は、NAND ゲート G 1 の出力がハイレベルのときにリセット状態になり、かつ AND ゲート G 4 a の出力がハイレベルのときにセット状態になる。

【 0 0 4 6 】

S - R フリップフロップ 2 a は、AND ゲート回路 G 2 a の出力がハイレベルのときにセット状態になり、かつ AND ゲート回路 G 4 a の出力がハイレベルのときにリセット状態になる。

30

【 0 0 4 7 】

S - R フリップフロップ 3 a は、AND ゲート回路 G 3 a の出力がハイレベルのときにセット状態になり、かつ AND ゲート回路 G 4 a の出力がハイレベルのときにリセット状態になる。

【 0 0 4 8 】

図 9 は図 8 の S - R フリップフロップの内部構成を示す回路図である。図示のように、S - R フリップフロップ 1 a , 2 a , 3 a はそれぞれ、NOR ゲート 6 , 7 と、インバータ 8 とを有し、NOR ゲート 6 は、セット入力端子と NOR ゲート 7 の出力端子との間で NOR 演算を行い、NOR ゲート 7 は、リセット入力端子と NOR ゲート 6 の出力端子との間で NOR 演算を行い、インバータ 8 は NOR ゲート 6 の出力を反転出力し、インバータ 8 の出力が各フリップフロップの出力になる。

40

【 0 0 4 9 】

第 2 の実施形態の場合も、基準クロック信号 REFCLK とクロック信号 C L K との位相差が大きくても、U P 信号と DOWN 信号を正しく出力できるため、最大動作周波数を高くすることができる。

【 0 0 5 0 】

上述した第 1 の実施形態では、NAND ゲートとインバータとを組み合わせる位相比較回路 1 0 を構成する例を示し、第 2 の実施形態では、NAND ゲート、AND ゲートおよびインバータを組み合わせる位相比較回路 1 0 を構成する例を示したが、位相比較回路 1 0 を構成するゲートの種類は特に問わない。

50

【 0 0 5 1 】

【 発明の効果 】

以上詳細に説明したように、本発明によれば、3つのフリップフロップを設けることにより、第1および第2クロック信号の位相差が大きくても、アップ信号およびダウン信号を正しく出力できるようにしたため、最大動作周波数を高く設定できる位相比較回路およびフェーズ・ロックド・ループ回路を提供できる。したがって、低電圧での動作周波数も高くすることができ、低電圧駆動型のLSIチップに内蔵することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明に係る位相比較回路10の第1の実施形態の回路図。

【 図 2 】 図1の等価回路図。

10

【 図 3 】 図2のS-Rフリップフロップの回路図。

【 図 4 】 図1の位相比較回路10の動作タイミング図。

【 図 5 】 電源電圧(V)と最大動作周波数(MHz)との関係を示す図。

【 図 6 】 図1の位相比較回路10を用いて構成したPLL回路のブロック図。

【 図 7 】 図6のPLL回路の動作タイミング図。

【 図 8 】 本発明に係る位相比較回路10の第2の実施形態の回路図。

【 図 9 】 図8のS-Rフリップフロップの内部構成を示す回路図。

【 図 10 】 従来の位相比較回路の内部構成を示す回路図。

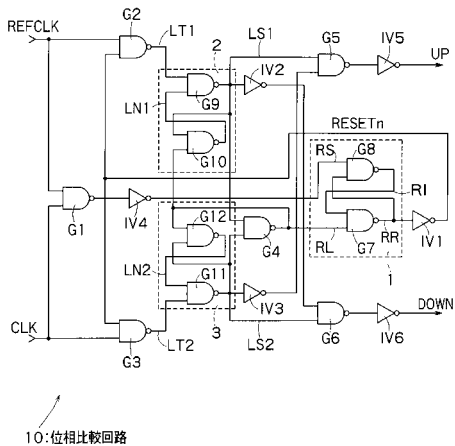
【 図 11 】 図10の位相比較回路の動作タイミング図。

20

【 符号の説明 】

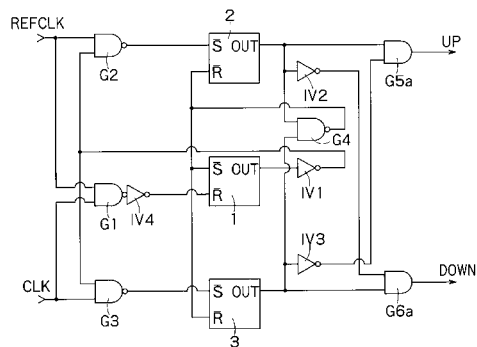
- 1, 2, 3 S-Rフリップフロップ
- 10 位相比較回路
- 11 チャージポンプ
- 12 ループフィルタ
- 13 電圧制御発振回路
- 14 クロックバッファ

【図1】

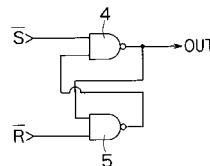


10:位相比較回路

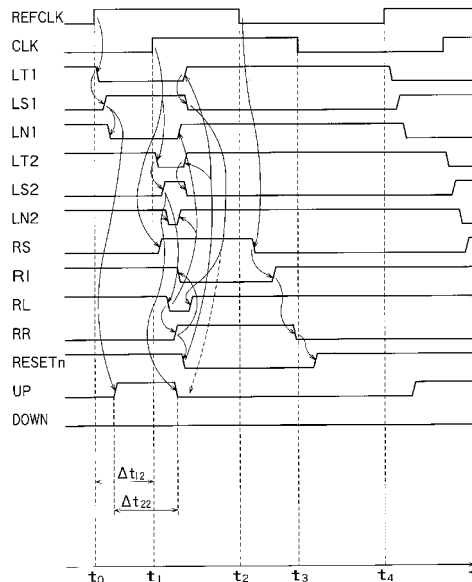
【図2】



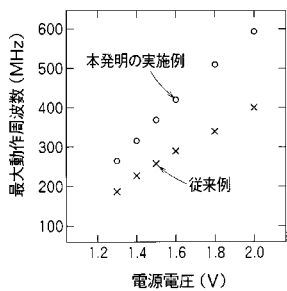
【図3】



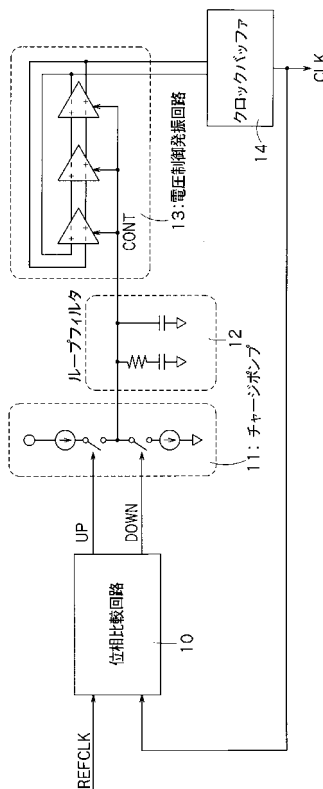
【図4】



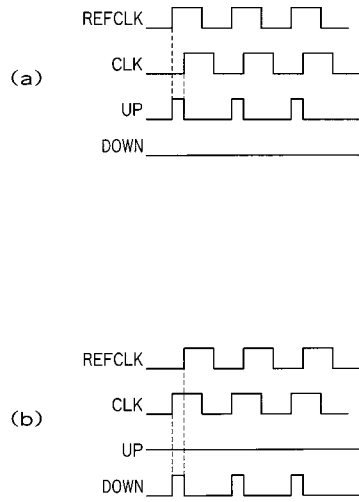
【図5】



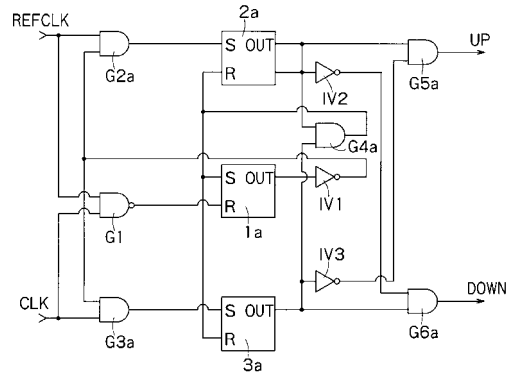
【図6】



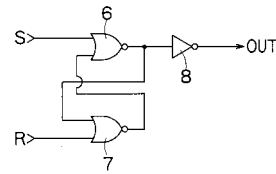
【 図 7 】



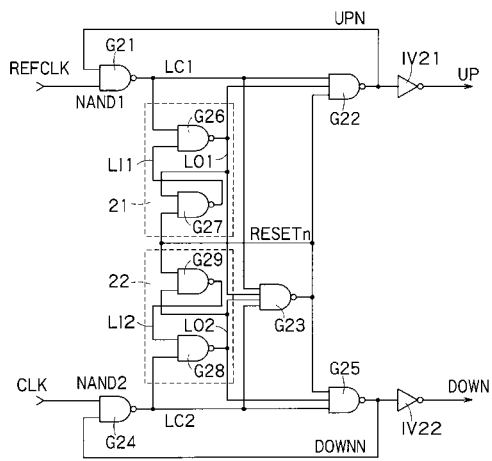
【 図 8 】



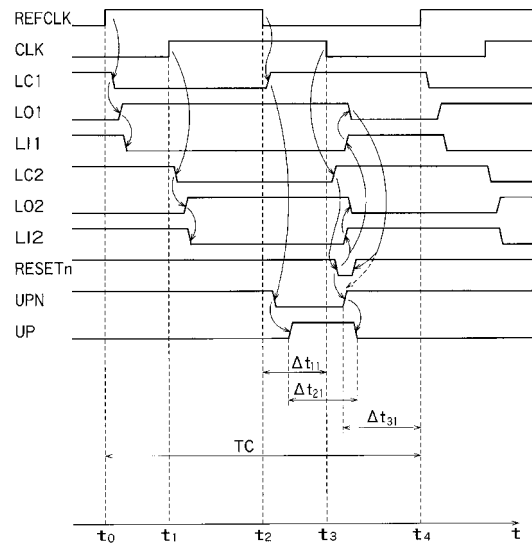
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

審査官 畑中 博幸

(56)参考文献 特開昭63-229912(JP,A)
特開昭58-164311(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)
H03L 7/08